



POLITECNICO MILANO 1863

Progetto di Reti Logiche

William Zeni
matricola 10613915

Cristina Urso
matricola 10599689

Anno 2020/21

Progetto sostenuto presso il Politecnico di Milano - Dipartimento di Elettronica,
Informazione e Bioingegneria. Corso diretto dal Prof. Gianluca Palermo.

Indice

1	Introduzione	1
1.1	Scopo del progetto	1
1.2	Specifiche generali	1
1.3	Interfaccia del componente	2
1.4	Dati e Descrizione memoria	3
2	Desing Pattern	4
2.1	Scelte Progettuali	4
2.2	Elenco Stati - Process STATES	4
2.2.1	START	4
2.2.2	INIT	4
2.2.3	ABILIT_READ	4
2.2.4	ABILIT_WRITE	4
2.2.5	WAIT_MEM	5
2.2.6	GET_RC	5
2.2.7	GET_DIM	5
2.2.8	READ_PIXEL	5
2.2.9	GET_MINMAX	5
2.2.10	GET_DELTA	5
2.2.11	CALC_SHIFT	6
2.2.12	GET_PIXEL	6
2.2.13	CALC_NEWPIXEL	6
2.2.14	WRITE_PIXEL	6
2.2.15	DONE	7
2.2.16	WAITINGPIC	7
2.3	Approfondimento sul process STATES	7
2.3.1	Schema process STATES	8
3	Risultati dei Test	9
4	Conclusioni	9

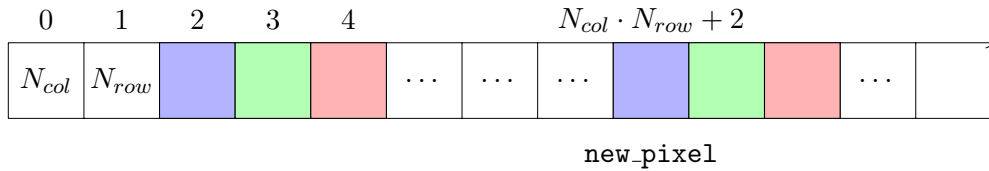
1 Introduzione

1.1 Scopo del progetto

Lo scopo del progetto è quello di creare un componente hardware sintetizzabile, in grado di equalizzare un'immagine. L'algoritmo che ne prevede l'equalizzazione si ispira ad una versione semplificata del metodo di equalizzazione dell'istogramma, il quale prevede un aumento nel contrasto di un'immagine su scala di grigi. In generale l'elaborazione digitale dell'immagine risulta più evidente specialmente quando i dati raccolti sono rappresentati da valori di intensità molto vicini. Per cui, se una immagine contenesse una scala di grigi molto ampia, l'effetto dell'equalizzazione risulterebbe pressochè nullo.

1.2 Specifiche generali

Si definisca un'immagine dalle dimensioni variabili, ma di massimo 128×128 , e si definisca una memoria lineare nella quale i primi due valori siano le dimensioni dell'immagine e i restanti i valori assegnati ad ogni pixel, il componente hardware dovrà scrivere in coda alla memoria l'immagine equalizzata pixel per pixel. Il risultato sarà una memoria complessivamente lunga $2 \cdot N_{col} \cdot N_{row} + 2$, dove N_{row} e N_{col} sono rispettivamente il numero di righe e di colonne dell'immagine. A partire dalla posizione 2, per ogni pixel si avrà il corrispettivo pixel equalizzato ad una distanza $N_{col} \cdot N_{row}$ come mostrato in figura.



La memoria dialogherà in stretto contatto con il componente attraverso due segnali, che determineranno l'avvio della computazione, la sua terminazione e l'eventuale ripartenza. Si noti che la computazione di una singola immagine, una volta iniziata, non potrà mai essere interrotta, ma rimane possibile la computazione di più immagini.

Ogni pixel avrà un valore compreso tra 0 e 255 e verrà rielaborato dal componente nel seguente modo:

```
1: delta_value ← max_pixel_value − min_pixel_value
2: shift_level ← 8 − ⌊log2(delta_value + 1)⌋
3: temp_pixel ← curr_pixel_value − min_pixel_value
4: temp_pixel ← temp_pixel << shift_level
5: if temp_pixel > 255 then
6:   new_pixel ← 255
7: else
8:   new_pixel ← temp_pixel
9: end if
```

dove *max_pixel_value* e *min_pixel_value* sono rispettivamente il valore massimo e il valore minimo del pixel trovati all'interno dell'immagine, *curr_pixel_value* è il valore del pixel preso in considerazione e *new_pixel* è il valore del pixel da scrivere in memoria.

1.3 Interfaccia del componente

```
1 entity project_reti_logiche is
2 port (
3     i_clk      : in std_logic;
4     i_rst      : in std_logic;
5     i_start    : in std_logic;
6     i_data     : in std_logic_vector(7 downto 0);
7     o_address  : out std_logic_vector(15 downto 0);
8     o_done     : out std_logic;
9     o_en       : out std_logic;
10    o_we       : out std_logic;
11    o_data     : out std_logic_vector (7 downto 0)
12 );
13 end project_reti_logiche;
```

L'interfaccia del componente, per potersi relazionare con la memoria, deve essere come quella sopra riportata. I segnali di input vengono evidenziati dal prefisso 'i_', mentre per i segnali di output è presente il prefisso 'o_'. Nel dettaglio:

- **i_clk** scandisce il ciclo di clock della memoria, registrando '1' sul **rising_edge**.
- **i_rst** è il segnale di RESET, viene chiamato all'inizio della computazione di una o più immagini. Se si registra '1' su questo segnale la computazione deve essere terminata e ripristinata al momento di partenza.
- **i_start** determina l'inizio della computazione. Questo segnale rimane alto fino a quando la computazione non termina. La computazione può iniziare solo se il segnale è basso.
- **i_data** raccoglie i dati inviati dalla memoria.
- **o_address** è il segnale attraverso il quale facciamo richieste alla memoria. Sostanzialmente su questo segnale si pone l'indirizzo della memoria che si vuole leggere o sulla quale si vuole scrivere.
- **o_done** determina la fine della computazione. Il segnale deve essere portato alto quando si vuole terminare la computazione e deve rimanere alto fino a quando la memoria non porti il segnale di START basso. Solo in quel caso il segnale viene riportato basso.
- **o_en** abilita la memoria alla lettura o alla scrittura.
- **o_we** abilita la memoria alla scrittura. Quando questo segnale è alto la memoria si aspetta un dato in ingresso da scrivere.
- **o_data** è il dato che la memoria si aspetta di leggere quando la scrittura è attiva.

1.4 Dati e Descrizione memoria

Fig.1

```
1 architecture projecttb of project_tb is
2   constant   c_CLOCK_PERIOD    : time := 15 ns;
3   signal      mem_address       : std_logic_vector (15 downto 0);
4   signal      mem_o_data        : std_logic_vector (7  downto 0);
5   signal      mem_i_data        : std_logic_vector (7  downto 0);
6   signal      tb_done           : std_logic;
7   signal      tb_rst            : std_logic;
8   signal      tb_start          : std_logic;
9   signal      tb_clk            : std_logic;
10  signal      enable_wire       : std_logic;
11  signal      mem_we             : std_logic;
12
13  type ram_type is array (65535 downto 0) of std_logic_vector(7 downto 0);
```

Fig. 2

```
1 begin
2 UUT: project_reti_logiche
3 port map (
4     i_clk      => tb_clk,
5     i_start    => tb_start,
6     i_rst      => tb_rst,
7     i_data     => mem_o_data,
8     o_address  => mem_address,
9     o_done     => tb_done,
10    o_en       => enable_wire,
11    o_we       => mem_we,
12    o_data     => mem_i_data
13 );
```

2 Desing Pattern

2.1 Scelte Progettuali

La struttura del progetto è stata suddivisa in due process principali: `UPDATE` e `STATES`. Il primo ha il compito di relazionarsi con la memoria e il secondo contiene gli stati della macchina impiegati nella equalizzazione delle immagini. In questo modo una porzione di codice è adibita esclusivamente alla computazione dei pixel (process `STATES`), mentre la rimanente si occupa dei segnali di output della *entity* (process `UPDATE`).

Per permettere un corretto dialogo tra i due process è nata l'esigenza di avere dei segnali "duplicati". I segnali con suffisso `'_cp'` sono stati introdotti per mantenere in memoria i valori computati, mentre i segnali con suffisso `'_next'` sono stati implementati allo scopo di permettere agli stati di far richieste alla memoria. Nel particolare, per ogni ciclo di clock, durante il *rising-edge*, il process `UPDATE` si risveglia, aggiornando i segnali. I segnali contenenti i valori da mantenere vengono reimpostati con i segnali `'_cp'`, mentre i segnali di output della *entity* sono aggiornati con i segnali `'_next'`.

Il process `STATES` è a tutti gli effetti un FSA (*Macchina a Stati Finiti*) rappresentabile attraverso lo schema al paragrafo 2.3.1. Il suo funzionamento è permesso sostanzialmente da tre segnali a lui dedicati: `next_state`, che identifica la chiamata allo stato prossimo, `curr_state`, che rileva lo stato corrente, e `prev_state`, che conserva lo stato precedente.

2.2 Elenco Stati - Process STATES

2.2.1 START

Lo stato di `START` è il primo stato del process `STATES` ed è stato pensato come stato di attesa iniziale. Questo stato viene invocato in due situazioni differenti: se il segnale di `i_rst` viene portato alto, oppure quando il segnale `i_start` viene riportato basso dopo la computazione di un immagine. Lo stato `START` non cambia fino a quando il segnale `i_start` non viene portato alto. In quel momento lo stato successivo viene impostato a `INIT`.

2.2.2 INIT

`INIT` è uno stato di transizione nel quale il processore si assicura che i segnali siano inizializzati con i valori opportuni. Successivamente imposta lo stato prossimo a `ABILIT_READ`.

2.2.3 ABILIT_READ

Attraverso `ABILIT_READ` si abilita la memoria alla sola lettura. Viene richiamato in due momenti diversi del progetto: all'inizio della computazione, subito dopo `INIT`, per portare il segnale `o_en` a 1 e permettere agli altri stati di poter leggere dalla memoria, oppure dopo la scrittura di un pixel, al fine di disabilitare l'accesso alla scrittura. In base allo stato chiamante, instrada lo stato prossimo a quello opportuno.

2.2.4 ABILIT_WRITE

Lo stato `ABILIT_WRITE` abilita la memoria alla scrittura. Viene invocato subito dopo aver computato il valore del nuovo pixel e in nessun altro momento. Instrada poi lo stato prossimo a `WRITE_PIXEL`.

2.2.5 WAIT_MEM

WAIT_MEM è uno stato centrale durante la gestione del flusso di dati. La sua funzione è quella di far “sprecare” un ciclo di clock al processore. Ciò ci assicura sia in caso di scrittura, sia in caso di lettura, che i segnali in ingresso e in uscita siano letti o scritti correttamente. Nello specifico, questo stato evita che lo stato successivo lavori con dati relativi allo stato precedente. In base allo stato chiamante instrada lo stato prossimo in modo opportuno.

N.B: Alcune chiamate a questo stato potevano essere evitate. Questa informazione è emersa durante lo stress test a cui il processore è stato sottoposto. Tuttavia, è stato scelto di forzare ugualmente l’attesa per ovviare eventuali errori e per permettere la corretta acquisizione dei dati indipendentemente dal periodo di clock scelto. Ciò dovrebbe permettere una maggior robustezza, sebbene un aumento nella latenza della computazione.

2.2.6 GET_RC

GET_RC si occupa della lettura dei primi due pixel della memoria in cui sono contenute le dimensioni dell’immagine da modificare. Viene invocato dopo l’abilitazione della memoria alla lettura e aggiorna i segnali `n_col` e `n_row`. Lo stato richiama se stesso fino a quando non ha aggiornato i due segnali, altrimenti imposta lo stato prossimo a GET_DIM.

2.2.7 GET_DIM

Lo stato GET_DIM si preoccupa di aggiornare il segnale `dim_address` con l’indirizzo del primo bit libero per la scrittura. Il calcolo che ne determina il valore è: $n_col \cdot n_row + 2$. GET_DIM verifica inoltre il caso speciale in cui una delle dimensioni dovesse essere nulla. In quel caso impone lo stato prossimo a DONE.

N.B: La moltiplicazione usa segnali `std_logic_vector` da 8 bit e produce un risultato su 16 bit. Essendo `dim_address` un `std_logic_vector` su 16 bit, il problema non si pone.

2.2.8 READ_PIXEL

READ_PIXEL è uno stato strettamente connesso con lo stato GET_MINMAX. Richiede alla memoria il valore del pixel da leggere e aggiorna il segnale `curr_address` a quello successivo. In questo modo il valore del pixel sarà disponibile sul segnale `i_data` dopo due *rising-edge* successivi. L’attesa è sempre lasciata allo stato WAIT_MEM.

2.2.9 GET_MINMAX

GET_MINMAX aggiorna i segnali `max_pixel_value` e `min_pixel_value`, inizializzati rispettivamente con 0 e 255, con il valore di `i_data`. Questo avviene se e solo se si verifica che `i_data` è maggiore di `max_pixel_value` (in questo caso aggiorna `max_pixel_value`) oppure se `i_data` è minore di `min_pixel_value` (in questo caso aggiorna `min_pixel_value`). Infine, imposta lo stato prossimo a READ_PIXEL.

2.2.10 GET_DELTA

GET_DELTA è uno stato banale. Calcola la differenza tra `max_pixel_value` e `min_pixel_value` e imposta lo stato prossimo a WAIT_MEM.

2.2.11 CALC_SHIFT

Lo stato CALC_SHIFT si preoccupa di effettuare la riga 2 dello speudo-codice riportato al paragrafo 1.2. Per effettuare il calcolo, richiama se stesso (attraverso lo stato WAIT_MEM) aggiornando dei segnali d'appoggio. Nel dettaglio si potrebbe semplificare il tutto con il seguente pseudo-codice:

```
1:  $m \leftarrow \text{delta\_value} + 1$ 
2:  $k \leftarrow -1$ 
3:  $t \leftarrow 1$ 
4: while  $t \leq m$  do
5:    $k \leftarrow k + 1$ 
6:    $t \leftarrow t * 2$ 
7: end while
8:  $\text{shift\_level} \leftarrow 8 - k$ 
```

Sostanzialmente attraverso il ciclo WHILE si ricava k , il quale non è altro che il valore di $\lfloor \log_2(\text{delta_value} + 1) \rfloor$. Questa procedura è forse quella più dispendiosa a livello di tempo e memoria, poichè per aggiornare ogni segnale si deve come minimo attendere due cicli di clock. Inoltre, la moltiplicazione tra due interi (t e 2) produce un risultato su 64 *bit* che VHDL gestisce troncando a 32 *bit*. Per le specifiche del progetto, ci si aspetta che k non possa assumere un valore maggiore di 8. Pertanto, si è certi che una variabile a 32 *bit* possa largamente contenere i valori desiderati.

2.2.12 GET_PIXEL

GET_PIXEL è uno stato omonimo di READ_PIXEL. La principale differenza del primo con il secondo è che mentre READ_PIXEL effettua dei controlli sul flusso della computazione, GET_PIXEL richiede solamente alla memoria il dato da leggere e imposta lo stato prossimo a WAIT_MEM.

2.2.13 CALC_NEWPIXEL

In CALC_NEWPIXEL si calcola il nuovo valore del pixel da scrivere in memoria. Per farlo, viene utilizzata una variabile di appoggio `pixel_to_shift` definita come uno *std_logic_vector* da 16 *bit* e inizializzata come `i_data - min_pixel_value` con l'aggiunta di otto '0' in posizione più significativa. La variabile viene, quindi, shiftata e su di essa viene fatto il seguente controllo: se risulta essere minore di 255 allora aggiorniamo il segnale `new_pixel` al suo valore in *std_logic_vector* su 8 *bit*, altrimenti il segnale `new_pixel` viene impostato a 255 sempre in *std_logic_vector* su 8 *bit*.

2.2.14 WRITE_PIXEL

Lo stato WRITE_PIXEL si assicura che il valore del nuovo pixel calcolato sia scritto in memoria, incrementa tutti i contatori e controlla di non essere arrivato al termine della computazione. Il controllo usufruisce della variabile intera `last`, che assume il valore di $2 * \text{n.col} * \text{n.row} + 2$, ovvero l'indice dell'ultimo pixel scrivibile. Quando il contatore assume questo valore lo stato successivo viene impostato a DONE (sempre attraverso WAIT_MEM), altrimenti viene impostato lo stato prossimo a ABILIT_READ, dove la scrittura viene disabilitata e viene riabilitata la lettura per il pixel successivo. Anche qui, si noti che il calcolo di `last` è sicuramente contenibile in una variabile a 32 *bit*.

2.2.15 DONE

DONE chiude tutte le comunicazioni con la memoria, riportando a '0' sia `o_en` che `o_we` e pulendo il buffer di `o_address` e `o_data`. Successivamente il segnale `o_done` viene portato ad '1' e lo stato prossimo è impostato a `WAITING_PIC`.

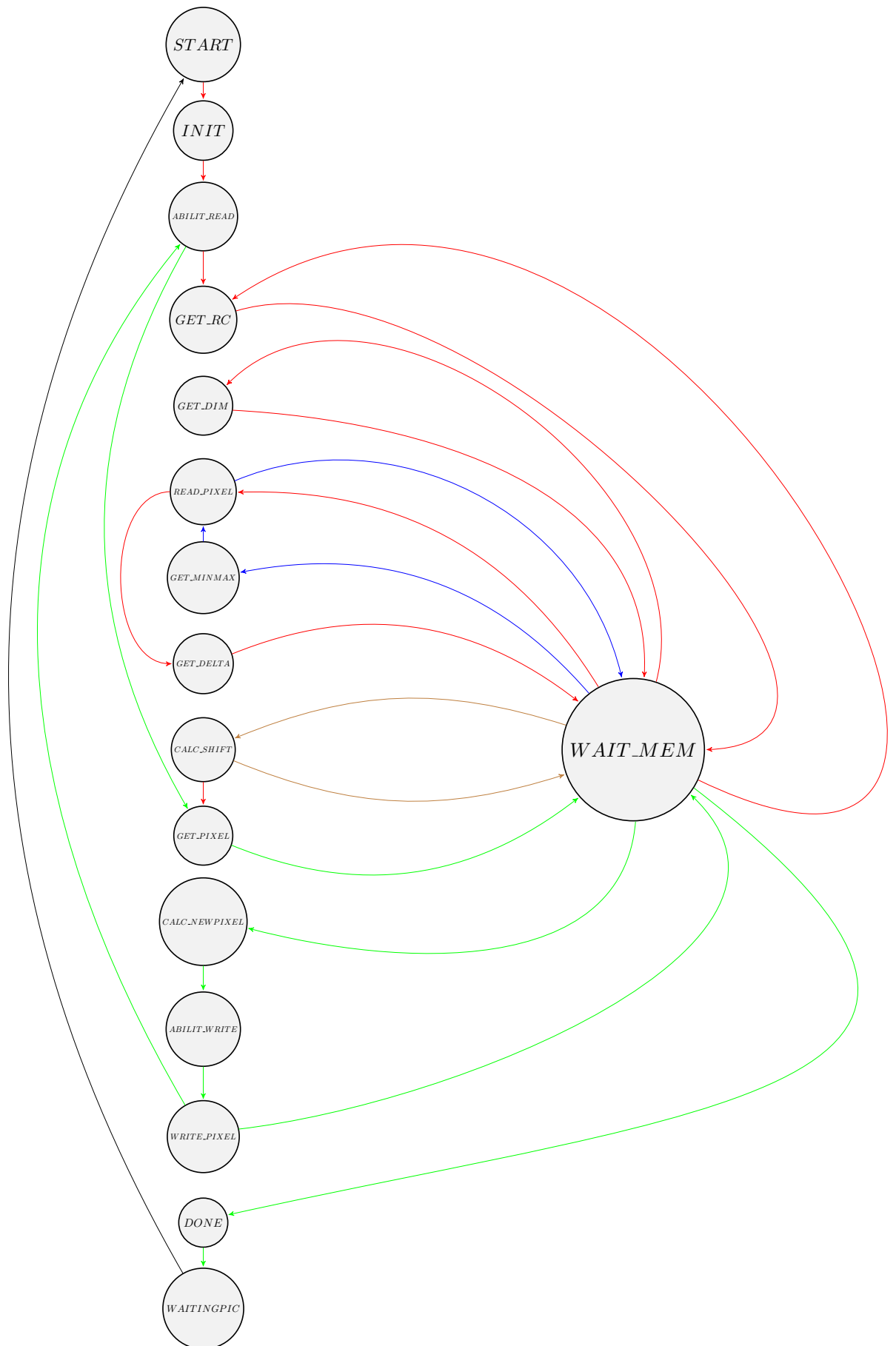
2.2.16 WAITINGPIC

Ultimo stato del processo. Ha lo scopo di restare in attesa che il segnale di `i_start` venga riportato a '0'. Finché ciò non avviene, `WAITING_PIC` richiama se stesso. Quando sia `i_start` che `o_done` hanno il segnale a '0', imposta lo stato prossimo a `START` facendo ricominciare l'intera compilazione.

2.3 Approfondimento sul process STATES

All'interno del process `STATES` si possono notare due macro momenti della computazione. Il primo (in rosso sullo schema al paragrafo successivo) è quello descritto dalla prima lettura completa della memoria, attraverso la quale si determinano tutti i valori necessari per la computazione del nuovo pixel. Si noti inoltre che all'interno del primo momento abbiamo due cicli ben distinti: uno per il calcolo del *max_value* e *min_value* e uno per il calcolo dello *shift_level* (rispettivamente in blue e marrone). Il secondo momento (in verde), invece, è descritto dalla seconda lettura semi-completa della memoria (difatto si esclude la lettura dei primi 2 *byte*) ed è il momento nel quale il pixel appena letto viene rielaborato e salvato in memoria nel *byte* opportuno. Questa doppia lettura della memoria, sebbene aumenti la complessità temporale, è strettamente necessaria, per via del calcolo del *delta*. Inizialmente, si era pensato di ottimizzare il secondo momento con due proecess paralleli: il primo avrebbe elaborato i pixel pari, mentre il secondo i pixel dispari, e sarebbero stati gestiti da opportuni 'semafori'. Tuttavia, la struttura attuale è risultata essere molto più stabile nei test, permettendoci anche di variare a nostra discrezione il tempo di clock della computazione.

2.3.1 Schema process STATES



3 Risultati dei Test

Write something here!

4 Conclusioni

Write something here