

Bachelorthesis Thomas Lattmann

Chipimplementation einer zweidimensionalen Fouriertransformation für die Auswertung eines Sensor-Arrays

Motivation

Magnetische Sensoren haben in der Automobilelektronik eine hohe Bedeutung. Sie werden für die berührungslose Erfassung von Drehzahlen und Winkelinformationen verwendet. Sie kommen in der Motorelektronik, im Bremssystem und im Komfortbereich vielfältig zum Einsatz.

Die HAW Hamburg arbeitet in Kooperation mit Partnern an dem Forschungsprojekt „ISAR - Signalverarbeitung für Integrated Sensor-Arrays basierend auf dem Tunnel-Magnetoresistiven Effekt für den Einsatz in der Automobilelektronik“, das vom Bundesministerium für Bildung und Forschung gefördert wird. In dem Projekt soll Signalverarbeitung und die Systemarchitektur für ein neuartiges Sensorarray entwickelt werden. Mit dem Sensorarray ist die Erfassung des Magnetfelds eines Permanentmagneten möglich, dessen räumliche Lage die Nutzinformation darstellt. Mit dem Array wird Fehlerkorrektur für diese Nutzinformation möglich. Außerdem wird eine Detektion und Kompensation von Störfeldern angestrebt.

Ziele

In der Bachelorarbeit von Herrn Lattmann wird ein Teilmodul für die Signalauswertung von Array-Sensoren in VHDL implementiert und anschließend in ein Chipdesign überführt. Dieses Teilmodul beinhaltet die zweidimensionale diskrete Fouriertransformation (2D-DFT). Diese Transformation wird häufig in der Bildverarbeitung angewendet. Durch die Transformation ist eine Betrachtung im Ortsraum möglich. Sie soll ermöglichen, die Winkelinformation des Magneten zu errechnen und zugleich irrelevante Information separieren. In einem Teil der Ortsfrequenzanteile sind die relevanten Signale des Arrays zusammengefasst, diese können dann zur Berechnung der Nutzinformation verwendet werden. Kern der Umsetzung ist die Implementierung der Matrixmultiplikationen mit einer Konstantenmatrix. Für die Implementation und Umsetzung der 2D-DFT werden weitere Module für die Ein- und Ausgabe und für die Zwischenspeicherung benötigt. Diese Module sind kein Teil der Aufgabenstellung und werden im Projektteam gemeinsam entwickelt.

Aufgabenstellung

Herr Thomas Lattmann soll in der Bachelorarbeit folgende Arbeitspakete behandeln:

1. Einarbeitung
 - Cadence Chipdesign-Umgebung
 - Zusammenhänge der Tools beim Chipdesign in Cadence
 - Überblick des CMOS Prozesses c35b3 / c35b4
 - Wo befindet sich der verwendete Prozess im Vergleich mit heutigen Prozessen (evtl. Entwicklungsgeschichte / Timeline)
2. Konzeptioneller Entwurf einer 2D-DFT
 - Darstellungsformen (2D-DFT → Summe, Matrixform)
 - Zwischenspeicherung (nach erster Operation)
 - Twiddle-Faktoren und Symmetrieeigenschaften bei verschiedenen Arraygrößen (gerade und ungerade Anzahl Spalten/Zeilen, 8x8, 9x9, bis 15x15)

- Auflistung der Twiddle-Faktoren bei Array-Größen von 4x4 bis 15x15
- Recherchearbeit vergleichbare Lösungen (z.B. DFT, 2D-DFT oder Cosinustransformation in VHDL, ...)
- Analyse und Dokumentation wichtiger Entwurfsvorentscheidungen (Bitzahl der Arithmetik und Konstanten, Ablauf und Reihenfolge der Berechnungen, Ansätze für Parallelarbeit)

3. VHDL Umsetzung

- Beschreibung, Simulation und Aufwandabschätzung von Einzelkomponenten (Konstantenmultiplikation, Akkumulation und Zwischenspeicherung)
- Definition von Steuerwerk (Zustandsautomaten)
- Defintion des/der Rechenwerk/e
- Logiksimulationen von Steuer- und Rechenwerk und der Gesamtfunktion
- Vergleich von Varianten

4. Chip Implementation

- Beschreibung der generellen Umsetzungsschritte
- Cadence Chipdesign Digital Signal implementation
- Pre-Layout Simulation mittels des Cadence Modul *nclaunch*
- Erstellen der Verilog-Netzliste (RTL-Compiler, anschließende Timing Simulation)
- Platzieren der Standardzellen und Planung der Spannungsversorgung
- Layout mit Padring → Abschätzung Flächenbedarf etc.
- Post-Layout Simulation, Abschätzung Taktzeiten etc.

5. Zusammenfassung und Ausblick

- Bewertung der Ergebnisse
- Offene Punkte und Ansätze zur Weiterführung
- Fazit und Beitrag zum Gesamtprojket

6. Anhang

- Kurzbeschreibung der Vorgehensweise in der Cadence-Umgebung
- Simulationsbeispiele und -varianten
- Quelltexte und Layoutbeispiel

Dokumentation

Die gewählten Lösungen und die Vorgehensweise in der Entwicklungsumgebung sind gut nachvollziehbar und für die zukünftige Nutzung zu dokumentieren.

Die Erprobungsergebnisse sind in aussagefähigem Umfang zu erfassen und auszuwerten. Die realisierten Lösungen und die Ergebnisse sind kritisch einordnend zu bewerten. Ansätze für Verbesserungen und weitere Arbeiten sind zu nennen.