



แบบรายงาน Final Project

Design and Simulation of Amplifier Circuits

จัดทำโดย

นายวิวิธวินท์ เจริญงาม 6310501933

เสนอ

ผศ.ดร. วรธร วัฒนพานิช

รายงานนี้เป็นส่วนหนึ่งของวิชา Electronic Circuits and Systems I รหัสวิชา 01205242

คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเกษตรศาสตร์ ปีการศึกษา 2/2564

ความต้องการและเงื่อนไขในการออกแบบ

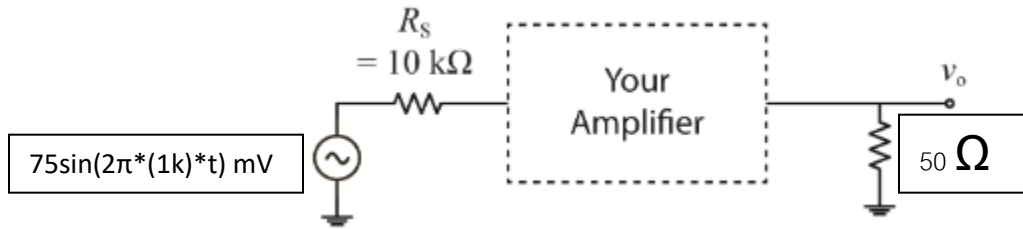
1. วงจรมีอัตราขยายแรงดันมากกว่าหรือเท่ากับ 15 เท่า
2. รักษาอัตราขยายในอุณหภูมิ 40 องศาเซลเซียสได้
3. สัญญาณเอาต์พุตเป็นสัญญาณรูป Sine มีความเพี้ยน 3%
4. ค่าตัวเก็บประจุไฟฟ้าที่ใช้ในวงจรแต่ละตัวมีค่าไม่เกิน 32 μF
5. ค่าตัวต้านทานไฟฟ้าที่ใช้ในวงจรแต่ละตัวมีค่าไม่เกิน 10 $\text{M}\Omega$
6. วงจรใช้กระแสไฟฟ้าทั้งหมดไม่เกิน 42 mA
7. $V_{cc} = 5\text{V}$, $V_a = 75\text{ mV}$, $f_{in} = 1\text{KHz}$, $R_L = 50\Omega$, Temp = 40°C

Section 2

ลำดับที่	รหัสหนังสือ	ชื่อ-นามสกุล	V_{cc}	V_a	f_{in}	$R_L (\Omega)$	Temp ($^{\circ}\text{C}$)
1	6110501298	นายจิรพัฒน์ ตาหวัด	3.3 V	6 mV	10 KHz	8	30
2	6110501425	นายณัฐดนัย เก้าสันทะ	5 V	75 mV	1 KHz	50	40
3	6110506061	นายปรมิ ปลอศภัย	7.5 V	150 mV	800 Hz	75	50
4	6310500015	นายธนพัฒน์ จันทร์แสง	3.3 V	6 mV	10 KHz	8	60
5	6310500023	นางสาวสิริกัญญา ทอมแก่นจันทร์	5 V	75 mV	1 KHz	50	70
6	6310500589	นางสาวกัลปียกร พงษ์สิทธิ์ชัย	7.5 V	150 mV	800 Hz	75	80
7	6310500619	นายธัญวัฒน์ โชติเดชานรงค์	3.3 V	6 mV	10 KHz	8	30
8	6310500651	นางสาวสุริยศิริ บ้องโสม	5 V	75 mV	1 KHz	50	40
9	6310501569	นางสาวจิรัชญา พุทธา	7.5 V	150 mV	800 Hz	75	50
10	6310501585	นายเจษฎากร จรัสโชติเสถียร	3.3 V	6 mV	10 KHz	8	60
11	6310501593	นายชัยธรรม วีรสิทธิ์โชติ	5 V	75 mV	1 KHz	50	70
12	6310501712	นายรัชชัย ฆนาฤดี	7.5 V	150 mV	800 Hz	75	80
13	6310501721	นายณรวิชญ์ อินทร์แก้ว	3.3 V	6 mV	10 KHz	8	30
14	6310501755	นายปณวัฒน์ ตุงเจริญวงศ์	5 V	75 mV	1 KHz	50	40
15	6310501763	นางสาวปัทมยา จุลอมรโชติ	7.5 V	150 mV	800 Hz	75	50
16	6310501798	นายพงศภิก วัฒนาเสรีพล	3.3 V	6 mV	10 KHz	8	60
17	6310501828	นางสาวพัชรมาศ สุขศรี	5 V	75 mV	1 KHz	50	70
18	6310501895	นายภูริภาส ใจดี	7.5 V	150 mV	800 Hz	75	80
19	6310501909	นายวิวัฒน์จิกรณ์ รุ่งสุวรรณกิจ	3.3 V	6 mV	10 KHz	8	30
20	6310501933	นายวิรัชวินท์ เจริญงาม	5 V	75 mV	1 KHz	50	40

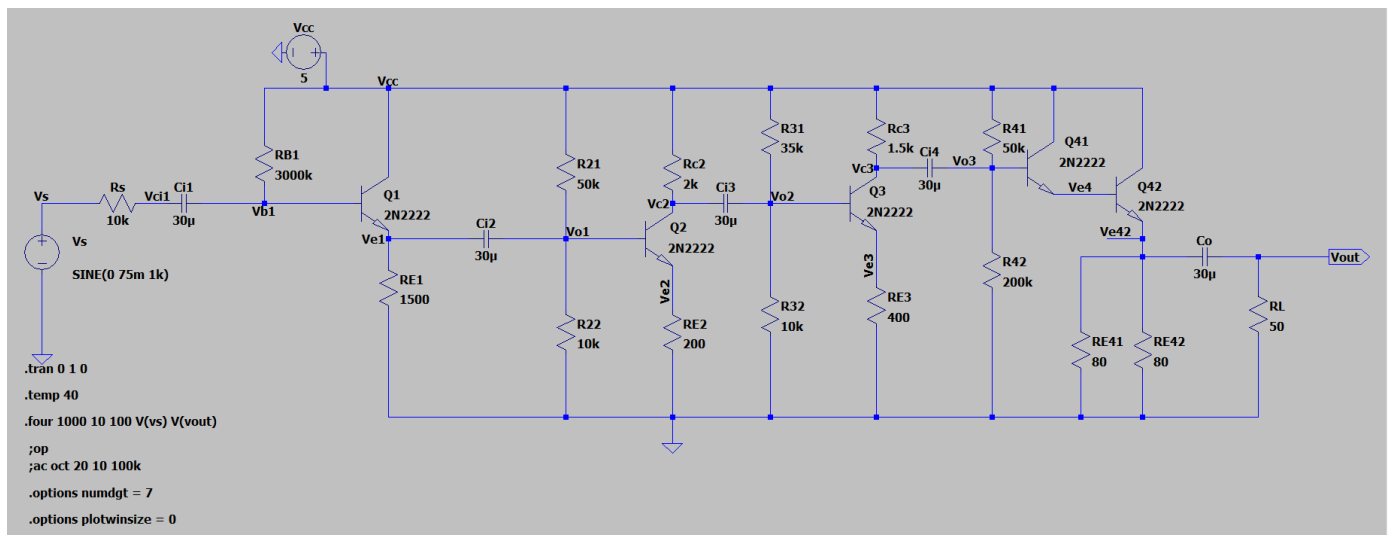
ภาพที่ ก รายชื่อและรายละเอียดที่ได้รับมอบหมาย

ภาพวงจรขยายสัญญาณแบบพลังงานต่ำ



ภาพที่ ข ตัวอย่างวงจรขยายสัญญาณแบบต่ำ

การออกแบบวงจร



ภาพที่ 1 วงจรขยายสัญญาณแบบต่ำ

การออกแบบวงจรขยายสัญญาณแบบต่ำเริ่มจาก เงื่อนไขที่เราต้องการที่จะได้ และข้อกำหนดเริ่มต้นของวงจร วงจรที่เราจะทำแบ่งออกเป็นวงจร Buffer ที่ Q1 และ Q4 โดยวงจร Q1 จะใช้ common collector ในการปรับแรงดันให้แบ่งมาที่วงจรมากกว่าที่ R_s โดยการกำหนดในส่วนนี้จะต้องมากำหนดอีกครั้งหลังจากออกแบบทุกวงจรเสร็จแล้ว และหาความต้านทานภายในรวมทุกวงจร วงจร Q4 จะเป็น Darlington Configuration ทำหน้าที่เป็นวงจรที่ขยายกระแสให้สูง เพื่อที่จะนำไปขับตัวต้านทานโหลด เพราะตัวต้านทานโหลดมีขนาดต่ำจึงต้องใช้กระแสสูง

ในส่วนของวงจรขยายสัญญาณ Q2 และ Q4 จะสามารถหาอัตราขยายได้จากอัตราส่วนตัวต้านทานระหว่าง collector และ emitter โดยให้อัตราขยายอยู่ที่ 7-12 เท่า เนื่องจากอัตราขยายต่ำเกินไปจะต้องใช้หลายสเตจ แต่ถ้าให้อัตราขยายสูงเกินไปจะทำให้สัญญาณเกิดความเพี้ยนขึ้น เนื่องจาก ความต้านทานที่ collector จะมีค่ามาก ทำให้แรงดันไฟฟ้าที่ตัวต้านทานมีค่ามากจนเกินค่าแรงดันไฟฟ้ากระแสตรง V_{cc} และเราจะมีการใช้ตัวเก็บประจุเพื่อกรองสัญญาณกระแสตรงออก

เมื่อเราได้แนวทางออกแบบแล้วเราจะต้องไปอัสเพื่อที่จะได้ กระแสเข้าเบสแต่ละสเตจ และแรงดันไฟฟ้า V_{ce} เพื่อเป็นตัวกำหนดการ active ของ transistor เราจะกำหนด R_{b1} มีค่าสูงมากๆ เพื่อที่จะนำไปชูนานและไม่ลดความต้านทานวงจรจนแรงดันไฟฟ้าแบ่งไปที่ R_s มากเกินไป เราจะออกแบบ R_{e1} จากเงื่อนไขการ active ของวงจร Q1 โดยที่วงจรไม่ก่อให้เกิดสัญญาณเพี้ยน และไม่ลดอัตราขยายมากเกินไป หลังจากนั้นออกแบบ Q2 และ Q3 จากอัตราส่วนความต้านทาน collector และ emitter เพื่อออกแบบอัตราขยาย จากนั้นนำไปใช้ในการไปอัส และเงื่อนไข active ของวงจร โดยที่วงจรไม่ก่อให้เกิดสัญญาณเพี้ยน และเพิ่มค่าน้อยมาก ในการออกแบบความต้านทานส่วนที่ใช้ในการไปอัสต้องออกแบบให้มีค่าต่ำ ซึ่งจะส่งผลให้กระแสเบสมีค่าต่ำ แต่จะทำให้เงื่อนไขการ active ผ่าน ส่วนวงจร Darlington Configuration จะออกแบบจากกระแสขั้นต่ำที่จะใช้ในขับโหลดที่เราใช้กับความต้านทานที่จะนำมาชูนานก็ต้องไม่มากเกินไป เพราะจะไม่ลดแรงดันรวมและไม่ลดอัตราขยาย โดยในการไปอัสจะออกแบบให้กระแสตรงที่เข้าเบสสูงเพื่อขับกระแสให้เต็มที่

DC Operation point

หา DC Operation point โดยการนำ Vs ออก และดูการไบแอสของทรานซิสเตอร์แต่ละตัว

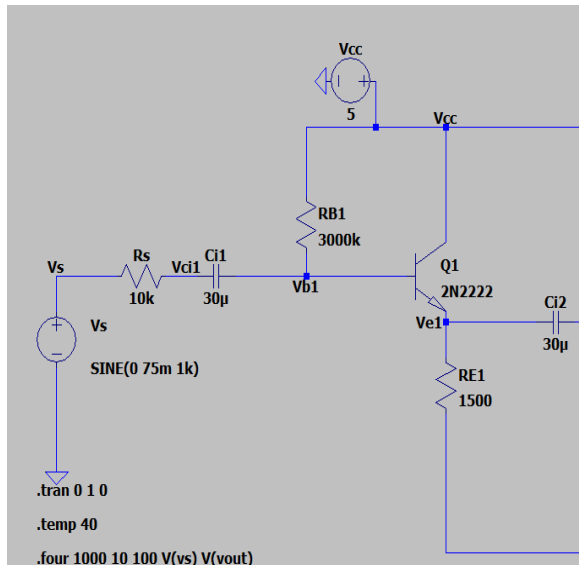
```

--- Operating Point ---
V(vs) :          0          voltage
V(vci1) :        3.11498e-013 voltage
V(vcc) :          5          voltage
V(vb1) :        1.03833      voltage
V(ve1) :        0.440478     voltage
V(vo1) :        0.800416     voltage
V(vc2) :        3.27927      voltage
V(ve2) :        0.172863     voltage
V(vo2) :        1.07209      voltage
V(vc3) :        3.36494      voltage
V(ve3) :        0.438022     voltage
V(vo3) :        3.93414      voltage
V(ve4) :        3.33033      voltage
V(ve42) :        2.56514     voltage
V(vout) :        3.84771e-015 voltage
Ic(Q42) :        0.0637727    device_current
Ib(Q42) :        0.000355899   device_current
Ie(Q42) :        -0.0641286    device_current
Ic(Q41) :        0.000354252   device_current
Ib(Q41) :        1.64651e-006   device_current
Ie(Q41) :        -0.000355899   device_current
Ic(Q3) :         0.00109004     device_current
Ib(Q3) :         5.01748e-006   device_current
Ie(Q3) :        -0.00109505     device_current
Ic(Q2) :         0.000860363    device_current
Ib(Q2) :         3.95012e-006   device_current
Ie(Q2) :        -0.000864313    device_current
Ic(Q1) :         0.000292332    device_current
Ib(Q1) :         1.32056e-006   device_current
Ie(Q1) :        -0.000293652    device_current
I(Co) :         -7.69543e-017   device_current
I(Ci4) :         1.70759e-017   device_current
I(Ci3) :        -6.62157e-017   device_current
I(Ci2) :         1.07981e-017   device_current
I(Ci1) :         3.11498e-017   device_current
I(Re41) :        0.0320643      device_current
I(R42) :        1.96707e-005     device_current
I(R41) :        2.13172e-005     device_current
I(Rl) :         7.69543e-017     device_current
I(Re42) :        0.0320643      device_current
I(Rc3) :        0.00109004     device_current
I(Re3) :        0.00109505     device_current
I(R32) :        0.000107209     device_current
I(R31) :        0.000112226     device_current
I(Rc2) :        0.000860363    device_current
I(Re2) :        0.000864313    device_current
I(R22) :        8.00416e-005     device_current
I(R21) :        8.39917e-005     device_current
I(Re1) :        0.000293652    device_current
I(Rb1) :        1.32056e-006   device_current
I(Rs) :         3.11498e-017   device_current
I(Vcc) :        -0.0665885     device_current

```

ภาพที่ 3 DC operation point

1. DC Operation point of Q1



ภาพที่ 4 วงจร Buffer Q1

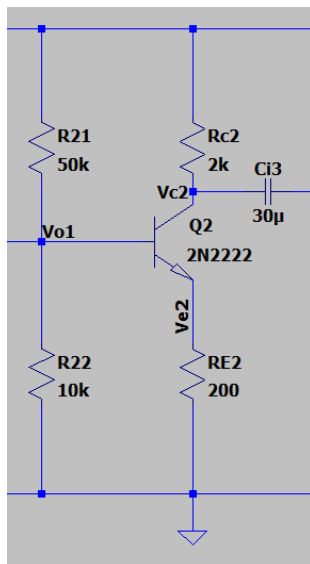
$$V_{cc} = 5 \text{ V}, V_{b1} = 1.04 \text{ V}, V_{e1} = 0.44 \text{ V}$$

$$I_{b(Q1)} = 1.32 \mu\text{A}, I_{e(Q1)} = 0.29 \text{ mA}$$

Check Active:

$$V_{ce,1} = V_{cc} - V_{e1} = 5 - 0.44 = 4.56 \text{ V} \rightarrow Q1 \text{ Active}$$

2. DC Operation point of Q2



ภาพที่ 5 วงจร Amplifier Q2

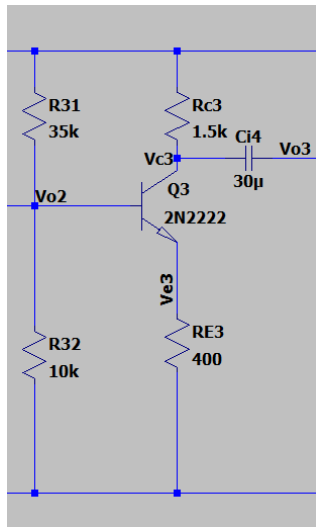
$$V_{cc} = 5 \text{ V}, V_{o1} = 0.8 \text{ V}, V_{c2} = 3.28 \text{ V}, V_{e2} = 0.17 \text{ V}$$

$$I_{b(Q2)} = 3.95 \mu\text{A}, I_{c(Q2)} = 0.86 \text{ mA}$$

Check Active:

$$V_{ce,2} = V_{cc} - V_{e2} = 5 - 0.17 = 4.83 \rightarrow Q2 \text{ Active}$$

3.DC Operation point of Q3



$$V_{cc} = 5 \text{ V}, V_{o2} = 1.07 \text{ V}, V_{c3} = 3.36 \text{ V}, V_{e3} = 0.43 \text{ V}$$

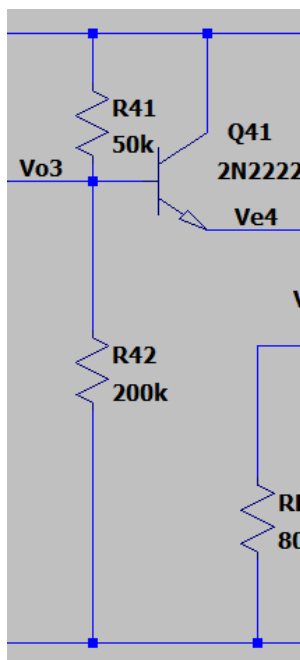
$$I_{b(Q3)} = 5.01 \mu\text{A}, I_{c(Q3)} = 1.09 \text{ mA}$$

Check Active:

$$V_{ce,3} = V_{cc} - V_{e3} - V_{Rc3} = 5 - 0.43 - 1.63 = 2.94 \rightarrow Q3 \text{ Active}$$

ภาพที่ 6 วงจร Amplifier Q3

4.DC Operation point of Q4,1



$$V_{cc} = 5 \text{ V}, V_{o3} = 3.36 \text{ V}, V_{c41} = 5 \text{ V}, V_{e41} = 3.33 \text{ V}$$

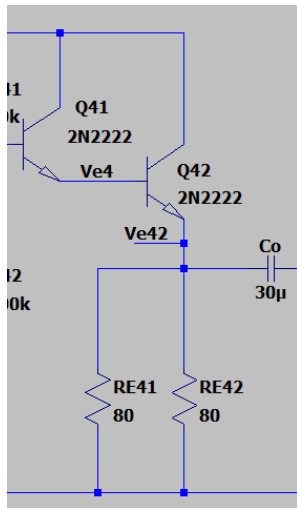
$$I_{b(Q41)} = 1.64 \mu\text{A}, I_{c(Q41)} = 0.35 \text{ mA}$$

Check Active:

$$V_{ce,41} = V_{cc} - V_{e41} = 5 - 3.33 = 1.67 \text{ V} \rightarrow Q41 \text{ Active}$$

ภาพที่ 7 วงจร Buffer Q4,1

5.DC Operation point of Q4,2



$$V_{cc} = 5 \text{ V}, V_{e41} = 3.33 \text{ V}, V_{c42} = 5 \text{ V}, V_{e42} = 2.56 \text{ V}$$

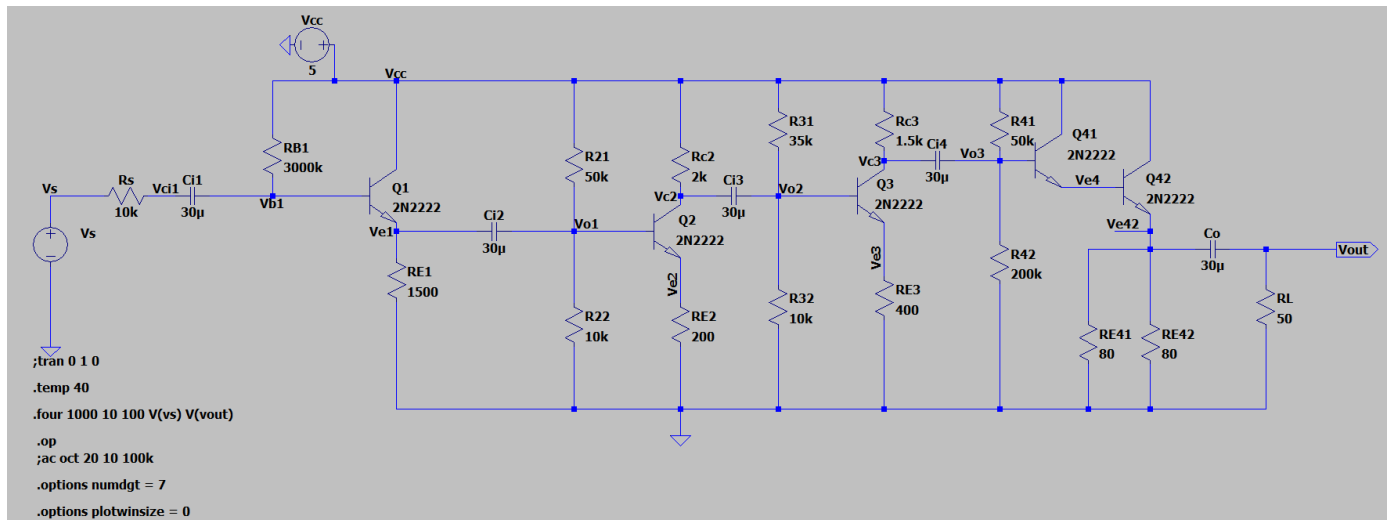
$$I_{b(Q42)} = 0.35 \text{ mA}, I_{c(Q42)} = 63.77 \text{ mA}$$

Check Active:

$$V_{ce,42} = V_{cc} - V_{e42} = 5 - 2.56 = 2.44 \text{ V} \rightarrow Q42 \text{ Active}$$

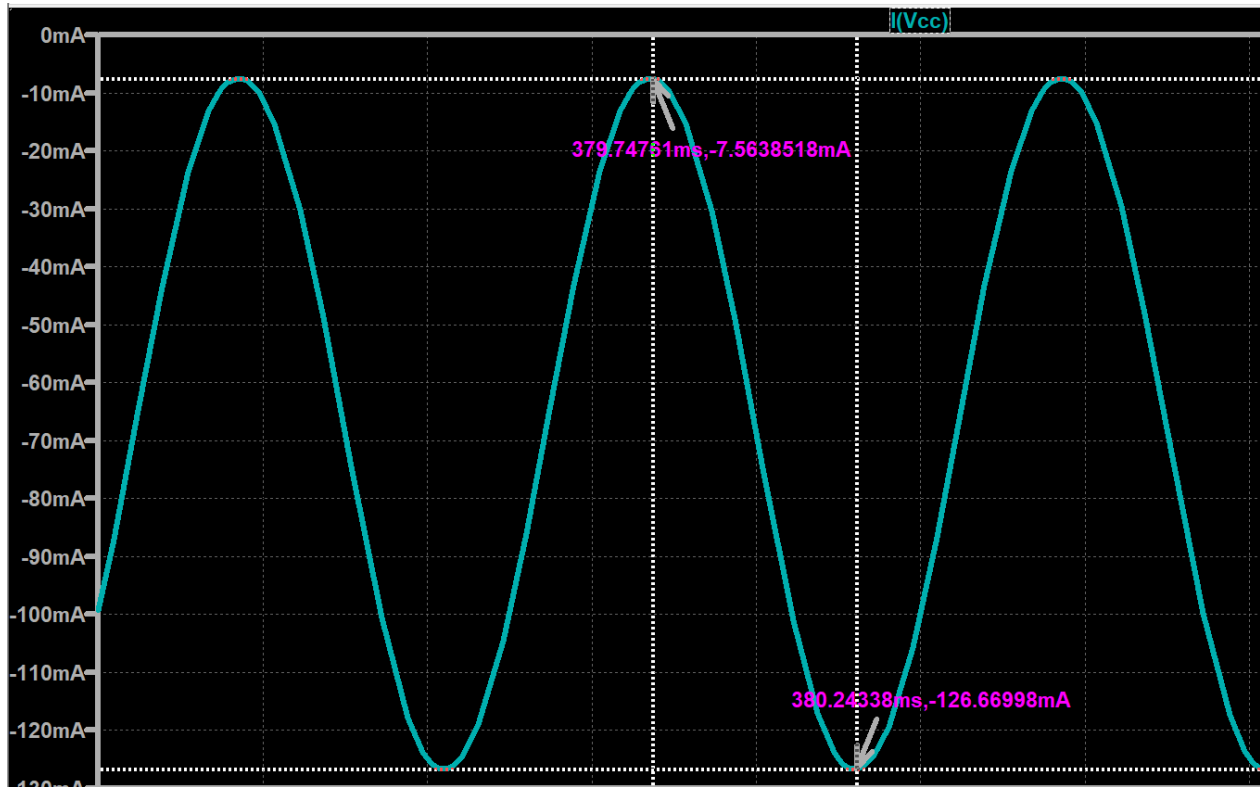
ภาพที่ 8 วงจร Buffer Q4,2

การต่อวงจรในการหาค่า DC Operation point

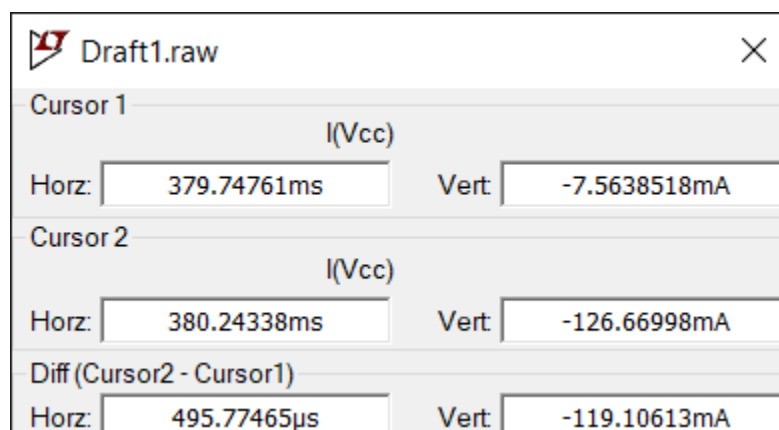


ภาพที่ 9 การต่อวงจรเพื่อหาค่า DC Operation point

กราฟกระแสไฟฟ้าที่ไหลออกจากแหล่งจ่าย (Vcc)



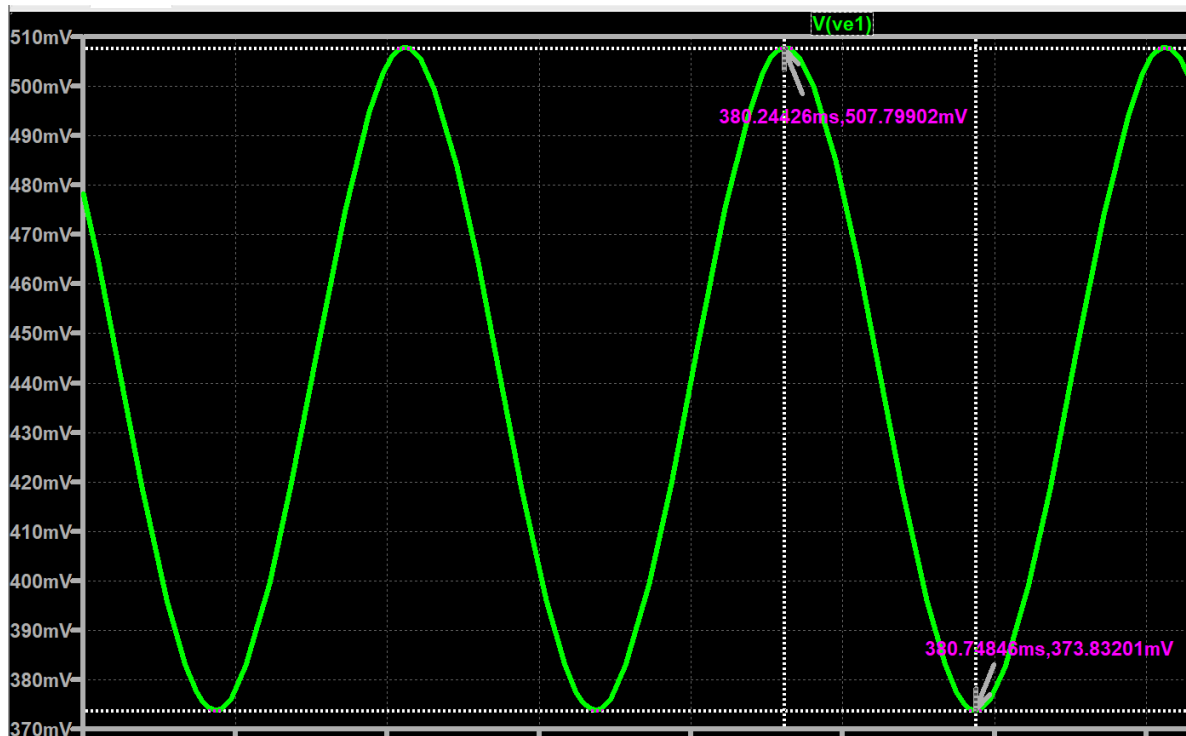
ภาพที่ 10 กราฟกระแสไฟฟ้าที่ Vcc (ไหลเข้า)



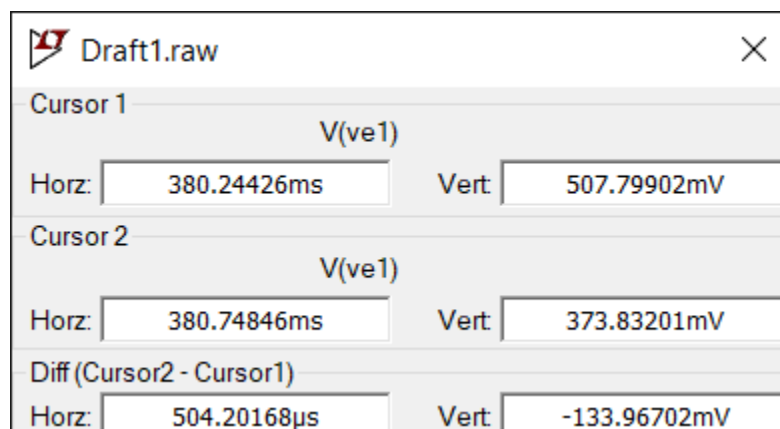
ภาพที่ 11 รายละเอียดของกราฟกระแสไฟฟ้าที่ Vcc

แรงดันไฟฟ้าที่ตำแหน่งเอาต์พุตของแต่ละสเตจ

1. แรงดันไฟฟ้าที่เอาต์พุตของ Q1

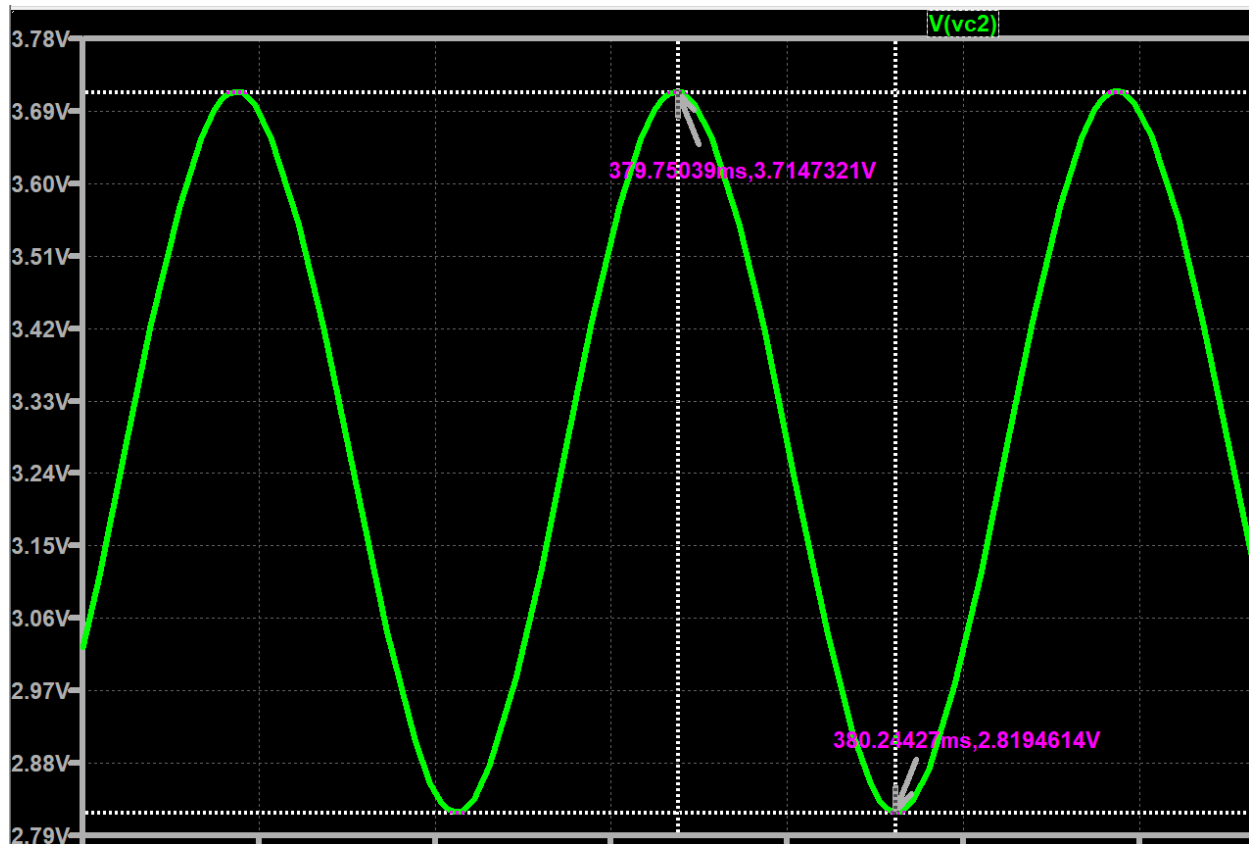


ภาพที่ 12 กราฟแรงดันไฟฟ้าที่เอาต์พุตของ Q1

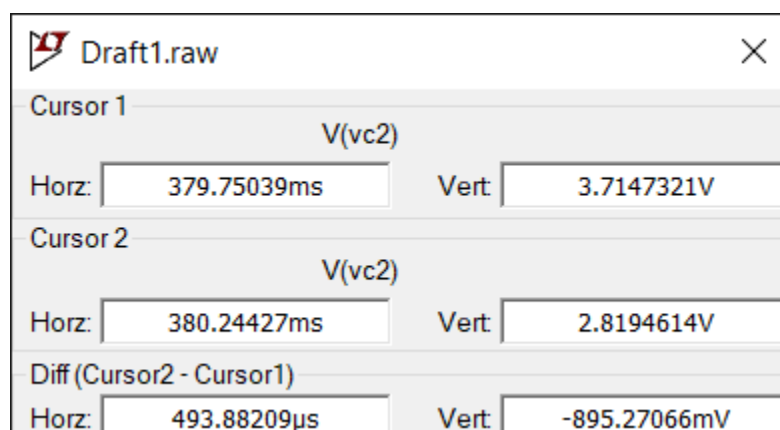


ภาพที่ 13 รายละเอียดของกราฟแรงดันไฟฟ้าที่เอาต์พุตของ Q1

2. แรงดันไฟฟ้าที่เอาต์พุตของ Q2

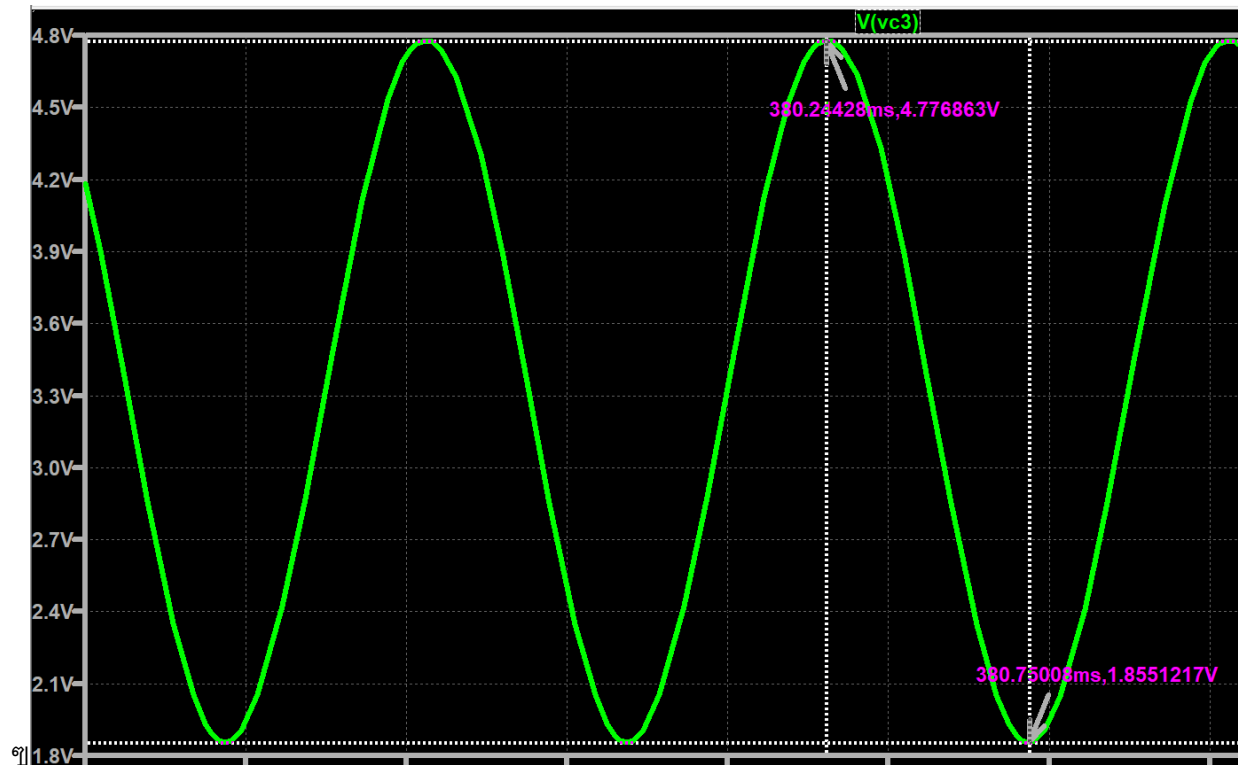


ภาพที่ 14 กราฟแรงดันไฟฟ้าที่เอาต์พุตของ Q2

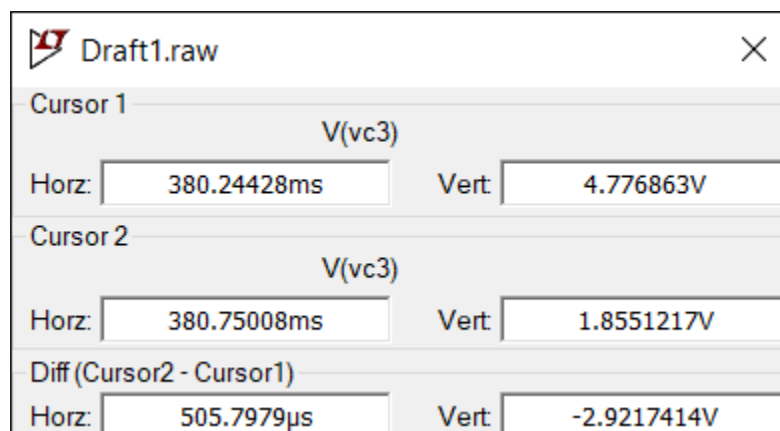


ภาพที่ 15 รายละเอียดของกราฟแรงดันไฟฟ้าที่เอาต์พุตของ Q2

3. แรงดันไฟฟ้าที่เอาต์พุตของ Q3

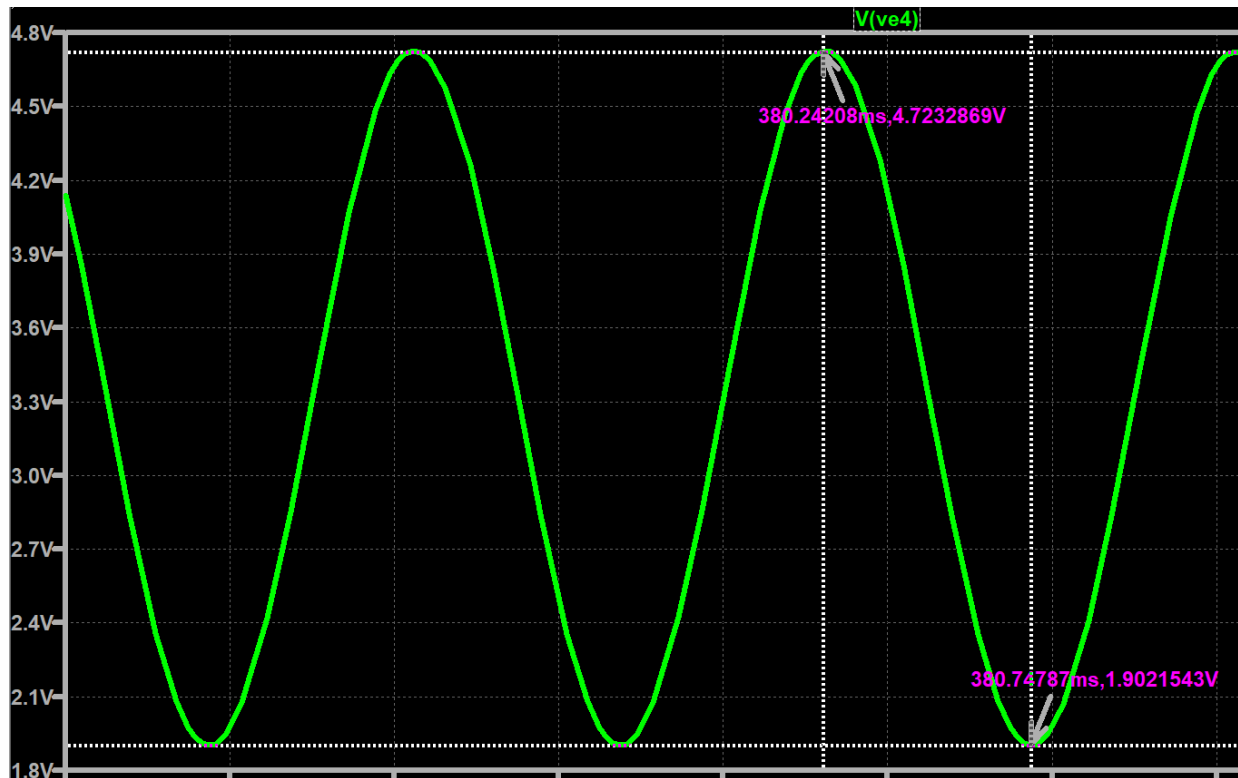


ภาพที่ 16 กราฟแรงดันไฟฟ้าที่เอาต์พุตของ Q3

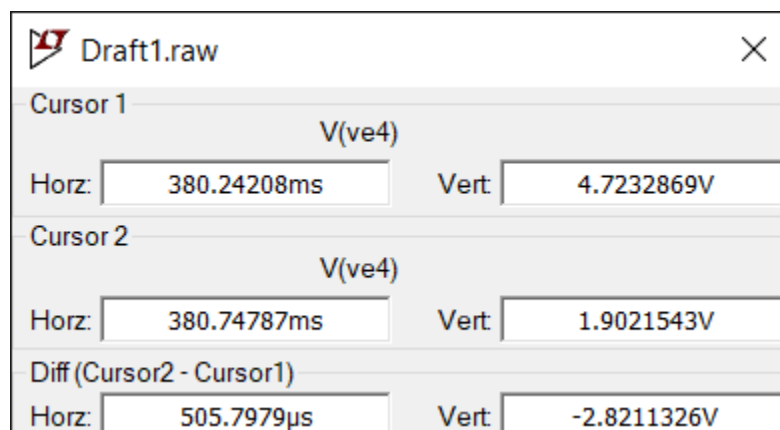


ภาพที่ 17 รายละเอียดของกราฟแรงดันไฟฟ้าที่เอาต์พุตของ Q3

4. แรงดันไฟฟ้าที่เอาต์พุตของ Q41

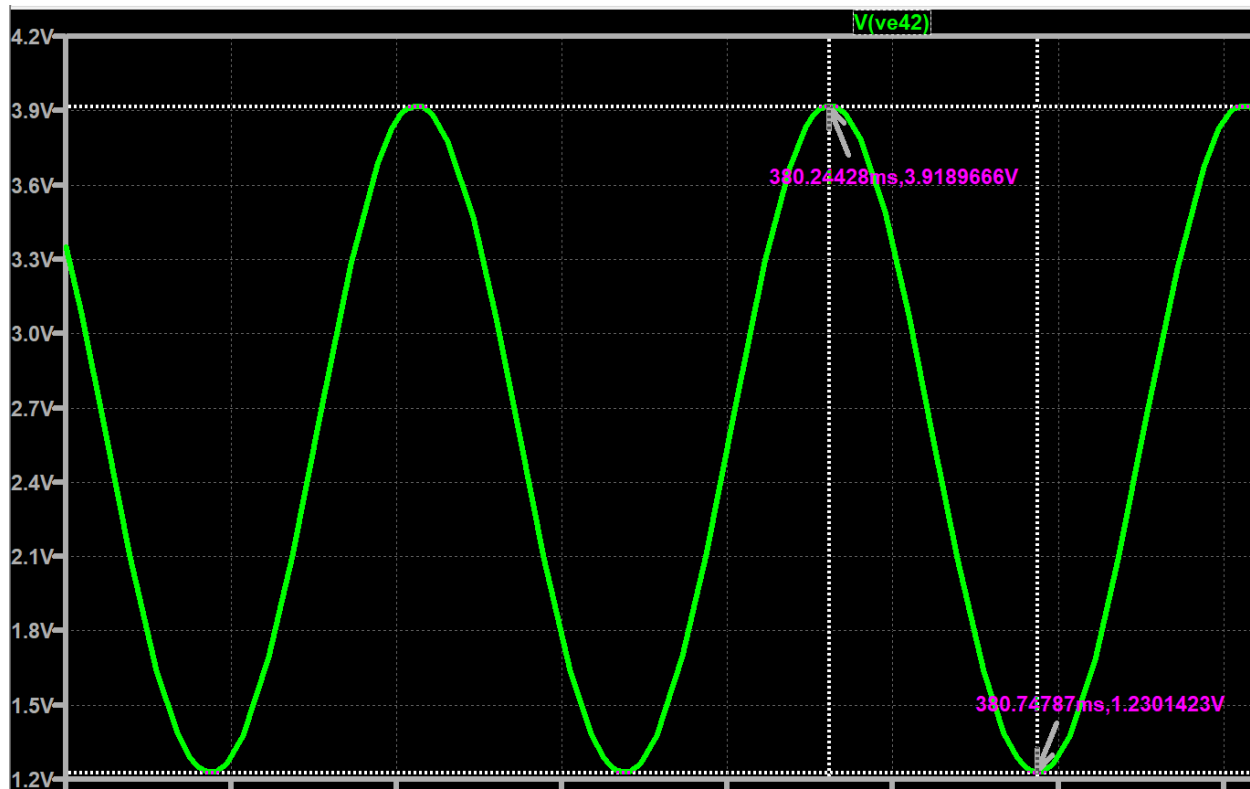


ภาพที่ 18 กราฟแรงดันไฟฟ้าที่เอาต์พุตของ Q41

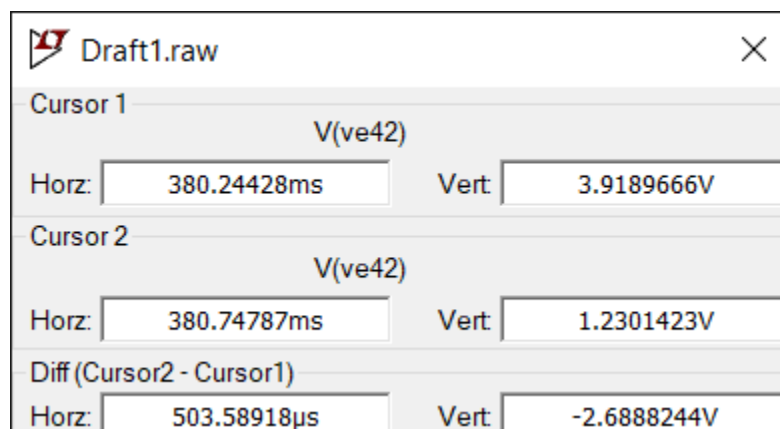


ภาพที่ 19 รายละเอียดของกราฟแรงดันไฟฟ้าที่เอาต์พุตของ Q41

5. แรงดันไฟฟ้าที่เอาต์พุตของ Q42



ภาพที่ 20 กราฟแรงดันไฟฟ้าที่เอาต์พุตของ Q42



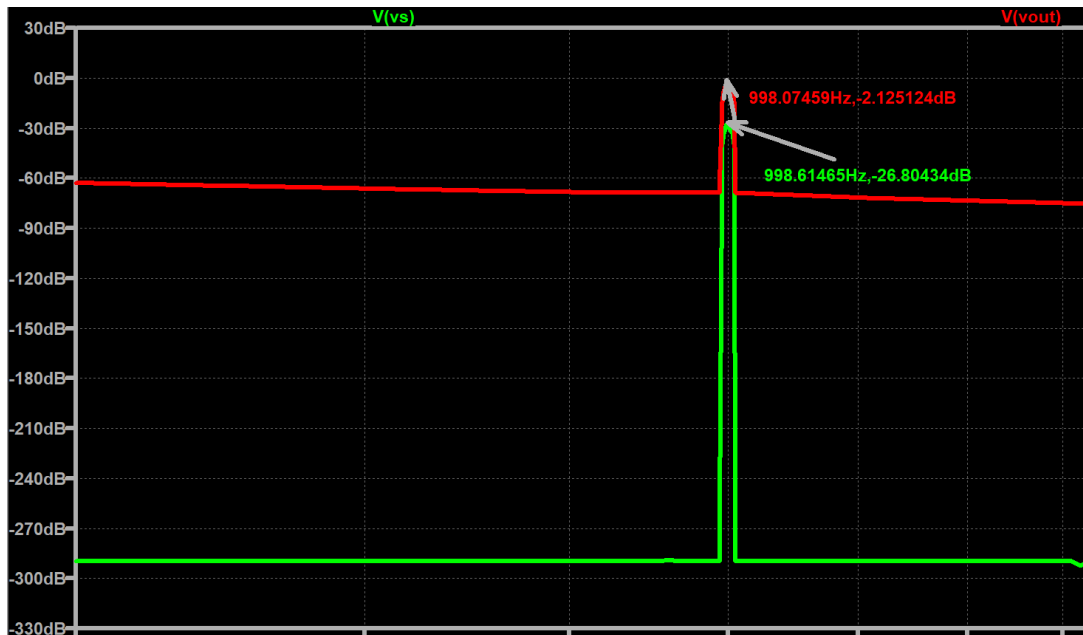
ภาพที่ 21 รายละเอียดของกราฟแรงดันไฟฟ้าที่เอาต์พุตของ Q42

Error log และ ค่าความเพี้ยนของสัญญาณแรงดันไฟฟ้าขาออก

Vo Distortion



ภาพที่ 22 กราฟ FFT ของแรงดันขาเข้า และแรงดันขาออก



ภาพที่ 23 กราฟ FFT ของแรงดันขาเข้า และแรงดันขาออก ที่ความถี่ 1kHz

Error Log

หาเปอร์เซ็นต์ความเพี้ยนของสัญญาณขาออก

Direct Newton iteration for .op point succeeded.
N-Period=100
Fourier components of V(vs)
DC component:4.94844e-018

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [degree]	Normalized Phase [deg]
1	1.000e+03	7.500e-02	1.000e+00	0.00°	0.00°
2	2.000e+03	5.318e-16	7.091e-15	2.01°	2.01°
3	3.000e+03	7.989e-16	1.065e-14	-0.22°	-0.22°
4	4.000e+03	1.066e-15	1.422e-14	-0.04°	-0.04°
5	5.000e+03	1.329e-15	1.772e-14	-0.32°	-0.32°
6	6.000e+03	1.598e-15	2.131e-14	-0.10°	-0.10°
7	7.000e+03	1.868e-15	2.491e-14	-0.09°	-0.09°
8	8.000e+03	2.138e-15	2.850e-14	-0.12°	-0.12°
9	9.000e+03	2.399e-15	3.198e-14	-0.11°	-0.11°
10	1.000e+04	2.666e-15	3.555e-14	-0.18°	-0.18°

Total Harmonic Distortion: 0.000000% (0.000974%)

N-Period=100
Fourier components of V(vout)
DC component:-0.00213353

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [degree]	Normalized Phase [deg]
1	1.000e+03	1.371e+00	1.000e+00	5.89°	0.00°
2	2.000e+03	1.050e-02	7.657e-03	-76.10°	-81.99°
3	3.000e+03	2.649e-02	1.932e-02	5.11°	-0.78°
4	4.000e+03	1.425e-03	1.039e-03	-129.14°	-135.04°
5	5.000e+03	4.804e-03	3.504e-03	-172.83°	-178.72°
6	6.000e+03	2.077e-04	1.515e-04	1.39°	-4.50°
7	7.000e+03	8.849e-04	6.454e-04	11.18°	5.28°
8	8.000e+03	1.492e-04	1.088e-04	157.78°	151.88°
9	9.000e+03	2.288e-04	1.669e-04	-168.00°	-173.90°
10	1.000e+04	3.115e-05	2.272e-05	-127.86°	-133.75°

Total Harmonic Distortion: 2.111050% (2.417012%)

Date: Mon Mar 14 00:46:02 2022
Total elapsed time: 25.289 seconds.

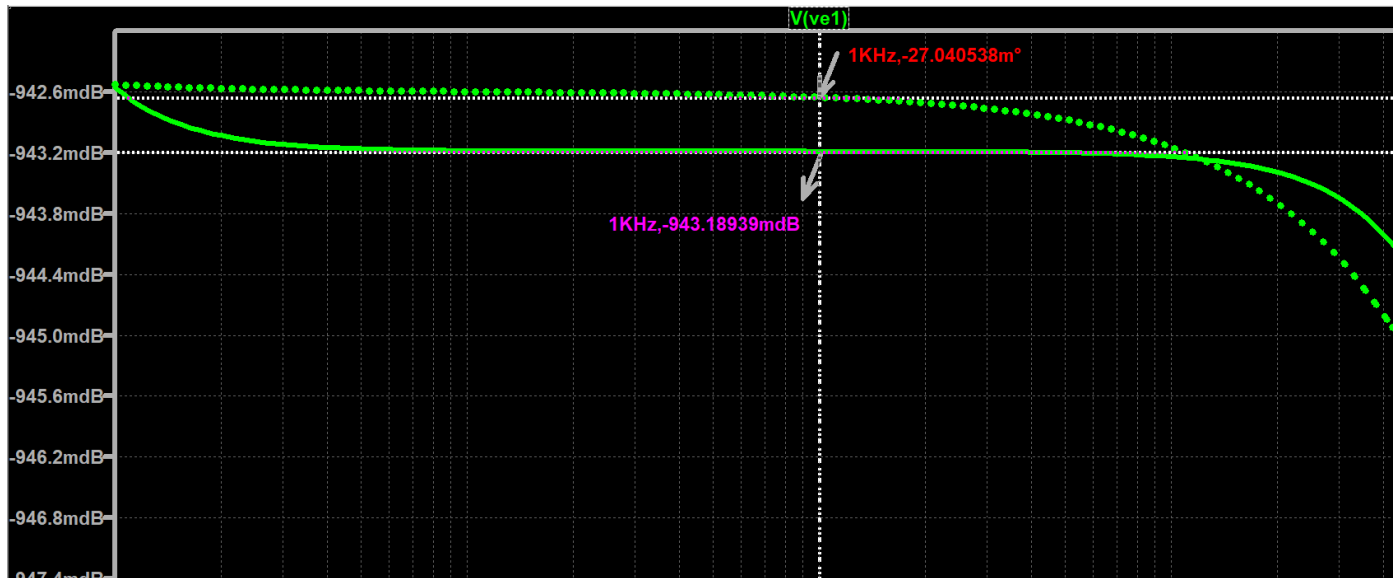
ความเพี้ยนสัญญาณขาออกไม่เกิน 3%

ภาพที่ 24 Error log ของแรงดันไฟฟ้าขาเข้า และแรงดันไฟฟ้าขาออก

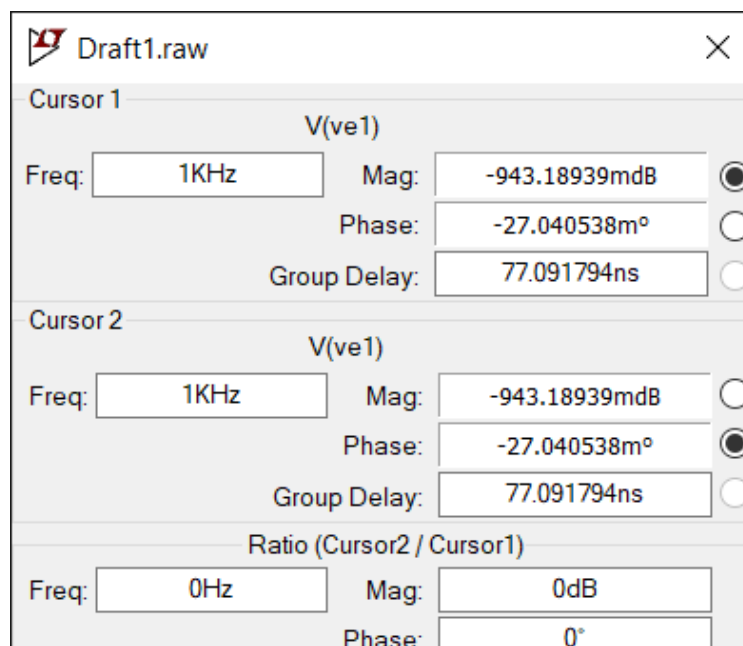
ความเพี้ยนของแรงดันไฟฟ้าขาออกคือ 2.41% ซึ่งมีค่าน้อยกว่า 3%

กราฟฟังก์ชันส่งผ่านของแต่ละเสตจ

1. Transfer function ของ Q1

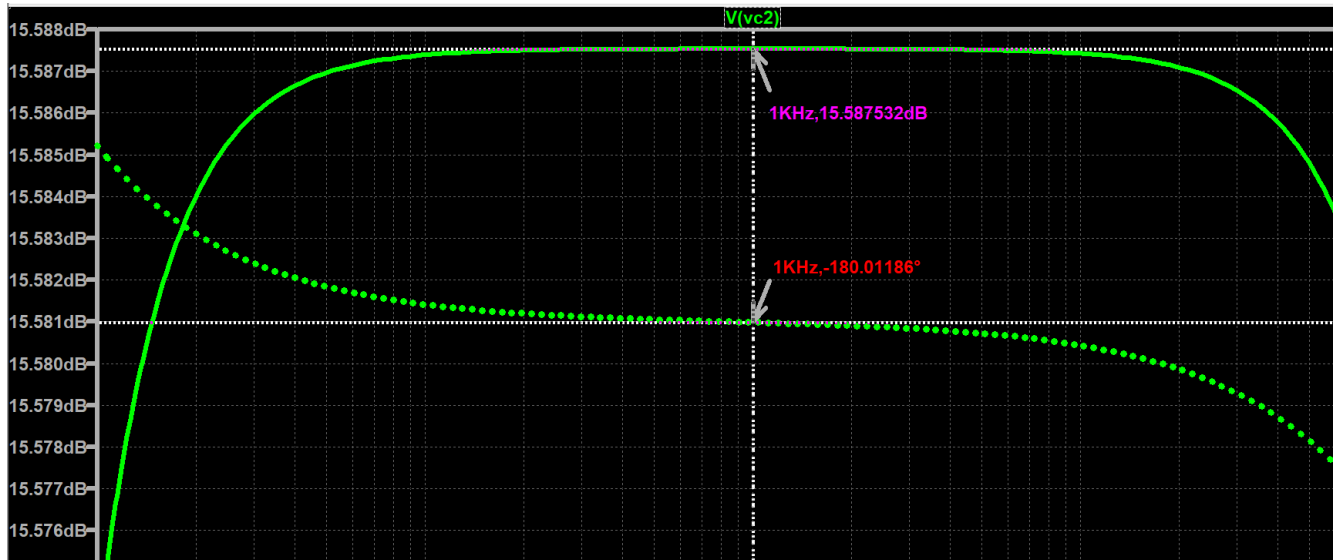


ภาพที่ 25 Bode magnitude plot และ Bode phase plot ของ Q1

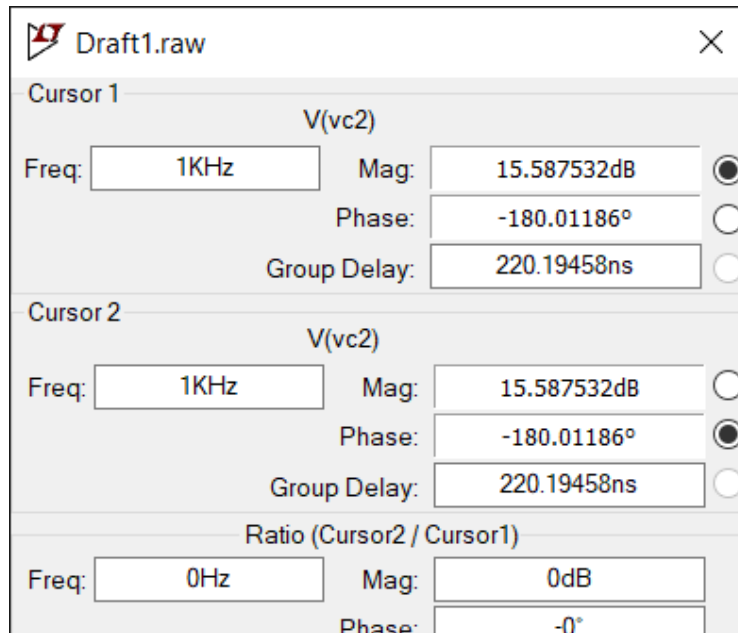


ภาพที่ 26 รายละเอียดของ Bode magnitude plot และ Bode phase plot ของ Q1

2. Transfer function ของ Q2

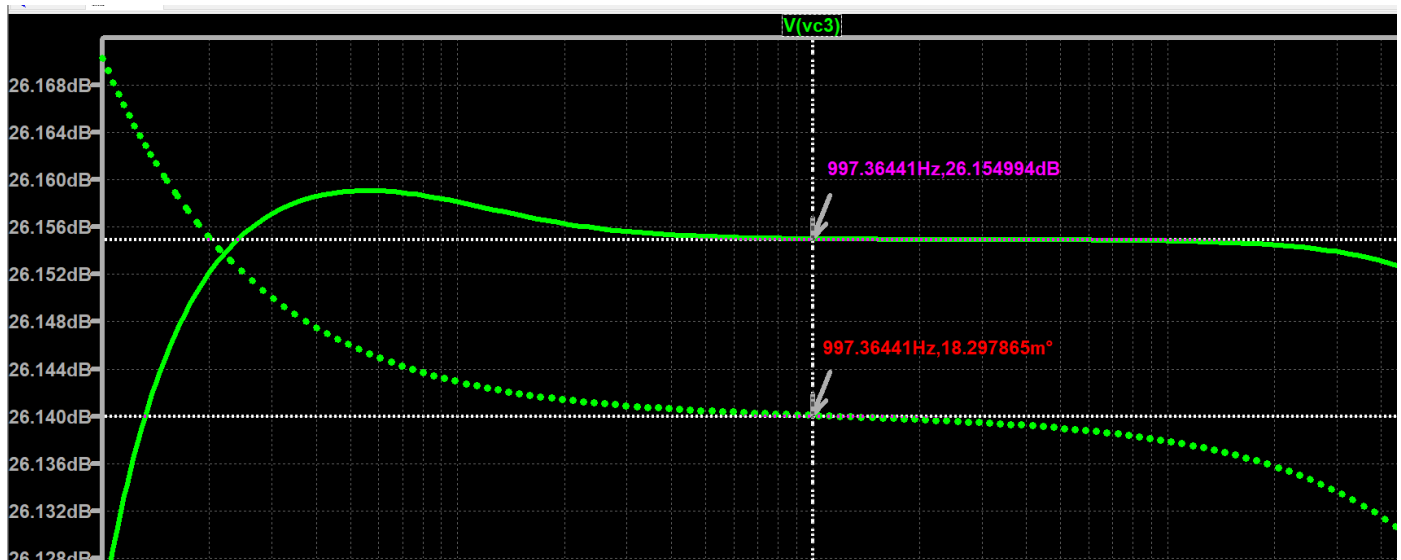


ภาพที่ 27 Bode magnitude plot และ Bode phase plot ของ Q2

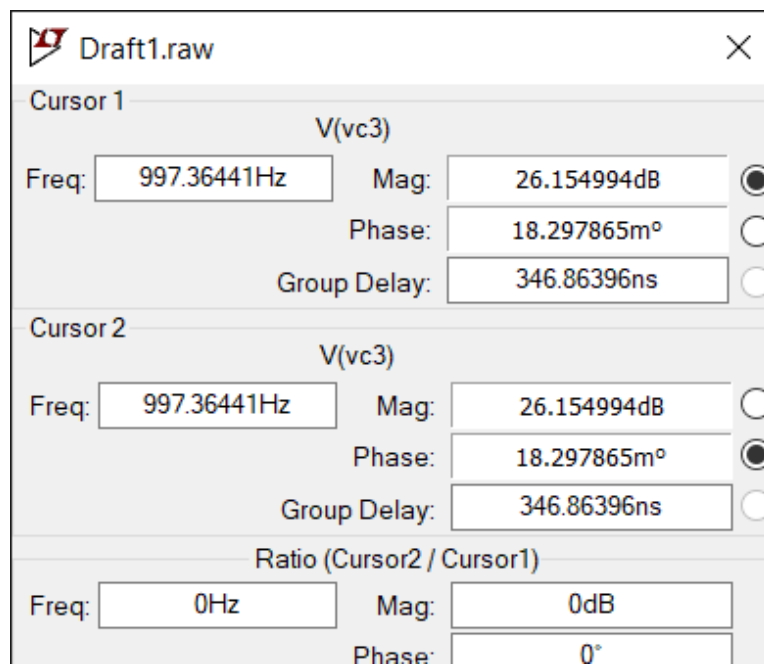


ภาพที่ 28 รายละเอียดของ Bode magnitude plot และ Bode phase plot ของ Q2

3. Transfer function ของ Q3

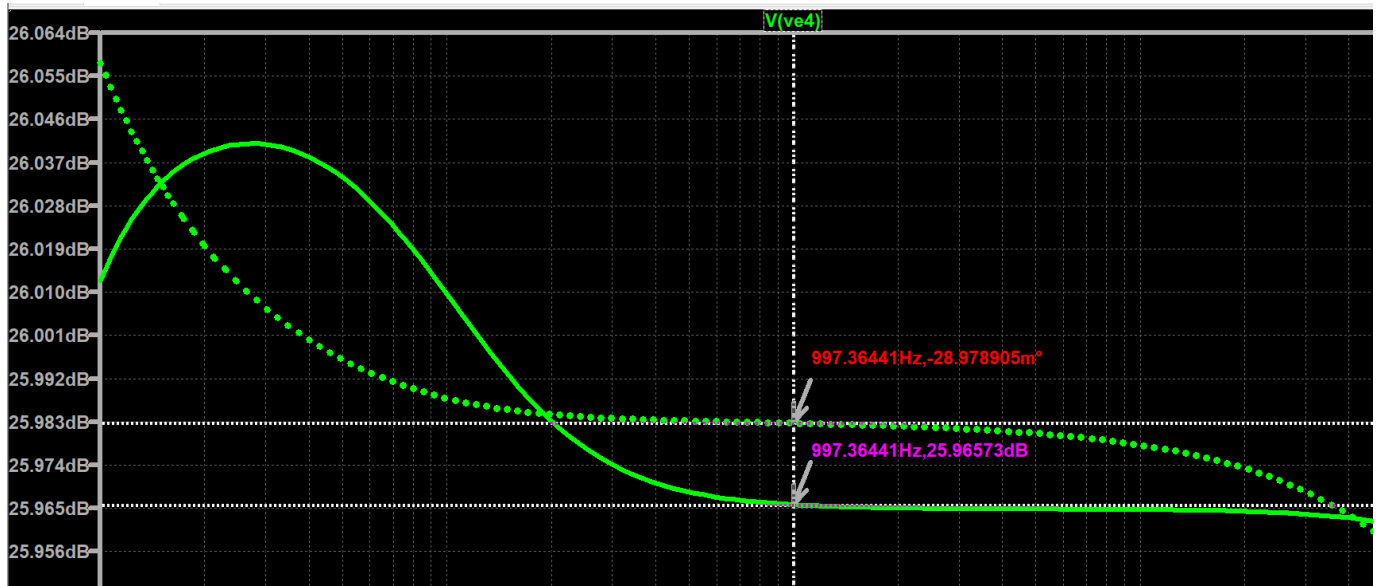


ภาพที่ 29 Bode magnitude plot และ Bode phase plot ของ Q3

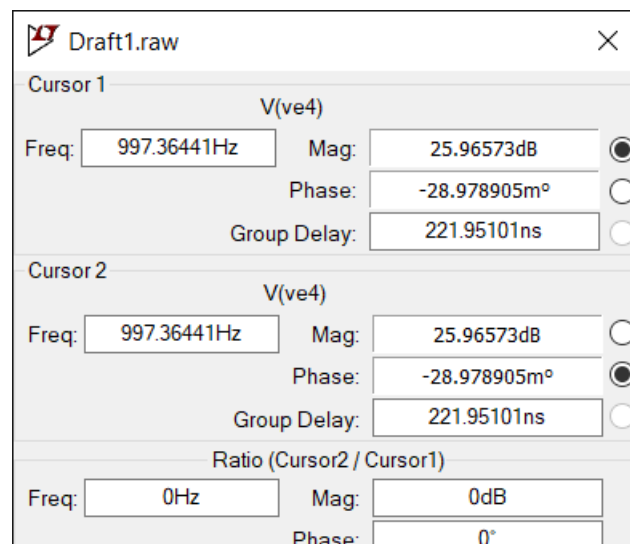


ภาพที่ 30 รายละเอียดของ Bode magnitude plot และ Bode phase plot ของ Q3

4. Transfer function ของ Q41

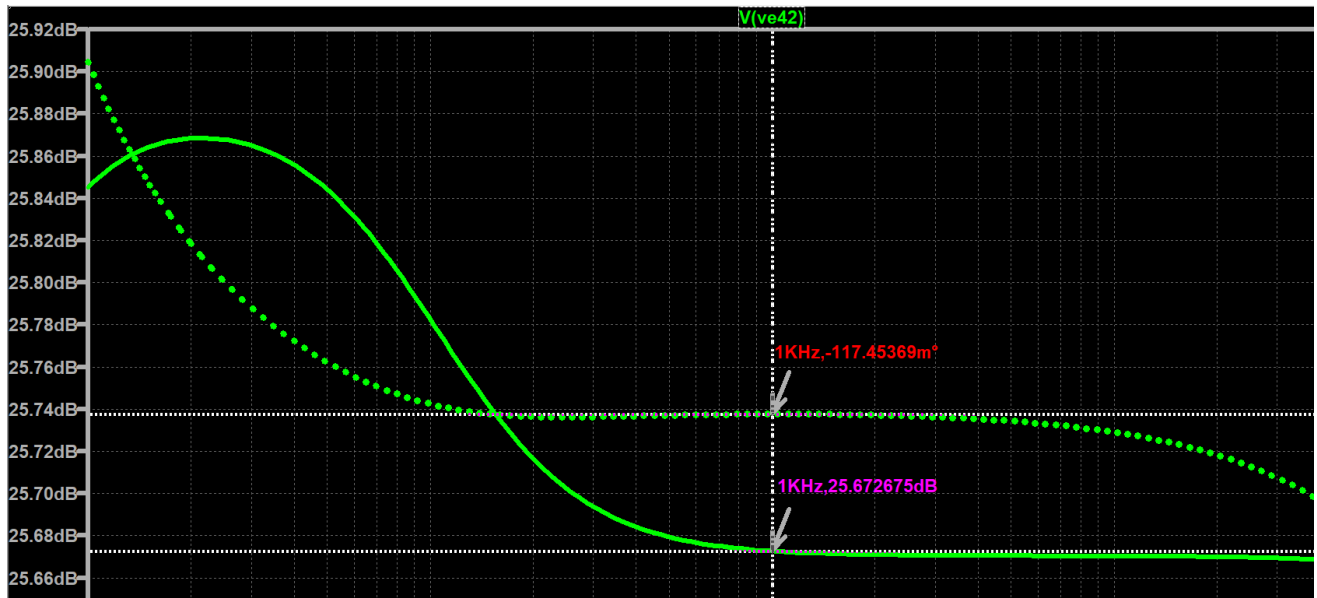


ภาพที่ 31 Bode magnitude plot และ Bode phase plot ของ Q41

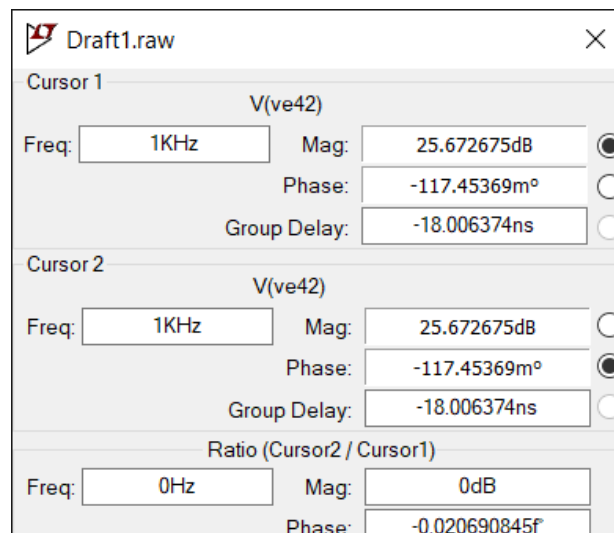


ภาพที่ 32 รายละเอียดของ Bode magnitude plot และ Bode phase plot ของ Q41

5. Transfer function ของ Q42

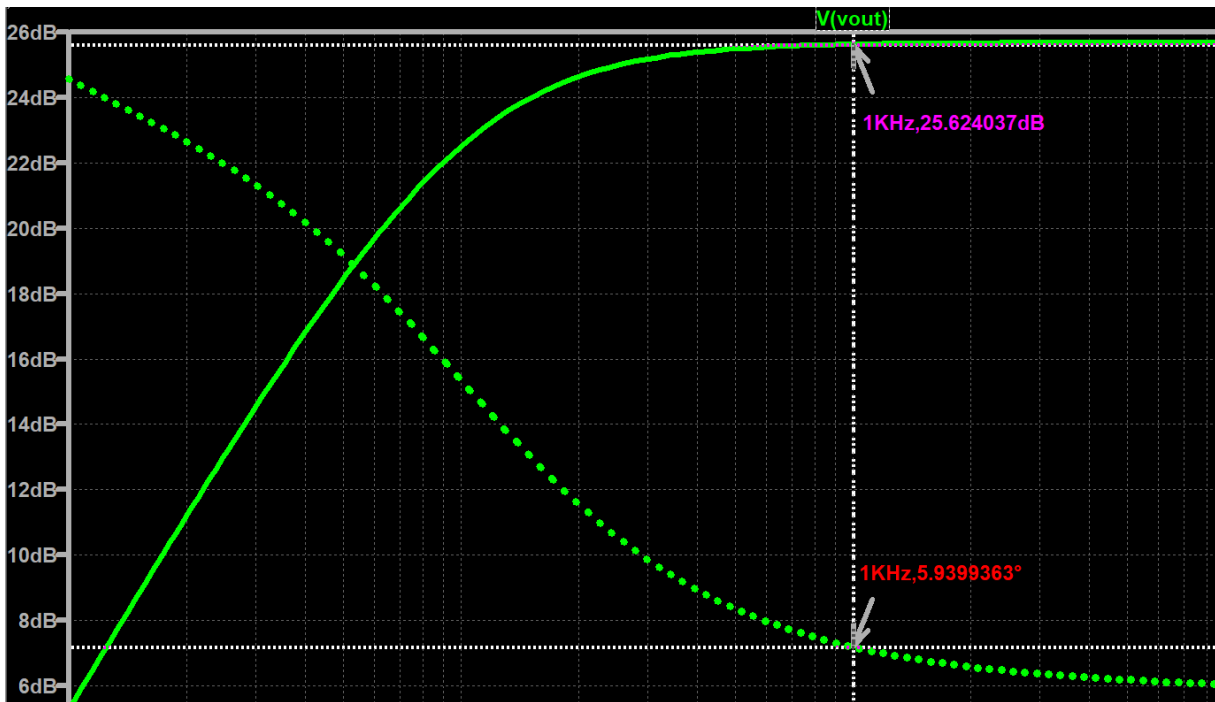


ภาพที่ 33 Bode magnitude plot และ Bode phase plot ของ Q42

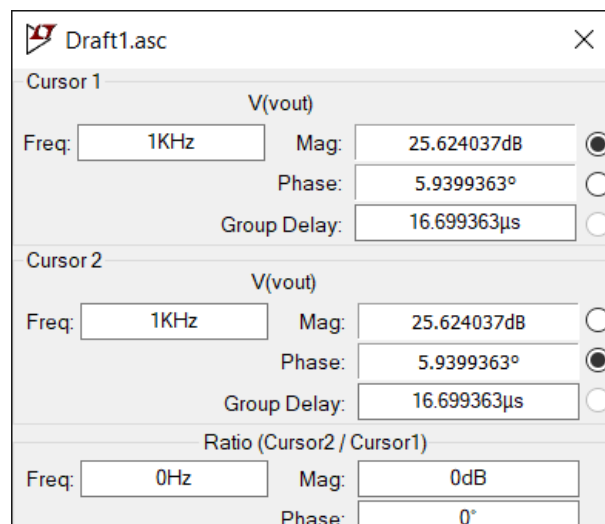


ภาพที่ 34 รายละเอียดของ Bode magnitude plot และ Bode phase plot ของ Q42

6. Transfer function ของ Vout



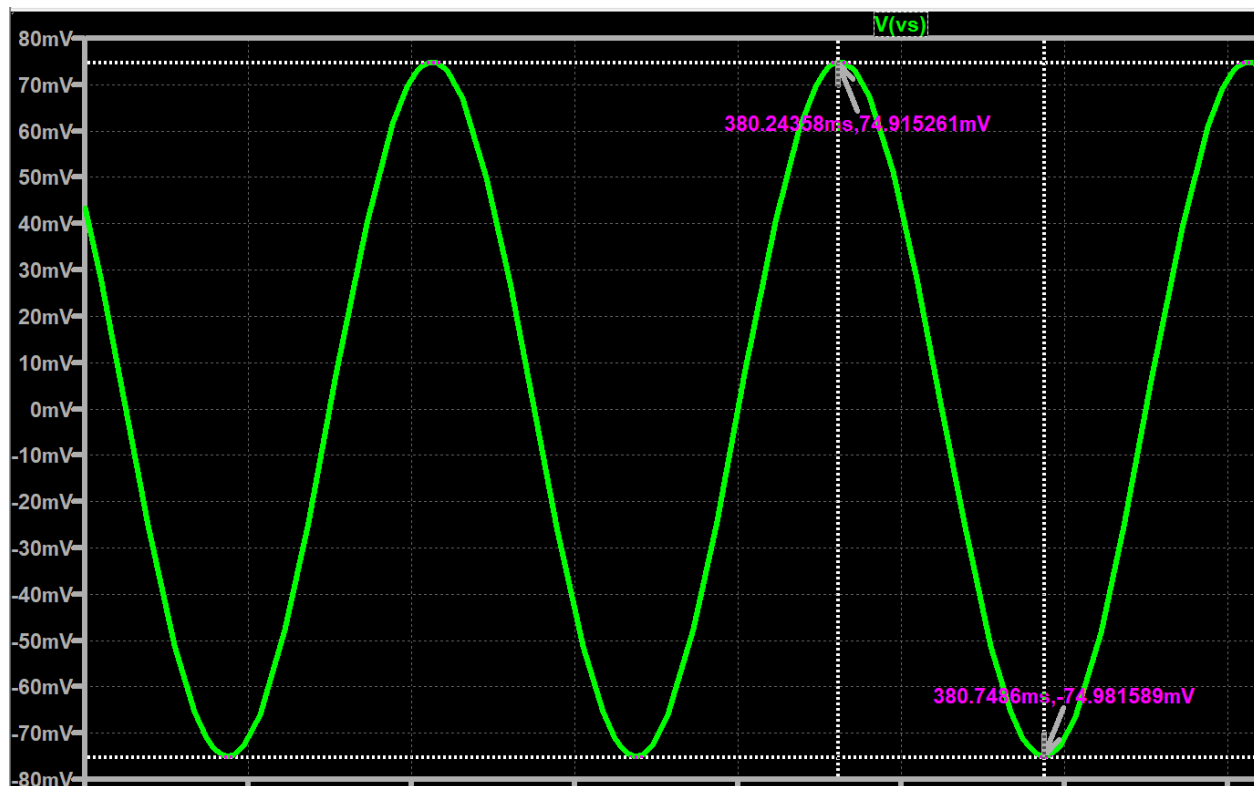
ภาพที่ 35 Bode magnitude plot และ Bode phase plot ของ Vout



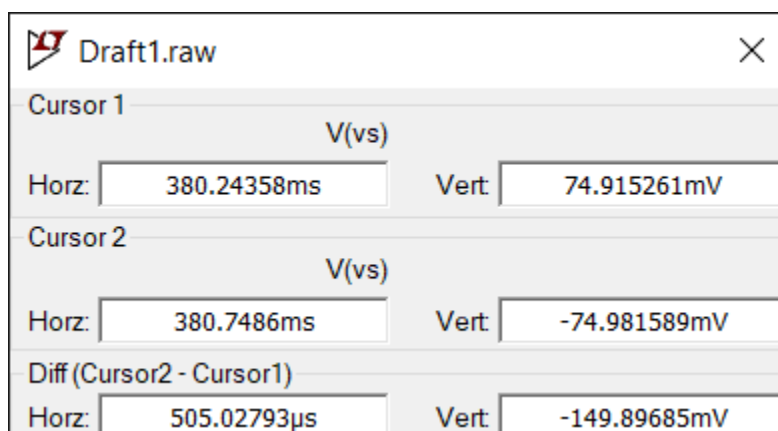
ภาพที่ 36 รายละเอียดของ Bode magnitude plot และ Bode phase plot ของ Vout

Gain ของวงจร

สัญญาณแรงดันไฟฟ้าขาเข้า

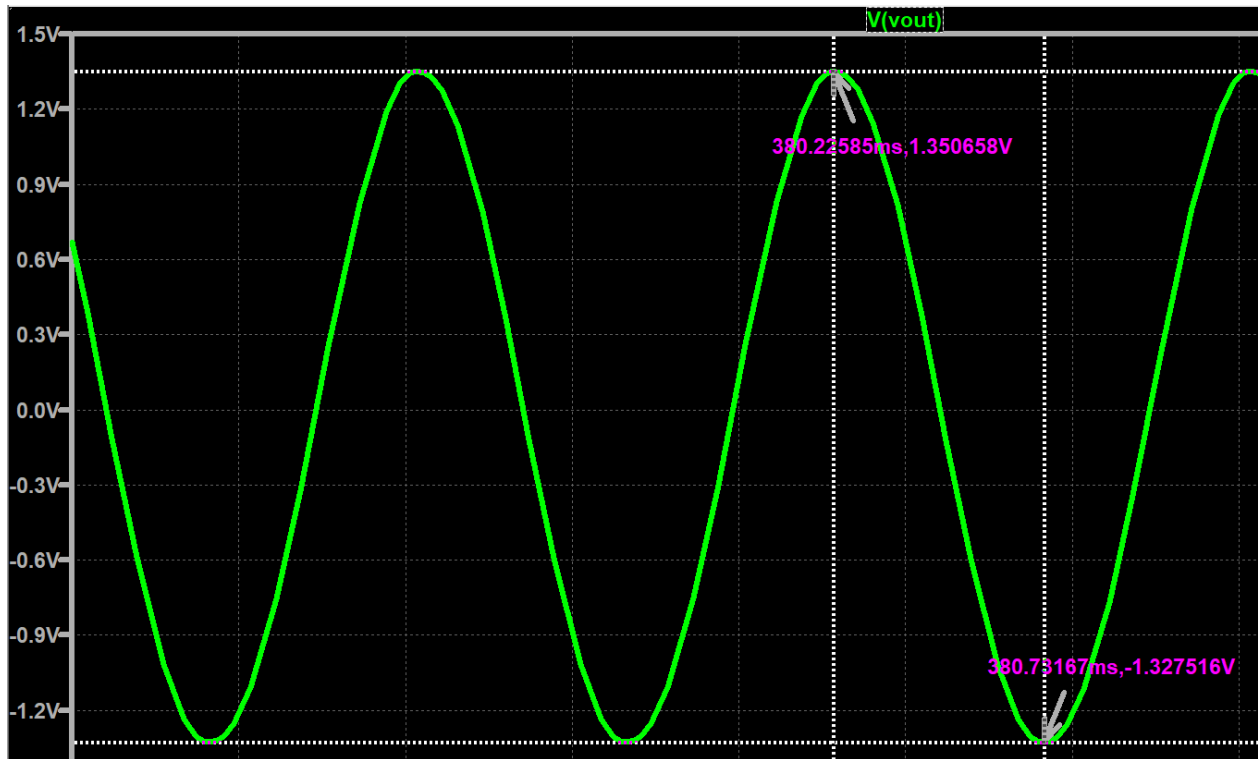


ภาพที่ 37 กราฟแรงดันไฟฟ้าของสัญญาณขาเข้า

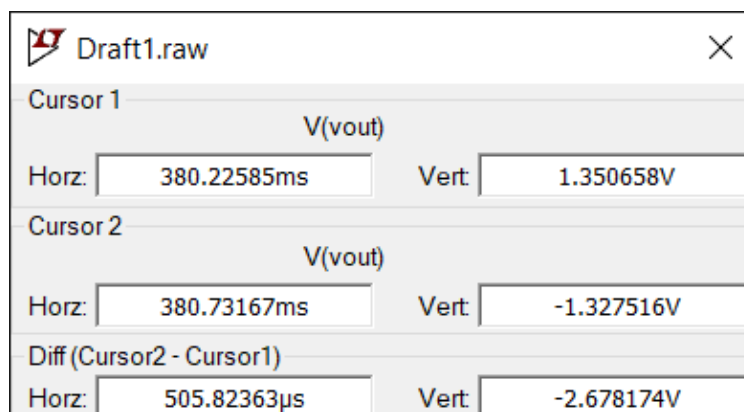


ภาพที่ 38 รายละเอียดกราฟแรงดันไฟฟ้าของสัญญาณขาเข้า

สัญญาณแรงดันไฟฟ้าขาออก



ภาพที่ 39 กราฟแรงดันไฟฟ้าของสัญญาณขาออก



ภาพที่ 40 รายละเอียดกราฟแรงดันไฟฟ้าของสัญญาณขาออก

ขนาดของแรงดันไฟฟ้าสัญญาณขาเข้าจากยอติถึงยอติ คือ 149.89685 mV

ขนาดของแรงดันไฟฟ้าสัญญาณขาออกจากยอติถึงยอติ คือ 2.678174 V

อัตราขยายสัญญาณ คือ 17.867 เท่า ซึ่งมากกว่า 15 เท่า

เงื่อนไขในการออกแบบ

เงื่อนไขที่ทำได้

1. อัตราขยาย 17.86 เท่า > 15 เท่า
2. อุณหภูมิ 40°C
3. Vo มี harmonic distortion $2.417\% < 3\%$
4. Capacitor ในวงจรไม่เกิน $32\ \mu\text{F}$
5. Resistor ในวงจรไม่เกิน $10\ \text{M}\Omega$
6. $V_{cc} = 5\text{V}$, $V_a = 75\ \text{mV}$, $f_{in} = 1\text{KHz}$, $R_L = 50\Omega$, Temp = 40°C ตามที่กำหนด

เงื่อนไขที่ทำไม่ได้

1. กระแสในวงจรเกิน 42 mA: $I_c(Q42) = 63.77\ \text{mA}$ เพราะต้องการกระแสสูงไปขับโหลดต่ำ

คำถามในการออกแบบ

1.จงอธิบายว่าเหตุใดจึงต้องออกแบบวงจรขยายเป็นแบบหลายสเตจ และน่าจะมีปัญหาอย่างไรถ้า
นิสิตทำการออกแบบวงจรขยายดังกล่าวเป็นแบบสเตจเดียวเพื่อให้ได้อัตราขยายตามที่ต้องการ

ตอบ การขยายวงจรสเตจเดียวให้ได้อัตราขยายวงจรจะทำให้แรงดันขาออกเพี้ยน เกิดจากตัว
ต้านทาน และแรงดันไฟฟ้ากระแสตรง เราจึงต้องใช้หลายสเตจเพื่อให้งานเป็นไปตาม
เงื่อนไขที่กำหนด โดยต้องมีการปรับให้วงจรขยายทำงานได้ดี และใช้กับโหลดได้ดี

2.จงอธิบายหลักการในการออกแบบวงจร Common Collector สำหรับเป็น Voltage Buffer ใน
สเตจที่ 1 นิสิตต้องเลือกที่จะทำการไบอัส Q1 อย่างไรเพื่อให้เหมาะสมกับความต้านทาน R_s และ
ความต้านทานขาเข้าของวงจรขยายสัญญาณสเตจที่ 2

ตอบ การไบอัส Q1 ต้องกำหนดให้ R_s กินกระแสที่น้อยที่สุด และต้องออกแบบให้อัตราขยาย
ใกล้เคียง 1 ที่สุด เพื่อที่จะใช้ต่อไปในวงจรขยายสัญญาณสเตจที่ 2 โดยเราต้องหาความต้านทาน
ภายในทุกสเตจและนำมาเป็นตัวกำหนด R_{b1} โดยกำหนดให้ความต้านทานมากกว่า R_s มากๆ

3.จงอธิบายว่าเหตุใดจึงควรใช้ Darlington Configuration ($Q_{4,1}$ และ $Q_{4,2}$) สำหรับเป็นสเตจ
เอาต์พุตในการขับโหลด ถ้านิสิตไม่ใช้ Darlington Configuration จะกระทบกับการออกแบบ
วงจรขยายในสเตจที่ 3 (ที่ประกอบด้วยทรานซิสเตอร์ Q_3) อย่างไร

ตอบ การใช้วงจร Darlington Configuration เพื่อเพิ่มกระแสที่จะนำมาขับตัวต้านทานโหลด
เนื่องจากตัวต้านทานโหลดมีค่าน้อยจึงต้องอาศัยกระแสที่มีค่ามาก ซึ่งวงจร Darlington สามารถ
เพิ่มกระแสได้สูงสุด $(\beta + 1)^2$ เท่า จากกระแสเข้าเบส โดยที่ไม่ใช้วงจรนี้เป็นวงจร Buffer จะ
ส่งผลให้แรงดันที่ขาออกมีค่าน้อยลง และอัตราขยายจะมีค่าที่ต่ำลง