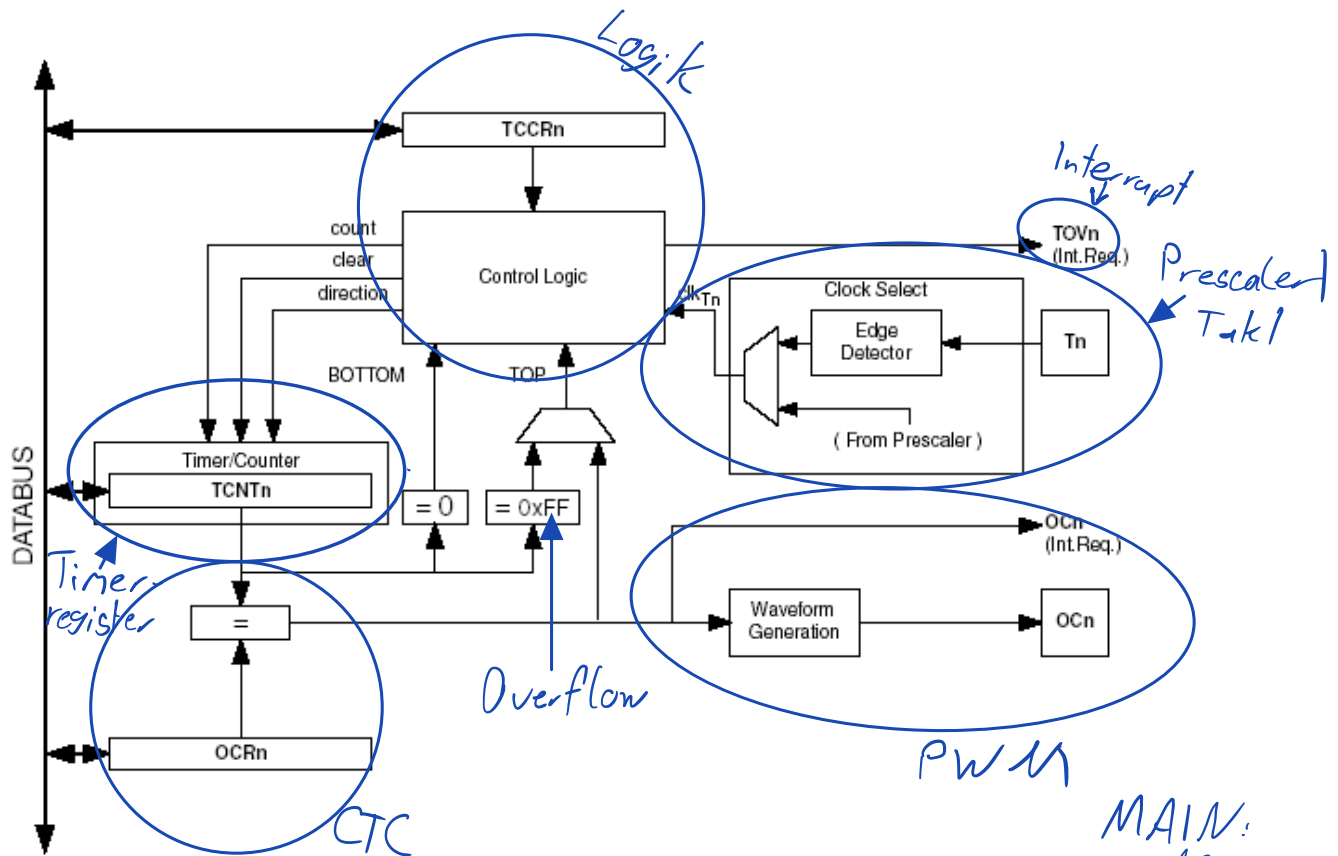


Timer - Register

Alle Registerbeschreibungen / Diagramme stammen aus dem ATMEGA16 Datenblatt, weiterführende Informationen können dort bezogen werden.

Aufbau des Timers



Kurzerklärung Interrupts

Interrupts werden z. B. ausgelöst wenn:

- sich der an einem bestimmten Eingangs-Pin anliegende Pegel ändert
- eine vorher festgelegte Zeitspanne abgelaufen ist (Timer)
- eine serielle Übertragung abgeschlossen ist, ...

Wird ein Interrupt ausgelöst (z.B. Timer übergelaufen), dann wird ein passend zum Ereignis benanntes **Interruptflag** in Form eines Bits in einem speziellen Statusregister gesetzt.

Bei der Behandlung des Interrupts wird das Anwendungsprogramm unterbrochen, das auslösende Interruptflag gelöscht und ein Unterprogramm, die sogenannte **Interrupt Service Routine (ISR)**, aufgerufen.

Wenn dieses beendet ist, läuft das Anwendungsprogramm wieder ganz normal weiter.

MAIN:
Befehl 1
B2
B3
B4
B5
↓
INTERUP
IB1
IB2

Verwendete Register (für Timer0)

Wie schon bei den Ports, wird auch der Timer über verschiedene Kontrollregister konfiguriert.

Hier sind die wichtigsten Register für die Arbeit mit dem Timer aufgeführt

Timer/Counter Control Register – TCCR0

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------------|------|-------|-------|-------|-------|------|------|------|
| | FOC0 | WGM00 | COM01 | COM00 | WGM01 | CS02 | CS01 | CS00 |
| Read/Write | W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| Initial Value | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Prescaler

| Mode | WGM01 (CTC0) | WGM00 (PWM0) | Timer/Counter Mode of Operation | TOP | Update of OCR0 | TOV0 Flag Set-on |
|------|--------------|--------------|---------------------------------|------|----------------|------------------|
| 0 | 0 | 0 | Normal | 0xFF | Immediate | MAX |
| 1 | 0 | 1 | PWM, Phase Correct | 0xFF | TOP | BOTTOM |
| 2 | 1 | 0 | CTC | OCR0 | Immediate | MAX |
| 3 | 1 | 1 | Fast PWM | 0xFF | BOTTOM | MAX |

*z. B. Prescaler 1024
TCCR0 |= (1 << CS00) | (1 << CS02)*

| CS02 | CS01 | CS00 | Description |
|------|------|------|---|
| 0 | 0 | 0 | No clock source (Timer/Counter stopped). |
| 0 | 0 | 1 | $clk_{I/O}$ (No prescaling) |
| 0 | 1 | 0 | $clk_{I/O}/8$ (From prescaler) |
| 0 | 1 | 1 | $clk_{I/O}/64$ (From prescaler) |
| 1 | 0 | 0 | $clk_{I/O}/256$ (From prescaler) |
| 1 | 0 | 1 | $clk_{I/O}/1024$ (From prescaler) |
| 1 | 1 | 0 | External clock source on T0 pin. Clock on falling edge. |
| 1 | 1 | 1 | External clock source on T0 pin. Clock on rising edge. |

⇒ Konfiguriert den jeweiligen Timer, setzt den Prescaler.

Timer/Counter Interrupt Mask Register – TIMSK

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------------|-------|-------|--------|--------|--------|-------|-------|-------|
| | OCIE2 | TOIE2 | TICIE1 | OCIE1A | OCIE1B | TOIE1 | OCIE0 | TOIE0 |
| Read/Write | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| Initial Value | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

• Bit 0 – TOIE0: Timer/Counter0 Overflow Interrupt Enable

When the TOIE0 bit is written to one, and the I-bit in the Status Register is set (one), the Timer/Counter0 Overflow interrupt is enabled. The corresponding interrupt is executed if an overflow in Timer/Counter0 occurs, that is, when the TOV0 bit is set in the Timer/Counter Interrupt Flag Register – TIFR.

⇒ Aktiviert Timer0 Interrupt

*↑
Overflow*

*OCIE0... Output Compare Match
Interrupt ... für CTC*

Timer/Counter Interrupt Flag Register – TIFR

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------------|------|------|------|-------|-------|------|------|------|
| | OCF2 | TOV2 | ICF1 | OCF1A | OCF1B | TOV1 | OCF0 | TOV0 |
| Read/Write | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| Initial Value | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Output Compare Flag

• Bit 0 – TOV0: Timer/Counter0 Overflow Flag

The bit TOV0 is set (one) when an overflow occurs in Timer/Counter0. TOV0 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, TOV0 is cleared by writing a logic one to the flag. When the SREG I-bit, TOIE0 (Timer/Counter0 Overflow Interrupt Enable), and TOV0 are set (one), the Timer/Counter0 Overflow interrupt is executed. In phase correct PWM mode, this bit is set when Timer/Counter0 changes counting direction at \$00.

⇒ Hier wird das Timer Interruptflag gesetzt

Output Compare Register – *z.B.: 137* OCR0

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------------|-----------|-----|-----|-----|-----|-----|-----|-----|
| | OCR0[7:0] | | | | | | | |
| Read/Write | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| Initial Value | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

- ⇒ Timer wird mit Vergleichswert verglichen, falls Wert erreicht wird, wird ein Interrupt ausgelöst.
- ⇒ Register wird für CTC-Modus gebraucht