

利用二位元數位比較器實現之 8 位元數位比較器

劉偉行*
Weihsing Liu
曾世緯**

鄒昌廷**
Changting Zou
蕭閔隆*

王晟瑋**
Chengwei Wang
陸貴葉*

*國立虎尾科技大學 電子工程系

**國立虎尾科技大學 光電與材料科技研究所
changtingzou@yahoo.com.tw

摘要

本論文提出二種利用二位元數位比較器實現之 8 位元數位比較器。二種電路均可運用在兩個八位元二進位數字之比較，以確定其中一個數字是小於、等於或者大於另一個數字。相較於傳統之 8 位元數位比較器，本論文提出之 8 位元數位比較器具有易於擴充，以及平均延遲時間較少之優點。本論文提出之電路經由 HSPICE 電路模擬軟體模擬，在使用 0.35 微米 N-Well 2P4M 的製程參數下，當輸入訊號頻率為 100MHz 時，最大之輸出延遲小於 1ns。同時，當供應電壓為 3.3 伏特時，平均消耗功率小於 0.5mW。

關鍵詞：數位比較器、可擴充、基底效應。

1. 前言

數位比較器經常被使用在數位系統中 [1,10,11]，例如：使用於 cpu 中或是控制電路中以用來判斷位元大小，或是信號的位準以決定信號路徑。然而傳統的數位比較器，由於電路架構的關係，在位元擴充上十分的不容易 [2-3]，必需使用許多較複雜的邏輯閘，例如，在 8 位元的數位比較器中，需要有 2 至 8 個輸入端的 AND 閘 [4-5]，因此將會嚴重受到基底效應的影響，而且因為輸入位元的增加，設計上也必須有所改變，甚至重新規劃，造成電路擴充不易，以及電路複雜度的增加。一種使用擴充模組的可擴充式數位比較器電路 [3,10]，可改進傳統式電路設計的複雜性以及擴充不易的缺點；然而隨著位元數的增加，擴充模組必需重複串接使用，因此將會造成信號延遲的累積。為了有較佳的操作頻率和較低的信號延遲時間，本論文提出一種新的方法，利用二位元數位比較器作為設計多位元數位比較器的基礎，同時進一步提出一種適用於多位元 **二進位數字** 比較之“順向比較”的電路架構；預期將可改善傳統式數位比較器與可擴充式數位比較器的缺點。電路模擬結果將可證明本論文所提出電路之可行性。

2. 電路架構與工作原理

數字的比較是一種運算，其目的在於確定被比較的數字中，其中一個數字是否大於、小於或等於另一個數字。比較器是一種組合邏輯電路，可用於比較兩個數字之大小，以確定它們的關係。當比較兩個 N 位元數字時，其真值表中需要有 2 的 2N 次方種組合。圖 1 所示之電路為傳統之一位元數位比較器。由於一位元數位比較器是比較兩個一位元之二進位數字，故此電路有 2 個輸入，分別標示為 a 與 b。兩個數字比較結果是指出數字 a 是否大於、等於，或小於數字 b，故此電路應有 3 個輸出，分別標示為 $a > b$ 、 $a = b$ ，和 $a < b$ ，真值表如表 1 所示。

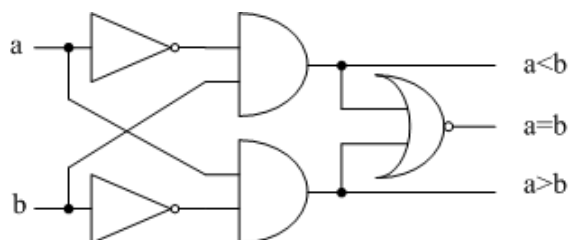


圖 1 一位元數位比較器電路圖

表 1 一位元數位比較器真值表

輸入		輸出		
a	b	$a < b$	$a = b$	$a > b$
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

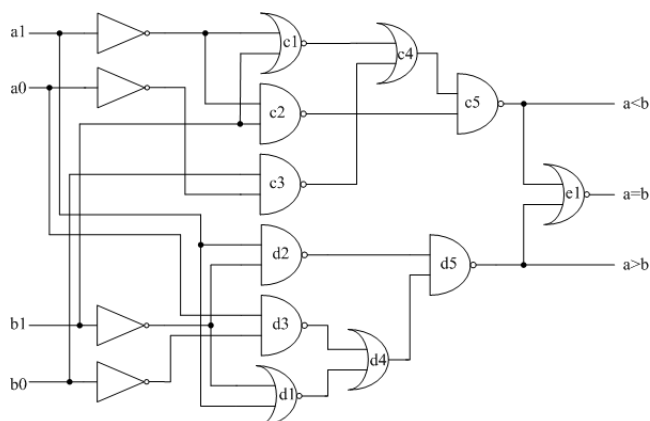


圖 2 本論文所提出二位元數位比較器電路圖

表 2 本論文所提出二位元數位比較器真值表

輸入				輸出		
a1	a0	b1	b0	a<b	a=b	a>b
0	0	0	0	0	1	0
0	0	0	1	1	0	0
0	0	1	0	1	0	0
0	0	1	1	1	0	0
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	1	0	0
0	1	1	1	1	0	0
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	0	1	0	0	1
1	1	1	0	0	0	1
1	1	1	1	0	1	0

根據前述一位元的數位比較器電路，圖 3 所示為傳統的四位元數位比較器。在此電路所運用到的邏輯閘中，部分電路必需具有二至四個輸入端之邏輯閘以及四個輸入端之邏輯閘，例如，需要二至四個輸入端之 AND 閘與四個輸入端之 OR 閘，因此若按照此傳統電路的設計方式，一個 n 位元數位比較器，將需要使用具有 2 至 n 個輸入端的 AND 閘與 n 個輸入端的 OR 閘。

圖 2 所示為本論文所提出之二位元數位比較器，其真值表如表 2 所示。邏輯閘 e1 輸出為高電位的條件(a=b)，必須是 a>b 與 a<b 同時為低電位；邏輯閘 c5 輸出為高電位的條件(a<b)，必須是 c2 與 c4 的邏輯閘輸出為低電位；邏輯閘 c2 的訊號輸入是 a1 的反向訊號與 b1 訊號。邏輯閘 c2 的輸出要為低電位，a1 的反向訊號與 b1 訊號都必須為高電位；邏輯閘 c4 的輸入是邏輯閘 c1 與 c3 的輸出所控制，邏輯閘 c4 的輸出要為低電位時，邏輯閘 c1 與 c3 輸出必須為低電位。邏輯閘 c1 的輸入是 a1 的反向訊號與 b1 訊號；邏輯閘 c1 的輸出要為低電位，只要 a1 的反向訊號或 b1 訊號其中一個為高電位即可。邏輯閘 c3 的輸入訊號是 a0 反向訊號與 b0 訊號；邏輯閘 c3 的輸出要為低電位，a0 反向訊號與 b0 訊號都必須為高電位。相同推導過程應用於邏輯閘 d1~d5，可以導出 a>b。

圖 4 所示之電路為利用圖 2 之二位元數位比較器所設計之可擴充式四位元數位比較器，其中邏輯閘 F1~F5 所組成的擴充模組[10]，是用來將二個二位元數位比較器的輸出進行比較。邏輯閘 F3 輸出高電位的條件(a<b)，必須是比較結果在較高位元的比較結果是 a<b 或者是 I1 為高電位；而 I1 要為高電位，則必須是在較高位元的比較結果是 a=b 與在較低位元的比較結果為 a<b，兩者同時成立。當邏輯閘 F4 輸出高電位(a=b)時，兩個比較結果皆為 a=b，兩者需要同時成立。當邏輯閘 F5 輸出高電位

(a>b)時，必須是比較結果在較高位元的比較結果是 a>b 或者是 I2 為高電位；而 I2 要為高電位，則必須是在較高位元的比較結果是 a=b 與在較低位元的比較結果為 a>b，兩者同時成立。F1~F5 所組成之擴充模組可重複使用在八位元(圖 5)，甚至更高位元的數位比較器中。

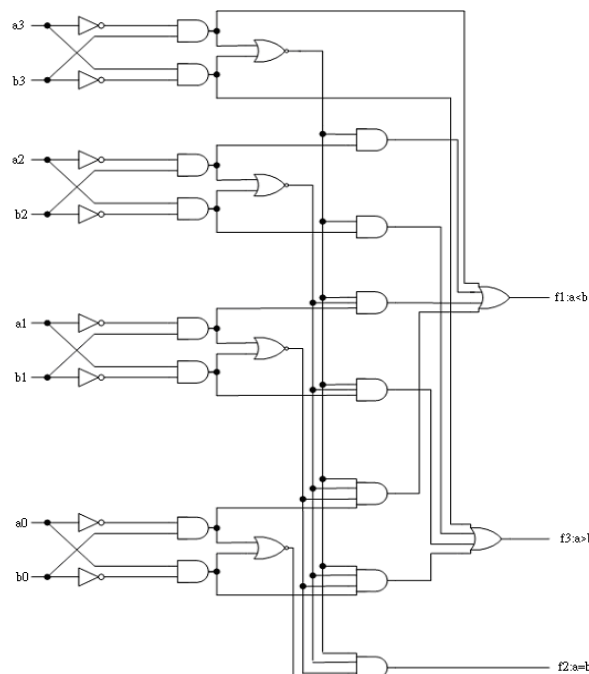


圖 3 傳統四位元數位比較器電路圖

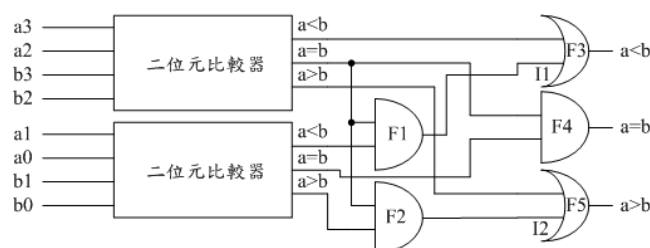


圖 4 可擴充式四位元數位比較器

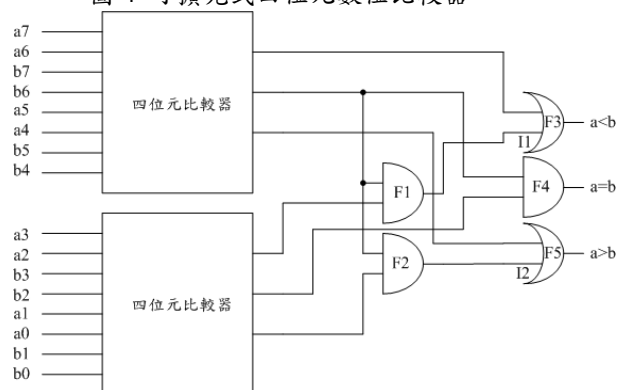


圖 5 可擴充式八位元數位比較器

圖 6 所示之電路為利用圖 2 之二位元數位比較器所設計”順向比較”之可擴充式八位元數位比較器。其操作方式為：二個 N 位元的數字 a、b 進行

比較時，當最高二位元比較後已得到($a_N a_{N-1} > b_N b_{N-1}$ 或 $a_N a_{N-1} < b_N b_{N-1}$)的比較結果時，其餘較低位元將不再需要比較，亦即可直接得到($a > b$ 或 $a < b$)的比較結果。若是最高二位元比較得到($a_N a_{N-1} = b_N b_{N-1}$)的比較結果時，則透過一致能開關，致能次高二位元之比較器進行比較；此一過程將一直重複到得到比較結果為止。這種架構可以快速比較出”大於”與”小於”，但是在”等於”的情形，由於需要之關鍵路徑較長，所以訊號延遲的時間會比圖 5 中之電路略多。

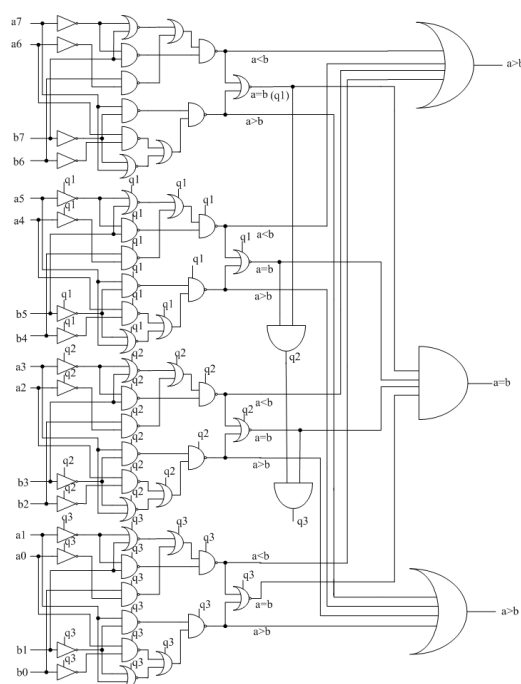


圖 6 致能架構之可擴充式 8 位元數位比較器

3. 電路模擬結果

利用圖 5 與圖 6 實現八位元數位比較器，其中圖 5 係利用圖 2 與圖 4 來實現，圖 6 為使用圖 2 以及必要之致能開關來實現。在進行電路模擬時係使用 HSPICE 電路模擬軟體 [6-9]；在採用 0.35 微米 N-Well 2P4M 的製程參數下，供應電壓為 3.3 伏特，其中，圖 7 為本論文所提出的二位元數位比較器(圖 2)進行模擬的電路輸入訊號，訊號依序由上而下分別是輸入 a、b 之 MSB 訊號，輸入 a、b 之 LSB 訊號，圖 8 為本論文所提出的二位元數位比較器(圖 2)的電路模擬輸出結果，依序由上而下分別為輸出訊號 a<b、a=b 以及 a>b 之波形；圖 9 為圖 5 與圖 6 之電路進行模擬時之輸入訊號，由上而下分別是 a 之高位元輸入訊號、b 之高位元輸入訊號、a 之較低位元輸入訊號，以及 b 之較低位元輸入訊號。圖 10 為圖 5 之電路模擬輸出結果，依序從上至下為 a<b、a=b 以及 a>b 之波形；當操作頻率達到 100MHz 下，平均消耗功率為 0.308mW。圖 6 採用本論文提出之二位元數位比較器，實現”順向比較”架構，且未使用擴充模組，模擬結果顯示，當操作頻率達到 100MHz 下，平均功率為 0.499mW。圖 11 為圖 6

電路之模擬輸出結果，從上至下依序為 a<b、a=b 以及 a>b 之波形。

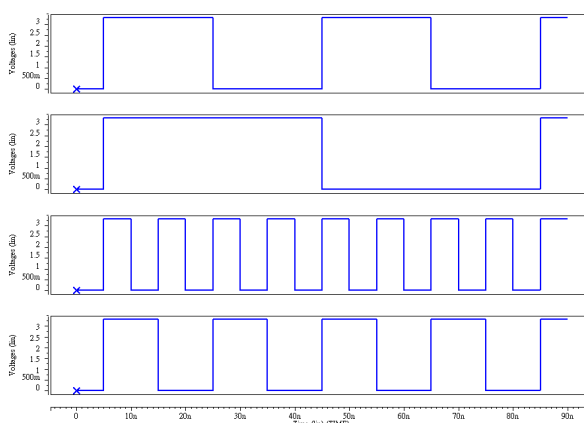


圖 7 本論文所提出的二位元數位比較器(圖 2)進行模擬的電路輸入訊號

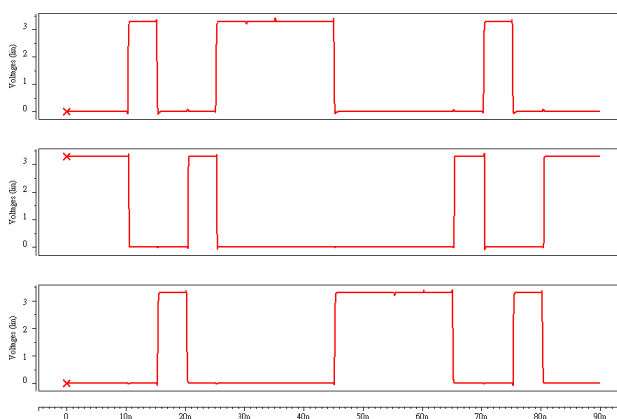


圖 8 圖 2 中二位元數位比較器的電路模擬輸出結果

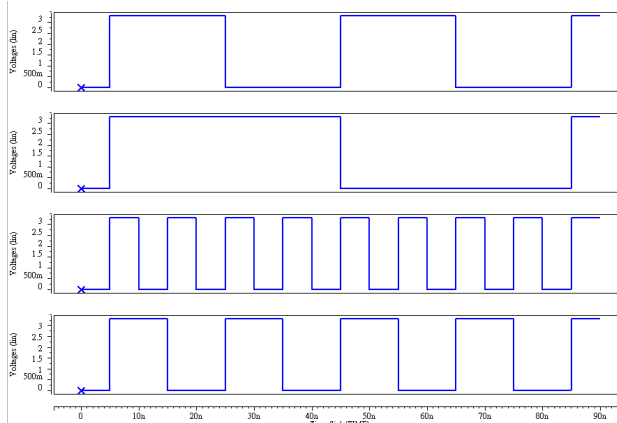


圖 9 圖 5 與圖 6 之電路進行模擬時之輸入訊號

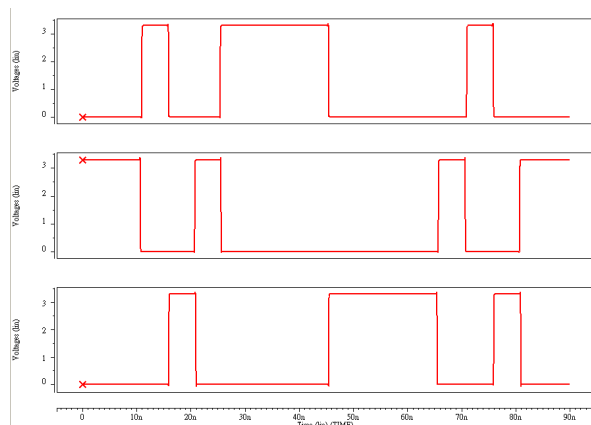


圖 10 圖 5 電路之模擬輸出結果

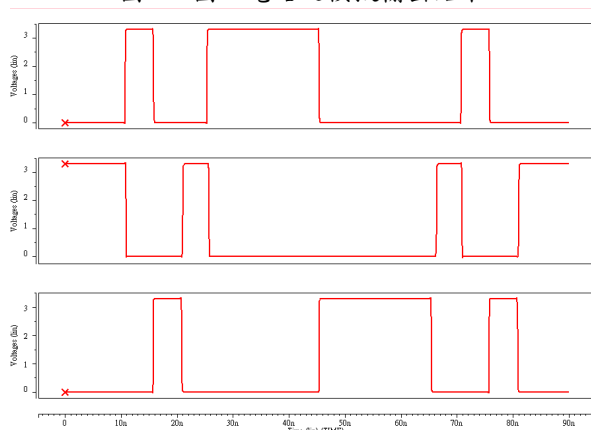


圖 11 圖 6 電路之模擬輸出結果

表 3 為各種電路模擬結果的比較，其中頻率皆操作於 100MHz，供應電壓為 3.3 伏特。

表 3 電路特性比較表

	延遲時間			Avg.
	a<b	a=b	a>b	
傳統式 8 位元數位比較器	1.30ns	0.467ns	1.31ns	1.026ns
可擴充式 8 位元數位比較器	1.07ns	0.646ns	1.07ns	0.929ns
圖 5 之電路	0.965ns	0.706ns	0.974ns	0.882ns
圖 6 之電路	0.745ns	0.899ns	0.763ns	0.802ns

表 4 電路之平均功率消耗表

	平均功率消耗
傳統式 8 位元數位比較器	0.355mW
可擴充式 8 位元數位比較器	0.368mW
圖 5 之電路	0.308mW
圖 6 之電路	0.499mW

表 5 圖 5 之電路比較表

MODEL	延遲時間			Avg. power
	a<b	a=b	a>b	
TT	0.965ns	0.706ns	0.974ns	0.308mW
FF	0.747ns	0.545ns	0.756ns	0.297mW
SS	1.239ns	0.907ns	1.241ns	0.317mW
SF	0.946ns	0.693ns	0.949ns	0.305mW
FS	0.983ns	0.720ns	0.986ns	0.310mW

表 6 圖 6 之電路比較表

MODEL	延遲時間			Avg. power
	a<b	a=b	a>b	
TT	0.745ns	0.899ns	0.763ns	0.499mW
FF	0.583ns	0.690ns	0.597ns	0.536mW
SS	0.963ns	1.15ns	0.971ns	0.494mW
SF	0.733ns	0.876ns	0.746ns	0.513mW
FS	0.765ns	0.907ns	0.778ns	0.518mW

IV. 結論

本論文提出二種利用二位元數位比較器實現之 8 位元數位比較器。根據模擬結果，雖然在兩數相等時，相較於已知的八位元數位比較器，有略多的延遲時間，在其他狀況下，則有較短的延遲時間。未來工作的重點，除了下線實作以外，亦應持續縮短傳輸延遲時間。本電路預期可以使用在類比/數位轉換器、保護電路以及其他的數位系統中。

參考文獻

- [1] 鄒昌廷、劉偉行，“利用傳輸閘實現可擴充式 8 位元數位比較器”，2007 National Computer Symposium, Vol. 2, pp. 478-487, Dec 2007.
- [2] 鄒宏基、蘇國和、劉韻意，數位邏輯，儒林圖書有限公司，台灣，2000 年 2 月。
- [3] 張克正、楊劍華，數位原理與應用，超級科技圖書股份有限公司，台灣，1986 年 7 月。
- [4] 王進賢，VLSI 電路設計，高立圖書有限公司，台灣，2003 年。
- [5] John P. Uyemura; 李世鴻，VLSI 電路與系統，全華科技圖書股份有限公司，台灣，2005 年 1 月。
- [6] 張文清、蔡佩姍，Spice 電子電路模擬，鼎茂

- 圖書出版公司，台灣，2001 年。
- [7] 鐘文耀，CMOS 電路模擬與設計——使用 HSPICE，全華圖書股份有限公司，台灣，2003 年。
 - [8] 蕭培墉、吳孟賢，HSpice 積體電路設計分析與模擬導論，台灣東華書局股份有限公司，台灣，2005 年 7 月。
 - [9] 鐘文耀，HSpice 積體電路模擬與應用，1994 年，台灣台北，廷康資訊股份有限公司。
 - [10] Nandhasri, K.; Ngarmnil, J., “Designs of analog and digital comparators with FGMOS,” *Proceeding of the 2001 IEEE International Symposium on Circuits and Systems*, Vol. 1, pp. 25 – 28, May 2001.
 - [11] Peter, K.K.L.; Tan, E.C.; “Digital comparator for non-algorithmic routing,” *Proceedings of the 2003 Joint Conference of the Fourth International Conference on Information, Communications and Signal Processing*, Vol. 3, pp. 1949 – 1951, Dec. 2003.