



数字逻辑与计算机组成实验

LAB 05：寄存器组及存储器

郑凯琳 205220025
205220025@smail.nju.edu.cn

(一) 实验目的

实现寄存器堆和 RAM

- 寄存器堆：读取时不需要时钟控制，即读地址有效后，直接输出数据。写入时通过时钟上升沿进行控制。

采用下面的方式进行初始化：

```
1 initial
2 begin
3     $readmemh("D:/digital_logic/mem1.txt", ram, 0, 15);
4 end
```

初始化数值为：

```
1 @0 00
2 @1 01
3 @2 02
4 @3 03
5 @4 04
6 @5 05
7 @6 06
8 @7 07
9 @8 08
10 @9 09
11 @a 0a
12 @b 0b
13 @c 0c
14 @d 0d
15 @e 0e
16 @f 0f
```

- RAM：利用 IP 核设计一个单口存储器，利用.coe 文件进行初始化，十六个单元的初始化值分别为：0xf0, 0xf1, 0xf2, 0xf3, 0xf4, 0xf5, 0xf6, 0xf7, 0xf8, 0xf9, 0xfa, 0xfb, 0xfc, 0xfd, 0xfe, 0xff。

此两个物理上完全不同的存储器共用时钟、读写地址。适当选择时钟信号和写使能信号，以能够分别对此两个存储器进行读写。将两个存储器读出的结果分别用 2 个七段数码管显示。由于开发板上输入数量不够，写入时可以只写入 4 位数据。

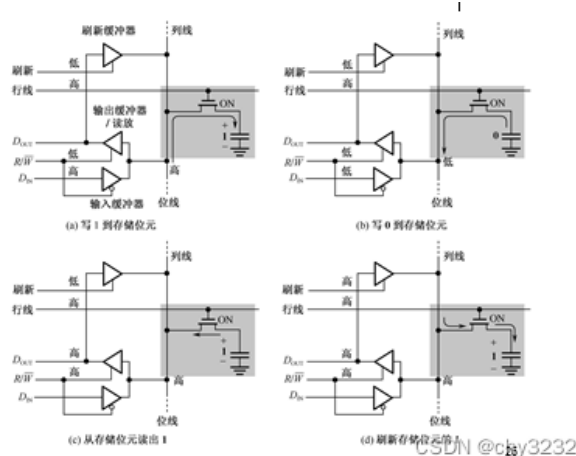
(二) 实验原理

DRAM 动态存储器

1) DRAM 存储元的工作原理：

SRAM 存储器的存储位元是一个触发器，它具有两个稳定的状态。

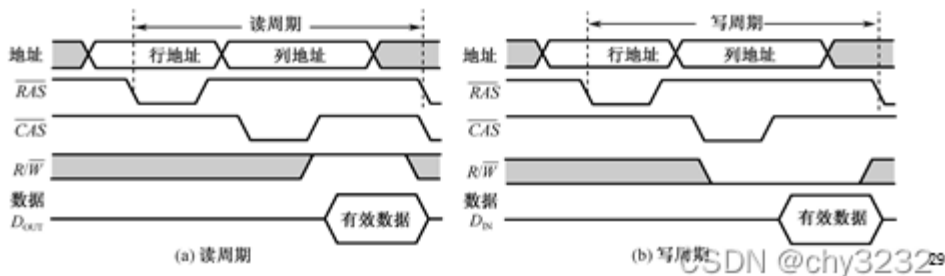
而 DRAM 存储器的存储位元是由一个 MOS 晶体管和电容器组成的记忆电路，如下图所示。



2) DRAM 读/写时序:

读周期、写周期的定义是从行选通信号 RAS 下降沿开始，到下一个 RAS 信号的下降沿为止的时间，也就是连续两个读周期的时间间隔。

通常为控制方便，读周期和写周期时间相等。



(三) 实验环境/器材等

硬件器材: Nexys A7-100T 开发板

软件平台: Vivado 开发平台

(四) 实验过程

数字抽象

1. 输入:

- clk ——— 时钟信号，与分频器的输出时钟信号连接
- we ——— 写使能信号，控制存储器进行读/写操作
- SW [3:0] ——— 数据输入，8 位二进制码
- SW [7:4] ——— 读地址，进行读操作要输出的数据的地址
- SW [11:8] ——— 写地址，进行写操作要写入的数据的地址

SW [15:0]

2. 输出:

- LED [7:0] ——— 数据输出
- AN [7:0] ——— 七段 LED 数码管
- HEX [6:0] ——— 数码管上的 LED

设计思路 & 设计代码

1. 在 we 有效时进行写操作；在 we 无效且读地址有效时进行读操作。
2. dout2 在顶层文件钟位 wire [3:0]型变量，用以接收存储器的数据输出，并连接至七段数码管。

```
wire [3:0] dout2;
reg [3:0] dout;

blk_mem_gen_0 ipRAM( .addra(SW[15:12]), .clka(clk), .dina(SW[3:0]), .douta(dout2), .ena(1'b1), .wea(we));

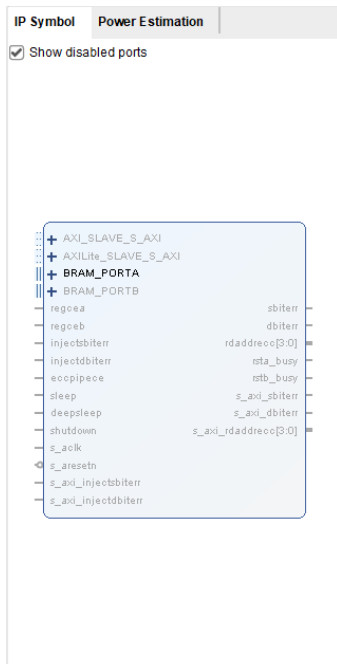
reg [7:0] ram [15:0]; // 定义16个8位存储单元

// 从文件中初始化RAM
initial
begin
$readmemh("F:/digitaldesign/mem1.txt", ram, 0, 15);
end

// 读取数据
//assign dout = ram[outaddr];

// 写入数据
always @(posedge clk)
begin
if (we)
begin
ram[SW[7:4]] <= SW[3:0];
end
dout <= ram[SW[11:8]];
end
```

3. IP 核设计单口存储器，比 Verilog 语言实现来得更快捷、便利。



测试代码

//读数据验证存储器初始化

```
clk = 0; we = 0; SW[3:0] = 8'b00000000;
SW[7:4] = 4'b0000; SW[11:8] = 4'b0000; #5;
SW[7:4] = 4'b0001; SW[11:8] = 4'b0001; #5;
SW[7:4] = 4'b0010; SW[11:8] = 4'b0010; #5;
SW[7:4] = 4'b0011; SW[11:8] = 4'b0011; #5;
SW[7:4] = 4'b0100; SW[11:8] = 4'b0100; #5;
SW[7:4] = 4'b0101; SW[11:8] = 4'b0101; #5;
SW[7:4] = 4'b0110; SW[11:8] = 4'b0110; #5;
SW[7:4] = 4'b0111; SW[11:8] = 4'b0111; #5;
SW[7:4] = 4'b1000; SW[11:8] = 4'b1000; #5;
SW[7:4] = 4'b1001; SW[11:8] = 4'b1001; #5;
SW[7:4] = 4'b1010; SW[11:8] = 4'b1010; #5;
SW[7:4] = 4'b1011; SW[11:8] = 4'b1011; #5;
SW[7:4] = 4'b1100; SW[11:8] = 4'b1100; #5;
SW[7:4] = 4'b1101; SW[11:8] = 4'b1101; #5;
SW[7:4] = 4'b1110; SW[11:8] = 4'b1110; #5;
SW[7:4] = 4'b1111; SW[11:8] = 4'b1111; #5;
```

//修改存储器里面的内容

```
we = 1; SW[3:0] = 8'b11111111; #5;
SW[7:4] = 4'b0000; SW[11:8] = 4'b0000; #5;
SW[7:4] = 4'b0001; SW[11:8] = 4'b0001; #5;
SW[7:4] = 4'b0010; SW[11:8] = 4'b0010; #5;
SW[7:4] = 4'b0011; SW[11:8] = 4'b0011; #5;
SW[7:4] = 4'b0100; SW[11:8] = 4'b0100; #5;
SW[7:4] = 4'b0101; SW[11:8] = 4'b0101; #5;
SW[7:4] = 4'b0110; SW[11:8] = 4'b0110; #5;
SW[7:4] = 4'b0111; SW[11:8] = 4'b0111; #5;
SW[7:4] = 4'b1000; SW[11:8] = 4'b1000; #5;
SW[7:4] = 4'b1001; SW[11:8] = 4'b1001; #5;
SW[7:4] = 4'b1010; SW[11:8] = 4'b1010; #5;
SW[7:4] = 4'b1011; SW[11:8] = 4'b1011; #5;
SW[7:4] = 4'b1100; SW[11:8] = 4'b1100; #5;
SW[7:4] = 4'b1101; SW[11:8] = 4'b1101; #5;
SW[7:4] = 4'b1110; SW[11:8] = 4'b1110; #5;
SW[7:4] = 4'b1111; SW[11:8] = 4'b1111; #5;
```

//再读存储器修改后的内容

```
we = 0; #5;
SW[7:4] = 4'b0000; SW[11:8] = 4'b0000; #5;
SW[7:4] = 4'b0001; SW[11:8] = 4'b0001; #5;
SW[7:4] = 4'b0010; SW[11:8] = 4'b0010; #5;
SW[7:4] = 4'b0011; SW[11:8] = 4'b0011; #5;
SW[7:4] = 4'b0100; SW[11:8] = 4'b0100; #5;
SW[7:4] = 4'b0101; SW[11:8] = 4'b0101; #5;
SW[7:4] = 4'b0110; SW[11:8] = 4'b0110; #5;
SW[7:4] = 4'b0111; SW[11:8] = 4'b0111; #5;
SW[7:4] = 4'b1000; SW[11:8] = 4'b1000; #5;
SW[7:4] = 4'b1001; SW[11:8] = 4'b1001; #5;
SW[7:4] = 4'b1010; SW[11:8] = 4'b1010; #5;
SW[7:4] = 4'b1011; SW[11:8] = 4'b1011; #5;
SW[7:4] = 4'b1100; SW[11:8] = 4'b1100; #5;
SW[7:4] = 4'b1101; SW[11:8] = 4'b1101; #5;
SW[7:4] = 4'b1110; SW[11:8] = 4'b1110; #5;
SW[7:4] = 4'b1111; SW[11:8] = 4'b1111; #5;
```

硬件实现（引脚分配）

```
## Clock signal
set_property -dict { PACKAGE_PIN E3      IOSTANDARD LVCNMOS33 } [get_ports { clk }]; #IO_L12P_T1_MRCC_35 Sch=clk100mhz
#create_clock -add -name sys_clk_pin -period 10.00 -waveform {0 5} [get_ports {CLK100MHZ}];

##Switches
set_property -dict { PACKAGE_PIN J15      IOSTANDARD LVCNMOS33 } [get_ports { SW[0] }]; #IO_L24N_T3_RS0_15 Sch=sw[0]
set_property -dict { PACKAGE_PIN L16      IOSTANDARD LVCNMOS33 } [get_ports { SW[1] }]; #IO_L3N_T0_DQS_ENCLK_14 Sch=sw[1]
set_property -dict { PACKAGE_PIN M13      IOSTANDARD LVCNMOS33 } [get_ports { SW[2] }]; #IO_L6N_T0_D08_VREF_14 Sch=sw[2]
set_property -dict { PACKAGE_PIN R15      IOSTANDARD LVCNMOS33 } [get_ports { SW[3] }]; #IO_L13N_T2_MRCC_14 Sch=sw[3]
set_property -dict { PACKAGE_PIN R17      IOSTANDARD LVCNMOS33 } [get_ports { SW[4] }]; #IO_L12N_T1_MRCC_14 Sch=sw[4]
set_property -dict { PACKAGE_PIN T18      IOSTANDARD LVCNMOS33 } [get_ports { SW[5] }]; #IO_L7N_T1_D10_14 Sch=sw[5]
set_property -dict { PACKAGE_PIN U18      IOSTANDARD LVCNMOS33 } [get_ports { SW[6] }]; #IO_L17N_T2_A13_D29_14 Sch=sw[6]
set_property -dict { PACKAGE_PIN R13      IOSTANDARD LVCNMOS33 } [get_ports { SW[7] }]; #IO_L5N_T0_D07_14 Sch=sw[7]
set_property -dict { PACKAGE_PIN T8       IOSTANDARD LVCNMOS18 } [get_ports { SW[8] }]; #IO_L24N_T3_34 Sch=sw[8]
set_property -dict { PACKAGE_PIN U8       IOSTANDARD LVCNMOS18 } [get_ports { SW[9] }]; #IO_25_34 Sch=sw[9]
set_property -dict { PACKAGE_PIN R16      IOSTANDARD LVCNMOS33 } [get_ports { SW[10] }]; #IO_L15P_T2_DQS_RDWR_B_14 Sch=sw[10]
set_property -dict { PACKAGE_PIN T13      IOSTANDARD LVCNMOS33 } [get_ports { SW[11] }]; #IO_L23P_T3_A03_D19_14 Sch=sw[11]
set_property -dict { PACKAGE_PIN H6       IOSTANDARD LVCNMOS33 } [get_ports { SW[12] }]; #IO_L24P_T3_35 Sch=sw[12]
set_property -dict { PACKAGE_PIN U12      IOSTANDARD LVCNMOS33 } [get_ports { SW[13] }]; #IO_L20P_T3_A08_D24_14 Sch=sw[13]
set_property -dict { PACKAGE_PIN U11      IOSTANDARD LVCNMOS33 } [get_ports { SW[14] }]; #IO_L19N_T3_A09_D25_VREF_14 Sch=sw[14]
set_property -dict { PACKAGE_PIN V10      IOSTANDARD LVCNMOS33 } [get_ports { SW[15] }]; #IO_L21P_T3_DQS_14 Sch=sw[15]

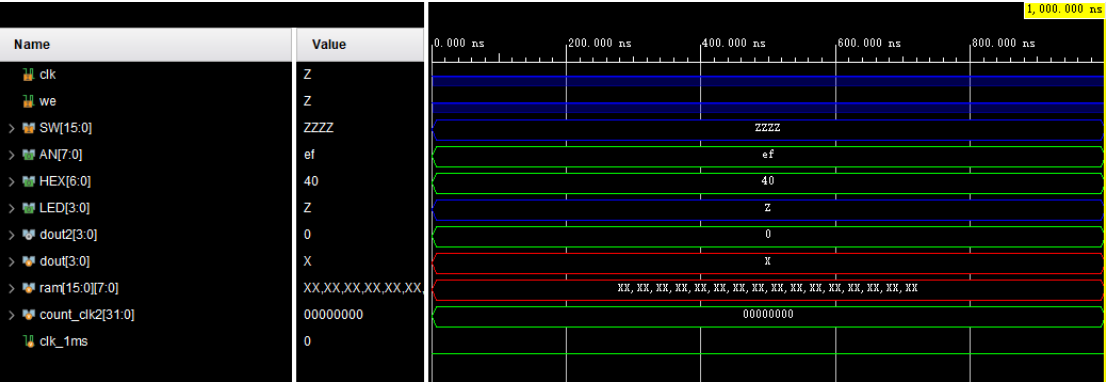
## LEDs
set_property -dict { PACKAGE_PIN H17      IOSTANDARD LVCNMOS33 } [get_ports { LED[0] }]; #IO_L18P_T2_A24_15 Sch=led[0]
set_property -dict { PACKAGE_PIN K15      IOSTANDARD LVCNMOS33 } [get_ports { LED[1] }]; #IO_L24P_T3_RS1_15 Sch=led[1]
set_property -dict { PACKAGE_PIN J13      IOSTANDARD LVCNMOS33 } [get_ports { LED[2] }]; #IO_L17N_T2_A25_15 Sch=led[2]
set_property -dict { PACKAGE_PIN N14      IOSTANDARD LVCNMOS33 } [get_ports { LED[3] }]; #IO_L8P_T1_D11_14 Sch=led[3]
set_property -dict { PACKAGE_PIN R18      IOSTANDARD LVCNMOS33 } [get_ports { LED[4] }]; #IO_L7P_T1_D09_14 Sch=led[4]
set_property -dict { PACKAGE_PIN V17      IOSTANDARD LVCNMOS33 } [get_ports { LED[5] }]; #IO_L18N_T2_A11_D27_14 Sch=led[5]
set_property -dict { PACKAGE_PIN U17      IOSTANDARD LVCNMOS33 } [get_ports { LED[6] }]; #IO_L17P_T2_A14_D30_14 Sch=led[6]
set_property -dict { PACKAGE_PIN U16      IOSTANDARD LVCNMOS33 } [get_ports { LED[7] }]; #IO_L18P_T2_A12_D28_14 Sch=led[7]
set_property -dict { PACKAGE_PIN V16      IOSTANDARD LVCNMOS33 } [get_ports { LED[8] }]; #IO_L16N_T2_A15_D31_14 Sch=led[8]
set_property -dict { PACKAGE_PIN T15      IOSTANDARD LVCNMOS33 } [get_ports { LED[9] }]; #IO_L14N_T2_SRCC_14 Sch=led[9]
set_property -dict { PACKAGE_PIN U14      IOSTANDARD LVCNMOS33 } [get_ports { LED[10] }]; #IO_L22P_T3_A05_D21_14 Sch=led[10]
set_property -dict { PACKAGE_PIN T16      IOSTANDARD LVCNMOS33 } [get_ports { LED[11] }]; #IO_L15N_T2_DQS_DOUT_CSO_B_14 Sch=led[11]
set_property -dict { PACKAGE_PIN V15      IOSTANDARD LVCNMOS33 } [get_ports { LED[12] }]; #IO_L16P_T2_CSI_B_14 Sch=led[12]
set_property -dict { PACKAGE_PIN V14      IOSTANDARD LVCNMOS33 } [get_ports { LED[13] }]; #IO_L22N_T3_A04_D20_14 Sch=led[13]
set_property -dict { PACKAGE_PIN V12      IOSTANDARD LVCNMOS33 } [get_ports { LED[14] }]; #IO_L20N_T3_A07_D23_14 Sch=led[14]
set_property -dict { PACKAGE_PIN V11      IOSTANDARD LVCNMOS33 } [get_ports { LED[15] }]; #IO_L21N_T3_DQS_A06_D22_14 Sch=led[15]

##7 segment display
set_property -dict { PACKAGE_PIN T10      IOSTANDARD LVCNMOS33 } [get_ports { HEX[0] }]; #IO_L24N_T3_A00_D16_14 Sch=ca
set_property -dict { PACKAGE_PIN R10      IOSTANDARD LVCNMOS33 } [get_ports { HEX[1] }]; #IO_25_14 Sch=cb
set_property -dict { PACKAGE_PIN K16      IOSTANDARD LVCNMOS33 } [get_ports { HEX[2] }]; #IO_25_15 Sch=cc
set_property -dict { PACKAGE_PIN K13      IOSTANDARD LVCNMOS33 } [get_ports { HEX[3] }]; #IO_L17P_T2_A26_15 Sch=cd
set_property -dict { PACKAGE_PIN P15      IOSTANDARD LVCNMOS33 } [get_ports { HEX[4] }]; #IO_L13P_T2_MRCC_14 Sch=ce
set_property -dict { PACKAGE_PIN T11      IOSTANDARD LVCNMOS33 } [get_ports { HEX[5] }]; #IO_L19P_T3_A10_D26_14 Sch=cf
set_property -dict { PACKAGE_PIN L18      IOSTANDARD LVCNMOS33 } [get_ports { HEX[6] }]; #IO_L4P_T0_D04_14 Sch=cg
set_property -dict { PACKAGE_PIN H15      IOSTANDARD LVCNMOS33 } [get_ports { DP }]; #IO_L19N_T3_A21_VREF_15 Sch=dp
set_property -dict { PACKAGE_PIN J17      IOSTANDARD LVCNMOS33 } [get_ports { AN[0] }]; #IO_L23P_T3_F0E_B_15 Sch=an[0]
set_property -dict { PACKAGE_PIN J18      IOSTANDARD LVCNMOS33 } [get_ports { AN[1] }]; #IO_L23N_T3_FWE_B_15 Sch=an[1]
set_property -dict { PACKAGE_PIN T9       IOSTANDARD LVCNMOS33 } [get_ports { AN[2] }]; #IO_L24P_T3_A01_D17_14 Sch=an[2]
set_property -dict { PACKAGE_PIN J14      IOSTANDARD LVCNMOS33 } [get_ports { AN[3] }]; #IO_L19P_T3_A22_15 Sch=an[3]
set_property -dict { PACKAGE_PIN P14      IOSTANDARD LVCNMOS33 } [get_ports { AN[4] }]; #IO_L8N_T1_D12_14 Sch=an[4]
set_property -dict { PACKAGE_PIN T14      IOSTANDARD LVCNMOS33 } [get_ports { AN[5] }]; #IO_L14P_T2_SRCC_14 Sch=an[5]
set_property -dict { PACKAGE_PIN K2       IOSTANDARD LVCNMOS33 } [get_ports { AN[6] }]; #IO_L23P_T3_35 Sch=an[6]
set_property -dict { PACKAGE_PIN U13      IOSTANDARD LVCNMOS33 } [get_ports { AN[7] }]; #IO_L23N_T3_A02_D18_14 Sch=an[7]
```

```
##Buttons
set_property -dict { PACKAGE_PIN N17      IOSTANDARD LVCNOS33 } [get_ports { we }]; #IO_L9P_T1_DQS_14 Sch=btnc
#set_property -dict { PACKAGE_PIN N18      IOSTANDARD LVCNOS33 } [get_ports { BTNU }]; #IO_L4N_T0_D05_14 Sch=btnc
#set_property -dict { PACKAGE_PIN P17      IOSTANDARD LVCNOS33 } [get_ports { BTNL }]; #IO_L12P_T1_MRCC_14 Sch=btnc
#set_property -dict { PACKAGE_PIN M17      IOSTANDARD LVCNOS33 } [get_ports { BTNR }]; #IO_L10N_T1_D15_14 Sch=btnc
#set_property -dict { PACKAGE_PIN P18      IOSTANDARD LVCNOS33 } [get_ports { BTND }]; #IO_L9N_T1_DQS_D13_14 Sch=btnd
```

(五) 实验结果

仿真结果：



(六) 实验中遇到的问题及解决方法

无