

N32G031 x6/x8

数据手册

N32G031系列采用 32 bit ARM Cortex-M0内核，最高工作主频48MHz，集成多达64KB Flash,8KB SRAM， 1x12bit 1Msps ADC， 1xOPAMP， 1xCOMP，集成多路U(S)ART、I2C、SPI

关键特性

- 内核 CPU
 - 32 位 ARM Cortex-M0 内核，单周期硬件乘法指令
 - 最高主频 48MHz
- 加密存储器
 - 高达 64KByte 片内 Flash，支持加密存储，支持硬件 ECC 校验，10 万次擦写次数，10 年数据保持
 - 8KByte 片内 SRAM，支持硬件奇偶校验
- 低功耗管理
 - Stop 模式：RTC Run，最大 8KByte Retention SRAM 保持，CPU 寄存器保持，所有 IO 保持
 - Power Down 模式：支持 3 路 IO 唤醒
- 时钟
 - HSE：4MHz~20MHz 外部高速晶体
 - LSE：32.768KHz 外部低速晶体
 - HSI：内部高速 RC OSC 8MHz
 - LSI：内部低速 RC OSC 30KHz
 - 内置高速 PLL
 - 支持 2 路时钟输出，可配置为系统时钟、HSE、HSI、LSE、LSI 或分频后的 PLL 输出
- 复位
 - 支持上电/掉电/外部引脚复位
 - 支持看门狗复位
- 通信接口
 - 3 个 U(S)ART 接口，最高速率达 3 Mbps，其中 2 个 USART 接口（支持 1xISO7816，1xIrDA，LIN），其中 1 路支持低功耗特性（LPUART，此模式下最高通讯速率 9600bps），可唤醒 Stop 模式
 - 2 个 SPI 接口，速率高达 18 MHz，其中 1 个与 I2S 复用
 - 2 个 I2C 接口，速率高达 1 MHz，主从模式可配，从机模式下支持双地址响应
- 模拟接口
 - 1 个 12bit 1Msps 高速 ADC，多达 12 路外部单端输入通道
 - 1 个运算放大器，内置最大 32 倍可编程增益放大
 - 1 个高速模拟比较器，内置 64 级可调比较基准
- 最大支持 40 个支持复用功能的 GPIOs
- 1 个高速 5 通道 DMA 控制器，通道源地址及目的地址任意可配
- RTC 实时时钟，支持闰年万年历，闹钟事件，周期性唤醒,支持内外部时钟校准

- **1 路蜂鸣器，支持互补输出，驱动能力最大 16mA**
- **定时计数器**
 - 2 个 16bit 高级定时计数器，支持输入捕获，互补输出，正交编码输入等功能；每个定时器有 4 个独立的通道，其中 3 个通道支持 6 路互补 PWM 输出
 - 1 个 16bit 通用定时计数器，定时器有 4 个独立通道，支持输入捕获/输出比较/PWM 输出
 - 1 个 16bit 基础定时计数器
 - 1 个 16bit 低功耗定时计数器
 - 1x 24bit SysTick
 - 1x 7bit 窗口看门狗(WWDG)
 - 1x 12bit 独立看门狗(IWDG)
- **编程方式**
 - 支持 SWD 在线调试接口
 - 支持 UART Bootloader
- **硬件除法器 HDIV 和均方根 SQRT 加速**
- **安全特性**
 - Flash 存储加密
 - CRC16/32 运算
 - 支持写保护（WRP），多种读保护（RDP）等级（L0/L1/L2）
 - 支持时钟失效监测，防拆监测
- **96 位 UID 及 128 位 UCID**
- **工作条件**
 - 工作电压范围：1.8V~5.5V
 - 工作温度范围：-40℃~105℃
 - ESD: ±4KV（HBM 模型），±1KV（CDM 模型）
- **封装**
 - UFQFPN20(3mm x 3mm)
 - TSSOP20(6.5mm x 4.4mm)
 - QFN32(4mm x 4mm)
 - QFN32(5mm x 5mm)
 - LQFP32(7mm x 7mm)
 - LQFP48(7mm x 7mm)
- **订购型号**

系列	型号
N32G031x6 N32G031x8	N32G031F6U7, N32G031F6S7, N32G031K6L7, N32G031K6Q7, N32G031K6Q7-1, N32G031F8U7, N32G031F8S7, N32G031K8L7, N32G031K8Q7, N32G031K8Q7-1,

	N32G031C8L7
--	-------------

目 录

1	产品简介	6
1.1	命名规则	7
1.2	器件一览	8
2	功能简介	10
2.1	处理器内核	10
2.2	存储器	10
2.2.1	嵌入式闪存存储器	10
2.2.2	嵌入式SRAM	10
2.2.3	嵌套的向量式中断控制器(NVIC)	11
2.3	扩展中断/事件控制器(EXTI)	11
2.4	时钟系统	11
2.5	启动模式	12
2.6	供电方案	12
2.7	可编程电压监测器	13
2.8	低功耗模式	13
2.9	直接存储器存取(DMA)	13
2.10	实时时钟(RTC)	13
2.11	定时器和看门狗	14
2.11.1	低功耗定时器(LPTIM)	14
2.11.2	基本定时器(TIM6)	15
2.11.3	通用定时器(TIM3)	15
2.11.4	高级定时器(TIM1 and TIM8)	15
2.11.5	系统时基定时器(Systick)	16
2.11.6	看门狗定时器(WDG)	16
2.12	I ² C总线接口	17
2.13	通用同步/异步收发器(USART)	18
2.14	串行外设接口(SPI)	19
2.15	串行音频接口(I ² S)	20
2.16	通用输入输出接口(GPIO)	21
2.17	模拟/数字转换器(ADC)	21
2.18	运算放大器(OPAMP)	22
2.19	模拟比较器(COMP)	22
2.20	温度传感器(TS)	23
2.21	蜂鸣器(BEEPER)	23
2.22	HDIV和SQRT	23
2.23	循环冗余校验计算单元(CRC)	23
2.24	唯一设备序列号(UID)	24
2.25	串行SWD调试口(SWD)	24
3	引脚定义和描述	24
3.1	封装示意图	24
3.1.1	LQFP48	24
3.1.2	LQFP32	26
3.1.3	QFN32 (5mx5m)	26

3.1.4	QFN32 (4mx4m).....	28
3.1.5	UFQFPN20.....	28
3.1.6	TSSOP20	29
3.2	引脚复用定义.....	31
4	电气特性	37
4.1	测试条件.....	37
4.1.1	最小和最大数值.....	37
4.1.2	典型数值	37
4.1.3	典型曲线	37
4.1.4	负载电容	37
4.1.5	引脚输入电压	37
4.1.6	供电方案	38
4.1.7	电流消耗测量	39
4.2	绝对最大额定值.....	39
4.3	工作条件.....	40
4.3.1	通用工作条件	40
4.3.2	上电和掉电时的工作条件.....	40
4.3.3	内嵌复位和电源控制模块特性.....	40
4.3.4	内置的参考电压.....	41
4.3.5	供电电流特性	41
4.3.6	外部时钟源特性.....	44
4.3.7	内部时钟源特性.....	47
4.3.8	低功耗模式唤醒时间.....	48
4.3.9	PLL特性	48
4.3.10	FLASH存储器特性	49
4.3.11	绝对最大值(电气敏感性).....	49
4.3.12	I/O端口特性.....	50
4.3.13	NRST引脚特性	52
4.3.14	TIM定时器特性.....	53
4.3.15	I2C接口特性	53
4.3.16	SPI/I2S接口特性.....	55
4.3.17	12位模数转换器(ADC)电气参数	59
4.3.18	内置参考源 (V_{REFP}) 电气参数	61
4.3.19	运算放大器(OPAMP)电气参数.....	61
4.3.20	比较器(COMP)电气参数	62
4.3.21	温度传感器(TS)特性.....	62
5	封装尺寸	63
5.1	LQFP48.....	63
5.2	LQFP32.....	64
5.3	QFN32 (5MX5M)	65
5.4	QFN32 (4MX4M)	66

5.5	UFQFPN20	67
5.6	TSSOP20.....	68
5.7	丝印说明	69
6	版本历史	70
7	声明	72

表目录

表 1-1 N32G031系列资源配置(1)	8
表 1-2 N32G031系列资源配置(2)	9
表 2-1 定时器功能比较	14
表 3-1 管脚定义	31
表 4-1 电压特性	39
表 4-2 电流特性	39
表 4-3 温度特性	39
表 4-4 通用工作条件	40
表 4-5 上电和掉电时的工作条件	40
表 4-6 内嵌复位和电源控制模块特性	40
表 4-7 内置的参照电压	41
表 4-8 运行模式下的典型电流消耗, 数据处理代码从内部闪存中运行	42
表 4-9 运行模式下的典型电流消耗, 数据处理代码从内部RAM中运行	43
表 4-10 睡眠模式下的典型电流消耗, 代码运行在内部闪存中	43
表 4-11 停机和待机模式下的典型消耗	43
表 4-12 运行模式下的典型电流消耗, 数据处理代码从内部FLASH中运行	44
表 4-13 睡眠模式下的典型电流消耗, 数据处理代码从内部FLASH或RAM中运行	44
表 4-14 高速外部用户时钟特性(BYPASS模式)	44
表 4-15 低速外部用户时钟特性(BYPASS模式)	45
表 4-16 HSE 4~20MHz振荡器特性 ⁽¹⁾⁽²⁾	46
表 4-17 LSE振荡器特性($F_{LSE}=32.768kHz$) ⁽¹⁾	47
表 4-18 HSI振荡器特性 ⁽¹⁾⁽²⁾	47
表 4-19 LSI振荡器特性 ⁽¹⁾	48
表 4-20 低功耗模式的唤醒时间	48
表 4-21 PLL特性	49
表 4-22 闪存存储器特性	49
表 4-23 闪存存储器寿命和数据保存期限	49
表 4-24 ESD绝对最大值	49
表 4-25 电气敏感性	50
表 4-26 I/O静态特性	50
表 4-27 输入输出交流特性	51
表 4-28 NRST引脚特性	52
表 4-29 TIMx ⁽¹⁾ 特性	53
表 4-30 I ² C接口特性	54
表 4-31 SPI特性 ⁽⁴⁾	55
表 4-32 I ² S特性 ⁽¹⁾	58
表 4-33 ADC特性	59
表 4-34 ADC精度 – 局限的测试条件 ⁽¹⁾	60
表 4-35 V _{REFP} 特性	61
表 4-36 OPAMP特性	61
表 4-37 COMP特性	62
表 4-38 温度传感器特性	62

图目录

图 1-1 N32G031系列框图.....	6
图 1-2 N32G031系列订货代码信息图示.....	7
图 2-1 存储器映射图.....	10
图 2-2 时钟树.....	12
图 3-1 N32G031系列LQFP48引脚分布.....	25
图 3-3 N32G031系列LQFP32引脚分布.....	26
图 3-4 N32G031系列QFN32(5MX5M)引脚分布.....	27
图 3-5 N32G031系列QFN32(4MX4M)引脚分布.....	28
图 3-6 N32G031系列UFQFPN20引脚分布.....	29
图 3-7 N32G031系列TSSOP20引脚分布.....	30
图 4-1 引脚的负载条件.....	37
图 4-2 引脚输入电压.....	38
图 4-3 供电方案.....	38
图 4-4 电流消耗测量方案.....	39
图 4-5 外部高速时钟源的交流时序图.....	45
图 4-6 外部低速时钟源的交流时序图.....	46
图 4-7 使用8MHz晶体的典型应用.....	46
图 4-8 使用32.768kHz晶体的典型应用.....	47
图 4-9 输入输出交流特性定义.....	52
图 4-10 建议的NRST引脚保护.....	53
图 4-11 I ² C总线交流波形和测量电路 ⁽¹⁾	55
图 4-12 SPI时序图 – 从模式和CPHA=0.....	56
图 4-13 SPI时序图 – 从模式和CPHA=1 ⁽¹⁾	57
图 4-14 SPI时序图 – 主模式 ⁽¹⁾	57
图 4-15 I ² S从模式时序图(飞利浦协议) ⁽¹⁾	59
图 4-16 I ² S主模式时序图(飞利浦协议) ⁽¹⁾	59
图 4-17 使用ADC典型的连接图.....	60
图 5-1 LQFP48封装尺寸.....	63
图 5-3 LQFP32封装尺寸.....	64
图 5-4 QFN32(5MX5M)封装尺寸.....	65
图 5-5 QFN32(4MX4M)封装尺寸.....	66
图 5-6 UFQFPN20封装尺寸.....	67
图 5-7 TSOP20封装尺寸.....	68
图 5-8 丝印说明图.....	69

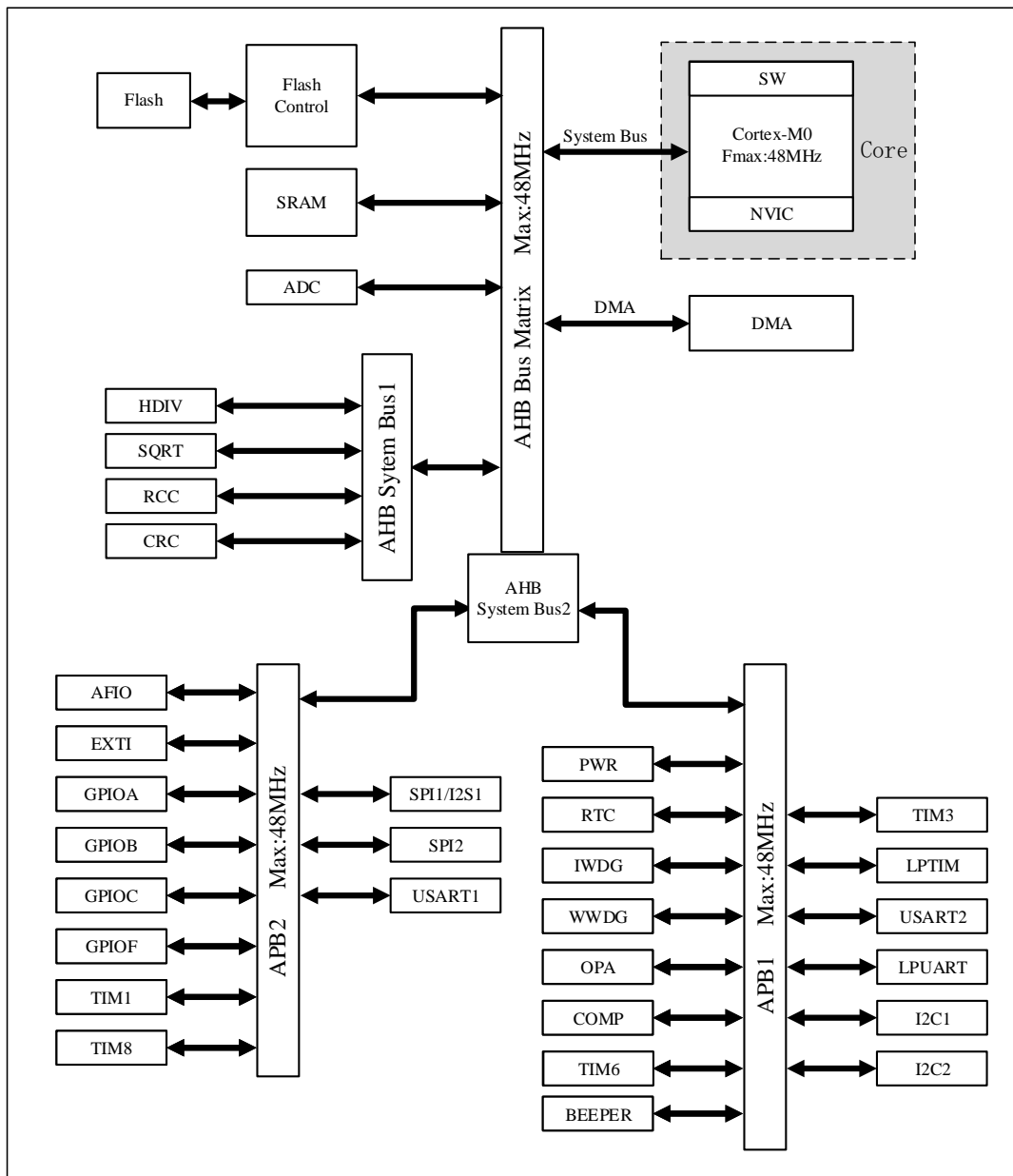
1 产品简介

N32G031 系列微控制器产品采用 32 位 ARM Cortex®-M0 内核，最高工作主频 48MHz，集成高达 64KB 加密存储 Flash，最大 8KB SRAM；内置一个高速 AHB 总线，二个低速外设总线 APB 及总线矩阵，最多支持 40 个通用 I/O，提供丰富的高性能模拟接口，包括 1 个 12 位 1Msps ADC，最多支持 12 个外部输入通道、1 路独立的运算放大器、1 个高速比较器，同时提供多种数字通信接口，包括 3 个 U(S)ART、2 个 I2C、2 个 SPI、1 个 I2S。

N32G031 系列产品可稳定工作于 -40℃ 至 +105℃ 的温度范围，供电电压 1.8V 至 5.5V，提供多种功耗模式供用户选择，符合低功耗应用的要求。该系列产品提供包括从 20 脚至 48 脚的不同封装形式，根据不同的封装形式，器件中的外设配置不尽相同。

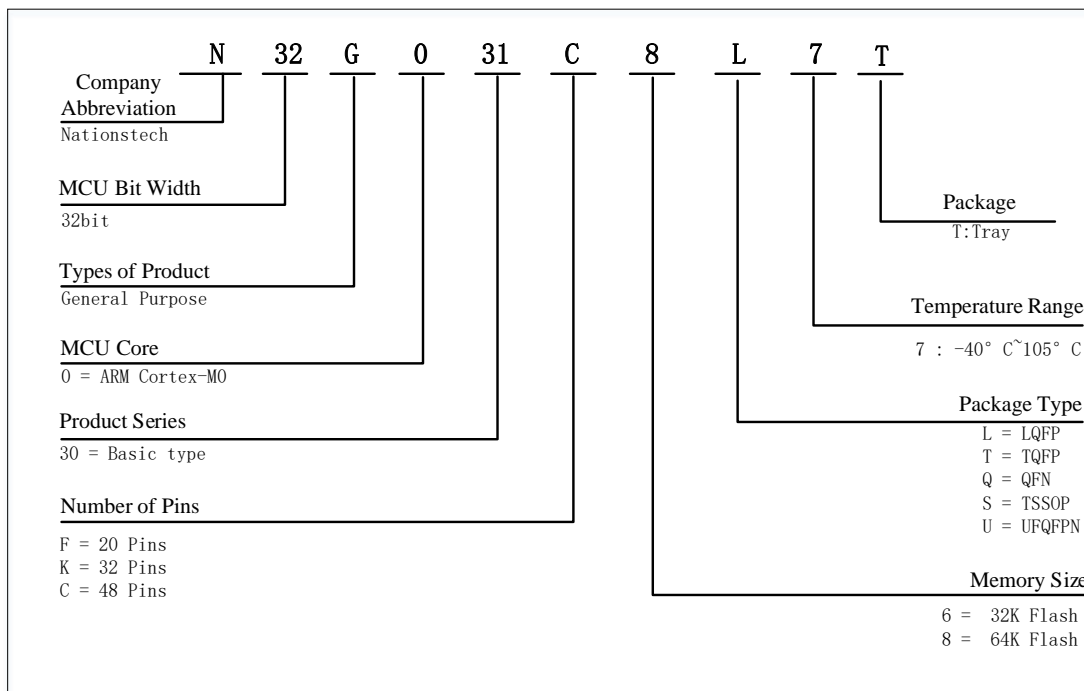
N32G031 系列微控制器适合于手机移动设备、家电应用、电机控制、平衡车、电源管理系统等多种应用场景，图 1-1 给出了该系列产品的总线框图。

图 1-1 N32G031 系列框图



1.1 命名规则

图 1-2 N32G031 系列订货代码信息图示



1.2 器件一览

表 1-1 N32G031 系列资源配置(1)

器件型号		N32G031 F8U7	N32G031 F8S7	N32G031K8Q7	N32G031K8Q7- 1	N32G031K8L7	N32G031C8L7
Flash 容量（KB）		64	64	64	64	64	64
SRAM 容量（KB）		8	8	8	8	8	8
CPU 频率		ARM Cortex-M0 @48MHz					
工作环境		1.8~5.5V/-40~105℃					
定时器	通用	1					
	高级	2					
	基本	1					
	LPTIM	1					
	RTC	1					
通讯 接口	SPI	2					
	I2S	1					
	I2C	2					
	USART	2					
	LPUART	1					
GPIO		16		28		26	40
DMA Number of Channels		5					
12bit ADC		1x12bit	1x12bit	1x12bit			1x12bit
Number of channels		7Channel	9Channel	10Channel			12Channel
OPA/COMP		1/1					
Beeper		1					
算法支持		CRC16/CRC32					
安全保护		读写保护（RDP/WRP）、存储加密					
封装		UFQFPN20	TSSOP20	QFN32	QFN32	LQFP32	LQFP48
				(5mx5m)	(4mx4m)		

表 1-2 N32G031 系列资源配置(2)

器件型号		N32G031 F6U7	N32G031 F6S7	N32G031 K6Q7	N32G031 K6Q7-1	N32G031 K6L7
Flash 容量（KB）		32	32	32	32	32
SRAM 容量（KB）		8	8	8	8	8
CPU 频率		ARM Cortex-M0 @48MHz				
工作环境		1.8~5.5V/-40~105℃				
定时器	通用	1				
	高级	2				
	基本	1				
	LPTIM	1				
	RTC	1				
通讯接口	SPI	2				
	I2S	1				
	I2C	2				
	USART	2				
	LPUART	1				
GPIO		16		28		26
DMA Number of Channels		5				
12bit ADC Number of channels		1x12bit 7Channel	1x12bit 9Channel	1x12bit 10Channel		
OPA/COMP		1/1				
Beeper		1				
算法支持		CRC16/CRC32				
安全保护		读写保护（RDP/WRP）、存储加密				
封装		UFQFPN20	TSSOP20	QFN32 (5mx5m)	QFN32 (4mx4m)	LQFP32

2 功能简介

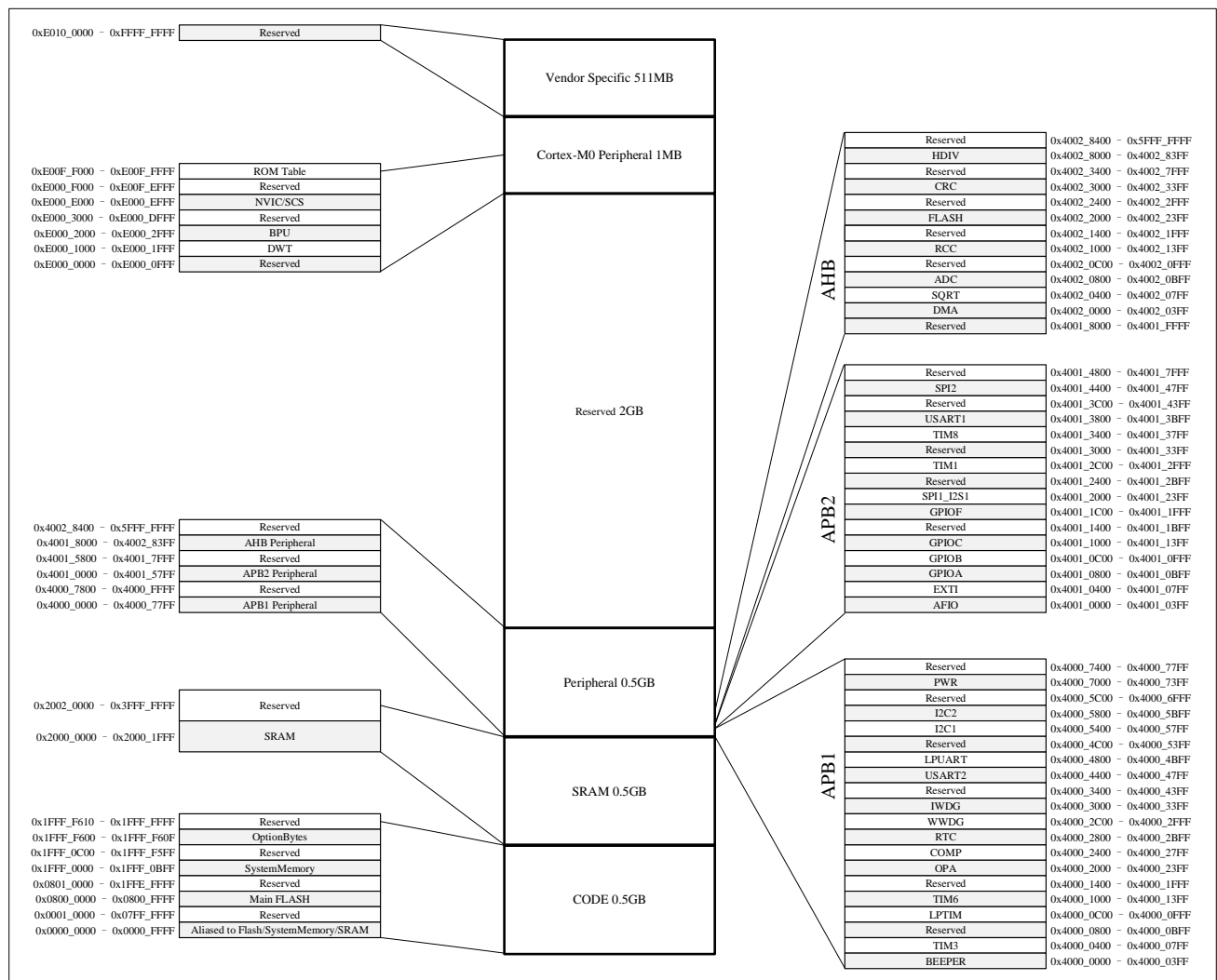
2.1 处理器内核

N32G031系列集成了最新一代嵌入式ARM Cortex®-M0处理器

2.2 存储器

N32G031系列器件包含嵌入式加密闪存（Flash）存储器、嵌入式SRAM，下图 2-1为存储器地址映射图。

图 2-1 存储器映射图



2.2.1 嵌入式闪存存储器

片内集成从 32K 到 64K 字节嵌入式闪存（FLASH），用于存放程序和数据，页面大小 512byte，支持页擦除、字写、字读、半字读、字节读操作。

支持存储加密保护，写入自动加密、读出自动解密（包括程序执行操作）。

2.2.2 嵌入式 SRAM

片内集成多达 8K 字节的内置 SRAM，同时在 STOP 低功耗模式下可以保持数据。

2.2.3 嵌套的向量式中断控制器(NVIC)

嵌套向量中断控制器（NVIC）和处理器核的接口紧密相连，可以实现低延迟的中断处理和高效地处理晚到的中断。嵌套向量中断控制器管理着包括内核异常等中断。

- 32 个可屏蔽中断通道（不包含 16 个 Cortex®-M0 的中断线）；
- 4 个可编程的优先等级（使用了 2 位中断优先级）；
- 低延迟的异常和中断处理；
- 电源管理控制；
- 系统控制寄存器的实现；

该模块以最小的中断延迟提供灵活的中断管理功能。

2.3 扩展中断/事件控制器(EXTI)

扩展中断/事件控制器包含 24 个产生中断/事件触发的边沿检测电路。每条输入线可以独立地配置为事件或中断，以及上升沿、下降沿或者双边沿 3 种触发类型，也可以独立地被屏蔽。挂起寄存器保持着状态线的中断请求，可通过在挂起寄存器的对应位写‘1’，清除中断请求。

2.4 时钟系统

器件提供多种时钟供用户选择，包括内部高速 RC 振荡器 HSI（8MHz），内部低速时钟 LSI（30KHz），外部高速时钟 HSE（4MHz~20MHz），外部低速时钟（32.768KHz），PLL。

不同的时钟源可被用来驱动系统时钟（SYSCLK）：

- HSI 振荡器时钟
- HSE 振荡器时钟
- PLL 时钟
- LSI 振荡器时钟
- LSE 振荡器时钟

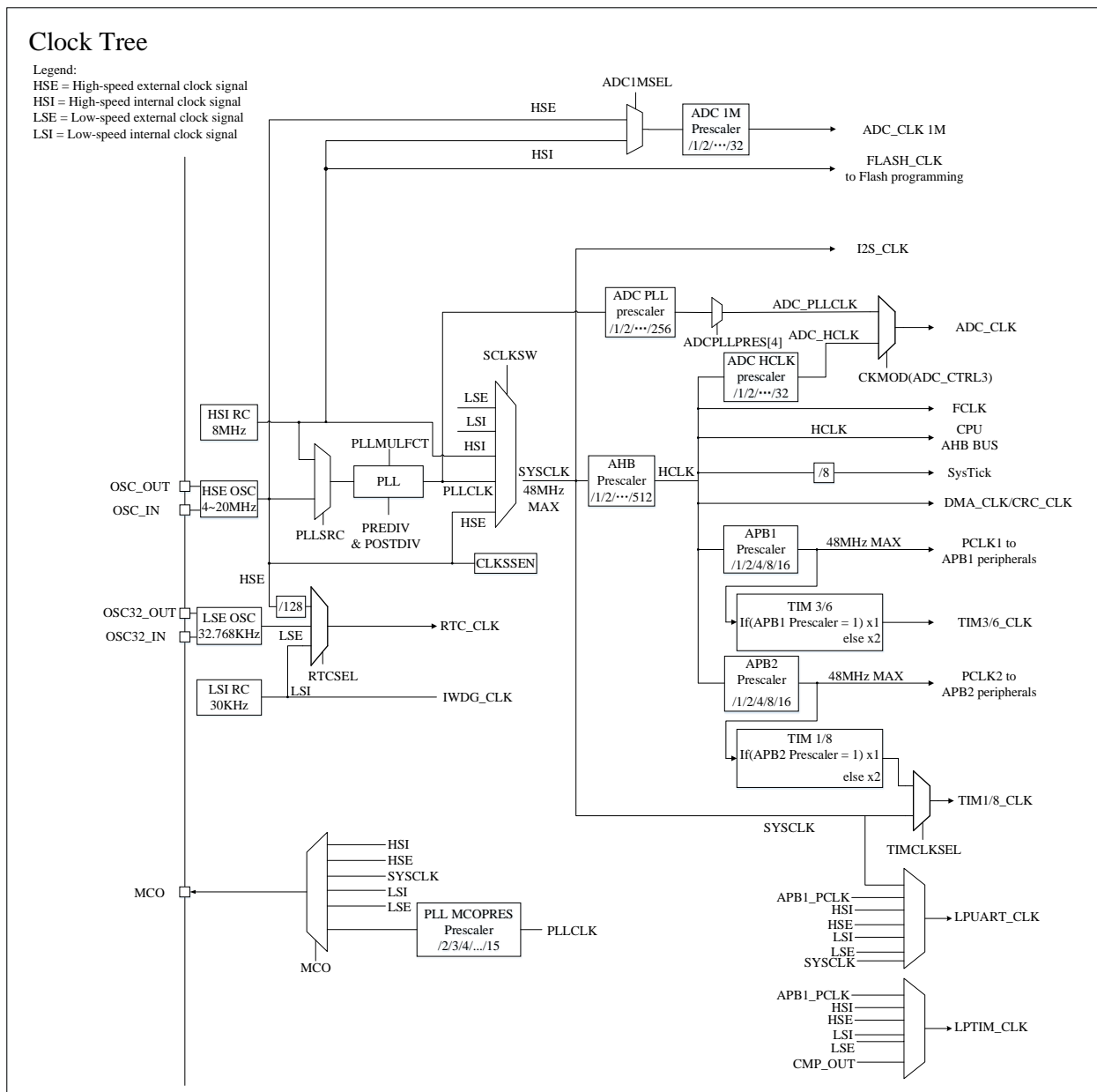
2 个二级时钟源：

- 30KHz 低速内部 RC，可以用于驱动独立看门狗和通过程序选择驱动 RTC、LPTIMER 和 LPUART。用于从停止模式下自动唤醒系统。
- 32.768KHz 低速外部晶体也可通过程序选择用来驱动 RTC、LPTIMER 和 LPUART。
- 当不被使用时，任一个时钟源都可被独立地启动或关闭，由此优化系统功耗。

复位时内部 HSI 时钟被设置为默认的 CPU 时钟，随后用户可以选择外部具有失效监控功能的 HSE 时钟；当检测到 HSE 失效时，它将被隔离，系统将自动地切换到 HSI，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对 PLL 时钟安全的中断管理(如当一个间接使用的外部振荡器失效时)。

用户可通过多个预分频器配置 AHB、APB（APB1 和 APB2）域的频率。AHB 域、APB1 域和 APB2 域的最大允许频率是 48MHz。图 2-2 为时钟树框图。

图 2-2 时钟树



2.5 启动模式

在启动时，通过 BOOT0 引脚及 Flash 系统区配置比特可以选择三种启动模式中的一种：

- 从程序闪存存储器（FLASH Memory）启动
- 从系统存储器（System Memory）启动
- 从内部 SRAM 启动

启动加载程序(Bootloader)存放于系统存储器中

2.6 供电方案

- VDD 区域：电压输入范围为 1.8V~5.5V，主要为 Main Regulator，IO 及时钟复位系统提供电源输入。
- VDDA 区域：输入电压范围 1.8V~5.5V，为大部分模拟外设供电，详细信息请参阅相关数据手册电气特性部分。

- **VDDD 区域：**电压调节器为 CPU, AHB, APB, SRAM, FLASH 及大部分数字外设接口供电。
- **PWR 作为整个器件的电源控制模块，**主要功能是控制 N32G031 进入不同的电源模式以及可以被其他事件或者中断唤醒。N32G031 支持 RUN、LPRUN、SLEEP、STOP 和 PD 模式。

2.7 可编程电压监测器

内部集成了上电复位(POR)和掉电复位(PDR)电路,这部分电路始终处于工作状态,保证系统在供电超过 1.8V 时工作;当 VDD 低于设定的阈值($V_{POR/PDR}$)时,置器件于复位状态,而不必使用外部复位电路。器件中还有一个可编程电压监测器(PVD),它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较,当 V_{DD} 低于或高于阈值 V_{PVD} 时将产生中断,中断处理程序可以发出警告信息。PVD 功能需要通过程序开启。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考表 4-6。

2.8 低功耗模式

N32G031 在系统复位或电源打开复位后处于运行模式。当 CPU 不需要运行时(例如在等待外部事件时),可以使用几种低功耗模式来节省功耗。由用户选择在低功耗、短启动时间和可用的唤醒源之间选择最佳低功耗模式。

N32G031 四种低功耗模式特征:

- **LPRUN 模式**(低功耗运行模式,系统处于 32.768KHz 低频运行模式)
- **SLEEP 模式**(内核停止,所有外围设备包括 Cortex®-M0 核心外设,如 NVIC,系统滴答时钟(SysTick)依然在运行)
- **STOP 模式**(大部分时钟被关闭,电压调节器仍运行在低功耗模式)
- **PD 模式**(VDDD 掉电模式,VDD 保持,3 个 WAKEUP IO 及 NRST 可唤醒)
- 此外,运行模式下的功耗可以通过以下方法之一来降低:
 - ◆ 降低系统时钟
 - ◆ 关闭 APB 和 AHB 总线上未被使用的外设时钟
 - ◆ RUN 模式下可选配置 PWR_CTRL4.STBFLH,让 FLASH 进入深度待机模式;退出时,需要等待大约 10us 后,才可以重新访问 FLASH

2.9 直接存储器存取(DMA)

集成 1 个通用 5 个通道 DMA 控制器,可以管理存储器到存储器、外设到存储器和存储器到外设的数据传输;

每个通道都有专门的硬件 DMA 请求逻辑,同时可以由软件触发每个通道。可通过软件单独设置每个通道的传输的长度、传输的源地址和目标地址。

DMA 可以用于主要的外设:SPI、I2C、USART,通用、基本和高级控制定时器 TIMx, I²S、ADC。

2.10 实时时钟(RTC)

实时时钟(RTC)具有一组独立连续计数的 BCD 定时器/计数器。在相应软件配置下,可提供日历的功能。同时 RTC 提供两个可编程的闹钟中断。

两个 32 位寄存器包含十进制格式(BCD)表示亚秒、秒、分钟、小时(12 或 24 小时格式)、星期几、日(几号)、月和年。

两个 32 位可编程闹钟寄存器包含时、分、秒、年、月、日(几号)、星期(星期几)。

两个 32 位可编程闹钟寄存器包含亚秒。

RTC 提供了在低功耗模式下自动唤醒的功能。

当 GPIO 上启用时间戳事件或入侵检测事件时，在寄存器中保存当前日历。

2.11 定时器和看门狗

N32G031 支持最多 2 个高级控制定时器、1 个通用定时器、1 个基本定时器和 1 个低功耗定时器，以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。

下表比较了高级控制定时器、通用定时器、基本定时器和低功耗定时器的功能：

表 2-1 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	产生DMA请求	捕获/比较通道	互补输出
TIM1 TIM8	16位	向上，向下，向上/下	1~65536之间的任意整数	可以	4	有
TIM3	16位	向上，向下，向上/下	1~65536之间的任意整数	可以	4	没有
TIM6	16位	向上	1~65536之间的任意整数	可以	0	没有
LPTIM	16位	向上	1/2/4/8/16/32/64/128	不可以	0	没有

2.11.1 低功耗定时器(LPTIM)

LPTIM 是一个具有多个时钟源的 16 位定时器，它可以在除 PD 模式之外的所有功耗模式下保持运行。LPTIM 可以在没有内部时钟源的情况下运行，可以用作“脉冲计数器”。此外，LPTIM 可以将系统从低功耗模式唤醒，以极低的功耗实现“超时功能”。

低功耗定时器的主要主要功能如下：

- 16 位向上计数器
- 3bit 预分频，8 种分频因子（1、2、4、8、16、32、64、128）
- 多个时钟源
 - 内部时钟源：LSE, LSI, HSI, HSE, COMP_OUT 和 APB1 时钟
 - 外部时钟源：通过 LPTIM Input1 输入的外部时钟源（工作时无 LP 振荡器运行，用于脉冲计数器应用）
- 16 bit 自动装载寄存器（LPTIM_ARR）
- 16 bit 比较寄存器（LPTIM_COMP）
- 连续或单触发计数模式
- 可编程软件或硬件输入触发
- 用于过滤毛刺的可编程数字滤波器
- 可配置输出（方波，PWM）
- 可配置 IO 极性
- 编码器模式

- 脉冲计数模式，支持单脉冲计数、双脉冲计数（正交和非正交）

2.11.2 基本定时器(TIM6)

基本定时器包含一个 16 位计数器

基本定时器的主要功能如下：

- ◆ 16 位自动重载向上计数器
- ◆ 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- ◆ 产生中断/DMA 的事件如下：
更新事件

2.11.3 通用定时器(TIM3)

通用定时器（TIM3）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

通用定时器的主要功能包括：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- TIM3 最多支持 4 个通道
- 通道工作模式：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断/DMA：
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
- 可通过外部信号控制定时器
- 多个定时器从内部连接在一起，以实现定时器同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制

2.11.4 高级定时器(TIM1 and TIM8)

高级控制定时器（TIM1 和 TIM8）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

高级定时器具有互补输出功能、死区插入和刹车功能。适用于电机控制。

高级定时器的主要功能包括：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）。
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器
- TIM1 和 TIM8 最多 6 个通道
- 4 个捕获/比较通道，工作模式为：PWM 输出、输出比较、单脉冲模式输出、输入捕获

- 如下事件发生时产生中断/DMA:
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
 - ◆ 刹车信号输入
- 死区时间可编程的互补输出
 - 对于 TIM1 和 TIM8, 通道 1、2、3 支持此功能
- 可通过外部信号控制定时器
- 多个定时器从内部连接在一起, 以实现定时器同步或链接
- TIM1_CC5 和 TIM8_CC5 用于比较器消隐
- TIM1_CC6 用于切换运放的主从通道
- 增量(正交)编码器接口: 用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口: 用于三相电机控制

2.11.5 系统时基定时器(Systick)

这个定时器是专用于实时操作系统, 也可当成一个标准的递减计数器。

- 它具有下述特性:
 - ◆ 24 位的递减计数器
 - ◆ 自动重加载功能
 - ◆ 当计数器为 0 时能产生一个可屏蔽系统中断
 - ◆ 可编程时钟源

2.11.6 看门狗定时器(WDG)

支持两个看门狗, 独立看门狗(IWDG)和窗口看门狗(WWDG)。两个看门狗提供了更高的安全性、时间的精确性和使用的灵活性。

独立看门狗 (IWDG)

独立看门狗是基于一个 12 位的递减计数器和一个 3 位的预分频器, 由独立的低速 RC 振荡器驱动, 即使主时钟发生故障它也仍然有效, 可工作在 STOP 模式。IWDG 一旦被激活, 如果不在设定的时间内喂狗(清除看门狗计数器), 则在计数器计数至 0x000 时产生复位, 它可以用于在应用程序发生问题时复位整个系统, 或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。复位和低功耗唤醒可配。

窗口看门狗 (WWDG)

窗口看门狗通常被用来监测, 由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。除非递减计数器的值在 T6 位变成 0 前被刷新, 看门狗电路在达到预置的时间周期时, 会产生一个 MCU 复位。在递减计数器达到窗口寄存器数值之前, 如果 7 位的递减计数器数值(在控制寄存器中)被刷新, 那么也将产生一个 MCU 复位。这表明递减计数器需要在一个有限的时间窗口中被刷新。

- 主要特点:
 - ◆ WWDG 由 APB1 时钟分频后得到的时钟驱动;

- ◆ 可编程的自由运行递减计数器；
- ◆ 条件复位：
 - 当递减计数器的值小于 0x40，(若看门狗被启动)则产生复位；
 - 当递减计数器在窗口外被重新装载，(若看门狗被启动)则产生复位；
- ◆ 如果启动了看门狗并且允许中断，当递减计数器等于 0x40 时产生早期唤醒中断(EWI)，它可以被用于重载计数器以避免 WWDG 复位。

2.12 I²C 总线接口

2 个独立的 I2C 总线接口，它提供多主机功能，控制所有 I2C 总线特定的时序、协议、仲裁和定时。支持多种通信速率模式(最高支持 1MHz)，支持 DMA 操作，同时与 SMBus 2.0 兼容。I2C 模块有多种用途，包括 CRC 码的生成和校验、SMBus(系统管理总线—System Management Bus)和 PMBus(电源管理总线—Power Management Bus)。

■ I2C 接口的主要功能描述如下：

- ◆ 该模块既可做主设备也可做从设备；
- ◆ I2C 主设备功能：
 - 产生时钟；
 - 产生起始和停止信号；
- ◆ I2C 从设备功能：
 - 可编程的地址检测；
 - I2C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址响应能力；
 - 停止位检测；
- ◆ 产生和检测 7 位/10 位地址和广播呼叫；
- ◆ 支持不同的通讯速度：
 - 标准速度(高达 100 kHz)；
 - 快速(高达 400 kHz)；
 - 快速+（高达 1MHz）；
- ◆ 状态标志：
 - 发送器/接收器模式标志；
 - 字节传输结束标志；
 - I2C 总线忙标志；
- ◆ 错误标志：
 - 主模式时的仲裁丢失；
 - 地址/数据传输后的应答(ACK)错误；
 - 检测到错位的起始或停止条件；
 - 禁止拉长时钟功能时的上溢或下溢；
- ◆ 1 个中断向量：
 - 事件中断和错误中断共享一个中断向量

- ◆ 可选的拉长时钟功能
- ◆ 具单字节缓存器的 DMA;
- ◆ 可配置的 PEC(信息包错误检测)的产生或校验
 - 发送模式中 PEC 值可以作为最后一个字节传输
 - 用于最后一个接收字节的 PEC 错误校验
- ◆ 兼容 SMBus 2.0
 - 25 ms 时钟低超时延时
 - 10 ms 主设备累积时钟低扩展时间
 - 25 ms 从设备累积时钟低扩展时间
 - 带 ACK 控制的硬件 PEC 产生/校验
 - 支持地址解析协议(ARP)
- ◆ 兼容 SMBus

2.13 通用同步/异步收发器(USART)

N32G031 系列产品中,集成了 3 个串行收发接口,包括 2 个通用同步/异步收发器(USART1、USART2),和 1 个支持低功耗模式运行的通用异步收发器(LPUART)。

USART1 和 USART2 接口支持硬件 CTS 和 RTS 信号管理,兼容 ISO7816 的智能卡模式,支持同/异步通信模式,支持 IrDA SIR ENDEC 传输编解码,多处理器通信模式,单线半双工通信模式和 LIN 主/从功能,所有这些都可以使用 DMA 操作。

LPUART 支持硬件 CTS 和 RTS 信号管理,异步通信方式,都可以使用 DMA 操作。LPUART 可以将系统从 STOP 模式中唤醒。

■ USART 主要特性如下:

- ◆ 全双工的,异步通信;
- ◆ NRZ 标准格式;
- ◆ 分数波特率发生器系统,波特率可编程,用于发送和接收,最高达 3Mbits/s
- ◆ 可编程数据字长度(8 位或 9 位)
- ◆ 可配置的停止位,支持 1 或 2 个停止位;
- ◆ LIN 主发送同步断开符的能力以及 LIN 从检测断开符的能力,当 USART 硬件配置成 LIN 时,生成 13 位断开符,检测 10/11 位断开符
- ◆ 输出发送时钟用于同步传输;
- ◆ IRDA SIR 编码器解码器,在正常模式下支持 3/16 位的持续时间;
- ◆ 智能卡模拟功能;
 - 智能卡接口支持 ISO7816-3 标准里定义的异步智能卡协议;
 - 智能卡用到的 0.5 和 1.5 个停止位;
- ◆ 单线半双工通信;
- ◆ 可配置的使用 DMA 的多缓冲器通信,在 SRAM 里利用集中式 DMA 缓冲接收/发送字节;
- ◆ 独立的发送器和接收器使能位;
- ◆ 检测标志

- 接收缓冲器满
- 发送缓冲器空
- 传输结束标志
- ◆ 校验控制
 - 发送校验位
 - 对接收数据进行校验
- ◆ 四个错误检测标志：
 - 溢出错误
 - 噪音错误
 - 帧错误
 - 校验错误
- ◆ 10 个带标志的 USART 中断源
 - CTS 改变
 - LIN 断开符检测
 - 发送数据寄存器空
 - 发送完成
 - 接收数据寄存器满
 - 检测到总线为空闲
 - 溢出错误
 - 帧错误
 - 噪音错误
 - 校验错误
- ◆ 多处理器通信，如果地址不匹配，则进入静默模式；
- ◆ 从静默模式中唤醒(通过空闲总线检测或地址标志检测)
- ◆ 模式配置：

USART modes	USART1	USART2	LPUART
异步模式	支持	支持	支持
硬件流控制	支持	支持	支持
多缓存通讯(DMA)	支持	支持	支持
多处理器通讯	支持	支持	不支持
同步	支持	支持	不支持
智能卡	支持	支持	不支持
半双工(单线模式)	支持	支持	不支持
IrDA	支持	支持	不支持
LIN	支持	支持	不支持

2.14 串行外设接口(SPI)

支持 2 个 SPI 接口，其中一个可以复用为 I2S，与 I2S 共享资源。

SPI 允许芯片与外部设备以半/全双工、同步、串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。它可用于多种用途，包括使用一条双向数据线的双线单工同步传输，还可使用 CRC 校验的可靠通信。

■ SPI 接口的主要功能如下：

- ◆ 全双工同步传输；
- ◆ 带或不带第三根双向数据线的双线单工同步传输；
- ◆ 8 或 16 位传输帧格式选择；
- ◆ 支持主模式或从模式；
- ◆ 支持多主模式；
- ◆ 主模式和从模式的快速通信；
- ◆ 主模式和从模式下均可以由软件或硬件进行 NSS 管理：主/从操作模式的动态改变；
- ◆ 可编程的时钟极性和相位；
- ◆ 可编程的数据顺序，MSB 在前或 LSB 在前；
- ◆ 可触发中断的专用发送和接收标志；
- ◆ SPI 总线忙状态标志；
- ◆ 支持可靠通信的硬件 CRC；
 - 在发送模式下，CRC 值可以被作为最后一个字节发送；
 - 在全双工模式中对接收到的最后一个字节自动进行 CRC 校验；
- ◆ 可触发中断的主模式故障、过载以及 CRC 错误标志
- ◆ 支持 DMA 功能的单字节发送和接收缓冲器：产生发送和接收请求
- ◆ 接口最高速度：18Mbps

2.15 串行音频接口(I²S)

I2S 是一种 4 引脚的同步串行接口通讯协议，可以工作于主或从模式，可以配置为 16 位、24 位或 32 位传输，亦可配置为输入或输出通道，支持音频采样频率从 8kHz 到 96kHz。它支持四种音频标准，包括飞利浦 I2S 标准，MSB 和 LSB 对齐标准，以及 PCM 标准。

它在半双工通讯中，可以工作在主和从 2 种模式下。当它作为主设备时，通过接口向外部的从设备提供时钟信号。

■ I2S 接口的主要功能如下：

- ◆ 半双工通信(同一时刻仅发送或接收)；
- ◆ 主或者从操作；
- ◆ 8 位线性可编程预分频器，获得精确的音频采样频率(8KHz 到 96kHz)；
- ◆ 数据格式可以是 16 位，24 位或者 32 位；
- ◆ 音频信道固定数据包帧为 16 位(16 位数据帧)或 32 位(16、24 或 32 位数据帧)；
- ◆ 可编程的时钟极性(稳定态)；
- ◆ 从发送模式下的下溢标志位和主/从接收模式下的溢出标志位；
- ◆ 16 位数据寄存器用来发送和接收，在通道两端各有一个寄存器；
- ◆ 支持的 I2S 协议：

- I²S 飞利浦标;
- MSB 对齐标准(左对齐);
- LSB 对齐标准(右对齐);
- PCM 标准(16 位通道帧上带长或短帧同步或者 16 位数据帧扩展为 32 位通道帧);
- ◆ 数据方向总是 MSB 在先;
- ◆ 发送和接收都具有 DMA 能力;
- ◆ 主时钟可以输出到外部音频设备, 比率固定为 256xFs(Fs 为音频采样频率) ;

2.16 通用输入输出接口(GPIO)

GPIO (General purpose input/output) 即通用型 I/O, AFIO (Alternate-function input/output) 即复用功能 I/O。芯片最多支持 40 个 GPIO, 共被分为 4 组 (GPIOA/GPIOB/GPIOC/GPIOD), A/B 组每组 16 个端口, C 组共 3 个, D 组共 5 个。GPIO 端口和其他的复用外设共用引脚, 用户可以根据需求灵活配置。每个 GPIO 引脚都可以独立配置成输出、输入或复用的外设功能端口。除了模拟输入引脚外, 其他的 GPIO 引脚都有大电流通能力。

■ GPIO 主要特性描述如下:

- ◆ GPIO 端口可由软件分别配置成以下模式:
 - 输入浮空
 - 输入上拉
 - 输入下拉
 - 模拟功能
 - 开漏输出及上/下拉可配
 - 推挽式输出及上/下拉可配
 - 推挽式复用功能及上/下拉可配
 - 开漏复用功能及上/下拉可配
- ◆ 单独的位设置或位清除功能
- ◆ 所有 IO 支持外部中断功能
- ◆ 所有 IO 支持低功耗模式唤醒, 上升或下降沿可配置
- ◆ 16 个 EXTI 可用于 SLEEP 或 STOP 模式唤醒, 所有 I/O 可复用为 EXTI
- ◆ PA0/PC13/PA2 三个唤醒 IO 可用于 PD 模式唤醒, I/O 滤波时间最大 1us
- ◆ 支持软件重新映射 I/O 复用功能
- ◆ 支持 GPIO 锁定机制, 复位方式清除锁定状态
- ◆ 每个 I/O 端口位可以任意编程, 但必须按照 32 位字访问 I/O 端口寄存器 (不允许 16 位半字或 8 位字节访问)。

2.17 模拟/数字转换器(ADC)

12 位 ADC 是一种高速逐次逼近型模拟数字转换器。它有多达 16 个通道, 可测量 12 个外部和 4 个内部信号源。各通道的 A/D 转换可以单次、连续、扫描或间断模式执行。ADC 的结果可以左对齐或右对齐方式存储在 16 位数据寄存器中; ADC 的输入时钟不得超过 18MHz。

■ ADC 主要特性描述如下:

- ◆ 支持 1 个 ADC，单端输入，可测量 12 个外部和 4 个内部信号源
- ◆ 支持 12 位分辨率，最高采样速率 1MSPS
- ◆ ADC 时钟源分为工作时钟源、采样时钟源和计时时钟源
 - 仅可配置 AHB_CLK 作为工作时钟源，最高可到 48MHz
 - 可配置 PLL 作为采样时钟源，最高可到 18MHz，支持分频 1,2,3,4,6,8,10,12,16,32,64,128,256
 - 可配置 AHB_CLK 作为采样时钟源，最高可到 18MHz，支持分频 1,2,3,4,6,8,10,12,16,32
 - 计时时钟用于内部计时功能，频率必须配置成 1MHz
- ◆ 支持定时器触发 ADC 采样
- ◆ 转换结束、注入转换结束和发生模拟看门狗事件时产生中断
- ◆ 单次和连续转换模式
- ◆ 从通道 0 到通道 N 的自动扫描模式
- ◆ 带内嵌数据一致性的数据对齐
- ◆ 采样间隔可以按通道分别编程
- ◆ 规则转换和注入转换均有外部触发选项
- ◆ 间断模式
- ◆ ADC 供电要求：2.4V 到 5.5V
- ◆ ADC 输入范围： $0 \leq V_{IN} \leq V_{DDA}$
- ◆ 规则通道转换期间有 DMA 请求产生。

2.18 运算放大器(OPAMP)

内嵌 1 个独立的运算放大器，具有外部放大、内部跟随和可编程放大器（PGA）多种工作模式。

■ 主要功能如下：

- ◆ 支持轨到轨输入
- ◆ OPA 线性输出范围 $0.4V \sim V_{DDA} - 0.4V$ ；
- ◆ 可以配成独立的运放和可编程增益运放；
- ◆ 正向和反向输入复选；
- ◆ OPAMP 工作模式可以配置成：
 - 独立模式（外部增益设置）；
 - PGA 模式，可编程增益设为 2X、4X、8X、16X、32X；
 - 跟随器模式；
- ◆ 内部连接的 ADC 通道用于运算放大器的输出信号测量。

2.19 模拟比较器(COMP)

内嵌 1 个比较器，可以用作单独的设备（比较器所有端口引到 I/O 上），也可以和定时器组合使用，在电机控制场合可以与来自定时器的 PWM 输出配合形成逐周期电流控制。

■ 比较器主要功能如下：

- ◆ 1 个独立的比较器 COMP，且为低功耗比较器（可以工作在 LPRUN，SLEEP 和 STOP 模式下）

- ◆ 内置一个 64 级可编程的参考输入比较电压源 VREF
- ◆ 支持滤波时钟，滤波复位
- ◆ 输出极性可配置高、低
- ◆ 迟滞配置可配置无、低、中、高
- ◆ 比较结果可输出到 I/O 端口或触发定时器，用于捕获事件、OCREF_CLR 事件、刹车事件
- ◆ 输入通道可复选 I/O 端口、VREF
- ◆ 可配只读或读写，在锁定的情况下需要复位才能解锁
- ◆ 支持消隐（Blanking），可配置产生 Blanking 的消隐源
- ◆ 可通过产生中断的方式将系统从低功耗模式唤醒，COMP 有 STOP 唤醒能力。比较器输出通过连接到 EXTI 产生中断。
- ◆ 可配置滤波窗口大小
- ◆ 可配置滤波阈值大小
- ◆ 可配置用于滤波的采样频率

2.20 温度传感器(TS)

温度传感器产生一个随温度线性变化的电压，转换范围在 $1.8V < V_{DDA} < 5.5V$ 之间。温度传感器在内部被连接到 ADC_IN12 的输入通道上，用于将传感器的输出转换到数字数值。

2.21 蜂鸣器(BEEPER)

BEEPER 模块支持互补输出，可以产生周期信号来驱动外部无源蜂鸣器。用于产生提示音或者报警发声。

2.22 HDIV 和 SQRT

除法器（HDIV）、均方根（SQRT）主要应用于某些对计算能效要求比较高的场景，用于部分补充微控制器在计算方面的不足。该除法器、开方计算器可执行无符号 32 位整数的除法运算或者开方计算。

■ HDIV 和 SQRT 主要特性如下：

- ◆ 只支持 word 操作
- ◆ 8 个时钟周期完成一次无符号整数除法运算
- ◆ 32 位被除数，32 位除数，输出 32 位商和 32 位余数
- ◆ 除数为零警告标志位，除法运算结束标志位
- ◆ 32 位无符号被开方整数，16 位开方根输出
- ◆ 8 个时钟周期完成一次无符号整数开方运算
- ◆ 可通过设置中断使能或者查询相关寄存器位判断计算是否完成

2.23 循环冗余校验计算单元(CRC)

集成 CRC32 和 CRC16 功能，循环冗余校验(CRC)计算单元是根据固定的生成多项式得到任一 CRC 计算结果。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

■ CRC 的主要特性如下：

- ◆ CRC16：支持多项式 $X^{16}+X^{15}+X^2+X^0$

- ◆ CRC32: 支持多项式 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- ◆ CRC16 计算时间: 1 个 AHB 时钟周期 (HCLK)
- ◆ CRC32 计算时间: 1 个 AHB 时钟周期 (HCLK)
- ◆ 循环冗余计算初始值可配置
- ◆ 支持 DMA 方式

2.24 唯一设备序列号(UID)

N32G031 系列产品内置两个不同长度的唯一设备序列号, 分别为 96 位的 UID(Unique device ID)和 128 位的 UCID(Unique Customer ID), 这两个设备序列号存放在闪存存储器的系统配置块中, 它们所包含的信息在出厂时编写, 并保证对 N32G031 系列任意一个微控制器在任何情况下都是唯一的, 用户应用程序或外部设备可以通过 CPU 或 SWD 接口读取, 不可被修改。

UID 为 96 位, 通常用来做为序列号或作为密码, 在编写闪存时, 将此唯一标识与软件加解密算法相结合, 进一步提高代码在闪存存储器内的安全性。

UCID 为 128 位, 遵守国民技术芯片序列号定义, 它包含芯片生产及版本相关信息。

2.25 串行 SWD 调试口(SWD)

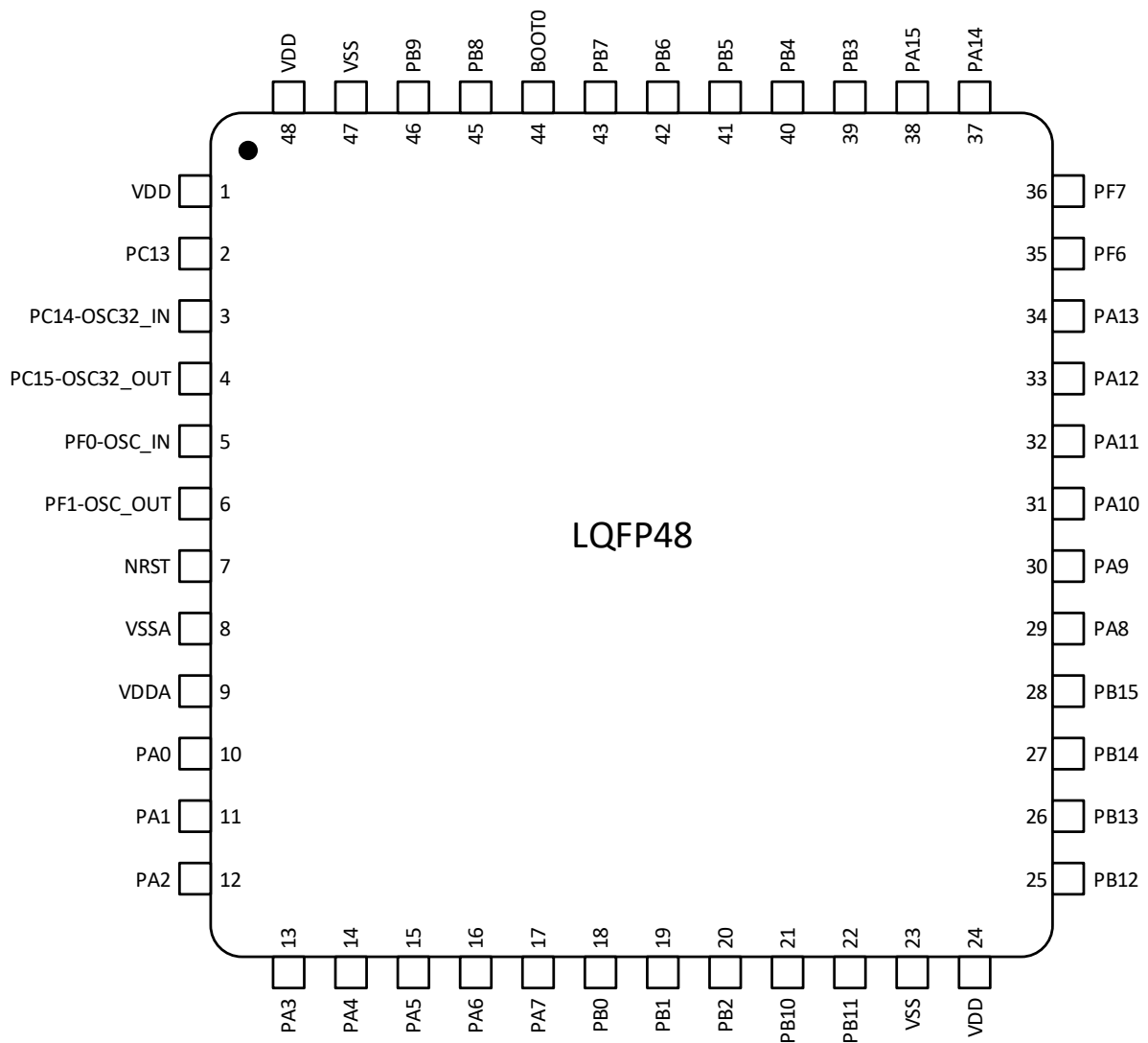
内嵌 ARM 的 SWD 接口。

3 引脚定义和描述

3.1 封装示意图

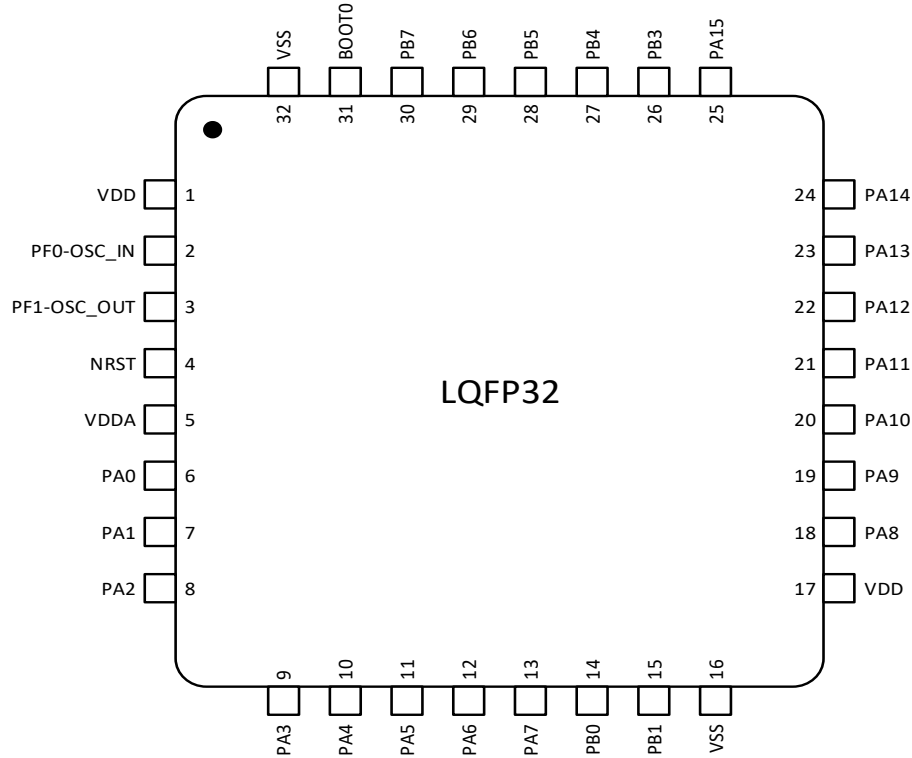
3.1.1 LQFP48

图 3-1 N32G031 系列 LQFP48 引脚分布



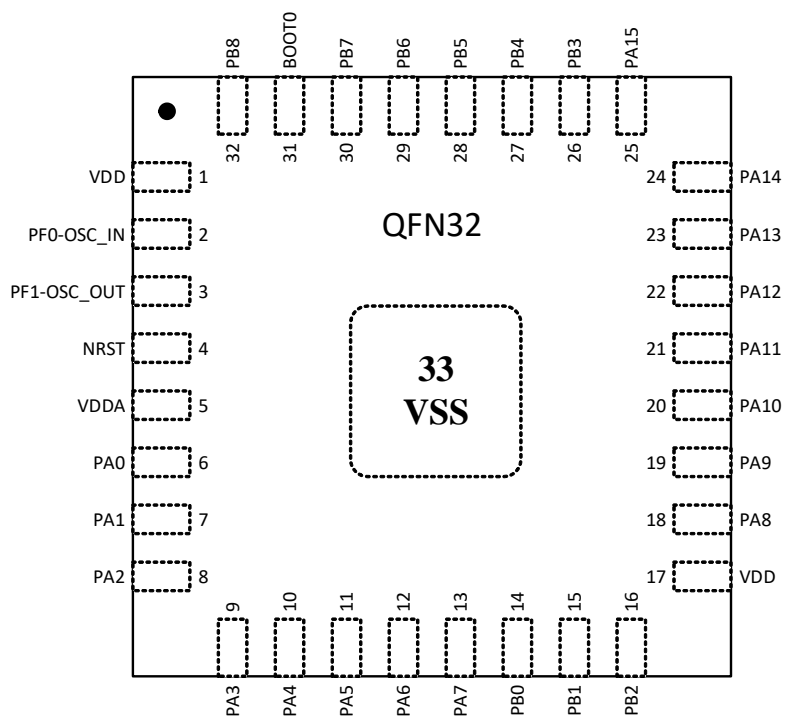
3.1.2 LQFP32

图 3-2 N32G031 系列 LQFP32 引脚分布



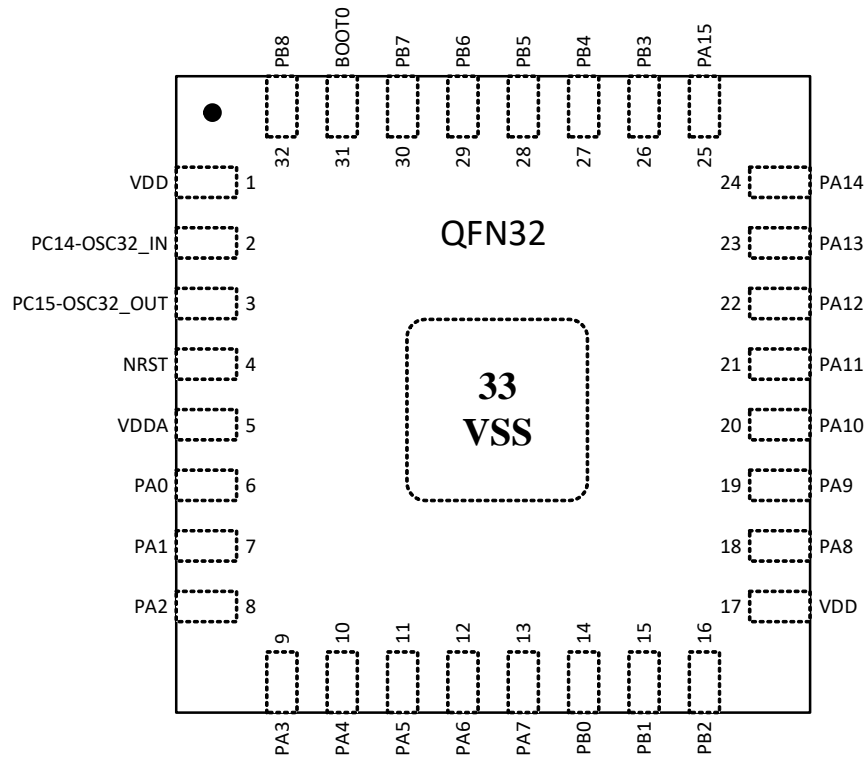
3.1.3 QFN32 (5mx5m)

图 3-3 N32G031 系列 QFN32(5mx5m)引脚分布



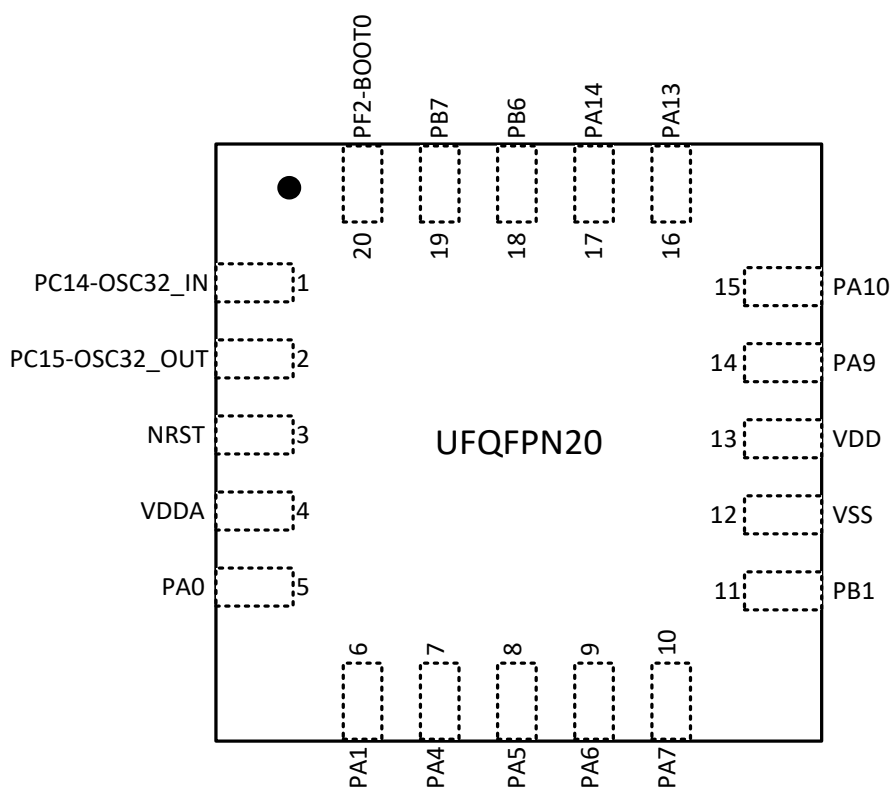
3.1.4 QFN32 (4mx4m)

图 3-4 N32G031 系列 QFN32(4mx4m)引脚分布



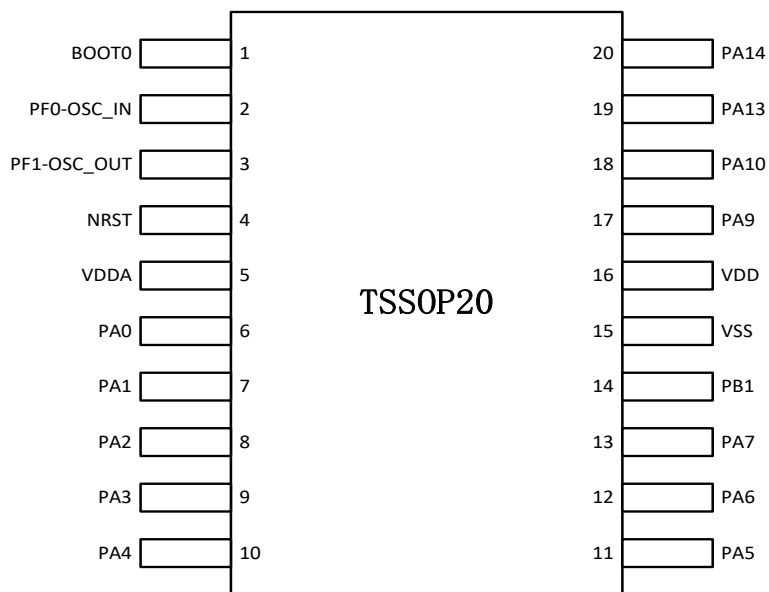
3.1.5 UFQFPN20

图 3-5 N32G031 系列 UFQFPN20 引脚分布



3.1.6 TSSOP20

图 3-6 N32G031 系列 TSSOP20 引脚分布



3.2 引脚复用定义

表 3-1 管脚定义

封装						Pin name (function after reset)	Type ⁽¹⁾	I/O structure	Alternate functions	Additional functions
LQFP48	LQFP32	QFN32(5mx5m)	QFN32(4mx4m)	UFQFPN20	TSSOP20					
1	1	1	1	-	-	VDD	S	-	Complementary power supply	
2	-	-	-	-	-	PC13	I/O	TC	RTC_TAMP1, RTC_TS, RTC_OUT,	WKUP1
3	-	-	2	1	-	PC14-OSC32_IN (PC14)	I/O	TC	-	OSC32_IN
4	-	-	3	2	-	PC15- OSC32_OUT (PC15)	I/O	TC	-	OSC32_OUT
5	2	2	-	-	2	PF0-OSC_IN (PF0)	I/O	TC	I2C1_SDA	OSC_IN, OPAMP_VINP
6	3	3	-	-	3	PF1-OSC_OUT (PF1)	I/O	TC	I2C1_SCL, USART1_CK, USART2_CK	OSC_OUT
7	4	4	4	3	4	NRST	I	RST	Device reset input / internal reset output (active low)	
8	-	-	-	-	-	VSSA	S	-	Analog ground	
9	5	5	5	4	5	VDDA	S	-	Analog power supply	
10	6	6	6	5	6	PA0	I/O	TC	USART1_CTS USART2_CTS LPUART_TX, SPI1_SCK, I2S_CK, USART2_RX, LPTIM_IN1, TIM8_CH1, TIM8_ETR, LPUART_RX,	ADC_IN0, RTC_TAMP2, WKUP0, COMP_INM, COMP_OUT, OPAMP_VINP
11	7	7	7	6	7	PA1	I/O	TC	USART1_RTS USART2_RTS, EVENTOUT, SPI1_NSS, I2S_WS, LPTIM_IN2, TIM8_CH2, I2C1_SMBA, TIM3_ETR, LPUART_TX	ADC_IN1, COMP_INP, OPAMP_VINP

12	8	8	8	-	8	PA2	I/O	TC	USART1_TX, USART2_TX, TIM8_CH3, SPI1_MOSI, I2S_SD, TIM1_BKIN	ADC_IN2, WKUP2, OPAMP_VINM
13	9	9	9	-	9	PA3	I/O	TC	USART1_RX, USART2_RX, TIM8_CH4, TIM1_MISO, SPI1_MISO, I2S_MCK, LPUART_RX	ADC_IN3, COMP_INP
14	10	10	10	7	10	PA4	I/O	TC	SPI1_MISO, I2S_MCK, USART1_CK, USART2_CK, TIM3_CH1, TIM1_CH1, SPI1_NSS, I2S_WS, I2C1_SCL, TIM8_ETR, LPUART_TX	ADC_IN4, COMP_INM, OPAMP_VINP
15	11	11	11	8	11	PA5	I/O	TC	SPI1_SCK, I2S_CK, TIM8_ETR, TIM1_CH2N, TIM1_CH3, SPI1_MOSI, I2C_SD, TIM8_CH1	ADC_IN5, COMP_INM, OPAMP_VINM
16	12	12	12	9	12	PA6	I/O	TC	SPI1_MISO, TIM3_CH1, TIM1_BKIN, TIM8_CH1, EVENTOUT, LPUART_CTS, LPUART_TX, I2C2_SCL, LPTIM_ETR, BEEPER_OUT	ADC_IN6, COMP_OUT, OPAMP_VOUT
17	13	13	13	10	13	PA7	I/O	TC	SPI1_MOSI, SPI2_NSS, I2S_SD, TIM3_CH2, TIM1_CH1N, TIM8_CH2, EVENTOUT, LPUART_RX, I2C2_SDA, BEEPER_N_OUT, USART2_CTS,	ADC_IN7, OPAMP_VINP, COMP_INP
18	14	14	14	-	-	PB0	I/O	TC	TIM3_CH3, TIM1_CH2N, EVENTOUT, SPI2_SCK,	ADC_IN8, OPAMP_VINP

19	15	15	15	11	14	PB1	I/O	TC	TIM3_CH3, TIM3_CH4, TIM1_CH3N, LPUART_RTS, I2S_SD SPI2_MOSI, USART2_CK, SPI1_MOSI,	ADC_IN9, OPAMP_VINM
20	-	16	16	-	-	PB2	I/O	TC	I2C1_SMBA, I2C2_SMBA, TIM3_CH4, LPTIM_OUT	ADC_IN10, OPAMP_VINM
21	-	-	-	-	-	PB10	I/O	TC	SPI2_SCK, I2C1_SCL, I2C2_SCL, LPUART_TX, TIM3_ETR, SPI1_MOSI, I2S_SD	ADC_IN11
22	-	-	-	-	-	PB11	I/O	TC	I2C1_SDA, I2C2_SDA, EVENTOUT, LPUART_RX, TIM8_CH3	-
23	16	-	-	12	-	VSS	S	-	Ground	
24	17	17	17	13	-	VDD	S	-	Digital power supply	
25	-	-	-	-	-	PB12	I/O	TC	SPI1_NSS, I2S_WS, SPI2_NSS, TIM1_BKIN, EVENTOUT, TIM8_CH1	-
26	-	-	-	-	-	PB13	I/O	TC	SPI1_SCK, I2S_CK, SPI2_SCK, I2C2_SCL, TIM1_CH1N, LPUART_CTS, TIM8_CH2	-
27	-	-	-	-	-	PB14	I/O	TC	SPI1_MISO, SPI2_MISO, I2C2_SDA, TIM1_CH2N, TIM8_CH3, LPUART_RTS	OPAMP_VINP
28	-	-	-	-	-	PB15	I/O	TC	SPI1_MOSI, I2S_SD, SPI2_MOSI, TIM1_CH3N, TIM8_CH3N, TIM8_CH4,	RTC_REFIN,

29	18	18	18	-	-	PA8	I/O	TC	USART1_CK, TIM1_CH1, EVENTOUT, MCO, SPI2_NSS, TIM8_CH2N,	-
30	19	19	19	14	17	PA9	I/O	TC	USART1_TX, TIM1_CH2, TIM8_BKIN, I2C1_SCL, I2C2_SCL, SPI2_SCK, TIM8_CH1N, LPTIM_OUT, USART2_TX, MCO,	-
31	20	20	20	15	18	PA10	I/O	TC	USART1_RX, TIM1_CH3, TIM8_BKIN, I2C1_SDA, I2C2_SDA, SPI2_MISO, USART2_RX, RTC_REFIN,	-
32	21	21	21	-	-	PA11	I/O	TC	USART1_CTS, TIM1_CH4, EVENTOUT, I2C2_SCL, SPI2_MOSI	COMP_OUT
33	22	22	22	-	-	PA12	I/O	TC	USART1_RTS, TIM1_ETR, EVENTOUT, I2C2_SDA, SPI2_MISO,	COMP_OUT
34	23	23	23	16	19	PA13 (SWDIO)	I/O	TC	USART1_TX, SWDIO, USART1_RX, USART2_RX, I2C1_SDA, SPI1_SCK I2S_CK	-
35	-	-	-	-	-	PF6	I/O	TC	I2C1_SCL, I2C2_SCL, SPI2_SCK	-
36	-	-	-	-	-	PF7	I/O	TC	I2C1_SDA , I2C2_SDA , SPI2_NSS	-
37	24	24	24	17	20	PA14 (SWCLK)	I/O	TC	USART1_TX, USART2_TX, SWCLK, I2C1_SMBA, SPI1_MISO,	-
38	25	25	25	-	-	PA15	I/O	TC	SPI1_NSS, I2S_WS, USART1_RX, USART2_RX, LPUART_RTS, EVENTOUT	-

39	26	26	26	-	-	PB3	I/O	TC	SPI1_SCK, I2S_CK, EVENTOUT, LPUART_TX, TIM3_ETR	-
40	27	27	27	-	-	PB4	I/O	TC	SPI1_MISO, TIM3_CH1, EVENTOUT, TIM8_BKIN, LPUART_RX, LPTIM_OUT	-
41	28	28	28	-	-	PB5	I/O	TC	SPI1_MOSI, I2S_SD, I2C1_SMBA, TIM8_BKIN, TIM3_CH2, LPUART_TX, LPTIM_IN1, TIM8_CH3N	-
42	29	29	29	18	-	PB6	I/O	TC	I2C1_SCL, USART1_TX, TIM8_CH1N, TIM8_CH3, LPTIM_ETR	-
43	30	30	30	19	-	PB7	I/O	TC	I2C1_SDA, USART1_RX, TIM8_CH2N, LPUART_CTS, LPUART_RX, LPTIM_IN2, TIM8_CH4,	-
44	31	31	31	20	1	PF2-BOOT0	I	B	Boot memory selection	
45	-	32	32	-	-	PB8	I/O	TC	I2C1_SCL, TIM8_CH1	-
46	-	-	-	-	-	PB9	I/O	TC	I2C1_SDA, USART1_TX, SPI2_NSS, TIM8_CH2, EVENTOUT	-
47	32	-	-	-	15	VSS	S	-	Ground	
48	-	-	-	-	16	VDD	S	-	Digital power supply	

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻, B = 专用BOOT0引脚
2. TC: 标准5V I/O, RST: 带嵌入式弱上拉电阻的双向复位引脚
3. 有些功能仅在部分型号芯片中支持。
4. 复位期间和刚复位后, 复用功能未开启, I/O端口被配置成模拟输入模式 (PMODEx[1:0]=2'b11)。但有以下几个例外的信号:
 - NRST默认无GPIO功能:
 - NRST上拉输入
 - 复位后, 调试系统相关的引脚默认状态时启动SWD, SWD引脚被置于输入上拉或下拉模式:
 - PA14: SWCLK置于输入下拉模式

- PA13: SWDIO 置于输入上拉模式
- PF0:
 - PF0 默认浮空输入模式
 - PF0 复用到OSC_IN
- BOOT0:
 - BOOT0 默认下拉输入模式

4 电气特性

4.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

4.1.1 最小和最大数值

除非特别说明，在生产线上通过对 100% 的产品在环境温度 $T_A=25\text{ }^{\circ}\text{C}$ 下执行的测试，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计仿真和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大值是通过样本测试后得到。

4.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25\text{ }^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ ($1.8\text{V} \leq V_{DD} \leq 5.5\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到。

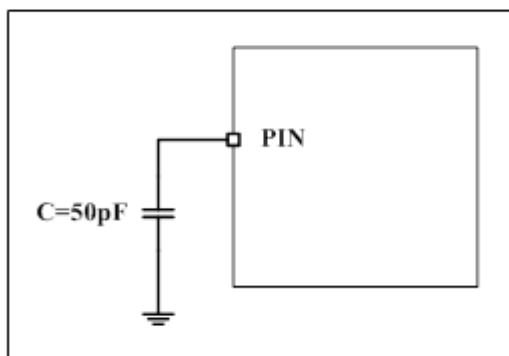
4.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

4.1.4 负载电容

测量引脚参数时的负载条件示于图 4-1 中。

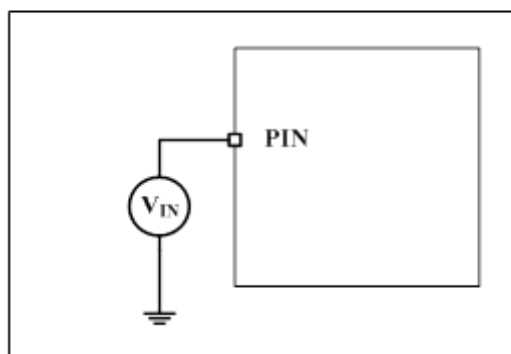
图 4-1 引脚的负载条件



4.1.5 引脚输入电压

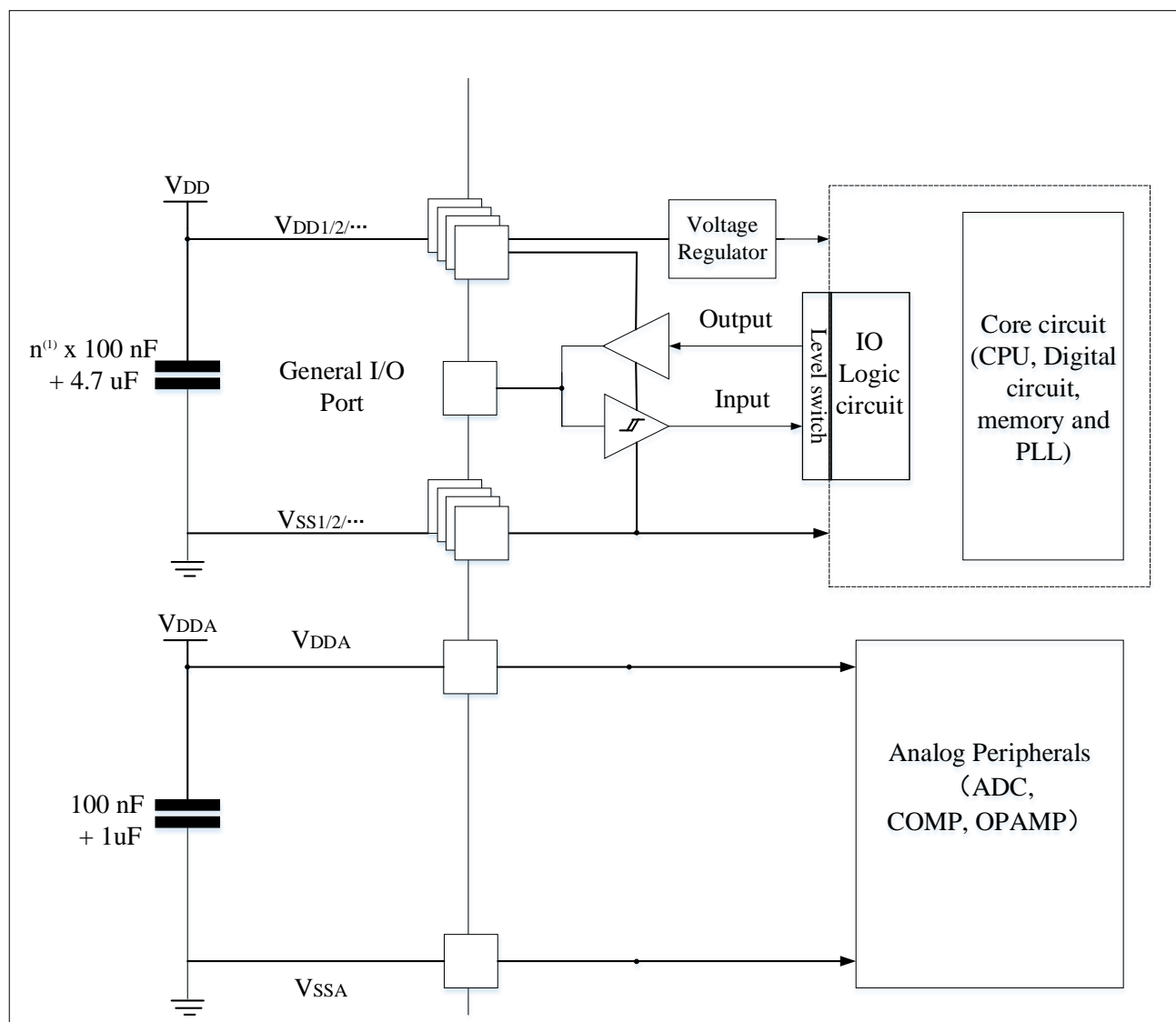
引脚上输入电压的测量方式示于图 4-2 中。

图 4-2 引脚输入电压



4.1.6 供电方案

图 4-3 供电方案

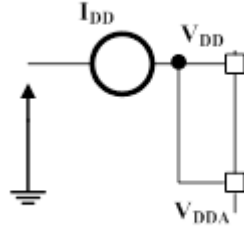


1. n 为 V_{DD} 个数。

注意：电容连接方式请参考硬件设计指南

4.1.7 电流消耗测量

图 4-4 电流消耗测量方案



4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表(表 4-1、表 4-2、表 4-3)中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 4-1 电压特性

符号	描述	最小值	最大值	单位
$V_{DD}-V_{SS}$	外部主供电电压(包含 V_{DDA} 和 V_{DD}) ⁽¹⁾	-0.3	5.5	V
V_{IN}	任意I/O和控制引脚上的输入电压	$V_{SS}-0.3$	$V_{DD}+0.3$	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差	-	50	
$V_{ESD(HBM)}$	ESD静电放电电压(人体模型)	参见第4.3.11节		

- 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。

表 4-2 电流特性

符号	描述	最大值 ⁽¹⁾	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流(供应电流) ⁽¹⁾	200	mA
I_{VSS}	经过 V_{SS} 地线的总电流(流出电流) ⁽¹⁾	200	
I_{IO}	任意I/O和控制引脚上的输出灌电流	16	
	任意I/O和控制引脚上的输出电流	-16	
$I_{INJ(PIN)}^{(2)}$	NRST引脚的注入电流	0/-5	
	HSE的OSC_IN引脚和LSE的OSC_IN引脚的注入电流	+/-5	
	其他引脚的注入电流	+/-5	

- 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
- 反向注入电流会干扰器件的模拟性能。参看第4.3.17节。

表 4-3 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-40 ~ + 150	℃
T_J	最大结温度	125	℃

4.3 工作条件

4.3.1 通用工作条件

表 4-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部AHB时钟频率	-	0	48	MHz
f_{PCLK1}	内部APB1时钟频率	-	0	48	
f_{PCLK2}	内部APB2时钟频率	-	0	48	
V_{DD}	标准工作电压	-	1.8	5.5	V
V_{DDA}	模拟部分工作电压	必须与 $V_{DD}^{(1)}$ 相同	1.8	5.5	V
T_A	环境温度	最大功率消耗	-40	105	°C
T_J	结温度范围		-40	125	°C

1. 使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间， V_{DD} 和 V_{DDA} 之间最多允许有300mV的差别。

4.3.2 上电和掉电时的工作条件

下表中给出的参数是依据表 4-4列出的环境温度下测试得出。

表 4-5 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率	从0到 V_{DD}	100	650	$\mu s/V$
	V_{DD} 下降速率	从 V_{DD} 到0	100	∞	$\mu s/V$

4.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 4-4列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 4-6 内嵌复位和电源控制模块特性

符号	参数	条件	Min	Typ	Max	单位
V_{PVD}	Rising	PLS[3:0]=0	1.78	1.88	1.98	V
	Falling	PLS[3:0]=0	1.68	1.78	1.88	
	Rising	PLS[3:0]=1	1.98	2.08	2.18	
	Falling	PLS[3:0]=1	1.88	1.98	2.08	
	Rising	PLS[3:0]=2	2.18	2.28	2.38	
	Falling	PLS[3:0]=2	2.08	2.18	2.28	
	Rising	PLS[3:0]=3	2.38	2.48	2.58	
	Falling	PLS[3:0]=3	2.28	2.38	2.48	
	Rising	PLS[3:0]=4	2.58	2.68	2.78	
	Falling	PLS[3:0]=4	2.48	2.58	2.68	
	Rising	PLS[3:0]=5	2.78	2.88	2.98	
	Falling	PLS[3:0]=5	2.68	2.78	2.88	
	Rising	PLS[3:0]=6	2.96	3.08	3.2	

	Falling	PLS[3:0]=6	2.86	2.98	3.1	
	Rising	PLS[3:0]=7	3.16	3.28	3.4	
	Falling	PLS[3:0]=7	3.06	3.18	3.3	
	Rising	PLS[3:0]=8	3.36	3.48	3.6	
	Falling	PLS[3:0]=8	3.26	3.38	3.5	
	Rising	PLS[3:0]=9	3.56	3.68	3.8	
	Falling	PLS[3:0]=9	3.46	3.58	3.7	
	Rising	PLS[3:0]=10	3.76	3.88	4	
	Falling	PLS[3:0]=10	3.66	3.78	3.9	
	Rising	PLS[3:0]=11	3.92	4.08	4.24	
	Falling	PLS[3:0]=11	3.82	3.98	4.14	
	Rising	PLS[3:0]=12	4.12	4.28	4.44	
	Falling	PLS[3:0]=12	4.02	4.18	4.34	
	Rising	PLS[3:0]=13	4.32	4.48	4.64	
	Falling	PLS[3:0]=13	4.22	4.38	4.54	
	Rising	PLS[3:0]=14	4.52	4.68	4.84	
	Falling	PLS[3:0]=14	4.42	4.58	4.74	
	Rising	PLS[3:0]=15	4.72	4.88	5.04	
	Falling	PLS[3:0]=15	4.62	4.78	4.94	
$V_{PVDhyst}^{(1)}$	PVD迟滞	-	80	100	125	mV
$V_{POR/PDR}$	VDD上电/下电复位阈值	-	-	1.53	-	V
$T_{RSTTEMPO}^{(1)}$	复位持续时间	-	-	150		us

1. 由设计保证，不在生产中试。

4.3.4 内置的参考电压

下表中给出的参数是依据表 4-4列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 4-7 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参考电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$	1.16	1.21	1.26	V
$T_{S_vrefint}^{(1)}$	当读出内部参照电压时，ADC的采样时间	PLS[2:0]=001 (上升沿)	-	10	-	μs

1. 最短的采样时间是通过应用中的多次循环得到。

4.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图 4-4。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0~18MHz 时为 0 个等待周期，18~36MHz 时为 1 个等待周期，超过 36MHz 时为 2 个等待周期)。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时： $f_{PCLK1} = f_{HCLK}$ ， $f_{PCLK2} = f_{HCLK}$ 。

表 4-8、表 4-9 和表 4-10 中给出的参数，是依据表 4-4 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 4-8 运行模式下的典型电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾	单位
				$T_A = 105^\circ C$	
I_{DD}	运行模式下的 供应电流	外部时钟 ⁽²⁾ ， 使能所有外设	48MHz	8.4	mA
			24MHz	5.0	
			8MHz	2.8	
		外部时钟 ⁽²⁾ ， 关闭所有外设	48MHz	5.0	
			24MHz	3.3	
			8MHz	2.3	

1. 由设计和综合评估保证，不在生产中测试。
2. 外部时钟，当 f_{HCLK} 为 24M 或 48M 时，需要启用 PLL。

表 4-9 运行模式下的典型电流消耗，数据处理代码从内部 RAM 中运行

符号	参数	条件	f _{HCLK}	典型值 ⁽¹⁾	单位
				T _A = 105℃	
I _{DD}	运行模式下的 供应电流	外部时钟 ⁽²⁾ , 使能所有外设	48MHz	6.2	mA
			24MHz	4.1	
			8MHz	3.2	
		外部时钟 ⁽²⁾ , 关闭所有外设	48MHz	4.4	
			24MHz	3.2	
			8MHz	2.6	

1. 由设计和综合评估保证，在生产中以V_{DDmax}和f_{HCLKmax}为条件测试。
2. 外部时钟，当f_{HCLK}为24M或48M时，需要启用PLL。

表 4-10 睡眠模式下的典型电流消耗，代码运行在内部闪存中

符号	参数	条件	f _{HCLK}	典型值 ⁽¹⁾	单位
				T _A = 105℃	
I _{DD}	睡眠模式下的 供应电流	外部时钟 ⁽²⁾ , 使能所有外设	48MHz	6.5	mA
			24MHz	3.9	
			8MHz	2.0	
		外部时钟 ⁽²⁾ , 关闭所有外设	48MHz	2.9	
			24MHz	2.1	
			8MHz	1.4	

1. 由综合评估得出，在生产中以V_{DDmax}和以f_{HCLKmax}使能外设为条件测试。
2. 外部时钟，当f_{HCLK}为24M或48M时，需要启用PLL。
3. 当ADC使能时，有1.1mA的电流（由设计保证）。

表 4-11 停机和待机模式下的典型消耗

符号	参数	条件	典型值 ⁽¹⁾	最大值	单位
			V _{DD} =3.3V	V _{DD} =3.3V	
功耗模式	待机模式（SLEEP）下的 电流	内核停止，所有外围设备包括 Cortex®-M0 核心外设，如 NVIC，系统滴答时钟（SysTick）依然在运行	2.7	5	mA
	停机模式（STOP）下的 电流	RTC 不运行，SRAM 保持，所有 I/O 状态保持，寄存器保持	1.5	8	uA
	PD 模式下的电流	V _{DD} 掉电模式，3 个 WAKEUP IO 及 NRST 可唤醒	0.5	1	uA

1. 典型值/最大值是在 T_A=25℃下测试得到。

典型的电流消耗

MCU 处于下述条件下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。

- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0~18MHz 时为 0 个等待周期, 18~36MHz 时为 1 个等待周期, 超过 36MHz 时为 2 个等待周期)。
- 环境温度和 V_{DD} 供电电压条件列于表 4-4。
- 指令预取功能开启(提示: 这个参数必须在设置时钟和总线分频之前设置)。当开启外设时: $f_{PCLK1} = f_{HCLK}$, $f_{PCLK2} = f_{HCLK}$, $f_{ADCCLK} = f_{PCLK2}/3$ 。

表 4-12 运行模式下的典型电流消耗, 数据处理代码从内部 Flash 中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
I_{DD}	运行模式下的 供应电流	外部高速时钟 (HSE.), 使用 AHB预分频以减 低频率	48MHz	8.2	4.8	mA
			24MHz	5.0	3.3	
			8MHz	2.7	2.1	
		内部高速RC 振荡 器 ⁽²⁾ (HSI.), 使用 AHB预分频以减低 频率	48MHz	7.6	4.3	mA
			24MHz	4.3	2.7	
			8MHz	2.1	1.5	

1. 典型值是在 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。
2. 内部高速时钟为 8MHz, 当 $f_{HCLK}>8\text{MHz}$ 时启用 PLL。

表 4-13 睡眠模式下的典型电流消耗, 数据处理代码从内部 Flash 或 RAM 中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I_{DD}	睡眠模式下的 供应电流	外部高速时钟 (HSE.), 使用AHB 预分频以减低频率	48MHz	6.3	2.7	mA
			24MHz	3.7	2.0	
			8MHz	1.8	1.2	
		内部高速RC 振荡 器 ⁽²⁾ (HSI.), 使用 AHB预分频以减低 频率	48MHz	5.7	2.1	mA
			24MHz	3.1	1.4	
			8MHz	1.2	0.6	

1. 典型值是在 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。
2. 内部高速时钟为 8MHz, 当 $f_{HCLK}>8\text{MHz}$ 时启用 PLL。

4.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表给出的特性参数是使用一个高速的外部时钟源测得, 环境温度和供电电压符合表 4-4 的条件。

表 4-14 高速外部用户时钟特性(Bypass 模式)

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率	—	4	8	20	MHz
V_{HSEH}	OSC_IN输入引脚高电平电压 ⁽¹⁾		$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN输入引脚低电平电压 ⁽¹⁾		V_{SS}	-	$0.3V_{DD}$	
$t_{w(HSE)}$	OSC_IN高或低的时间 ⁽¹⁾		16	-	-	ns
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN上升或下降的时间 ⁽¹⁾		-	-	20	
$C_{in(HSE)}$	OSC_IN输入容抗 ⁽¹⁾		-	5	-	pF
$DuCy(HSE)$	占空比		45	-	55	%

符号	参数	条件	最小值	典型值	最大值	单位
I_L	OSC_IN输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

1. 由设计和综合评估保证，不在生产中测试。

来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合表 4-4的条件。

表 4-15 低速外部用户时钟特性(Bypass 模式)

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率	-	0	32.768	1000	KHz
V_{LSEH}	OSC32_IN输入引脚高电平电压 ⁽¹⁾		$0.7V_{DD}$	-	V_{DD}	V
V_{LSEL}	OSC32_IN输入引脚低电平电压 ⁽¹⁾		V_{SS}	-	$0.3V_{DD}$	
$t_{w(LSE)}$	OSC32_IN高或低的时间 ⁽¹⁾		450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN上升或下降的时间 ⁽¹⁾		-	-	10	
$DuCy_{(LSE)}$	占空比 ⁽¹⁾		30	-	70	%
I_L	OSC32_IN输入漏电流 ⁽¹⁾	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

1. 由设计和综合评估保证，不在生产中测试。

图 4-5 外部高速时钟源的交流时序图

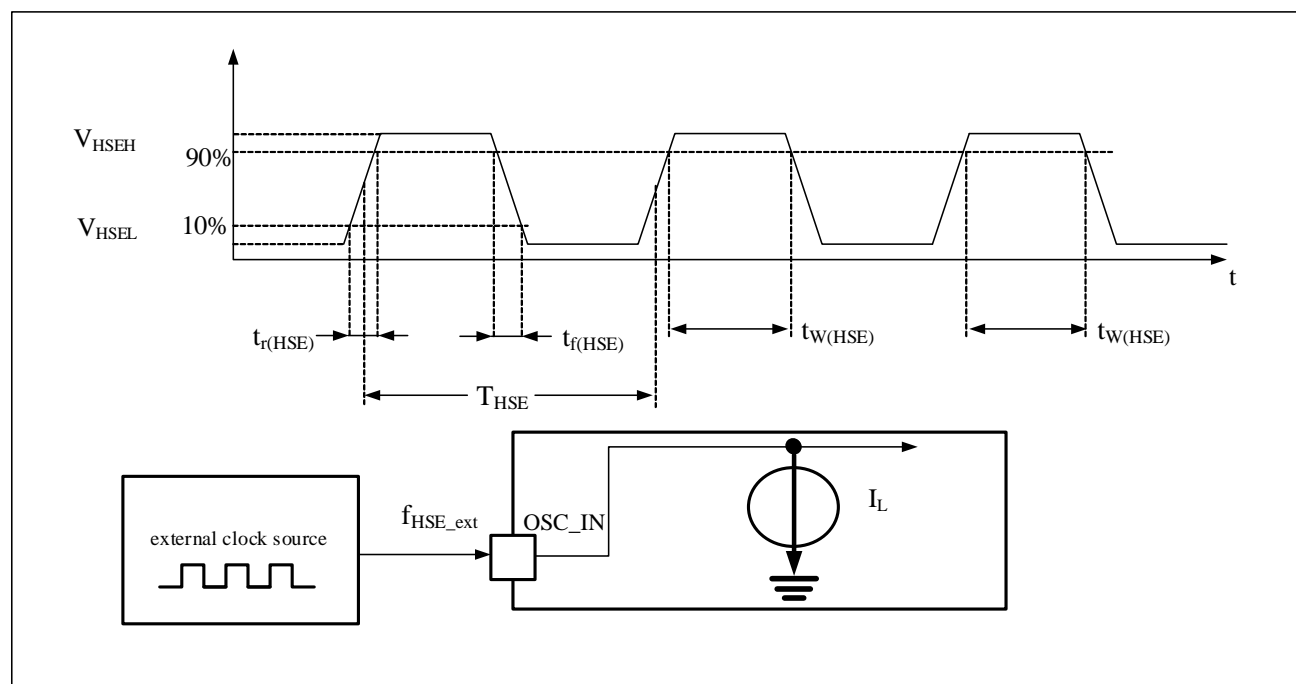
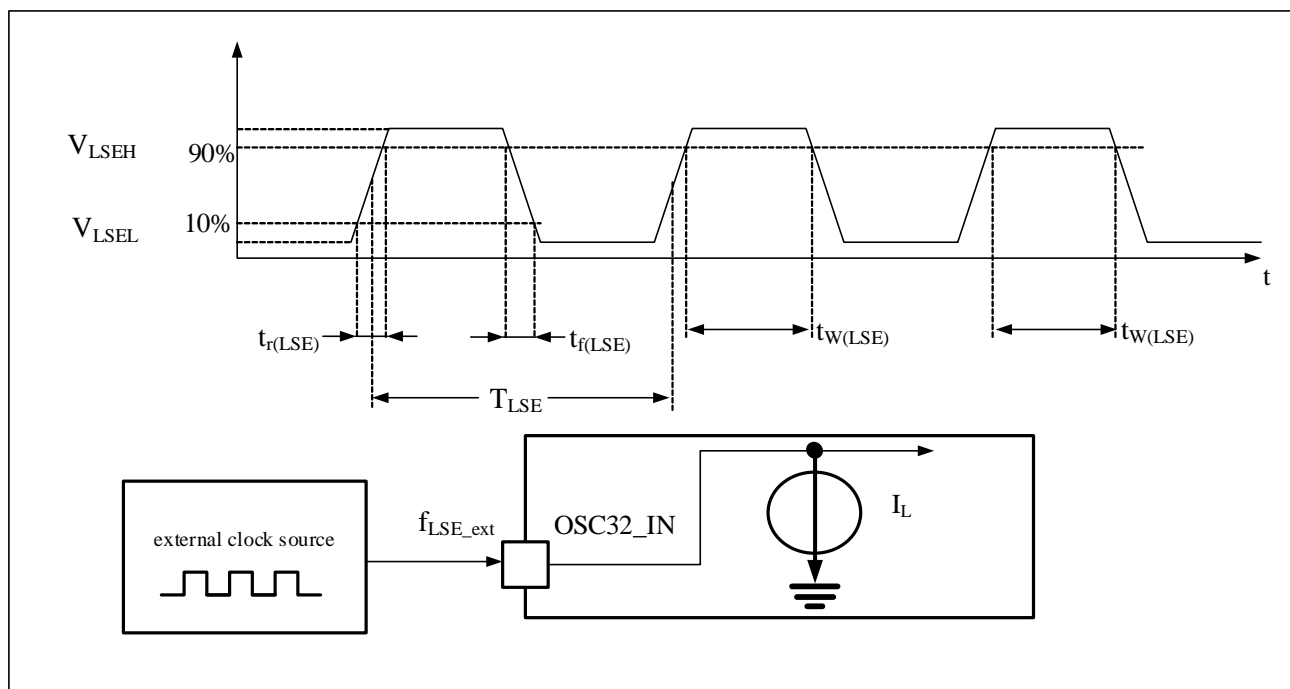


图 4-6 外部低速时钟源的交流时序图



使用一个晶体/陶瓷谐振器产生的高速外部时钟

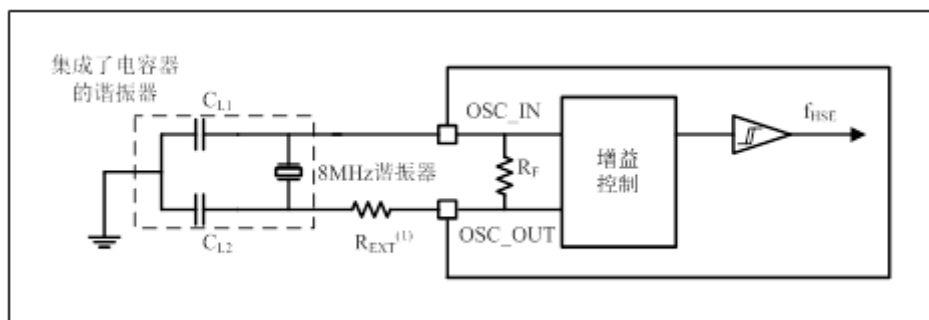
高速外部时钟(HSE)可以使用一个 4~20MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件,通过综合特性评估得到的结果。在应用中,谐振器和负载电容必须尽可能地靠近振荡器的引脚,以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等),请咨询相应的生产厂商。(这里提到的晶体谐振器就是我们通常说的无源晶振)

表 4-16 HSE 4~20MHz 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{OSC_IN}}$	振荡器频率	-	4	8	20	MHz
$t_{\text{SU(HSE)}}^{(3)}$	启动时间	V_{DD} 是稳定的, $f_{\text{out}} = 20\text{MHz}$	-	3	-	ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由设计和综合评估保证,不在生产中测试。
3. $t_{\text{SU(HSE)}}$ 是启动时间,是从软件使能HSE开始测量,直至得到稳定的8MHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到,它可能因晶体制造商的不同而变化较大。

图 4-7 使用 8MHz 晶体的典型应用



1. R_{EXT} 数值由晶体的特性决定。

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个 32.768kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件,通过综合特性评估得到的结果。在应用中,谐振器和负载电容必须尽可能地靠近振荡器的引脚,以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等),请咨询相应的生产厂商。(这里提到的晶体谐振器就是我们通常说的无源晶振)

注意: 对于 C_{L1} 和 C_{L2} , 建议使用高质量的瓷介电容器, 并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。

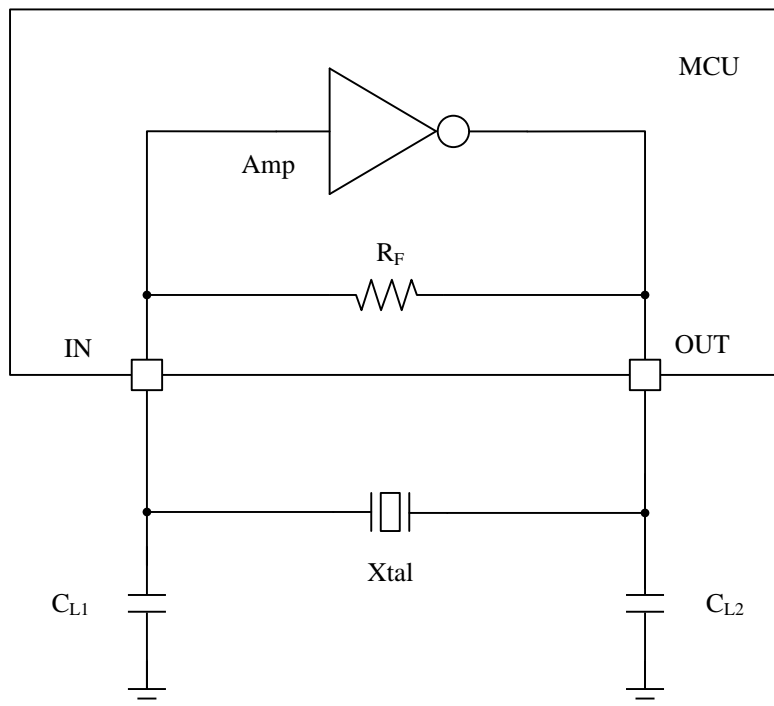
负载电容 C_L 由下式计算: $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$, 其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容。

表 4-17 LSE 振荡器特性($f_{LSE}=32.768kHz$)⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$t_{SU(LSE)}$ ⁽²⁾	启动时间	V_{DD} 是稳定的	-	2	-	s

1. 由设计和综合评估保证, 不在生产中测试。
2. $t_{SU(LSE)}$ 是启动时间, 是从软件使能LSE开始测量, 直至得到稳定的32.768KHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到, 它可能因晶体制造商的不同而变化较大。

图 4-8 使用 32.768kHz 晶体的典型应用



4.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

高速内部(HSI)RC振荡器

表 4-18 HSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	$V_{DD}=3.3V$, $T_A = 25^\circ C$, 校准后	7.92 ⁽³⁾	8	8.08 ⁽³⁾	MHz
$DuCy_{(HSI)}$	占空比		45	-	55	%

ACC _{HSI}	HSI振荡器的温漂 ⁽⁴⁾	VDD=3.3V, T _A = -40~105℃, 温漂	-3	-	3	%
		VDD=3.3V, T _A = -10~85℃, 温漂	-2.5	-	2	%
		VDD=3.3V, T _A = 0~70℃, 温漂	-2	-	1.5	%
t _{SU(HSI)}	HSI振荡器启动时间		1	-	3	μs
I _{DD(HSI)}	HSI振荡器功耗		-	80	150	μA

1. V_{DD} = 3.3V, T_A = -40~105℃, 除非特别说明。
2. 由设计和综合评估保证, 不在生产中测试。
3. 生产校准精度, 未包括焊接影响。焊接带来频率偏差影响范围约±1%。
4. 频率偏差包括焊接带来的影响, 数据来自样品测试, 不在生产中进行测试。

低速内部(LSI)RC振荡器

表 4-19 LSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{LSI} ⁽²⁾	输出频率	25℃ 校准, VDD = 3.3V	29	30	31	KHz
		VDD = 1.8V ~ 5.5V, T _A = -40~105℃	24	30	36	KHz
t _{SU(LSI)} ⁽²⁾	LSI振荡器启动时间		-	30	80	μs
I _{DD(LSI)} ⁽²⁾	LSI振荡器功耗		-	0.2	-	μA

1. V_{DD} = 3.3V, T_A = -40~105℃, 除非特别说明。
2. 由设计和综合评估保证, 不在生产中测试。

4.3.8 低功耗模式唤醒时间

表4-20列出的唤醒时间是在一个8MHz的HSI RC振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定:

- 停机或待机模式: 时钟源是RC振荡器
- 睡眠模式: 时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-20 低功耗模式的唤醒时间

符号	参数	典型值	单位
t _{WUSLEEP} ⁽¹⁾	从睡眠模式唤醒	16	HCLK ⁽²⁾
t _{WUSTOP} ⁽¹⁾	从停机模式唤醒	20	us
t _{WUPD} ⁽¹⁾	从待机模式唤醒	55	us

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令;
2. HCLK为AHB时钟频率。

4.3.9 PLL特性

参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-21 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值 ⁽¹⁾	
f _{PLL_IN}	PLL输入时钟 ⁽²⁾	4	8	20	MHz
	PLL输入时钟占空比	40	-	60	%
f _{PLL_OUT}	PLL倍频输出时钟	48	-	72	MHz
t _{LOCK}	PLL Ready 指示信号输出时间	-	-	20	μs
Jitter	TIE RMS Jitter	-	40	-	pS
I _{pll}	Operating Current of PLL @48MHz VCO frequency.	-	300	500	uA

1. 由设计和综合评估保证，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据PLL输入时钟频率使得f_{PLL_OUT}处于允许范围内。

4.3.10 FLASH存储器特性

除非特别说明，所有特性参数是在T_A = -40~105℃得到。

表 4-22 闪存存储器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
t _{prog}	32位的编程时间	T _A = -40~105℃	-	175	-	μs
t _{ERASE}	页(512字节)擦除时间	T _A = -40~105℃	-	2.27	-	ms
t _{ME}	整片擦除时间	T _A = -40~105℃ ;	-	34.1	-	ms
I _{DD}	供电电流 ⁽¹⁾	读模式, f _{HCLK} =48MHz, , V _{DD} =3.3V	-	2	2.4	mA
		写模式, f _{HCLK} =48MHz, V _{DD} =3.3V	-	-	1.2	mA
		擦除模式, f _{HCLK} =48MHz, V _{DD} =3.3V	-	-	0.6	mA
		深度待机模式, V _{DD} =3.3~3.6V	-	-	150	μA

1. 由设计和综合评估保证，不在生产中测试。

表 4-23 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	单位
N _{END}	寿命(注：擦写次数)	T _A = -40~105℃;	100	千次
t _{RET}	数据保存期限	T _A = 105℃, 1000次擦写 ⁽¹⁾ 之后	10	年

1. 由综合评估得出，不在生产中测试。

4.3.11 绝对最大值(电气敏感性)

基于三个不同的测试(ESD, LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上

表 4-24 ESD 绝对最大值

符号	参数	条件	类型	最大值 ⁽¹⁾	单位
----	----	----	----	--------------------	----

$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T_A = +25\text{ }^{\circ}\text{C}$, 符合MIL-STD-883K Method 3015.9	2	4000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	$T_A = +25\text{ }^{\circ}\text{C}$, 符合ESDA/JEDEC JS-002-2018	II	1000	

1. 由综合评估得出, 不在生产中测试。

静态栓锁

为了评估栓锁性能, 需要在6个样品上进行2个互补的静态栓锁测试:

- 为每个电源引脚, 提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。

这个测试符合EIA/JESD78E集成电路栓锁标准。

表 4-25 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	$T_A = +105\text{ }^{\circ}\text{C}$, 符合JESD78E	II 类A

4.3.12 I/O端口特性

通用输入/输出特性

除非特别说明, 下表列出的参数是按照表 4-4的条件测量得到。所有的I/O端口都是兼容CMOS和TTL。

表 4-26 I/O 静态特性

符号	参数	VDD	条件	最小值	最大值	单位
V_{IL}	输入低电平电压	5	-	-	$0.3 \times VDD$	V
		3.3	-	-	0.8	
		1.8	-	-	$0.2 \times VDD$	
V_{IH}	输入高电平电压	5	-	$0.7 \times VDD$	-	
		3.3	-	2.0	-	
		1.8	-	$0.8 \times VDD$	-	
V_{hys}	I/O脚施密特触发器电压迟滞 ⁽¹⁾	5/3.3/1.8	-	$0.1 \times VDD$	---	V
$I_{lkg(2)}$	输入漏电流 I_{IH}	5/3.3/1.8	-	---	1	μA
	输入漏电流 I_{IL}	5/3.3/1.8	-	-1	-	
V_{OH}	输出高电平电压	5	High driving $I_{min}=16\text{mA}$ low driving $I_{min}=8\text{mA}$	$VDD-0.8$	-	V
		3.3	High driving $I_{min}=8\text{mA}$ low driving $I_{min}=4\text{mA}$	2.4	-	
		1.8	High driving $I_{min}=4\text{mA}$ low driving $I_{min}=2\text{mA}$	$VDD-0.45$	-	
V_{OL}	输出低电平电压	5	High driving $I_{min}=16\text{mA}$ low driving $I_{min}=8\text{mA}$	-	0.7	

		3.3	High driving Imin=8mA low driving Imin=4mA	-	0.45	
		1.8	High driving Imin=4mA low driving Imin=2mA	-	0.4	
RPU	弱上拉等效电阻	5/3.3/1.8	-	40	100	kΩ
RPD	弱下拉等效电阻	5/3.3/1.8	-	40	100	kΩ
CIO	I/O引脚的电容	5/3.3/1.8	-	-	10	pF

1. 施密特触发器开关电平的迟滞电压。由设计和综合评估保证，不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。

所有 I/O 端口都是 CMOS 和 TTL 兼容(不需软件配置)，它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数：

输入输出交流特性

输入输出交流特性的定义和数值在表 4-27 给出。

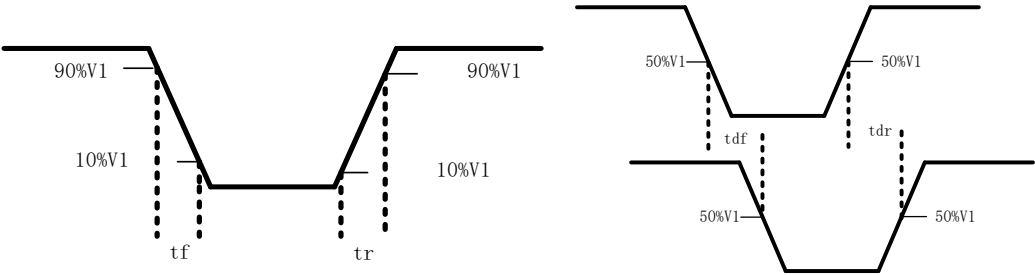
除非特别说明，参数是使用环境温度和供电电压符合表 4-4 的条件测量得到。

表 4-27 输入输出交流特性

VDD	条件			Rise/Fall Time (ns)			Propagation Delay (ns)		
	Driving Strength	Slew Rate Control	CLoading(pf)	Min	Typ	Max	Min	Typ	Max
5V (4.5~5.5)	Low (DR=1)	Slow (SR=1)	25	3.1	3.9	6.5	5	7.2	14
			50	5.7	6.5	11	6.5	8.8	16
			100	11	13	20	10	12	21
		Fast (SR=0)	25	2.9	3.4	5.4	4.5	6.5	12
			50	5.6	6.3	10	6	8.1	14.2
			100	11	12.3	19.5	9	11.3	19.1
	High (DR=0)	Slow (SR=1)	25	1.8	2.5	4.1	4.2	6.7	13
			50	3	3.9	6.2	5	7.5	15
			100	5.6	6.5	10.2	6.4	9	17
		Fast (SR=0)	25	1.6	2.1	3.4	3.7	5.9	12
			50	2.9	3.5	5.5	4.4	6.6	13
			100	5.5	6.2	10	5.9	8	15
3.3V (2.7~3.6)	Low (DR=1)	Slow (SR=1)	25	4	5.5	11	6.6	10	20
			50	7.5	9.5	18	8.5	12	24
			100	15	17	32	13	16	31
		Fast (SR=0)	25	3.8	4.9	9.2	5.9	8.8	18
			50	7.3	8.8	16.2	7.8	10.8	21.2

VDD	条件			Rise/Fall Time (ns)			Propagation Delay (ns)		
	Driving Strength	Slew Rate Control	CLoading(pf)	Min	Typ	Max	Min	Typ	Max
			100	14.2	16.7	30.5	12	15	29
	High (DR=0)	Slow (SR=1)	25	2.4	3.7	7.2	5.5	8.5	17.1
			50	3.9	5.5	10.5	6.5	9.6	19.2
			100	7.3	9.3	17.2	8.4	12	23
		Fast (SR=0)	25	2	3.1	5.9	4.9	7.6	16
			50	3.7	4.9	9.5	5.8	8.7	18
			100	7.2	8.8	17	7.7	11	22
1.8V (1.62~1.98)	Low (DR=1)	Slow (SR=1)	25	8	12	22	14	23	44
			50	15	20	36	18	27	52
			100	29	36	65	26	36	66
		Fast (SR=0)	25	7.5	10.5	16.4	12.25	20	40
			50	14.5	18.5	33	16.5	24.2	47
			100	28	35	62	24	33	62
	High (DR=0)	Slow (SR=1)	25	4.6	8	15.4	12	20.2	40
			50	7.6	11.8	22	14	22.5	44
			100	11.5	19.5	36	17.5	26.7	52
		Fast (SR=0)	25	4	6.9	14	10.5	18	36
			50	7.3	11	20	12.3	20	40
			100	15	18.5	33	16	25	47

图 4-9 输入输出交流特性定义



4.3.13 NRST引脚特性

NRST引脚内部集成上拉电阻,除非特别说明,参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

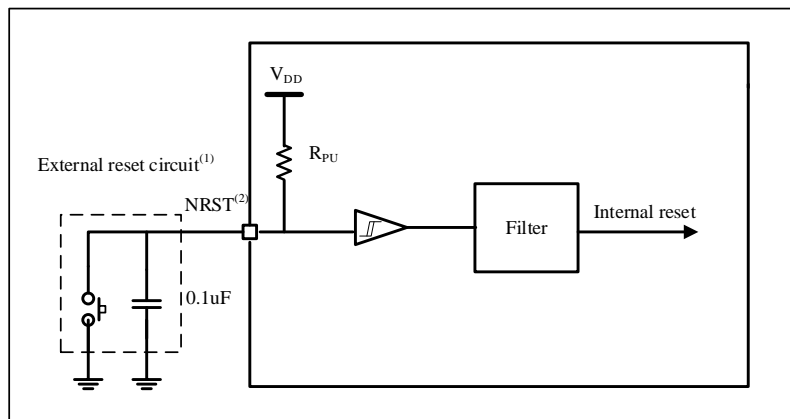
表 4-28 NRST 引脚特性

符号	参数	VDD	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST输入低电平电压	1.8V~5.5V	-	-	0.3VDD	V
$V_{IH(NRST)}^{(1)}$	NRST输入高电平电压	1.8V~5.5V	0.75VDD	-	-	
$V_{hys(NRST)}$	NRST施密特触发器电压迟滞	1.8V~5.5V	115	220	315	mV

R_{PU}	弱上拉等效电阻 ⁽²⁾	1.8V~5.5V	30	40	50	k Ω
$V_{F(NRST)}^{(1)}$	NRST输入滤波脉冲	1.8V~2V	-	-	100	ns
		3V~3.6V	-	-	100	
		4.5V~5.5V	-	-	50	
$V_{NF(NRST)}^{(1)}$	NRST输入非滤波脉冲	1.8V~2V	650	-	-	ns
		3V~3.6V	300	-	-	
		4.5V~5.5V	200	-	-	

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个不可开关的PMOS实现。这个PMOS开关的电阻很小(约占10%)。

图 4-10 建议的 NRST 引脚保护



1. 复位网络是为了防止寄生复位。
2. 用户必须保证NRST引脚的电位能够低于最大 $V_{IL(NRST)}$ 以下，否则MCU不能得到复位。

4.3.14 TIM定时器特性

列出的参数由设计保证。

表 4-29 TIMx⁽¹⁾特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	$f_{TIMxCLK} = 48MHz$	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	20.8	-	ns
$f_{EXT}^{(2)}$	CH1至CH4的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 48MHz$	0	24	MHz
ReSTIM	定时器分辨率	$f_{TIMxCLK} = 48MHz$	-	16	位
$t_{COUNTER}$	当选择了内部时钟时，16位计数器时钟周期	$f_{TIMxCLK} = 48MHz$	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	0.0208	1365	μs
t_{MAX_COUNT}	最大可能的计数	$f_{TIMxCLK} = 48MHz$	-	65536x65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	-	89.478	s

1. TIMx是一个通用的名称，代表TIM1~TIM8。
2. 仅对高级定时器与通用定时器适用，对基本定时器不适用

4.3.15 I2C接口特性

除非特别说明，参数是使用环境温度， f_{PCLK1} 频率和 V_{DD} 供电电压符合表 4-4 的条件测量得到。

N32G031 产品的 I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真”开漏的引脚，当配

置为开漏输出时，在引出脚和 VDD 之间的 PMOS 管被关闭，但仍然存在。

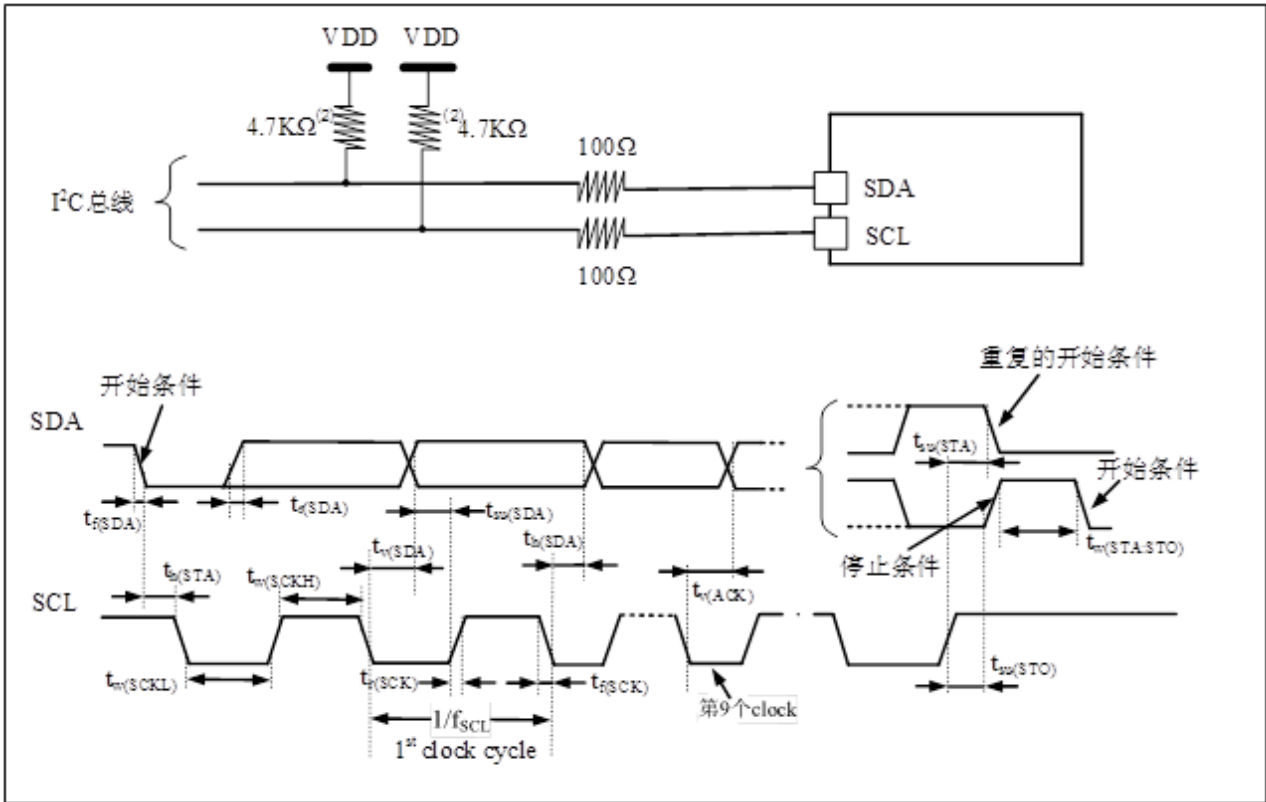
I2C 接口特性见下表，有关输入输出复用功能引脚(SDA 和 SCL)的特性详情，参见第 4.3.12 节。

表 4-30 I²C 接口特性

符号	参数	标准模式		快速模式		快速模式		单位
		最小	最大	最小	最大	最小	最大	
fSCL	I2C接口频率	0	100	0	400	0	1000	KHz
th(STA)	开始条件保持时间 ⁽¹⁾	4.0	-	0.6	-	0.26	-	μs
tw(SCLL)	SCL时钟低时间 ⁽¹⁾	4.7	-	1.3	-	0.5	-	μs
tw(SCLH)	SCL时钟高时间 ⁽¹⁾	4.0	-	0.6	-	0.26	-	μs
tsu(STA)	重复的开始条件建立时间 ⁽¹⁾	4.7	-	0.6	-	0.26	-	μs
th(SDA)	SDA数据保持时间 ⁽¹⁾	-	3.4	-	0.9	-	0.4	μs
tsu(SDA)	SDA建立时间 ⁽¹⁾	250	-	100	-	50	-	ns
tr(SDA) tr(SCL)	SDA和SCL上升时间 ⁽¹⁾	-	1000	20+0.1 Cb	300	-	120	ns
tf(SDA) tf(SCL)	SDA和SCL下降时间 ⁽¹⁾	-	300	20+0.1 Cb	300	-	120	ns
tsu(STO)	停止条件建立时间 ⁽¹⁾	4.0	-	0.6	-	0.26	-	μs
tw(STO:STA)	停止条件至开始条件的 时间(总线空闲) ⁽¹⁾	4.7	-	1.3	-	0.5	-	μs
Cb	每条总线的容性负载 ⁽¹⁾	-	400	-	400	-	100	pf
tv(SDA)	数据有效时间 ⁽¹⁾	3.45	-	0.9	-	0.45	-	μs
tv (ACK)	应答有效时间 ⁽¹⁾	3.45	-	0.9	-	0.45	-	μs

1. 由设计和综合评估保证，不在生产中测试。
2. 为达到标准模式 I2C 的最大频率，f_{PCLK1} 必须大于 2MHz。为达到快速模式 I2C 的最大频率，f_{PCLK1} 必须大于 4MHz。

图 4-11 I²C 总线交流波形和测量电路⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

4.3.16 SPI/I2S接口特性

除非特别说明，SPI 参数和 I2S 参数是使用环境温度，fPCLKx 频率和 VDD 供电电压符合表 4-4 的条件测量得到。

有关输入输出复用功能引脚(SPI 的 NSS、SCLK、MOSI、MISO，I2S 的 WS、CLK、SD)的特性详情，参见第 4.3.12 节。

表 4-31 SPI 特性⁽⁴⁾

符号	参数	条件		最小值	最大值	单位
f_{SCLK} $1/t_{\text{c}}(\text{SCLK})$	SPI时钟频率	主模式		-	18	MHz
		从模式		-	18	
$t_{\text{r}}(\text{SCLK})t_{\text{f}}(\text{SCLK})$	SPI时钟上升和下降时间	负载电容：C = 30pF		-	15	ns
DuCy(SCK)	SPI从输入时钟占空比	SPI从模式		45	55	%
$t_{\text{su}}(\text{NSS})^{(1)}$	NSS建立时间	从模式		$4t_{\text{PCLK}}$	-	ns
$t_{\text{h}}(\text{NSS})^{(1)}$	NSS保持时间	从模式		$2t_{\text{PCLK}}$	-	ns
$t_{\text{w}}(\text{SCLKH})^{(1)}$ $t_{\text{w}}(\text{SCLKL})^{(1)}$	SCLK高和低的时间	主模式		t_{PCLK}	$t_{\text{PCLK}} + 2$	ns
$t_{\text{su}}(\text{MI})^{(1)}$	数据输入建立时间	主模式	SPI1	19.84	-	ns
			SPI2	20.5	-	
$t_{\text{su}}(\text{SI})^{(1)}$		从模式	SPI1	4.16	-	
			SPI2	4.16	-	

$t_{h(MI)}^{(1)}$	数据输入保持时间	主模式		0	-	ns
$t_{h(SI)}^{(1)}$		从模式		4	-	
$t_{a(SO)}^{(1)(2)}$	数据输出访问时间	从模式, $f_{PCLK} = 18MHz$		0	$3t_{PCLK}$	ns
$t_{dis(SO)}^{(1)(3)}$	数据输出禁止时间	从模式		2	10	ns
$t_{v(SO)}^{(1)}$	数据输出有效时间	从模式(使能边沿之后)	SPI1	-	32	ns
			SPI2	-	30	
$t_{v(MO)}^{(1)}$		主模式(使能边沿之后)	SPI1	-	28	
			SPI2	-	28	
$t_{h(SO)}^{(1)}$	数据输出保持时间	从模式(使能边沿之后)		0	-	ns
$t_{h(MO)}^{(1)}$		主模式(使能边沿之后)		0	-	

1. 由设计和综合评估保证, 不在生产中测试。
2. 最小值表示驱动输出的最小时间, 最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。
4. 测试电压为 3.3V。

图 4-12 SPI 时序图 – 从模式和 CPHA=0

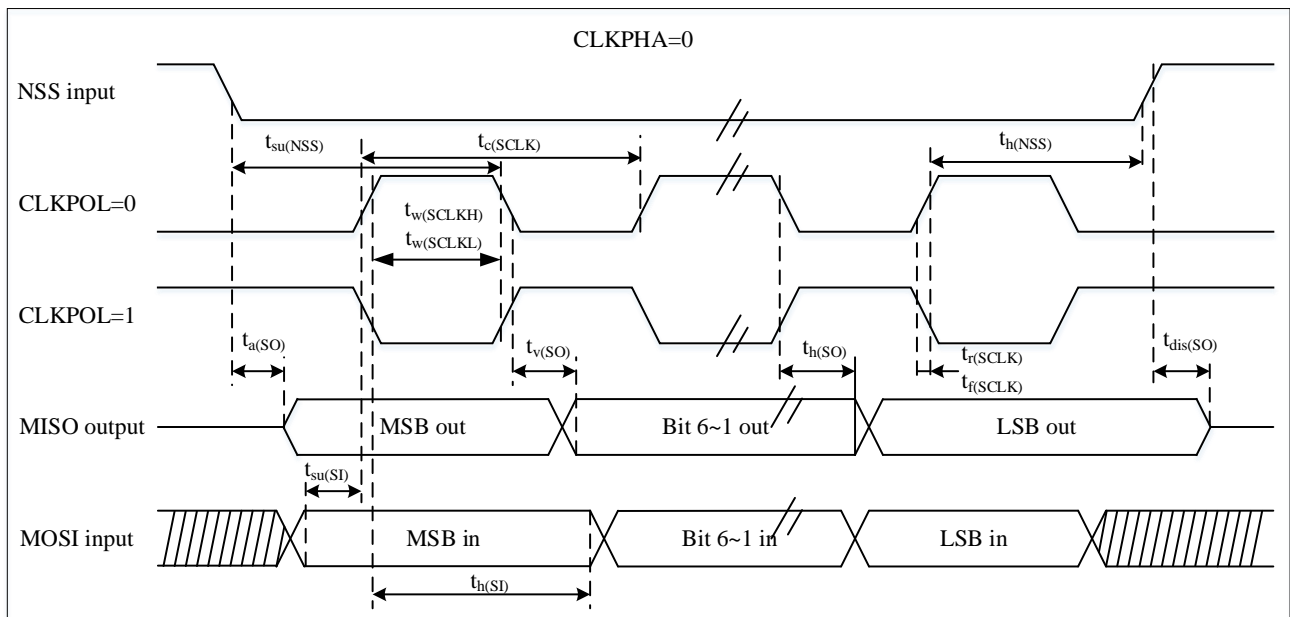
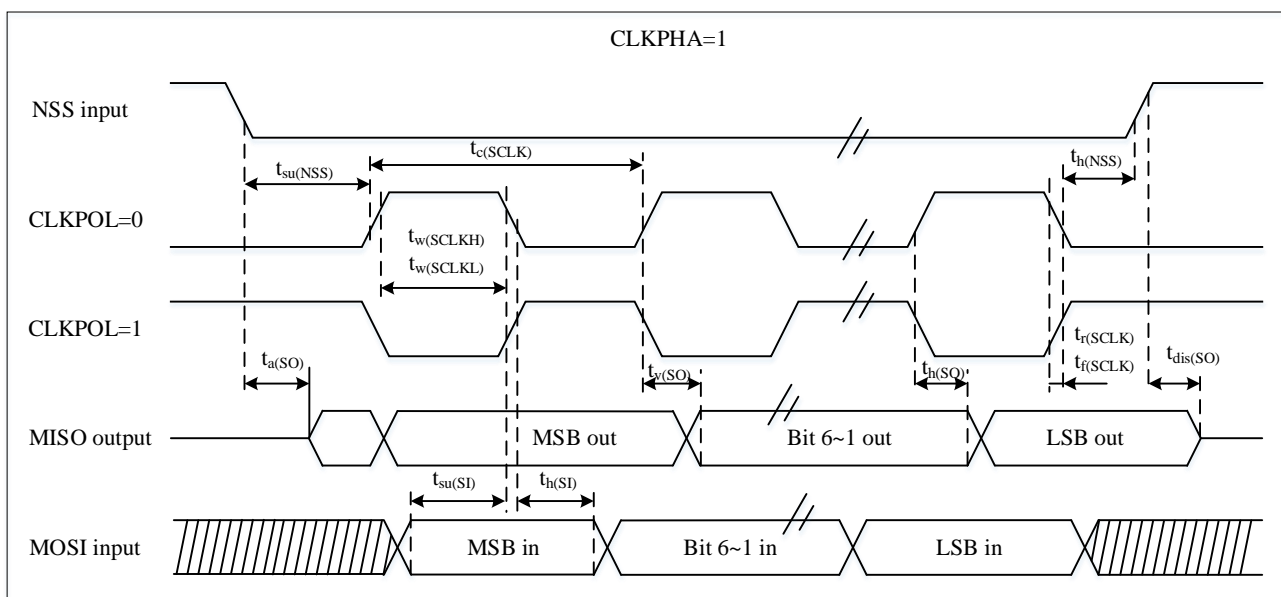
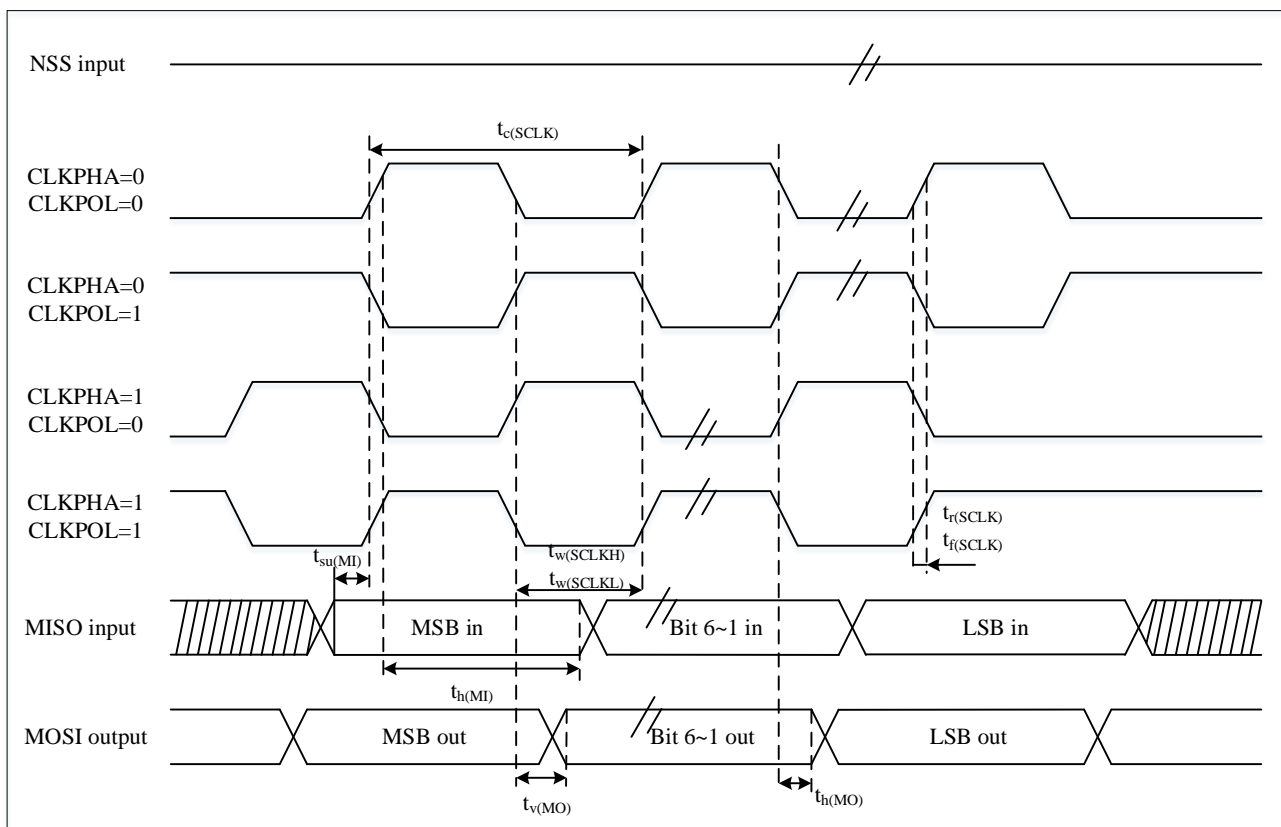


图 4-13 SPI 时序图 – 从模式和 CPHA=1⁽¹⁾



1. 测量点设置于CMOS电平：0.3VDD和0.7VDD。

图 4-14 SPI 时序图 – 主模式⁽¹⁾



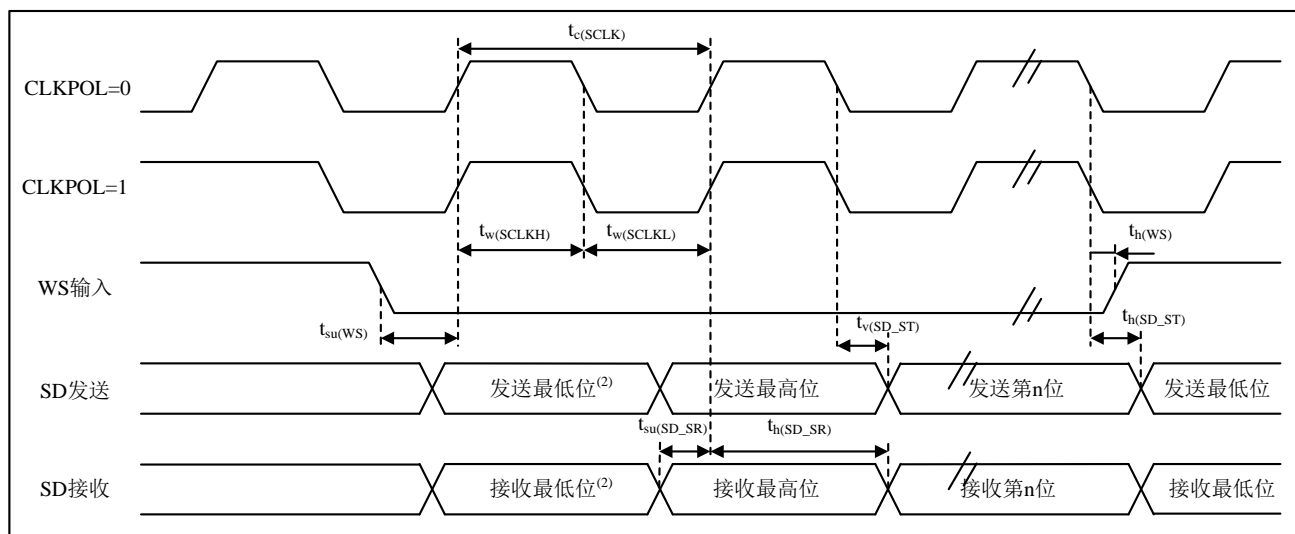
1. 测量点设置于CMOS电平：0.3VDD和0.7VDD。

表 4-32 I²S 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy(SCK)	I ² S从输入时钟 占空比	I ² S从模式	30	50	70	%
f_{CLK} $1/t_{c(CLK)}$	I ² S时钟频率	主模式(16bit)	-	$2*F_s^{(3)*16}$	-	Hz
		从模式(16bit)	-	$2*F_s^{(3)*16}$	-	
		主模式(32bit)	-	$2*F_s^{(3)*32}$	-	
		从模式(32bit)	-	$2*F_s^{(3)*32}$	-	
$t_{r(CLK)}$	I ² S时钟上升和 下降时间	负载电容: CL = 50pF	-	-	8	ns
$t_{v(WS)}^{(1)}$	WS有效时间	主模式	13.5	-	-	
$t_{h(WS)}^{(1)}$	WS保持时间	主模式	0	-	-	
$t_{su(WS)}^{(1)}$	WS建立时间	从模式	4	-	-	
$t_{h(WS)}^{(1)}$	WS保持时间	从模式	0	-	-	
$t_{w(CLKH)}^{(1)}$	CLK高和低的 时间	主模式, $f_{PCLK} = 16MHz$, 音频48kHz	312.5	-	-	
$t_{w(CLKL)}^{(1)}$			345	-	-	
$t_{su(SD_MR)}^{(1)}$	数据输入建立 时间	主接收器	3.6	-	-	
$t_{su(SD_SR)}^{(1)}$		从接收器	3.5	-	-	
$t_{h(SD_MR)}^{(1)(2)}$	数据输入保持 时间	主接收器	0	-	-	
$t_{h(SD_SR)}^{(1)(2)}$		从接收器	0	-	-	
$t_{v(SD_ST)}^{(1)(2)}$	数据输出有效 时间	从发送器(使能边沿之后)	-	-	29.76	ns
$t_{h(SD_ST)}^{(1)}$	数据输出保持 时间	从发生器(使能边沿之后)	0	-	-	
$t_{v(SD_MT)}^{(1)(2)}$	数据输出有效 时间	主发生器(使能边沿之后)	-	-	13.6	
$t_{h(SD_MT)}^{(1)}$	数据输出保持 时间	主发生器(使能边沿之后)	-6.5	-	-	

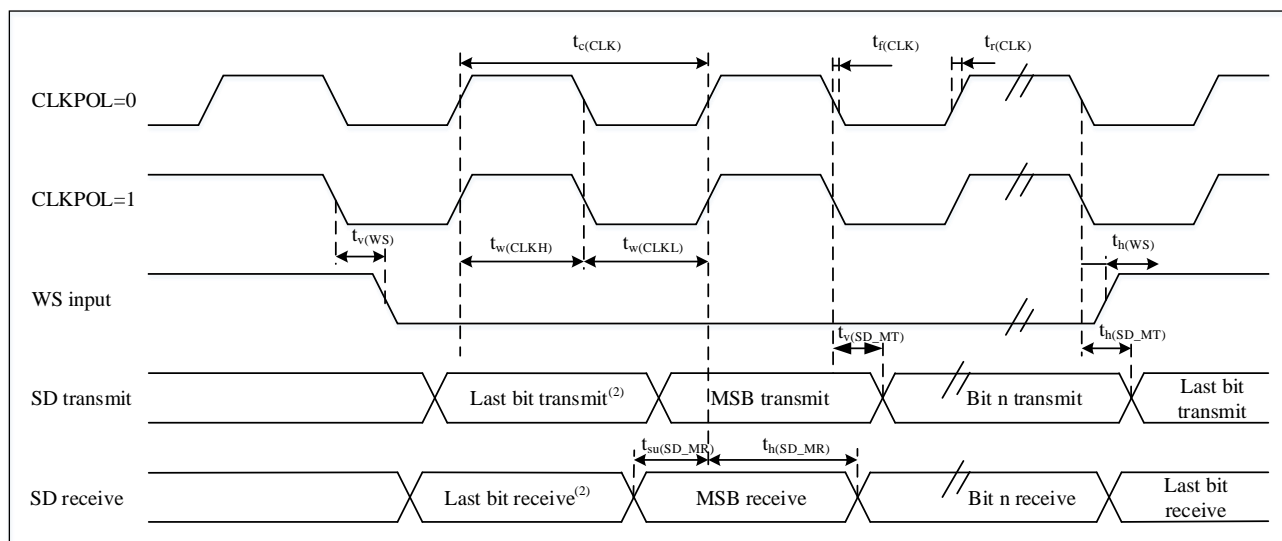
1. 由设计和综合评估保证, 不在生产中测试。
2. 依赖于 f_{PCLK} 。例如, 如果 $f_{PCLK}=8MHz$, 则 $T_{PCLK}=1/f_{PCLK}=125ns$ 。
3. F_s 值音频采样频率, 频率范围 8KHz ~ 96KHz。

图 4-15 I²S 从模式时序图(飞利浦协议)⁽¹⁾



1. 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。
2. 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

图 4-16 I²S 主模式时序图(飞利浦协议)⁽¹⁾



1. 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。
2. 前一字节的最低位发送/接收, 在第一个字节之前没有这个最低位的发送/接收。

4.3.17 12位模数转换器(ADC)电气参数

除非特别说明, 参数是使用符合表 4-4 的条件的环境温度、f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-33 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA} ⁽¹⁾	供电电压	-	2.4	3.3	5.5	V
V _{REF+}	正参考电压	-	2.4	-	V _{DDA}	V
f _{ADC}	ADC时钟频率	-	-	-	18	MHz
f _s ⁽¹⁾	采样速率	-	0.03	-	1	Msps

V_{AIN}	转换电压范围	-	0	-	V_{REF+}	V
$R_{AIN}^{(1)}$	外部输入阻抗	-	参见公式1			Ω
$R_{ADC}^{(1)}$	ADC输入电阻	$V_{DDA}=3.0V$	-	1500	-	Ω
$C_{ADC}^{(1)}$	内部采样和保持电容	-	-	13	15	pF
SNDR	Singal noise distortion ration	$V_{DDA}=3.3V$	-	68	-	dB
$T_S^{(1)}$	采样周期数	-	6	-	-	$1/f_{ADC}$
$t_{STAB}^{(1)}$	上电时间	-	32	-	-	$1/f_{ADC}$
$t_{CONV}^{(1)}$	转换时间	-	12			$1/f_{ADC}$

1. 由设计和综合评估保证，不在生产中测试。

公式 1: 最大 R_{AIN} 公式

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

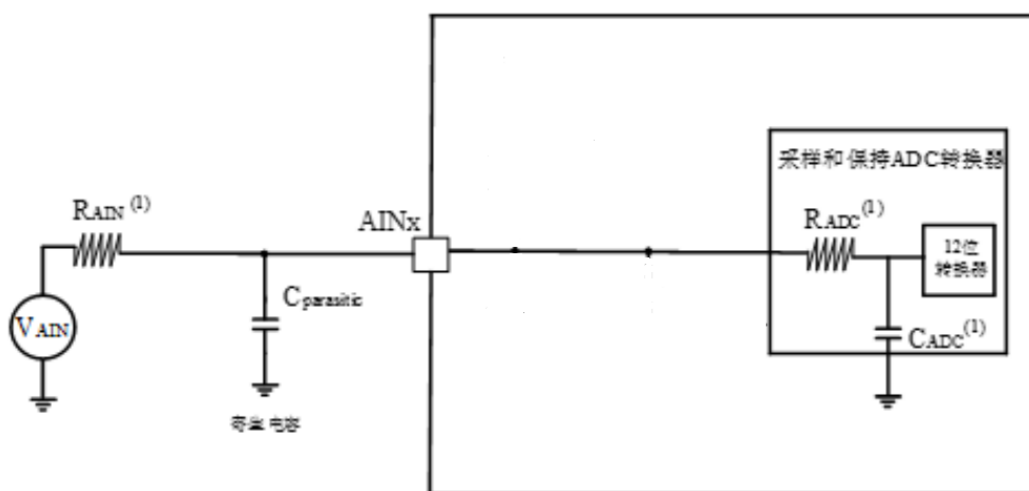
上述公式(公式 1)用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N=12(表示 12 位分辨率)。

表 4-34 ADC 精度 – 局限的测试条件⁽¹⁾

符号	参数	测试条件	典型值	最大值 ⁽²⁾	单位
EG	增益误差	$V_{REF+} = 3.3V$, $T_A = 25^\circ C$, sample rate = 1MSPS, $V_{in} = 0.05V_{DDA} \sim 0.95V_{DDA}$	± 2	± 5	LSB
EO	偏移误差		± 0.5	± 2.0	
ED	微分线性误差		± 0.6	1.5	
EL	积分线性误差		± 1.5	2.5	
ENOB	有效位		11	-	Bits

1. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。
2. 由综合评估保证，不在生产中测试。

图 4-17 使用 ADC 典型的连接图



4.3.18 内置参考源 (V_{REFP}) 电气参数

除非特别说明，参数是使用符合表 4-4 的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-35 V_{REFP} 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源电压	正常模式	2.7	-	5.5	V
V_{REFP}	参考电压输出	正常模式 25°C	2.364	2.4	2.436	V
$I_{DDA}^{(1)}$	来自 V_{DDA} 的消耗	$I_{load} = 0$ μA	-	1000	-	μA
Load cap ⁽¹⁾	负载电容				25	pF
$t_{START}^{(1)}$	启动时间	-	5	-	-	μs

1. 由设计保证，不在生产中测试。

4.3.19 运算放大器(OPAMP)电气参数

除非特别说明，参数是使用符合表 4-4 的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-36 OPAMP 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压	-	2.9	-	5.5	V
CMIR	共模电压输入范围	-	0	-	V_{DDA}	V
$V_{IOFFSET}$	输入失调电压	-	-	4	-	mV
I_{LOAD}	驱动电流	-	-	0.5	-	mA
I_{DDA}	运算放大器电流消耗	No load, quiescent mode	-	0.5	-	mA
CMMR	共模抑制比	-	-	70	-	dB
PSRR	电源抑制比	-	-	60	-	dB
GBW	增益带宽	-	-	2.5	-	MHz
SR	转换速率	-	-	3	-	V/us
RLOAD	最小阻抗负载	-	10	-	-	K Ω
CLOAD	最大容抗负载	-	-	-	25	pF
TSTARTUP	启动建立时间	$C_{LOAD} \leq 25$ pF, $R_{LOAD} \geq 10$ k Ω , Follower configuration	-	3	5	μs
PGA BW	PGA bandwidth for different non inverting gain	PGA Gain = 2, $C_{load} = 25$ pF, $R_{load} = 10$ K Ω	-	1	-	MHz
		GA Gain = 4, $C_{load} = 25$ pF, $R_{load} = 10$ K Ω	-	0.5	-	
		GA Gain = 16, $C_{load} = 25$ pF, $R_{load} = 10$ K Ω	-	0.125	-	

		GA Gain = 32, Cload = 25pF, Rload = 10 K Ω	-	0.0625	-	
--	--	---	---	--------	---	--

- 由设计和综合评估保证，不在生产中测试。

4.3.20 比较器(COMP)电气参数

除非特别说明，参数是使用符合表 4-4 的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-37 COMP 特性

符号	参数	条件	最小	典型	最大值	单位
V_{DDA}	模拟供电电压	-	2.2	-	5.5	V
V_{IN}	输入电压范围	-	0	-	V_{DDA}	
T_{START}	比较器启动建立时间	normal mode	-	-	5	μs
		low speed mode	-	-	15	
t_d	Propagation delay for 200 mV step with 100 mV overdrive	$V_{DDA} \geq 2.2V$ normal mode	-	100	-	ns
		low speed mode	-	520	-	
V_{OFFSET}	比较器输入失调误差	Full common mode range	-	± 4	± 20	mV
V_{hys}	比较滞后电压（高速/低功耗）	No hysteresis	-	0	-	mV
		Low hysteresis	-	10/8	-	
		Medium hysteresis	-	20/15	-	
		High hysteresis	-	30/25	-	
I_{DDA}	比较器电流消耗	高速模式： 开启比较器，参考输入比较电压源 ⁽²⁾ 关闭	Static	-	35	μA
			With 50 kHz ± 100 mV overdrive square signal	-	36	
		低速模式： 开启比较器，参考输入比较电压源 ⁽²⁾ 关闭	Static	-	5	
			With 50 kHz ± 100 mV overdrive square signal	-	6	

- 由设计和综合评估保证，不在生产中测试。
- 参考输入比较电压源的静态功耗为74 μA （由设计保证），参考输入比较电压源的最大可配电压为 V_{DDA}

4.3.21 温度传感器(TS)特性

除非特别说明，参数是使用符合表 4-4 的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-38 温度传感器特性

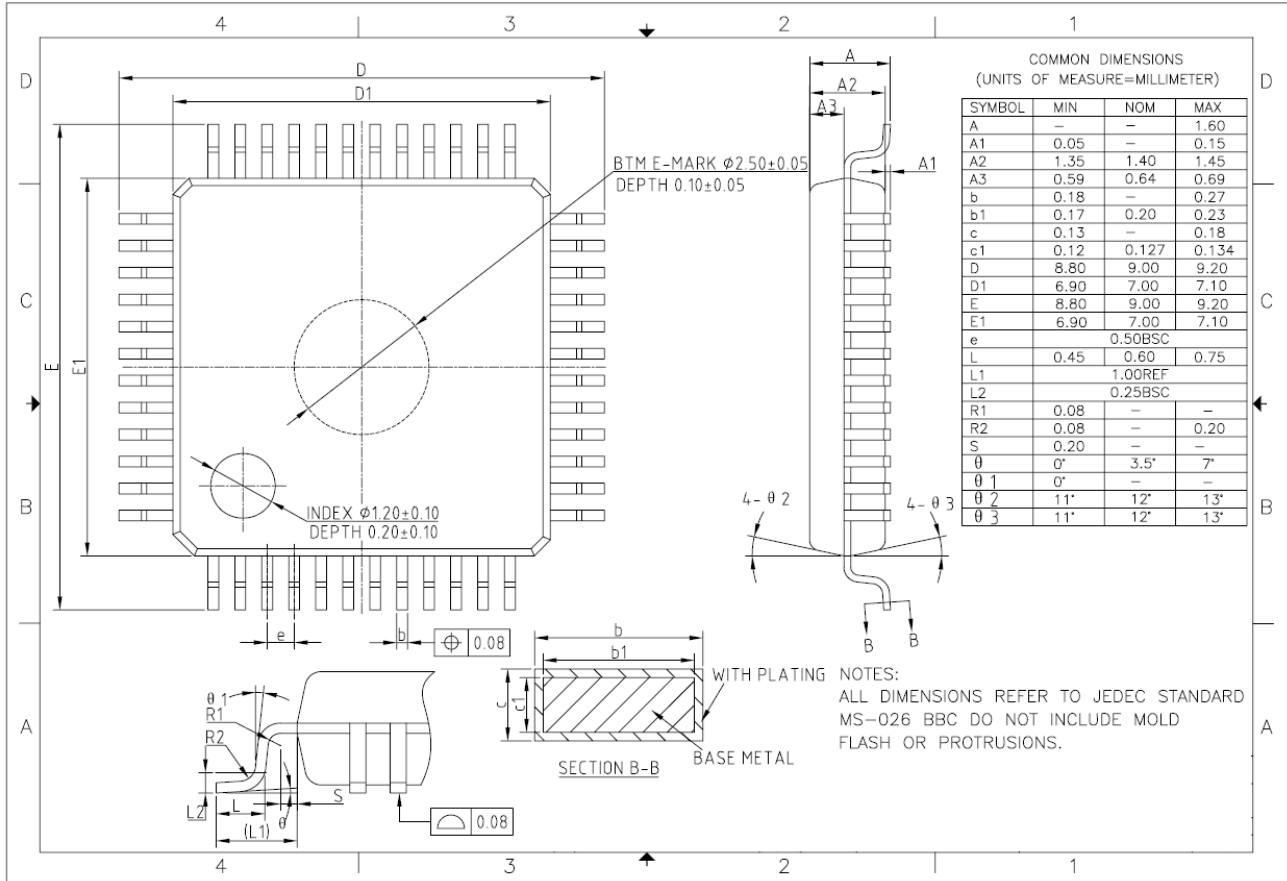
符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	± 2	-	$^{\circ}C$
Avg_Slope ⁽¹⁾	平均斜率	-	3.9	-	mV/ $^{\circ}C$
$V_{25}^{(1)}$	在25 $^{\circ}C$ 时的电压	-	1.3	-	V
$t_{START}^{(1)}$	建立时间	-	11	22	μs
$T_{S_temp}^{(1)(2)}$	当读取温度时，ADC采样时间	-	1.87	6.43	μs

- 由设计和综合评估保证，不在生产中测试。
- 最短的采样时间可以由应用程序通过多次循环决定。

5 封装尺寸

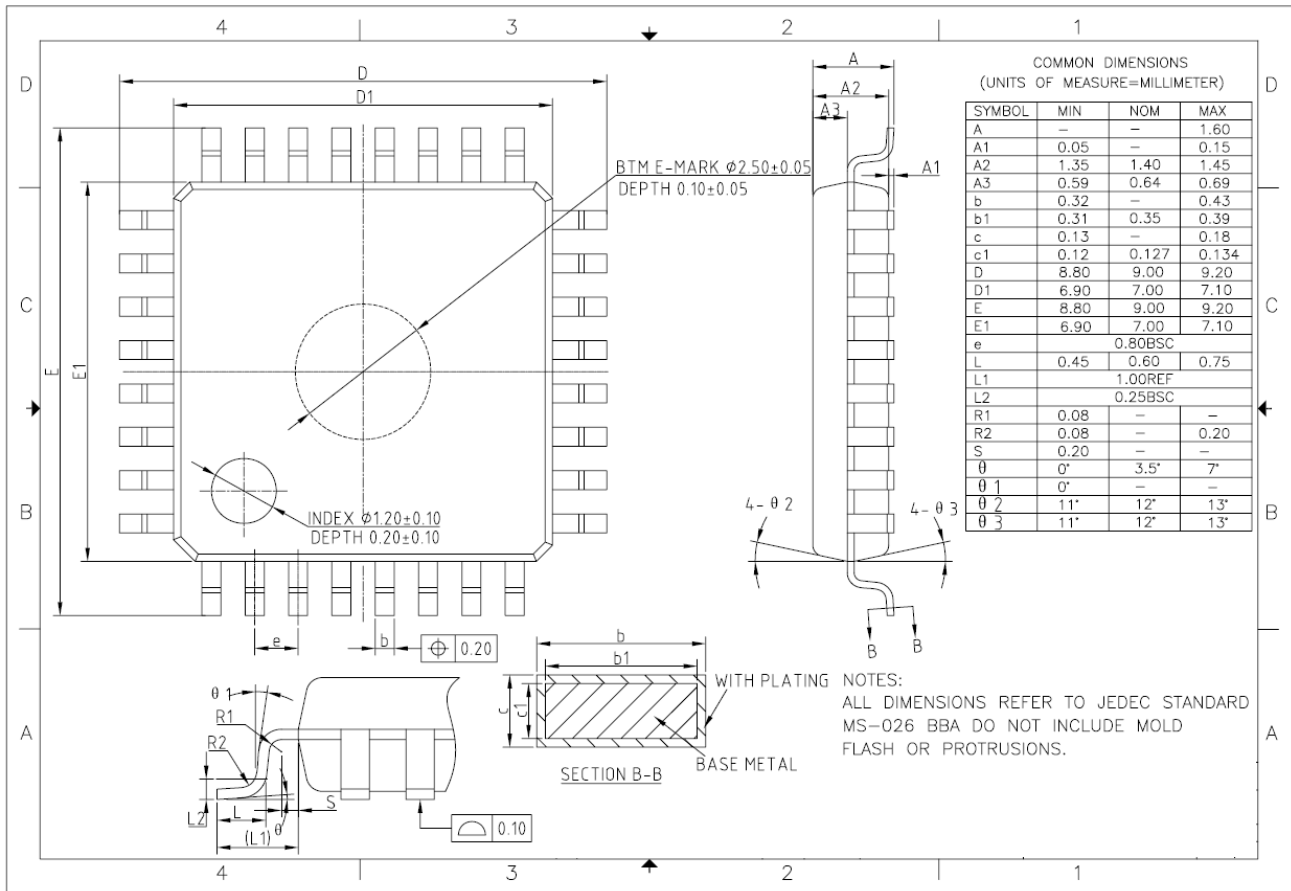
5.1 LQFP48

图 5-1 LQFP48 封装尺寸



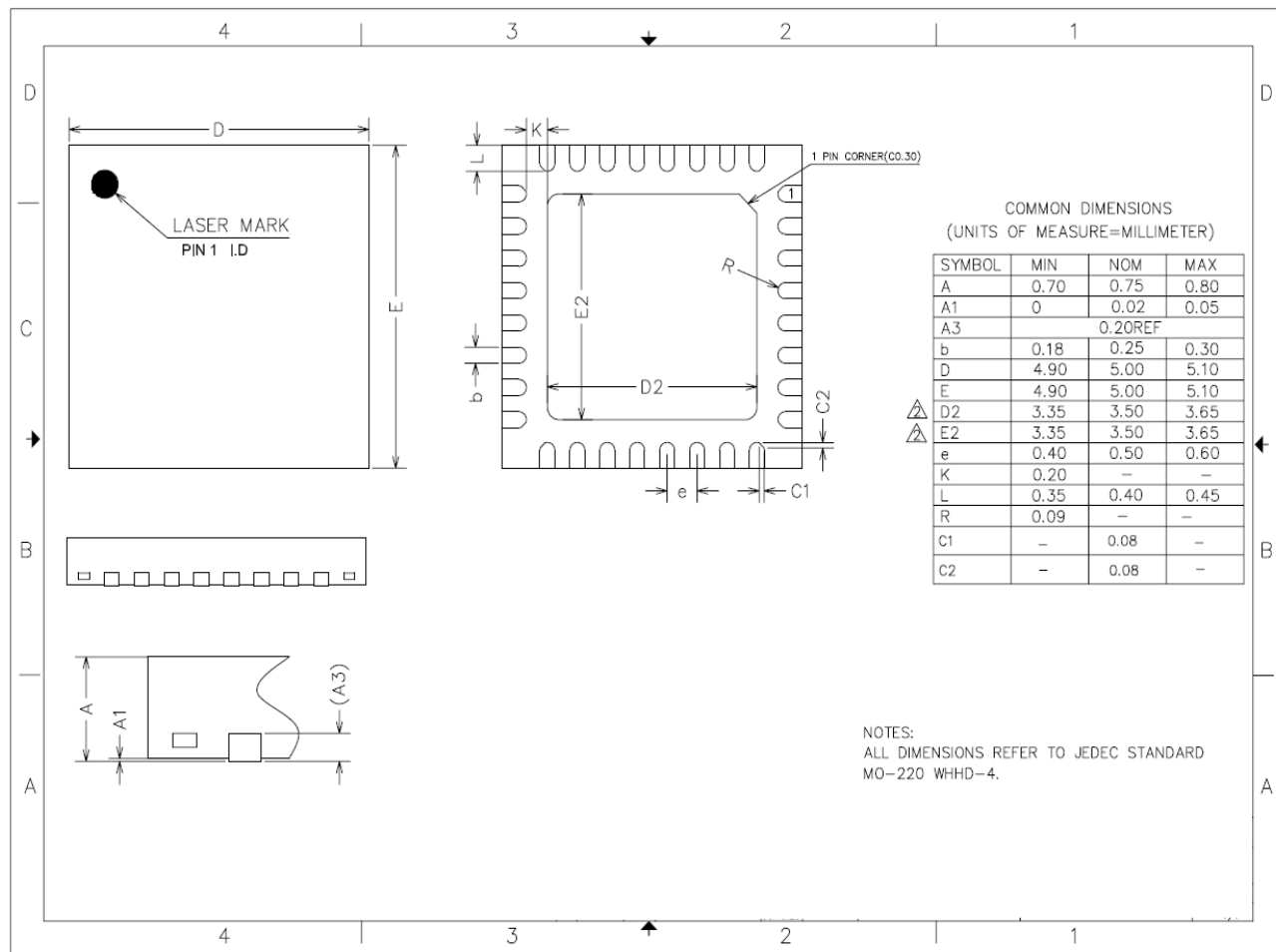
5.2 LQFP32

图 5-2 LQFP32 封装尺寸



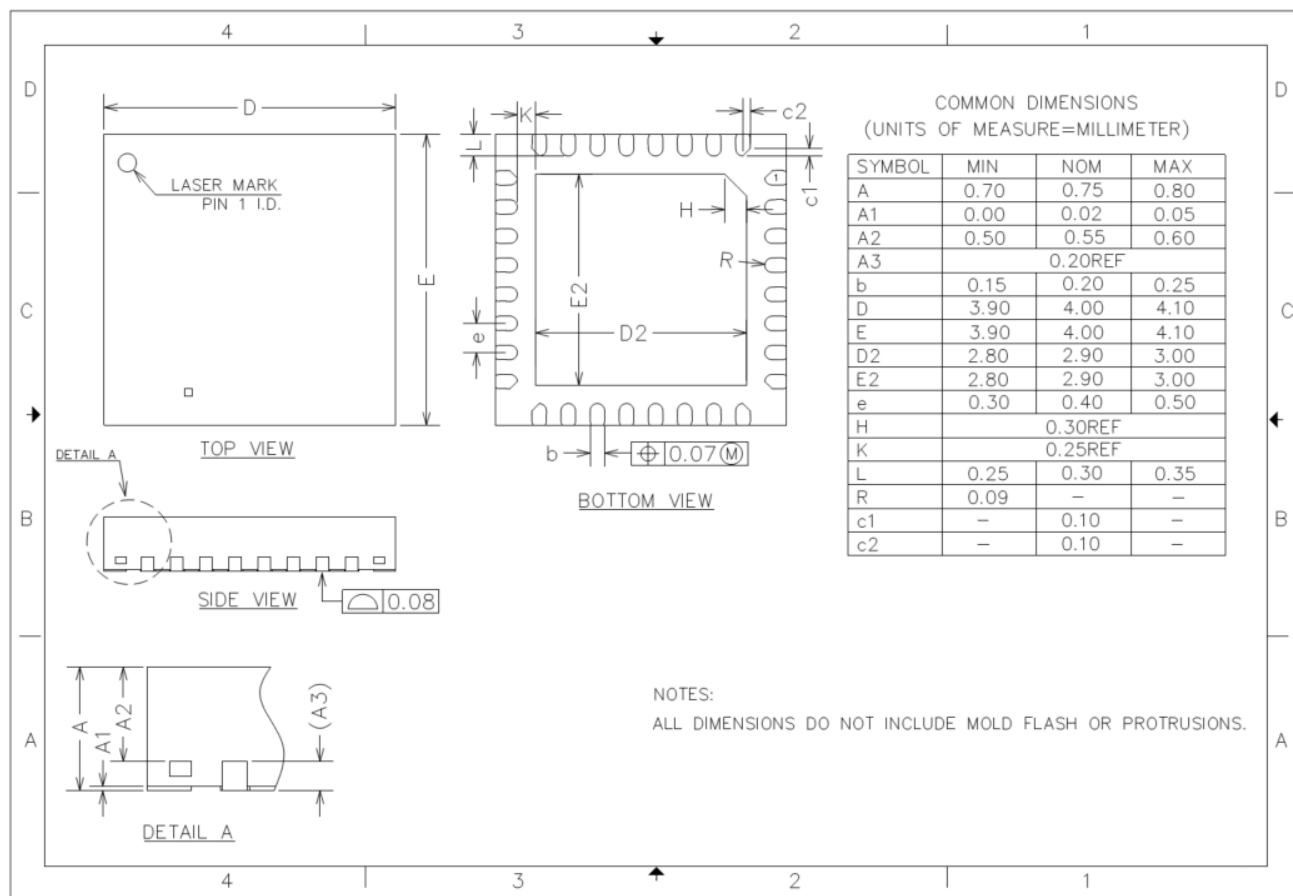
5.3 QFN32 (5mx5m)

图 5-3 QFN32(5mx5m)封装尺寸



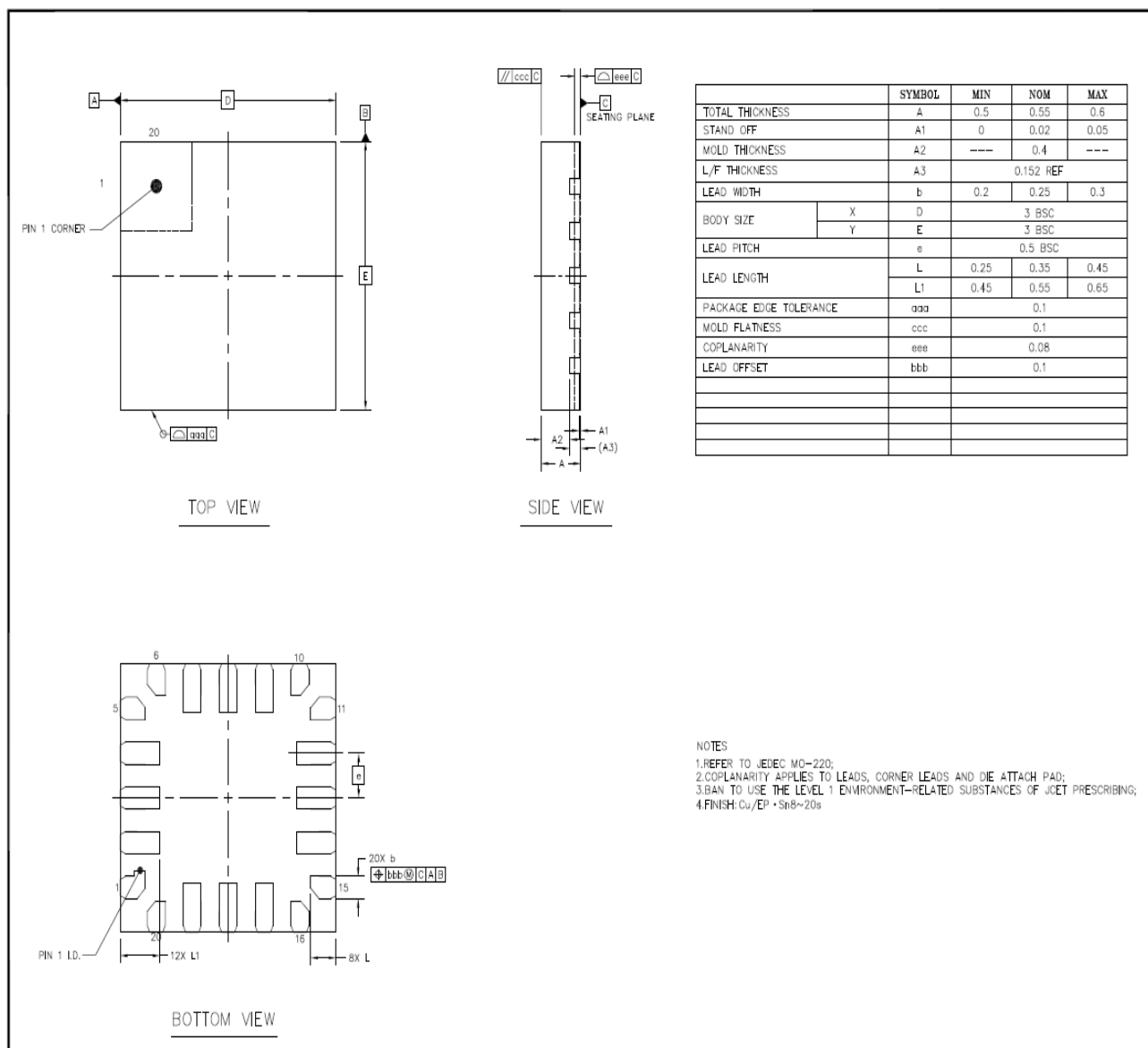
5.4 QFN32 (4mx4m)

图 5-4 QFN32(4mx4m)封装尺寸



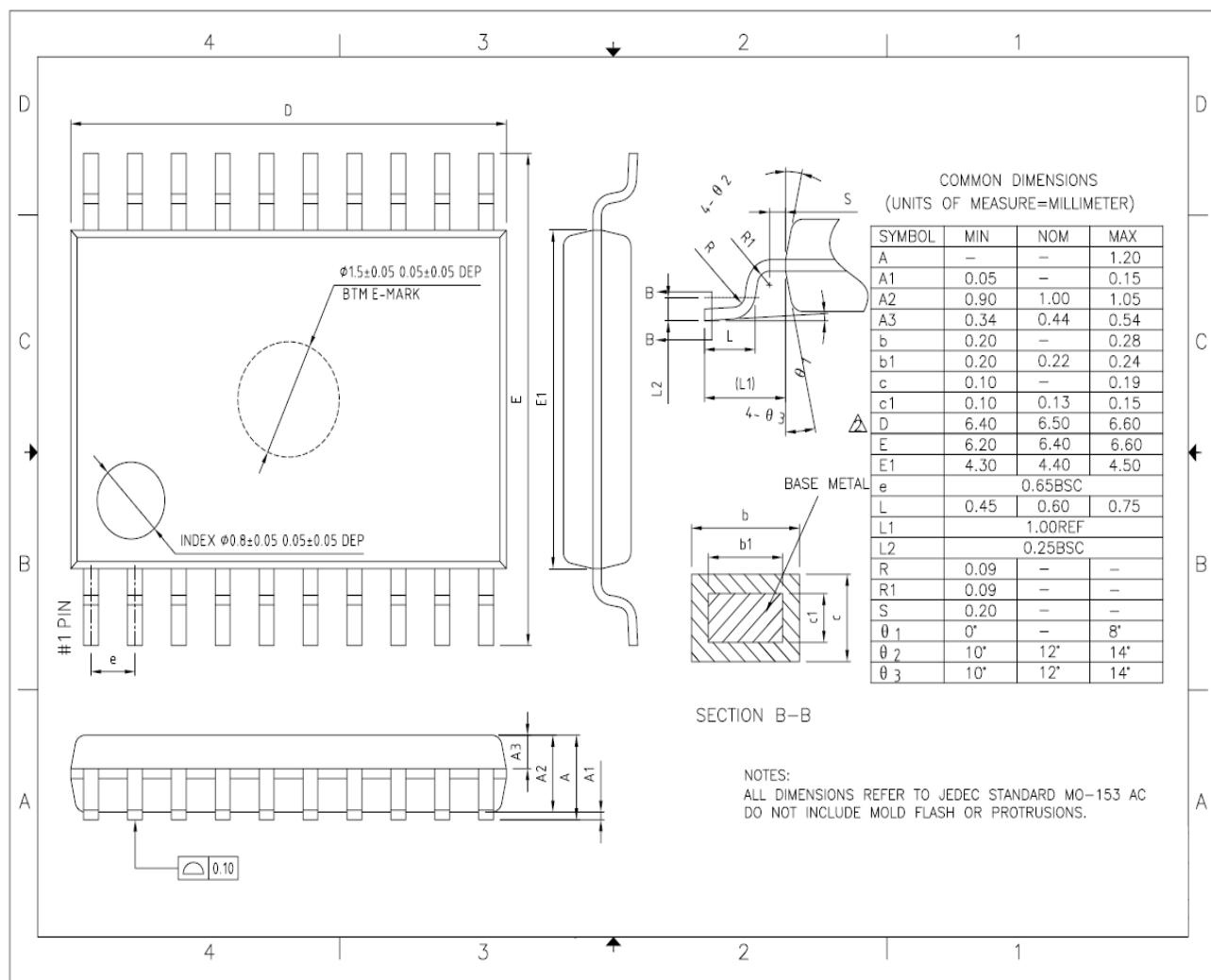
5.5 UFQFPN20

图 5-5 UFQFPN20 封装尺寸



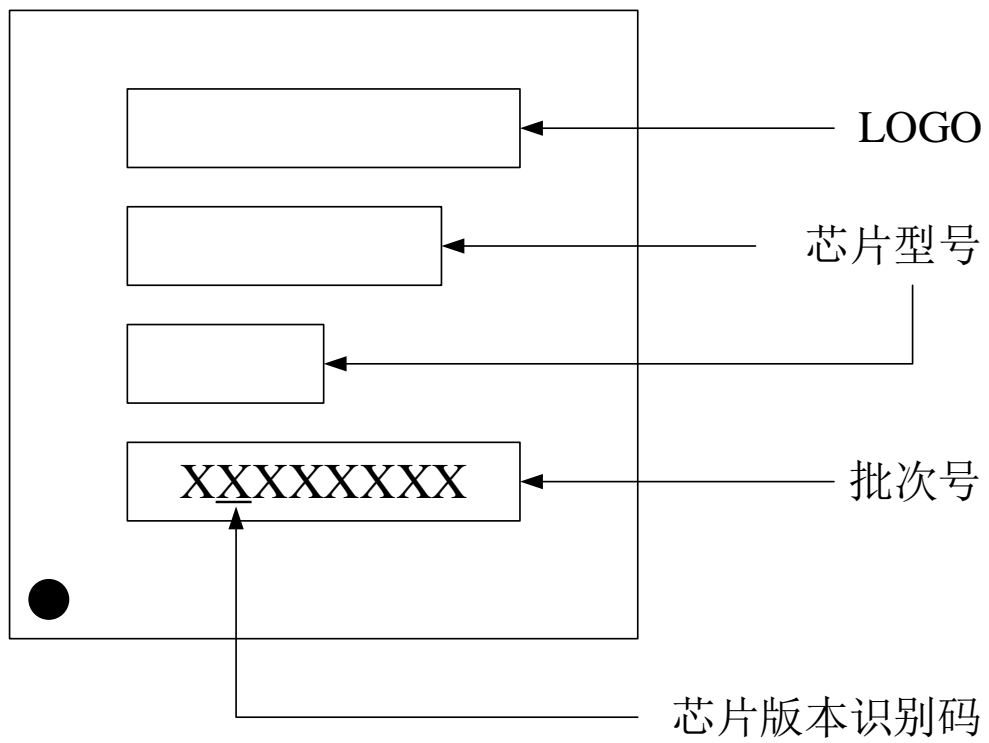
5.6 TSSOP20

图 5-6 TSSOP20 封装尺寸



5.7 丝印说明

图 5-7 丝印说明图



6 版本历史

日期	版本	修改
2021.10.26	V1.0.0	初始版本
2021.12.29	V1.0.1	<ol style="list-style-type: none"> 1. 修改 2.13 章节的模式配置表格 2. 修改 4.3.20 章节中表 4-37 3. 修改 4.3.13 章节中表 4-28 4. 修改 3.2 章节中表 3-1 的 LPUART 映射
2022.3.15	V1.0.2	<ol style="list-style-type: none"> 1. 修改 4.3.18 表 4-35, 删除 OPAMP 的 VIOFFSET 的最大值
2022.4.28	V1.1	<ol style="list-style-type: none"> 1. 2.11 章节 LPTIM 捕获/比较通道到数改为 0 2. 2.17 章节, ADC 内部通道改成 4 个 3. 4.3.6 章节, 修改 4-8 的图 4. 4.3.1 章节, 表 4-1, 删除两条注释 5. 2.17 章节, ADC 以 PLL 和 AHB_CLK 作为时钟源, 增加 3 分频 6. 4.3.11 章节. 表 4-24, 最小值改为最大值 7. 4.3.13 章节, 图 4-10, 滤波器在后面, 电阻为固定电阻 8. 4.3.10 章节, 表 4-22, “掉电模式/停机”改为“深度待机模式” 9. 4.3.17 章节, 修改表 4-33 10. 修改 4.1.6 章节, 图 4-3.V_{DDA} 连接 100nf+ 1uf 的电容 11. 表 4-1, 删除在 5V 容忍的引脚上的输入电压, 删除注释 2 12. 表 4-2, 删除所有 I/O 和控制引脚上的总注入电流, 删除注释 2 和注释 13. 4.3.5 章节, 删除“能够得到 Dhystone 2.1 代码等效的结果” 14. 4.3.11 章节, 修改遵循的标准 15. 添加图 4-10, IO 端口的传输延迟的图 16. 修改表 4-29, f_{ext} 改成 CH1~CH4, 注释说明 f_{ext} 不适用于基本定时器 17. 修改表 4-30, 修改 I2C 的每条总线的容性负载为 100pf 18. 修改图 4-14, MOSI 与 MISO 写反, 有个输出写成了输入 19. 修改图 2-1, FLASH 改成 Main FLASH 20. 2.24 章节, 删除“也可用于激活带安全功能的自举程序 (Secure Bootloader)” 21. 表 4-16 与表 4-17, 删除负载电容和驱动电流的描述, 表 4-16 添加限定条件 f_{out} = 20MHz 22. 修改图 4-8 23. 表 4-18, HSI 电气特性增加占空比 24. 表 4-31, 修改从输入时钟占空比, 数据输出的访问时间的限定条件修改 25. 修改表 4-36, 电流消耗的限定条件, 增加注释 2, 参考输入比较电压的静态功耗 26. 修改表 4-28, 增加施密特触发器最大值与最小值 27. 修改 4.1.1 章节和 4.1.2 章节, 删除标准分布相关描述 28. 表 4-10, 增加注释“当 ADC 使能时, 有 1.1mA 的电流” 29. 表 4-21, PLL ready 时间最大值改成 20us 30. 删除 TQFP48 封装 31. 关键特性中 MCO 描述修改 32. 4.3.6 章节, 表 4-14 和表 4-15 题注增加 Bypass 模式, 图 4-5 和图 4-6 修改

		33. 修改图 4-16, I2S 主模式的图
2022.9.13	V1.2	<ol style="list-style-type: none"> 1. 表 4-6, 修改最大值与最小值, 档位 0-5, 最大$\pm 100\text{mv}$, 档位 6-10, 最大$\pm 120\text{mv}$, 档位 11-15, 最大$\pm 160\text{mv}$ 2. 2.11.6 IWDG 8-bit 预分频改成 3-bit 预分频 3. 关键特性, 删除可编程的低电压检测及复位 4. 2.18 章节, 删除(或兼具有内部放大和外部滤波) 5. 4.3.18 章节, 增加内置参考源电气特性
2023.7.31	V1.3.0	<ol style="list-style-type: none"> 1. 4.3.2 章节, VDD 上升速率最大值改成 650 2. 4.3.19 章节, OPA 最小工作电压由 2.4V 调整为 2.9V 3. 4.3.16 章节, $t_r(\text{SCLK})/t_f(\text{SCLK})$ SPI 时钟上升和下降时间由 8ns 调整为 15ns 4. 5.4 章节, 修改 QFN32(4mx4m)的尺寸图

7 声明

国民技术股份有限公司（下称“国民技术”）对此文档拥有专属产权。依据中华人民共和国的法律、条约以及世界其他法域相适用的管辖，此文档及其中描述的国民技术产品（下称“产品”）为公司所有。

国民技术在此并未授予专利权、著作权、商标权或其他任何知识产权许可。所提到或引用的第三方名称或品牌（如有）仅用作区别之目的。

国民技术保留随时变更、订正、增强、修改和改良此文档的权利，恕不另行通知。请使用人在下单购买前联系国民技术获取此文档的最新版本。

国民技术竭力提供准确可信的资讯，但即便如此，并不推定国民技术对此文档准确性和可靠性承担责任。

使用此文档信息以及生成产品时，使用者应当进行合理的设计、编程并测试其功能性和安全性，国民技术不对任何因使用此文档或本产品而产生的任何直接、间接、意外、特殊、惩罚性或衍生性损害结果承担责任。

国民技术对于产品在系统或设备中的应用效果没有任何故意或保证，如有任何应用在其发生操作不当或故障情况下，有可能致使人员伤亡、人身伤害或严重财产损失，则此类应用被视为“不安全使用”。

不安全使用包括但不限于：外科手术设备、原子能控制仪器、飞机或宇宙飞船仪器、所有类型的安全装置以及其他旨在支持或维持生命的应用。

所有不安全使用的风险应由使用人承担，同时使用人应使国民技术免于因为这类不安全使用而导致被诉、支付费用、发生损害或承担责任时的赔偿。

对于此文档和产品的任何明示、默示之保证，包括但不限于适销性、特定用途适用性和不侵权的保证，国民技术可在法律允许范围内进行免责。

未经明确许可，任何人不得以任何理由对此文档的全部或部分进行使用、复制、修改、抄录和传播。