高等数字集成电路大作业

注：以下两题任选一题作答。

# 1、64点FFT处理器

FFT用于快速计算离散傅立叶变换（DFT）。

长为N的序列x(n)的DFT定义为：

相应的序列X(k)的IDFT定义为

这里DFT和IDFT定义均忽略前面常数因子。

设计一个FFT处理器时序逻辑电路，计算64点FFT和IFFT（N = 64）。模块整体采用流水线结构实现，能够处理连续多组输入数据。

顶层模块名为fft\_64，输入输出功能定义：

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | **方向** | **位宽** | **描述** |
| clk | I | 1 | 系统时钟 |
| rst\_n | I | 1 | 系统异步复位，低电平有效 |
| inv | I | 1 | 模式控制，0表示FFT运算，1表示IFFT运算 |
| valid\_in | I | 1 | 输入数据有效指示，高电平有效 |
| sop\_in | I | 1 | 每组输入数据（64个数）第一个有效数据指示，高电平有效 |
| x\_re | I | 16 | 输入数据实部，二进制补码定点格式 |
| x\_im | I | 16 | 输入数据虚部，二进制补码定点格式 |
| valid\_out | O | 1 | 输出数据有效指示，高电平有效 |
| sop\_out | O | 1 | 每组输出数据（64个数）第一个有效数据指示，高电平有效 |
| y\_re | O | 16 | 输出数据实部，二进制补码定点格式 |
| y\_im | O | 16 | 输出数据虚部，二进制补码定点格式 |

设计要求：

* Verilog实现代码可综合，给出详细设计文档、综合以及仿真结果。
* 在每组数据处理过程中，inv信号值保持不变。
* 计算过程进行适当精度控制，保证输出结果精确度，输出定点格式（精度范围）可以根据需要进行调整，需要对计算结果进行误差分析。

# 2、多模FFT处理器

FFT用于快速计算离散傅立叶变换（DFT）。

长为N的序列x(n)的DFT定义为：

相应的序列X(k)的IDFT定义为

这里DFT和IDFT定义均忽略前面常数因子。

设计一个多模FFT处理器时序逻辑电路，支持计算64/128/256/512点FFT和IFFT。模块整体采用流水线结构实现，能够处理连续多组输入数据。

顶层模块名为fft\_multimode，输入输出功能定义：

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | **方向** | **位宽** | **描述** |
| clk | I | 1 | 系统时钟 |
| rst\_n | I | 1 | 系统异步复位，低电平有效 |
| inv | I | 1 | 模式控制，0表示FFT运算，1表示IFFT运算 |
| np | I | 2 | FFT/IFFT点数：  0表示64点  1表示128点  2表示256点  3表示512点 |
| valid\_in | I | 1 | 输入数据有效指示，高电平有效 |
| sop\_in | I | 1 | 每组输入数据（64个数）第一个有效数据指示，高电平有效 |
| x\_re | I | 16 | 输入数据实部，二进制补码定点格式 |
| x\_im | I | 16 | 输入数据虚部，二进制补码定点格式 |
| valid\_out | O | 1 | 输出数据有效指示，高电平有效 |
| sop\_out | O | 1 | 每组输出数据（64个数）第一个有效数据指示，高电平有效 |
| y\_re | O | 16 | 输出数据实部，二进制补码定点格式 |
| y\_im | O | 16 | 输出数据虚部，二进制补码定点格式 |

设计要求：

* Verilog实现代码可综合，给出详细设计文档、综合以及仿真结果。
* 在每组数据处理过程中，inv和np信号值保持不变。
* 支持输入多组数据不同模式（FFT/IFFT、不同点数）的切换
* 计算过程进行适当精度控制，保证输出结果精确度，输出定点格式（精度范围）可以根据需要进行调整，需要对计算结果进行误差分析。