

1. 单周期

PART I EXERCISES ON TEXTBOOK

4.1 Consider the following instruction:

```
and rd, rs1, rs2
```

4.1.1 What are the values of control signals generated by the control in Figure 4.10 for this instruction?

答：相关控制信号数值如下：

信号	数值
ALU operation	AND
MemWrite	0
MemRead	0
RegWrite	1
ALUSrc	0
MEMtoReg	0

4.1.2 Which resources (blocks) perform a useful function for this instruction?

答：本条指令所用到的功能单元包括：指令存储器、寄存器堆、算术逻辑单元、控制单元。

4.1.3 Which resources (blocks) produce no output for this instruction? Which resources produce output that is not used?

答：由于单周期 CPU 数据通路来说，所有的功能单元均为组合逻辑电路（RF 与 DM 写入除外），所以所有的功能单元均有输出。但是立即数单元、数据存储器单元的输出不会被用到。

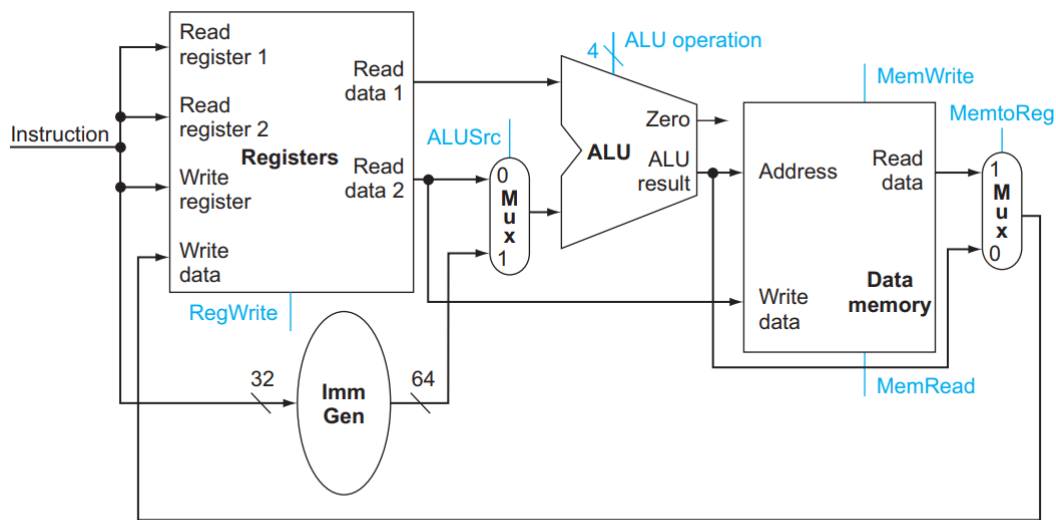


FIGURE 4.10 The datapath for the memory instructions and the R-type instructions. This example shows how a single datapath can be assembled from the pieces in Figures 4.7 and 4.8 by adding multiplexors. Two multiplexors are needed, as described in the example.

4.7 Problems in this exercise assume that logical blocks used to implement a processor's datapath have the follow latencies:

I-Mem / D-Mem	Register File	Mux	ALU	Adder	Single gate	Register Read	Register Setup	Sign extend	Control
250 ps	150 ps	25 ps	200 ps	150 ps	5 ps	30 ps	20 ps	50 ps	50 ps

"Register read" is the time needed after the rising clock edge for the new register value to appear on the output. This is value applies to the PC only. "Register setup" is the amount of time a register's data input must be stable before the rising edge of the clock. This value applies to both PC and Register File.

注：以下回答均基于图 4.17 所示数据通路

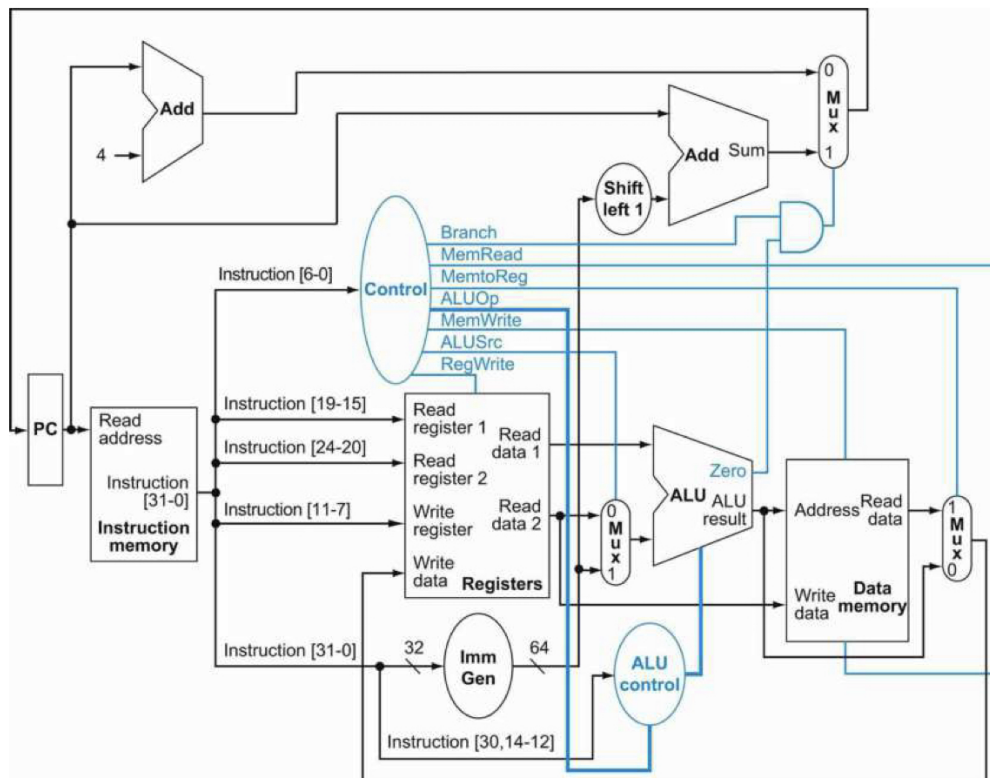


FIGURE 4.17 The simple datapath with the control unit.

4.7.1 What is the latency of an R-type instruction (i.e. how long must the clock period be to ensure that this instruction works correctly)?

答: PCRead (30ps) + IM (250ps) + RF (150ps) + MUX (25ps) + ALU (200ps) + MUX (25ps) + RFSetup (20ps) = 700ps

4.7.2 What is the latency of `ld` ?

答: PCRead (30ps) + IM (250ps) + RF (150ps) + ALU (200ps) + DM (250ps) + MUX (25ps) + RFSetup (20ps) = 925ps

4.7.3 What is the latency of `sd` ?

答: PCRead (30ps) + IM (250ps) + RF (150ps) + ALU (200ps) + DM (250ps) = 880ps

4.7.4 What is the latency of `beq` ?

答: PCRead (30ps) + IM (250ps) + RF (150ps) + MUX (25ps) + ALU (200ps) + Singlegate (5ps) + MUX (25ps) + PCSetup (20ps) = 705ps

4.7.5 What is the latency of an I-type instruction?

答: PCRead (30ps) + IM (250ps) + RF (150ps) + ALU (200ps) + MUX (25ps) + RFSetup (20ps) = 675ps

注: 本小问计算的是ALU(I)指令

4.7.6 What's the minimum clock period for this CPU?

答: CPU 的时钟周期应大于最长指令所需时间。本题中的 CPU 最小时钟周期为 925ps

PART II 思考题

单周期处理器在一个周期内完成指令所有的微操作，思考：

- 寻址方式如何实现
- 周期宽度如何确定
- 能否 "在一个 clk 内完成"
- 能否将两个 adder 合二为一
- 能否将两个 memory 合二为一

答：

单周期 CPU 所设计的寻址方式包括：立即寻址、寄存器寻址、寄存器间接寻址、相对寻址、基址寻址。所以地址可以通过寄存器堆与算术逻辑单元计算得到，也可以直接从寄存器堆中读出。

单周期 CPU 要求所有的指令均在一个时钟周期内完成。所以为了保证指令执行的正确性，时钟周期应当不小于耗时最长的指令执行完成所需要的时间。因此时钟周期宽度应当在设计好数据通路的基础上，计算出所有指令的耗时并取最大值得到。

单周期 CPU 内部涉及到的功能部件以组合逻辑为主，与时钟边沿同步的仅有 RF 与 DM 的写入操作。因此在一个时钟周期内数据通路的值是不变的，只需要将写入操作放在下一个时钟周期的上升沿即可。

两个加法器分别计算 $PC + 4$ 与 $PC + offset$ 。为了保证在 next_pc 选择信号计算完成前 $PC + 4$ 与 $PC + offset$ 已经计算完毕，两个加法器不能合二为一。

目前设计的单周期 CPU 均把指令存储器与数据存储器分开设计。如果把二者合二为一，则至少需要在存储器上设计两组地址输入端口与数据输出端口，否则会导致通路堵塞。

2.多周期

1.每一类指令的指令周期各含多少个时钟周期？

答：

指令类型	指令周期包括的时钟周期数
R-type	4
I-type (ALU)	4
Jump	3
Branch	3
SW	4
LW	5

2. 分别分析 R/I/S/B-type 指令的多周期设计方案中每个周期所用到的功能部件。

答：

指令类型	IF	ID	EX	MEM	WB
R-type	内存、指令寄存器	寄存器堆、寄存器A与B	算数逻辑单元、ALU寄存器	寄存器堆	无
I-type (ALU)	内存、指令寄存器	寄存器堆、寄存器A与B、立即数符号扩展	算数逻辑单元、ALU寄存器	寄存器堆	无
LW	内存、指令寄存器	寄存器堆、寄存器A与B、立即数符号扩展	算数逻辑单元、ALU寄存器	内存、数据寄存器	寄存器堆
S-type	内存、指令寄存器	寄存器堆、寄存器A与B、立即数符号扩展	算数逻辑单元、ALU寄存器	内存	无
B-type	内存、指令寄存器	寄存器堆、寄存器A与B、立即数符号扩展	算数逻辑单元	无	无