

英语缩写

FSM: Finite State Machine

MIPS (Million Instruction Per Second) 百万条指令每秒，即单位时间内执行的指令数

CPI (Cycle per Instruction) 指令周期，表示执行一条指令所需的平均时钟周期数

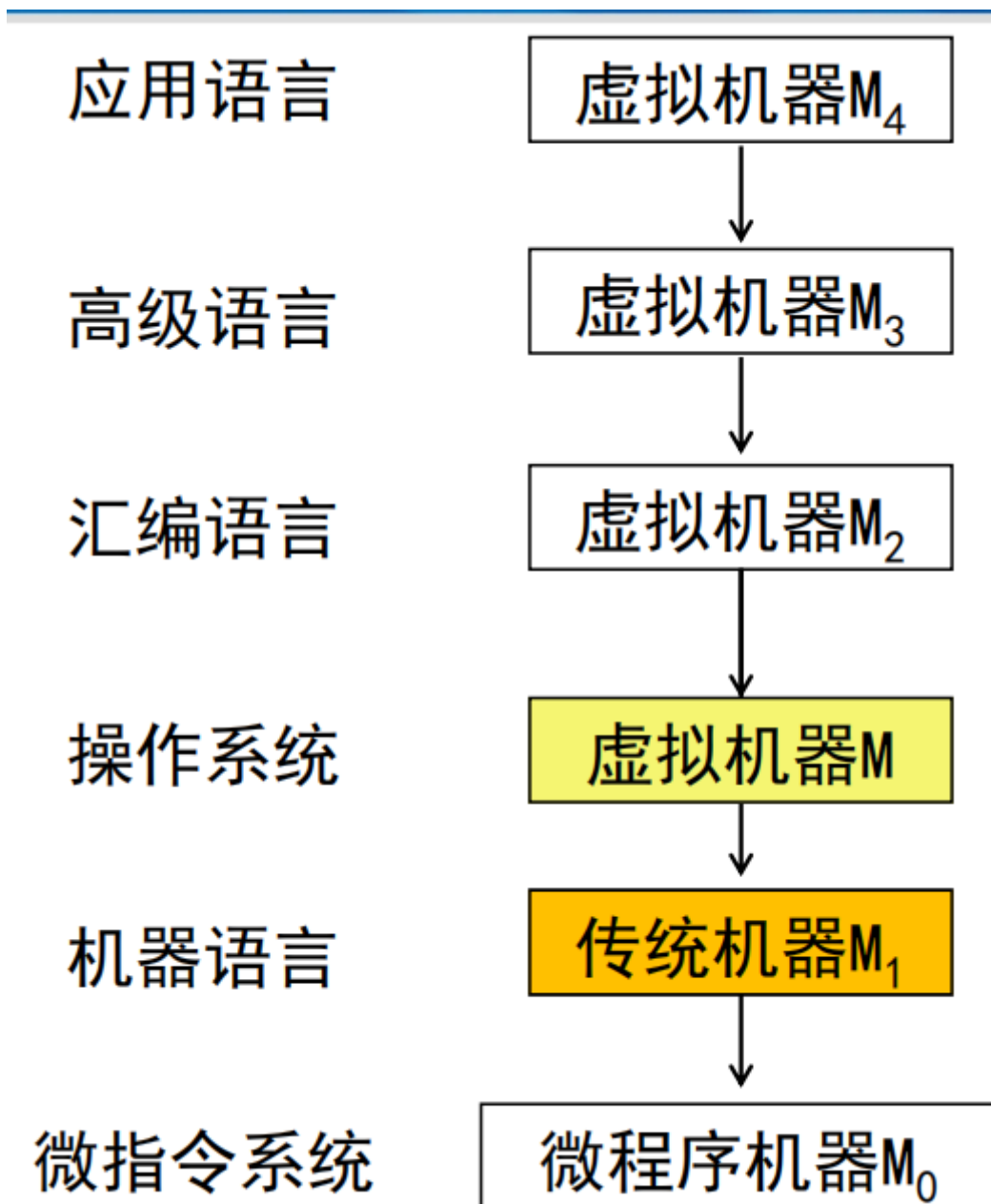
FLOPS (Float Point Operation Per Secode) 每秒浮点指令执行数目

程序执行过程中所处理的指令数，记为IC。

平均无故障运行时间，MTBF (Mean Time Between Failures)

MTTR (Mean Time To Repair) ，平均修复时间

VLIW 超长指令字 把多条能并行操作的指令组合成一条具有多个操作码字段的超长指令(指令字长可达几百位)，由这条超长指令控制VLIW机中多个独立工作的功能部件，由每一个操作码字段控制一个功能部件，相当于同时执行多条指令



计算机系统基本组件：存储器、运算器、控制器、输入设备、输出设备。

第七章 总线系统

总线的性能指标

- ✓总线宽度：通常指数据总线的位数
- ✓总线频率：1/传输一次数据时间
- ✓总线带宽：总线的数据传输速率，即单位时间内总线传输数据的位数
 - 通常用每秒传输信息的字节数来衡量
- ✓总线复用：一条信号线上分时传送多种信号

PCI总线 Peripheral Component Interconnect

- 外围部件互连总线
- 良好的兼容性
- 支持即插即用
- 支持多主设备能力
- 具有与处理器和存储子系统完全并行操作的能力
- 提供数据和地址校验功能
- 采用多路复用技术

AGP总线 Accelerated Graphics Port—加速图形接口

加速图形端口总线，显示卡专用的局部总线

USB总线

- 通用串行总线标准
- 基于通用连接技术，实现外设的简单快速连接
- 真正的即插即用特征：不断电安装和拆卸

单总线结构

使用单一系统总线来连接CPU、主存和I/O设备

特点：

- 要求连接到总线上的部件必须高速运行完成操作，迅速放弃总线控制权；
- CPU发出的地址，不仅加至主存，也同时加至总线上的所有外设
- 易于扩展成多CPU系统

多总线结构

在CPU、主存、I/O之间互联采用多条总线

特点：将速度较低的I/O设备从单总线上分离，形成主存总线与I/O总线分开的结构。

现行总线内部结构

- **数据传送总线**：数据、地址、控制
- **仲裁总线**：包括总线请求线和总线授权线
- **中断和同步总线**：用于处理带优先级的中断操作，包括中断请求线和中断响应线
- **公用线**：包括时钟线、电源线、地线、复位线及加电/断电的时序信号线等

总线仲裁

每次总线操作，只能有一个主动方占用总线控制权，但可以同时有一个或多个被动方

对多个主设备提出的总线占用请求进行仲裁

采用优先级或公平策略

根据总线仲裁电路位置不同，分为集中式仲裁和分布式仲裁

集中式仲裁

控制逻辑集中在一处（如CPU中的总线仲裁器）

每个设备模块有两条线连到总线仲裁器：

- 送往仲裁器的总线请求信号线BR
- 仲裁器送出的总线授权信号线BG

方式：

链式查询方式：优先级仲裁——离**总线仲裁器最近的设备具有最高的优先级**。总线授权信号线BG**串行**地从一个I/O接口传送到下一个I/O接口，若BG到达的接口无总线请求，则继续往下查询；若BG到达的接口有总线请求，则不再往下查询，**当前接口获得总线使用权**，建立总线忙BS信号。

优点：硬件连线简单，且易于扩充

缺点：**对电路故障敏感**，优先级低的设备很难获得请求

计数器定时查询方式：设备要使用总线时，通过BR线发出总线请求。总线仲裁器接到请求信号后，在总线当前未被使用的情况下开始计数，并将计数值通过设备地址线发给各设备。各设备接口将自身的设备地址与计数值进行比较，若一致，则该设备获得总线使用权，置BS线为“1”，此时中止计数查询。

每次计数可以从“0”开始，也可以从上一次的中止值开始

- 若从“0”开始，各设备的优先级顺序固定
- 若从中止值开始，为一种循环方法，各设备的优先级相等

特点：计数器初始值可以由程序设置，因而设备优先级次序可以改变。对电路故障不敏感，但增加了控制线数，控制较复杂

独立请求查询方式：每个设备都有一对总线请求线和总线授权线，设备要使用总线时，发出该设备的请求信号。总线仲裁器有一个排队电路，根据一定的优先次序决定首先响应哪个设备的请求。

优点：响应时间快，对优先次序的控制十分灵活

缺点：控制线数量多，控制更复杂

当代总线标准普遍采用的集中仲裁方式

分布式仲裁

自举分布式仲裁（每个设备独立地决定自己是否是最高优先级请求者。在总线裁决期间，每个设备将有关请求线上的信号合成后取回分析，根据这些请求信号确定自己能否拥有总线控制权）

冲突检测分布式仲裁（每个设备独立地请求总线，多个同时使用总线的设备会发生冲突，冲突被检测到，按照某种策略在冲突的各方选择一个设备。）

并行竞争分布式仲裁：每个主设备具有专属的仲裁号和仲裁器。第一个设备将自己的仲裁号写入仲裁总线。当它们有总线请求时，把它们唯一的仲裁号发送到共享的仲裁总线上。每个仲裁器将仲裁总线上得到的号与自己的号进行比较，如果仲裁总线上的号大，则它的总线请求不予响应，并撤消它的仲裁号。最后，获胜者的仲裁号保留在仲裁总线上

两个设备同时要求使用总线，仲裁号分别是00000101和00001010；最终留在仲裁线上的号为00001010。

一个主设备对多个从设备的写操作，称为**广播**

多个从设备对一个主设备的读操作，称为**广播**

总线周期

申请分配阶段

主设备提出总线使用申请，总线仲裁机构决定下一个传输周期的总线使用权归属

• 寻址阶段

获得总线使用权的主设备发送本次要访问的从设备的地址及有关命令，启动参与本次传送的从设备

• 传送阶段

主设备与从设备进行数据交换

• 结束阶段

主设备相关信息从总线上撤除，让出总线使用权

总线通信

1. 同步通信

通信双方由**统一**的时钟标准控制数据传送

时钟标准的形成

• 通常由CPU总线控制部件发出，发送给总线上的所有设备部件

• 也可以由各个设备部件各自的时序发生器发出，但必须由总线控制部件发出的时钟信号对它们进行同步

优点：规定明确、统一，模块间的配合简单一致

缺点：1) 强制同步，必须在限定的时间内完成规定操作；2) 需按最慢速度部件来设计公共时钟，影响总线效率，缺乏灵活性

一般用于总线长度较短、各部件存取时间较一致の場合

2. 异步通信

没有公共的时钟标准，不要求所有部件严格统一操作时间，允许各部件速度不一致

采用应答方式（握手方式），需在主、从设备间增加两条应答线

异步串行通信字符格式中包含起始位、终止位、校验位等若干附加位

比特率：单位时间内传送的二进制**有效数据**的位数，单位为bps

波特率：单位时间内传送的二进制数据的位数，单位为bps

3. 半同步通信

优点：控制方式比异步通信简单；各模块由统一时钟控制同步工作，可靠性较高

缺点：等待时间不确定导致工作效率低

结合异步通信方式，允许设备部件以不同速度工作。增设一条“等待”响应信号线，采用插入时钟（等待）周期的措施来协调通信双方的配合问题。当等待信号有效时，主设备在下个周期就会等待而不是读取数据。

适用于**工作速度差异较大**的各类设备组成的简单系统

总线传输周期时间主要花费在

- 主设备通过总线向从设备发送地址和命令
- 从设备按照命令准备数据
- 从设备通过总线向主设备提供数据

分离式通信方式

基本思想：将一个总线周期分为两个子周期

第一个子周期，主设备获得总线使用权后向相关从设备发送地址和命令等信息，然后放弃总线使用权

第二个子周期，从模块准备好数据，然后申请总线使用权，向相应的主设备发送要求的数据信息

采用同步方式通信，不等对方回答。各模块准备数据时，不占用总线。

控制比较复杂，在普通微型计算机系统中很少采用，多见于大型计算机系统

第八章 IO系统

通道指令(通道控制字 Channel Control Word)

- 对具有通道的I/O系统专门设置的指令，由通道执行，不属于CPU指令集
- CPU执行了相应I/O指令后，将由通道指令来接管I/O设备的管理
- 位数一般较长，一般用于指明数据首地址、传送字数及设备码、命令码等

I/O接口

- CPU可能连接多个不同设备号的I/O设备，可以通过接口实现设备的选择
- 利用接口实现I/O设备与CPU的数据缓冲，减缓两者的速度差
- 利用接口实现数据的串-并转换、电平转换
- 通过接口传送控制命令
- 通过接口监视设备工作状态并保存，供CPU查询使用

总线连接方式的I/O接口电路

(1) 设备选择线

(2) 数据线

(3) 命令线

(4) 状态线

I/O接口的功能

选址功能

利用接口的设备选择电路实现

传送命令的功能

存放命令的命令寄存器、命令译码器等

传送数据的功能

设置数据缓冲寄存器，与数据线相连

反映I/O设备状态的功能

设置相关的状态触发器

如中断请求触发器、中断屏蔽触发器、工作标志触发器等

完成触发器D，工作触发器B

信息交换

程序查询

优点：CPU与外设的操作能够同步，硬件结构简单

缺点：CPU循环查询，浪费CPU周期和资源

程序中断

DMA (Direct Memory Access)

硬件DMA控制器从CPU完全接管对总线的控制，数据交换不经过CPU，直接在主存和I/O设备之间进行。在数据传送前和结束后CPU要通过程序或中断方式对缓冲器和DMA控制器进行预处理和后处理

- 停止CPU访问内存
- 周期挪用
- DMA与CPU交替访存

通道控制

具体5项任务

- 接受CPU的I/O指令，按指令要求与指定的外设进行通信
- 从内存选取属于该通道程序的通道指令，经译码后向设备控制器和设备发送各种命令
- 组织外设和内存之间进行数据传送，并根据需要提供数据缓存的空间，以及提供数据存入内存的地址和传送的数据量
- 从外设得到设备的状态信息，形成并保存通道本身的状态信息，根据要求将这些状态信息送到内存的指定单元，供CPU使用
- 将外设的中断请求和通道本身的中断请求，按次序及时报告CPU

IO处理机 (IOP)

磁盘：调频制

磁带：调相制

第十章 智能计算系统

- 1、从通用到专用
- 2、多层次全栈知识
- 3、交叉学科
- 4、快速发展、快速迭代