

Санкт-Петербургский политехнический университет Петра Великого
Институт компьютерных наук и технологий
Кафедра компьютерных систем и программных технологий

Отчет по лабораторной работе №9

по дисциплине «Схемотехника операционных устройств»
Исследование дешифраторов и мультиплексоров

Работу

выполнил:

Ильин В.П.

Группа:

3530901/10005

Преподаватель:

Киселев И.О.

Санкт-Петербург
2023

Содержание

1	Цель работы	2
2	Исходные данные	2
3	Ход работы	2
3.1	Исследование работы дешифратора на основе мегафункции	2
3.2	Исследование генератора треугольного сигнала	3
3.3	Реализация логической функции четырех переменных	4
3.4	Исследование преобразователя параллельного кода в последовательный	5
3.5	Исследование шифратора позиционного кода в четырехразрядный дво- ичный код	6
3.6	Исследование устройства суммирования n-разрядных данных от M по- токов на одном сумматоре в режиме разделения времени	7
4	Вывод	8

1. Цель работы

- исследование характеристик реализации дешифраторов и мультиплексоров;
- получение навыков работы с дешифраторами и мультиплексорами в различных устройствах;
- получение навыков по организации параллельной обработки данных и по использованию операционных узлов в режиме разделения времени.

2. Исходные данные

№	T	ЛФ	N	M	n
8	0.5	0,1,3,4,13,14	24	5	8

3. Ход работы

3.1. Исследование работы дешифратора на основе мегафункции

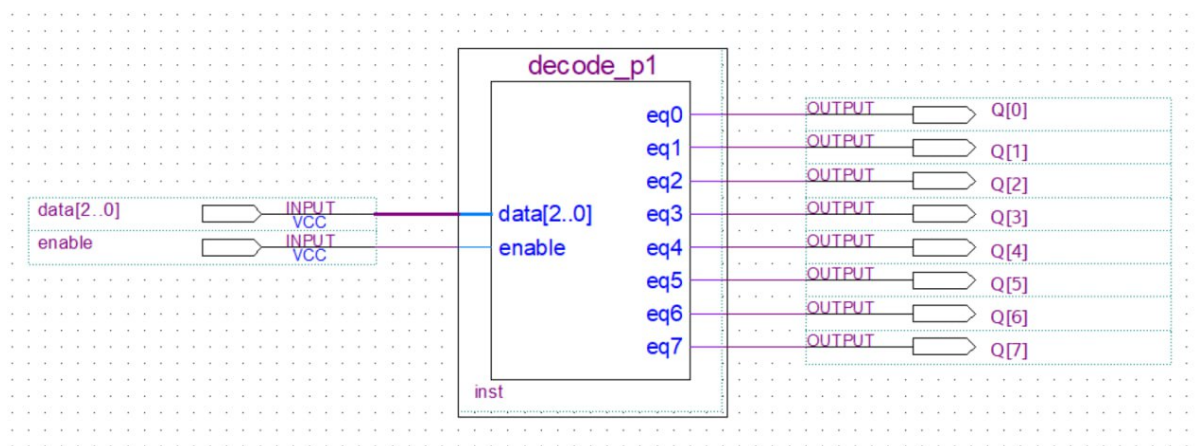


Рис. 3.1: Разработанная схема

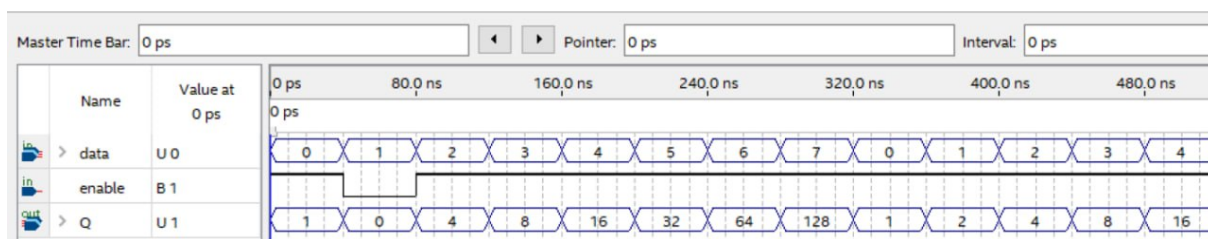


Рис. 3.2: Временная диаграмма

3.2. Исследование генератора треугольного сигнала

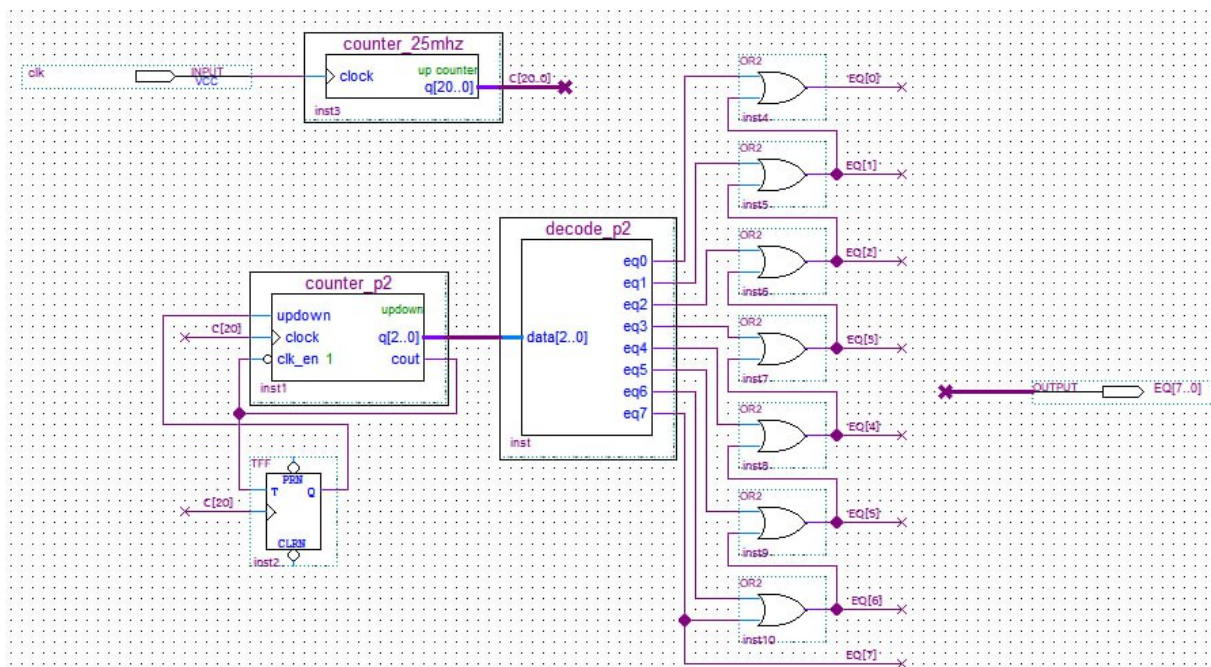


Рис. 3.3: Разработанная схема

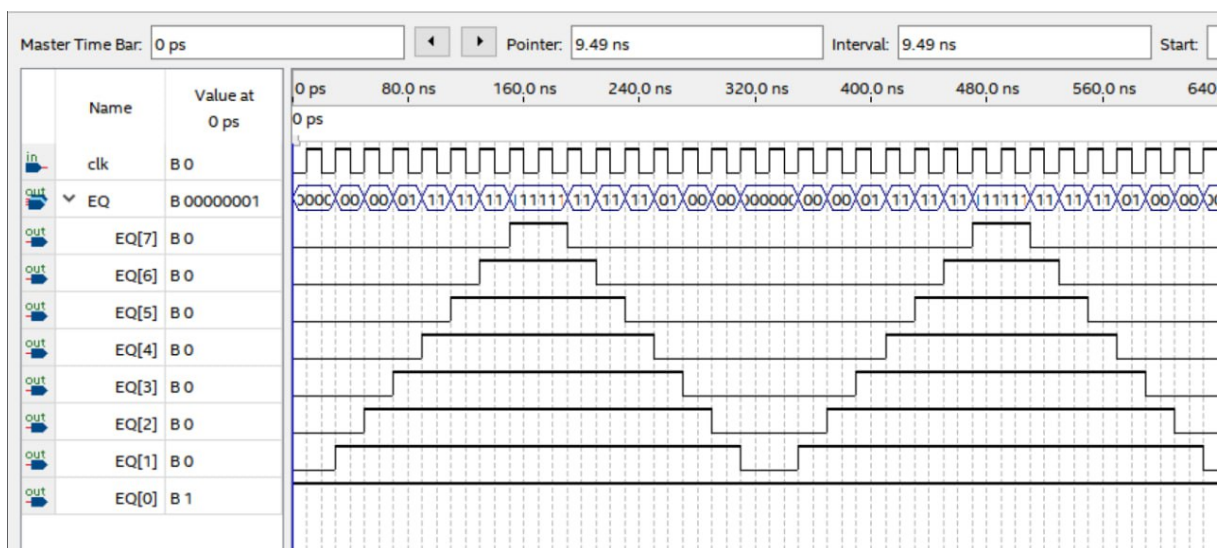


Рис. 3.4: Временная диаграмма

3.3. Реализация логической функции четырех переменных

	x_3	x_2	x_1	x_0	f	D
0	0	0	0	0	1	1
1	0	0	0	1	1	
2	0	0	1	0	0	x_0
3	0	0	1	1	1	
4	0	1	0	0	1	$\overline{x_0}$
5	0	1	0	1	0	
6	0	1	1	0	0	0
7	0	1	1	1	0	
8	1	0	0	0	0	0
9	1	0	0	1	0	
10	1	0	1	0	0	0
11	1	0	1	1	0	
12	1	1	0	0	0	x_0
13	1	1	0	1	1	
14	1	1	1	0	1	$\overline{x_0}$
15	1	1	1	1	0	

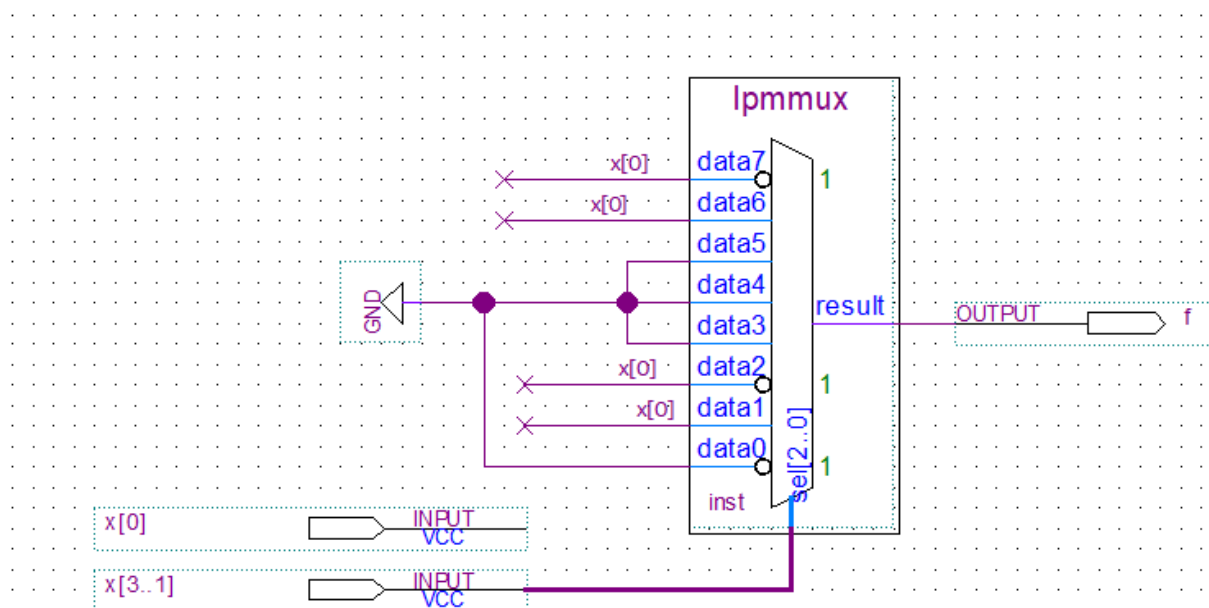


Рис. 3.5: Разработанная схема

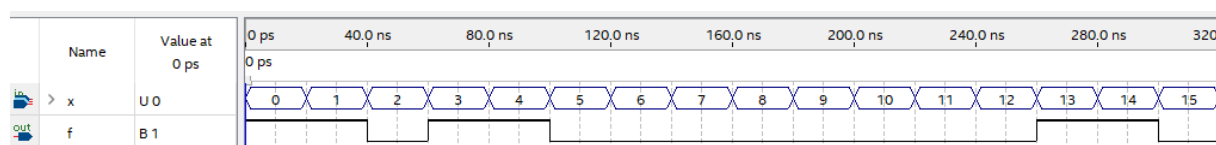


Рис. 3.6: Временная диаграмма

3.4. Исследование преобразователя параллельного кода в последовательный

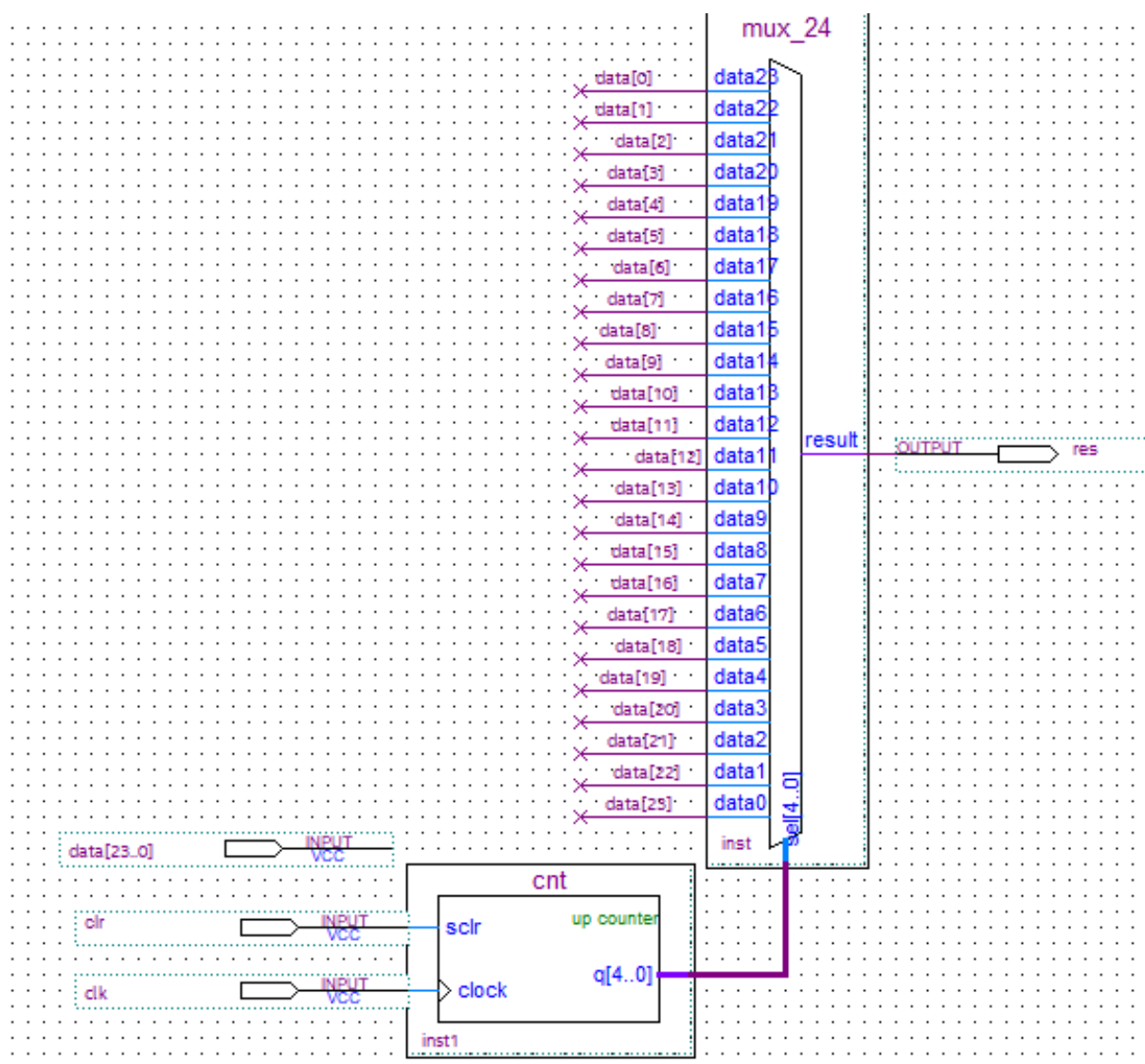


Рис. 3.7: Разработанная схема

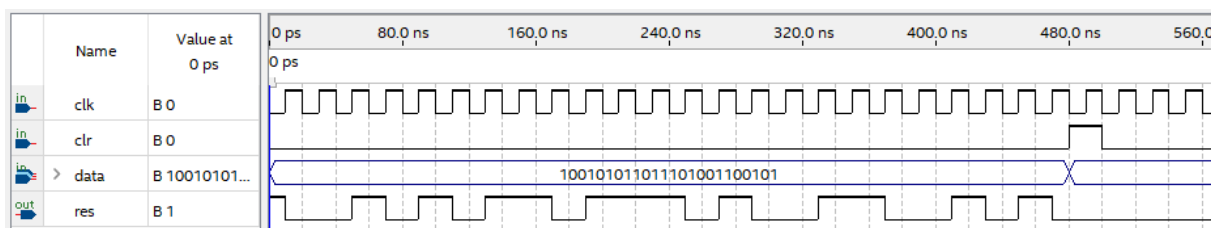


Рис. 3.8: Временная диаграмма

3.5. Исследование шифратора позиционного кода в четырех-разрядный двоичный код

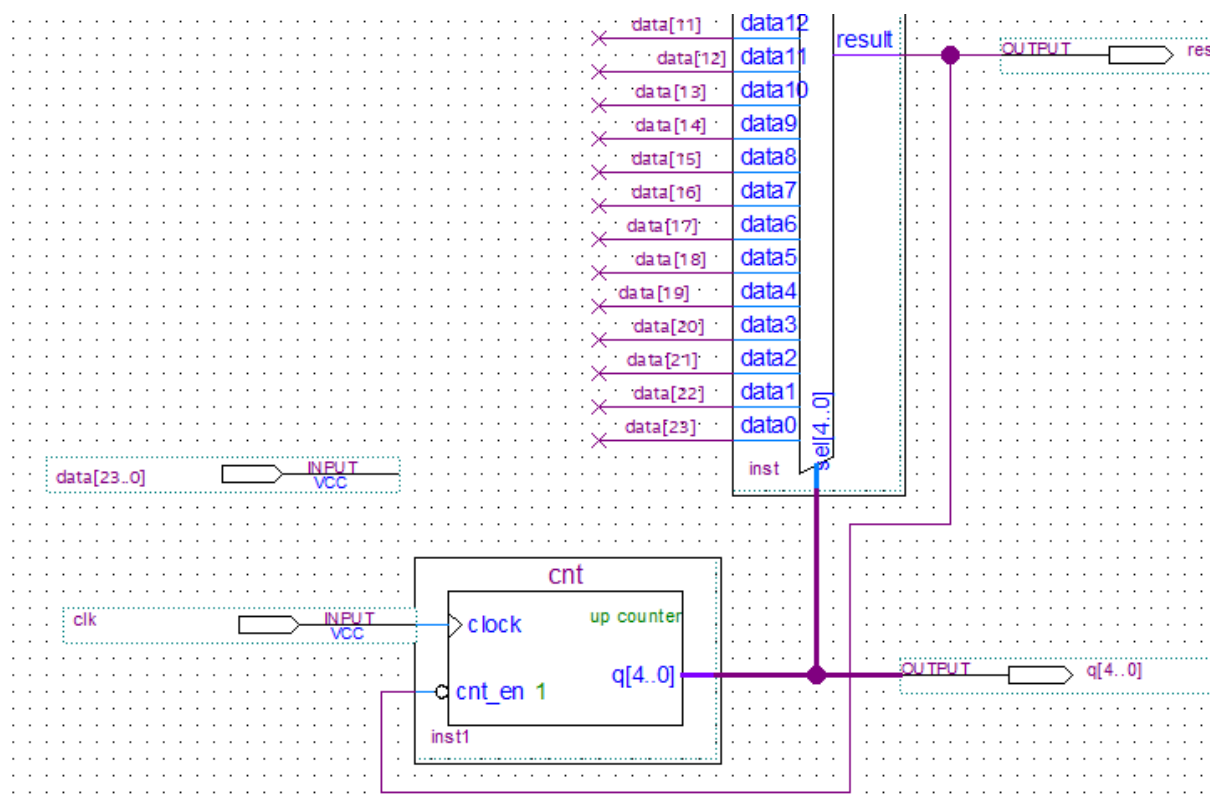


Рис. 3.9: Разработанная схема

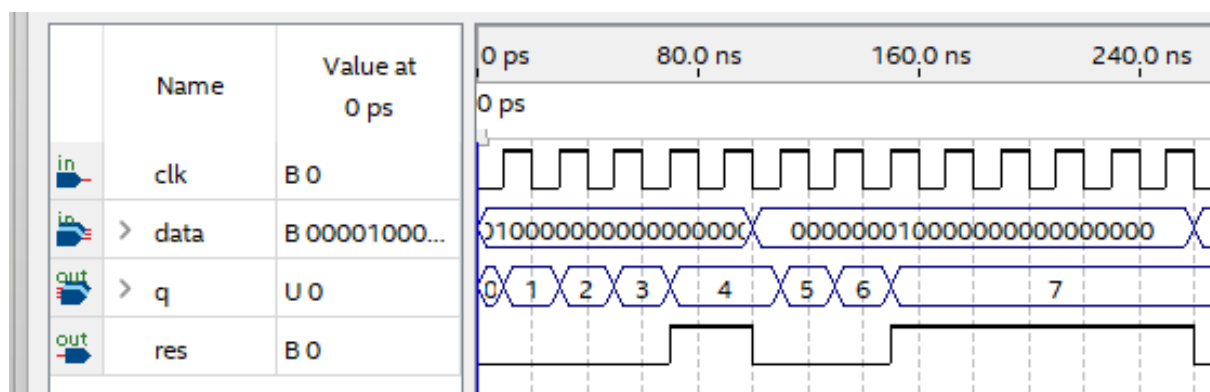


Рис. 3.10: Временная диаграмма

3.6. Исследование устройства суммирования n-разрядных данных от М потоков на одном сумматоре в режиме разделения времени

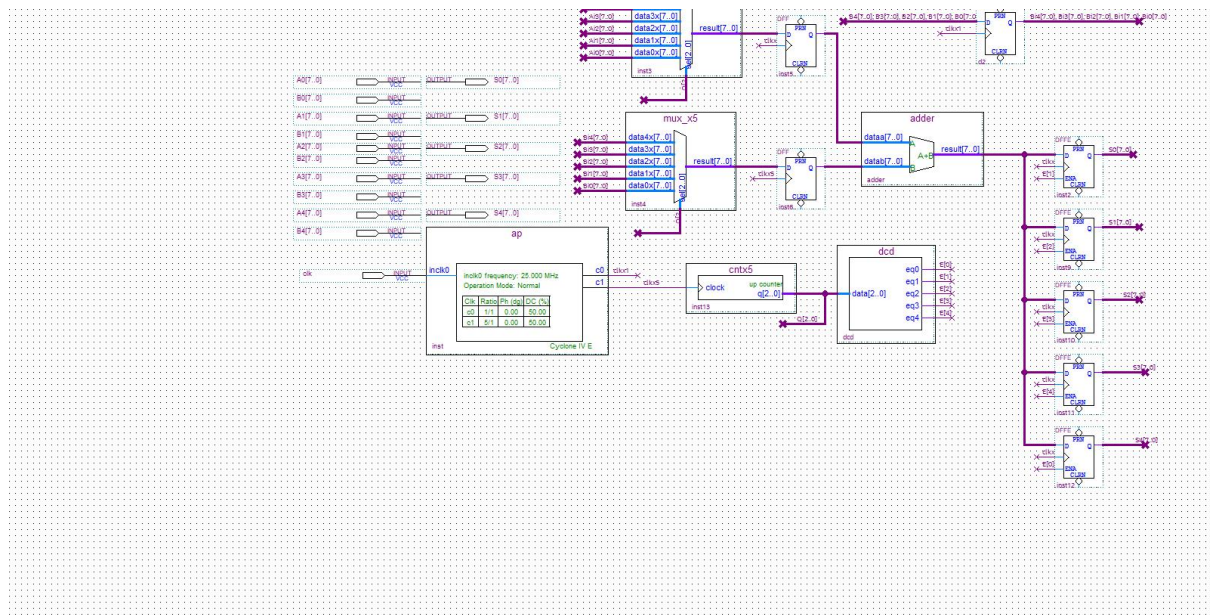


Рис. 3.11: Разработанная схема

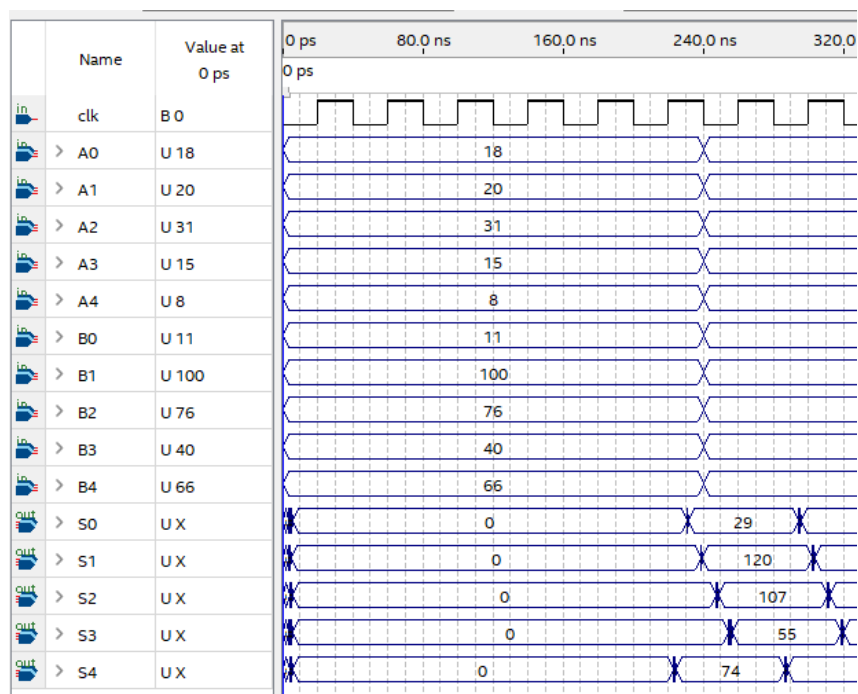


Рис. 3.12: Временная диаграмма

4. Вывод

В ходе работы были исследованы дешифраторы, мультиплексоры, а также получены навыки работы с ними в различных устройствах, таких как шифратор, распределитель тактовых импульсов, преобразователь параллельного кода в последовательный, устройство суммирования.