

Санкт-Петербургский политехнический университет Петра Великого  
Институт компьютерных наук и технологий  
Кафедра компьютерных систем и программных технологий

## Отчет по лабораторной работе №6

по дисциплине «Схемотехника операционных устройств»

### **Исследование счетчиков**

**Работу**

**выполнил:**

Ильин В.П.

Группа:

3530901/10005

**Преподаватель:**

Киселев И.О.

Санкт-Петербург  
2023

## Содержание

<b>1</b>	<b>Цель работы</b>	<b>2</b>
<b>2</b>	<b>Исходные данные</b>	<b>2</b>
<b>3</b>	<b>Ход работы</b>	<b>2</b>
3.1	Исследование счетчика с последовательным переносом . . . . .	2
3.2	Исследование счетчика, реализованного на основе мегафункции . . . .	6
3.3	Делитель частоты на число . . . . .	7
3.4	Устройство фиксации коротких импульсов . . . . .	8
3.5	Двоично-десятичный счетчик . . . . .	8
3.6	Преобразователь из двоичного кода в двоично-десятичный . . . . .	9
3.7	Накапливающий сумматор . . . . .	9
<b>4</b>	<b>Вывод</b>	<b>10</b>

## 1. Цель работы

Исследование счетчиков, построенных по различной архитектуре, и типовых функциональных устройств с их использованием.

## 2. Исходные данные

Вариант задания – 8. Число тетрад = 3.

## 3. Ход работы

### 3.1. Исследование счетчика с последовательным переносом

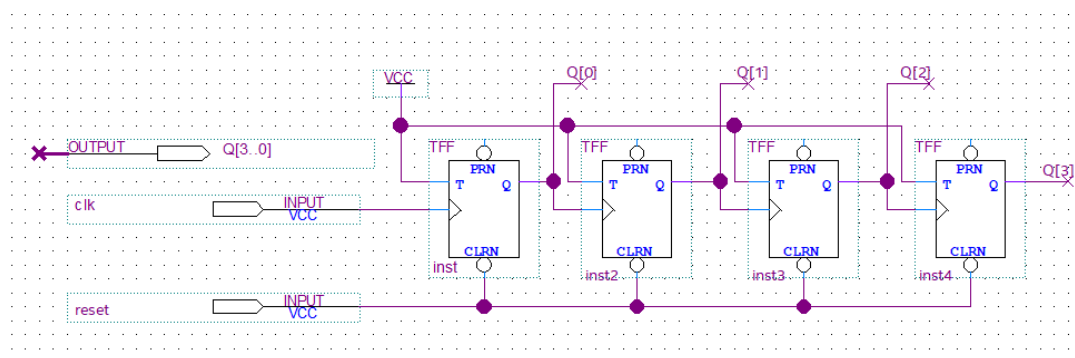


Рис. 3.1: Разработанная схема

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Apr 17 23:51:46 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	lab6_1
Top-level Entity Name	lab6_1
Family	Cyclone IV E
Device	EP4CE6E22C8
Timing Models	Final
Total logic elements	7 / 6,272 ( < 1 % )
Total registers	4
Total pins	6 / 92 ( 7 % )
Total virtual pins	0
Total memory bits	0 / 276,480 ( 0 % )
Embedded Multiplier 9-bit elements	0 / 30 ( 0 % )
Total PLLs	0 / 2 ( 0 % )

Рис. 3.2: Аппаратные затраты

Slow 1200mV 85C Model				
	Fmax	Restricted Fmax	Clock Name	Note
1	1128.67 MHz	402.09 MHz	inst3	limit due to minimum period restriction

Рис. 3.3: Максимальная тактовая частота

Clock to Output Times						
	Data Port	Clock Port	Rise	Fall	Clock Edge	Clock Reference
1	Q[*]	inst	6.882		Rise	inst
1	Q[0]	inst	6.882		Rise	inst
2	Q[*]	inst		6.742	Fall	inst
1	Q[0]	inst		6.742	Fall	inst
3	Q[*]	inst2	4.240		Rise	inst2
1	Q[1]	inst2	4.240		Rise	inst2
4	Q[*]	inst2		4.123	Fall	inst2
1	Q[1]	inst2		4.123	Fall	inst2
5	Q[*]	inst3	5.528	5.406	Rise	inst3
1	Q[2]	inst3	4.264		Rise	inst3
2	Q[3]	inst3	5.528	5.406	Rise	inst3
6	Q[*]	inst3		4.145	Fall	inst3
1	Q[2]	inst3		4.145	Fall	inst3

Рис. 3.4: Задержки появления сигналов

Сумма  $T_{co} = 37,546$ .

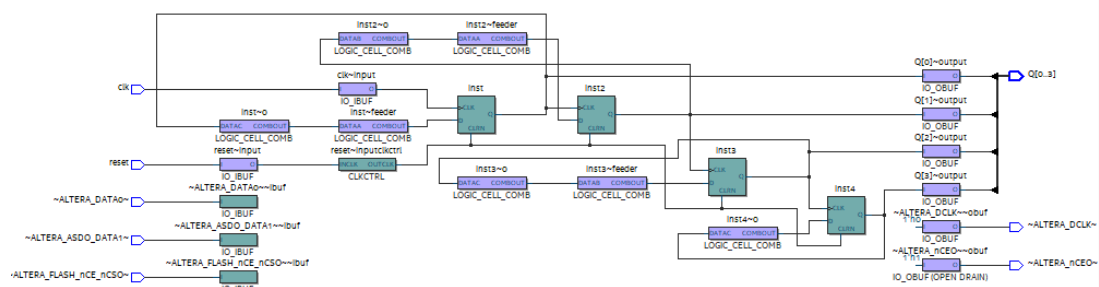


Рис. 3.5: Technology Map Viewer

Проведем несколько временных тестов. Для начала используем частоту, меньшую максимальной.

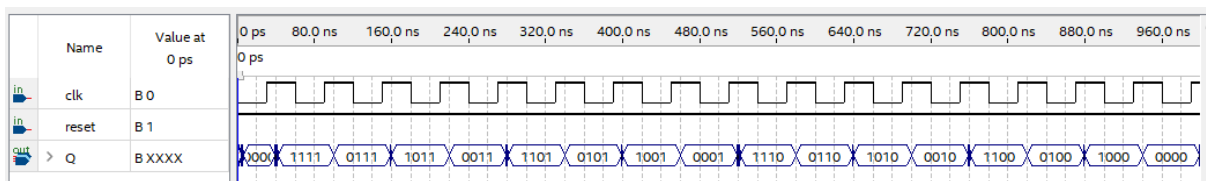


Рис. 3.6:  $T = 60 \text{ нс} < T_{max}$  – счетчик работает нормально.

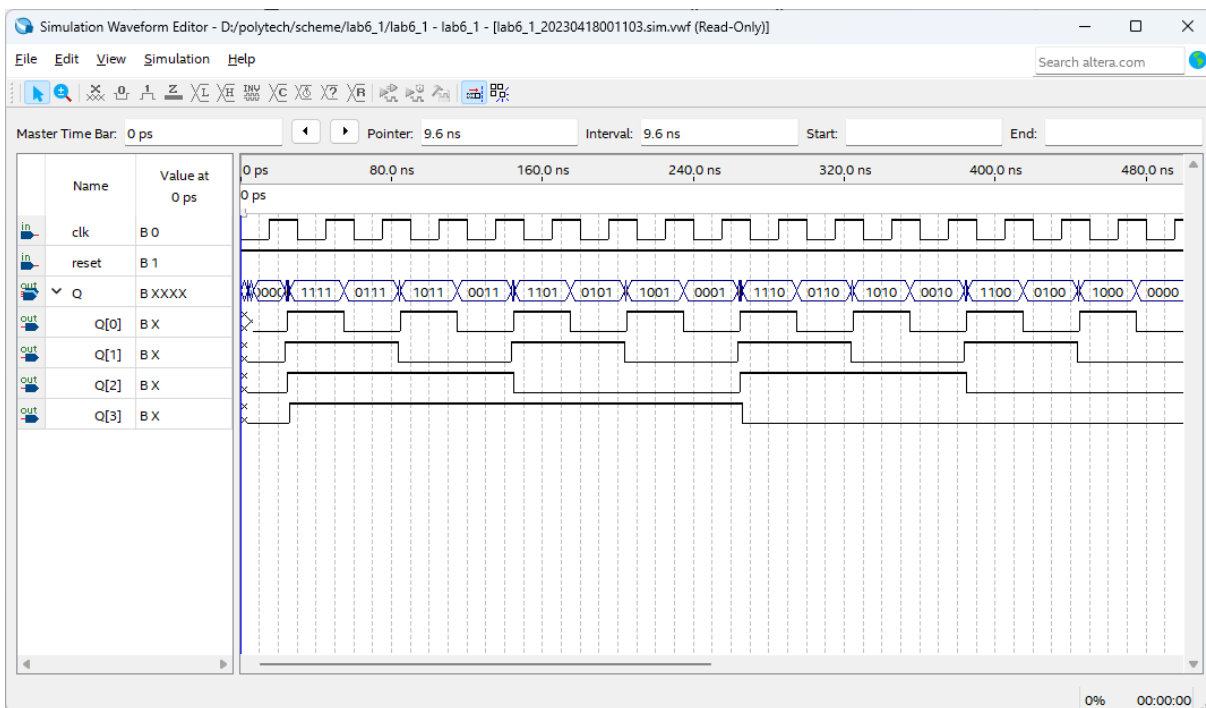


Рис. 3.7:  $T = 30 \text{ нс} \approx T_{max}$  – счетчик работает нормально.

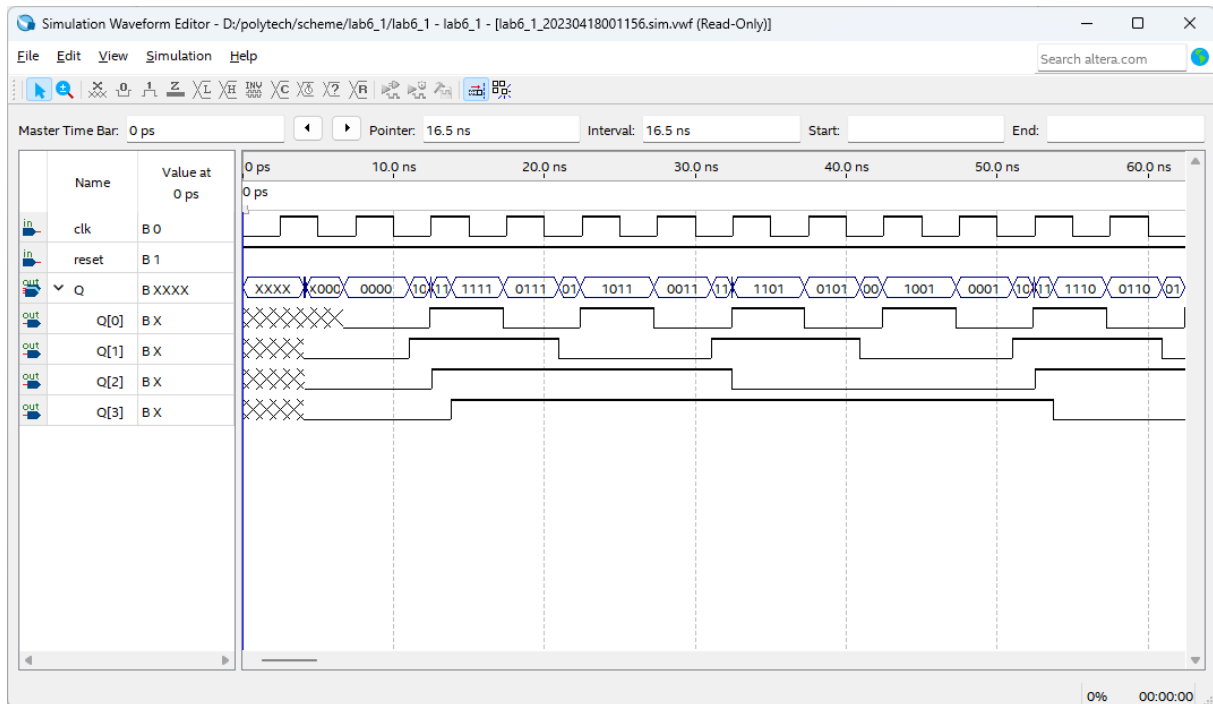


Рис. 3.8:  $T = 5 \text{ нс} > T_{max}$  – счетчик работает с опозданием.

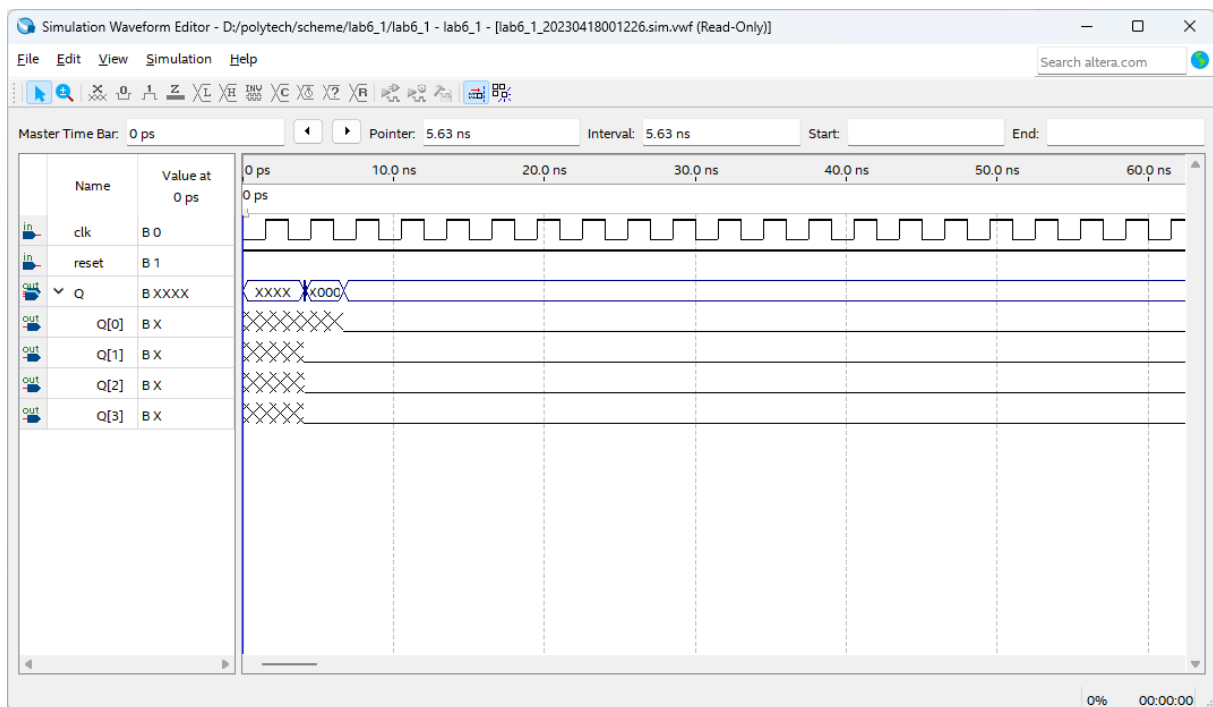


Рис. 3.9:  $T = 3 \text{ нс} \gg T_{max}$  – счетчик ломается.

### 3.2. Исследование счетчика, реализованного на основе мега-функции

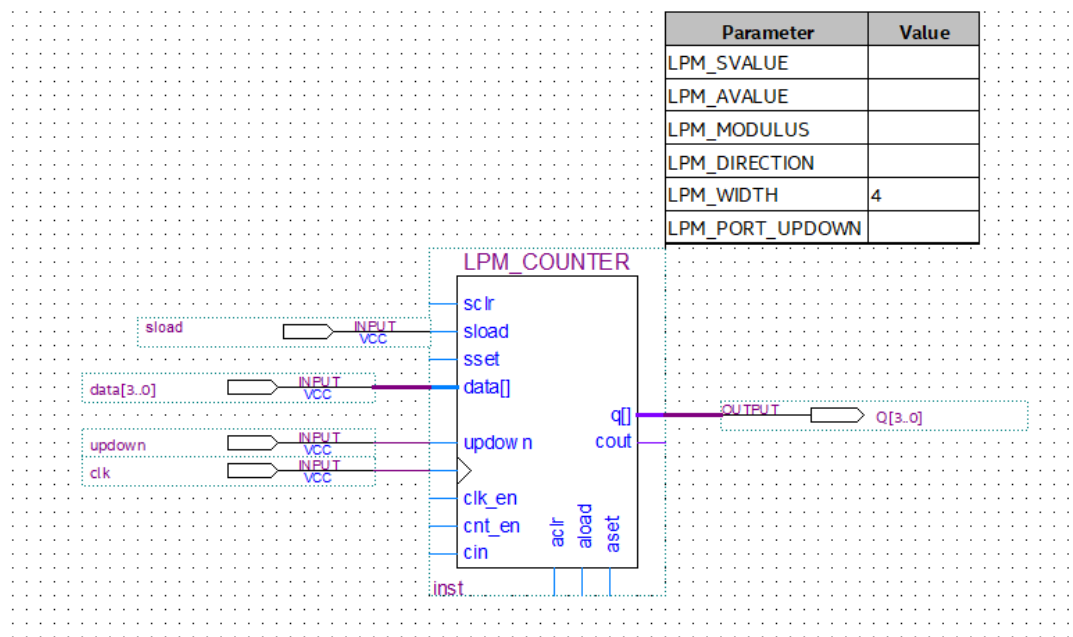


Рис. 3.10: Разработанная схема

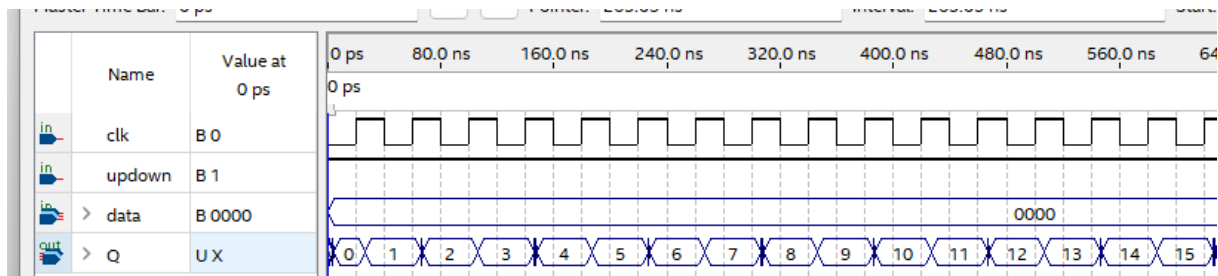


Рис. 3.11: Временная диаграмма работы счетчика в режиме сложения

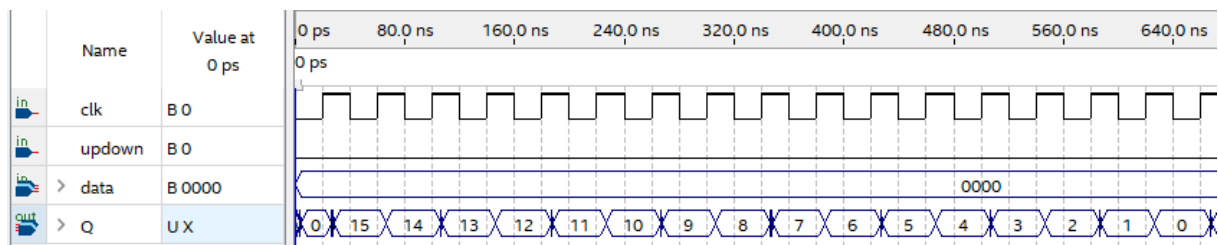


Рис. 3.12: Временная диаграмма работы счетчика в режиме вычитания

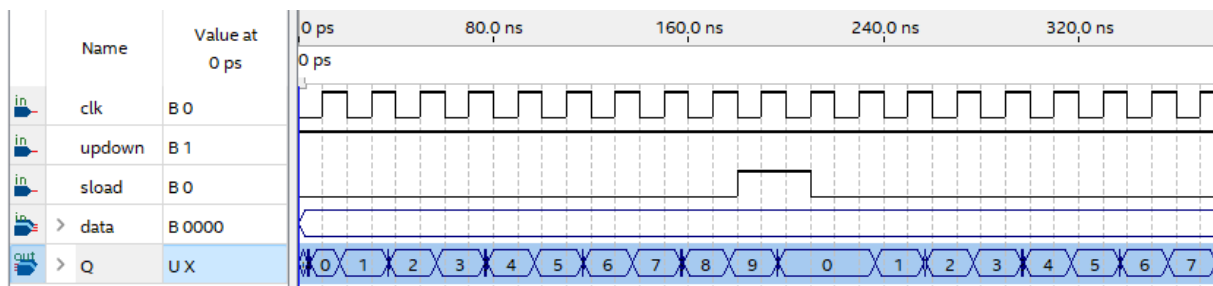


Рис. 3.13: Временная диаграмма работы счетчика в режиме синхронной загрузки

### 3.3. Делитель частоты на число

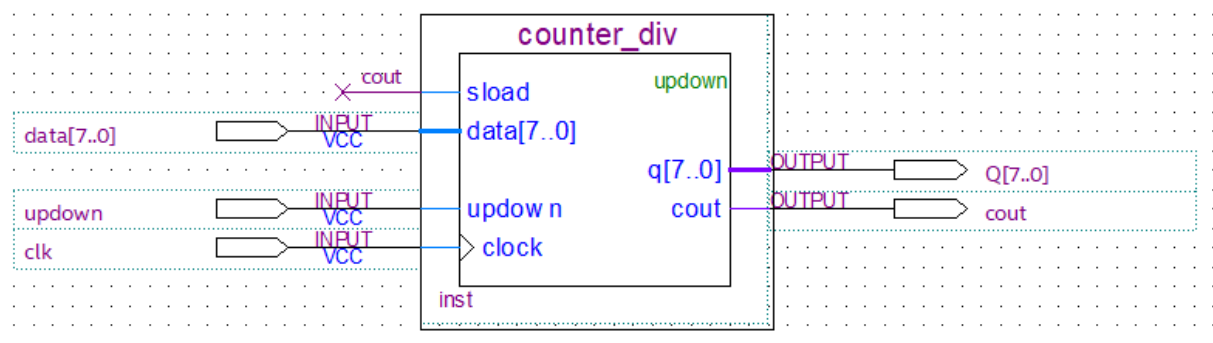


Рис. 3.14: Разработанная схема

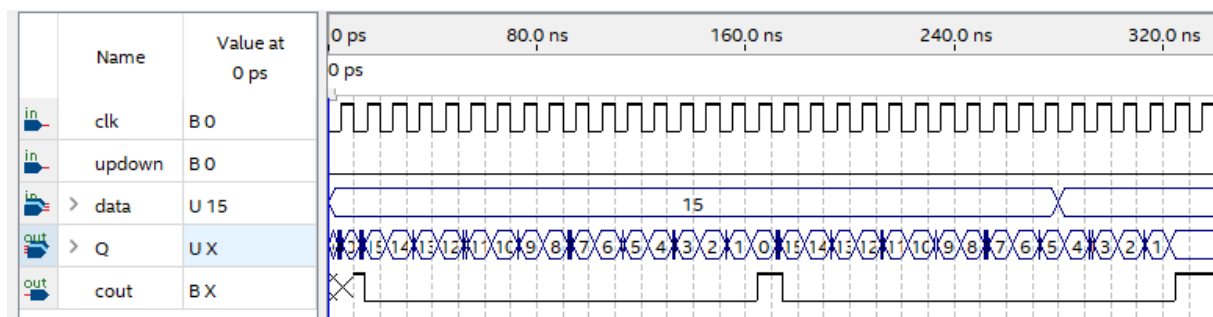


Рис. 3.15: Временная диаграмма

Видно, что cout принимает значение 1 раз в data тактов (в данном случае data = 15). Если перевести счетчик в режим сложения и подать на вход число  $(256 - \text{data}) = 241$ , то cout станет единицей только при числе 255.

### 3.4. Устройство фиксации коротких импульсов

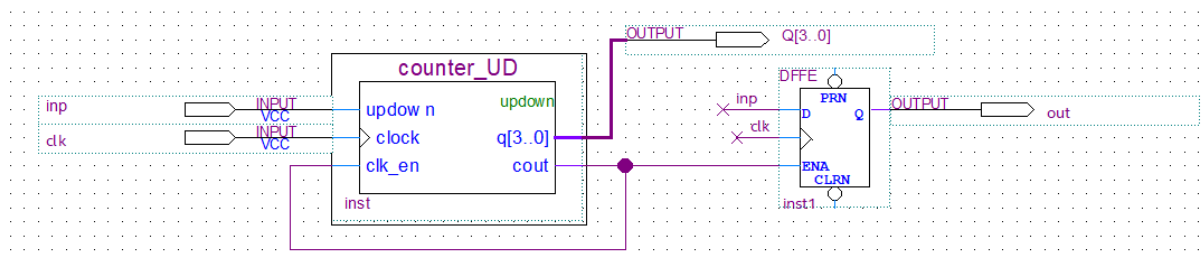


Рис. 3.16: Разработанная схема

### 3.5. Двоично-десятичный счетчик

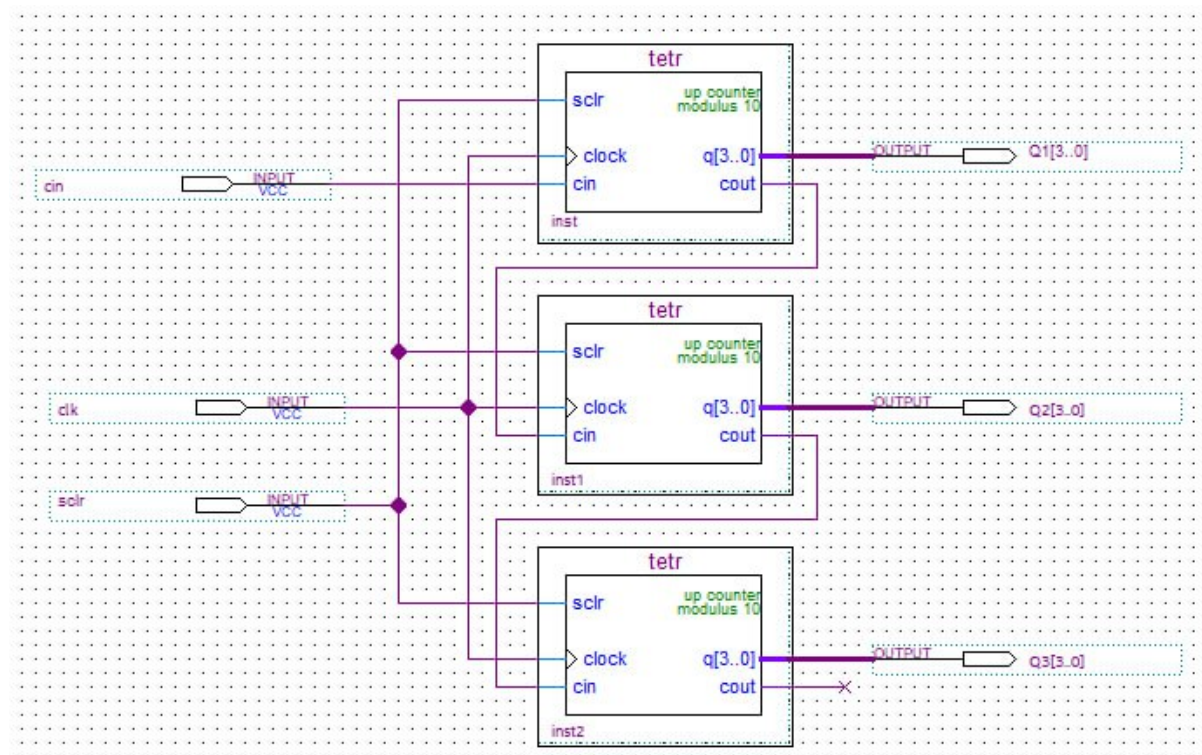


Рис. 3.17: Разработанная схема



Рис. 3.18: Временная диаграмма



### 3.6. Преобразователь из двоичного кода в двоично-десятичный

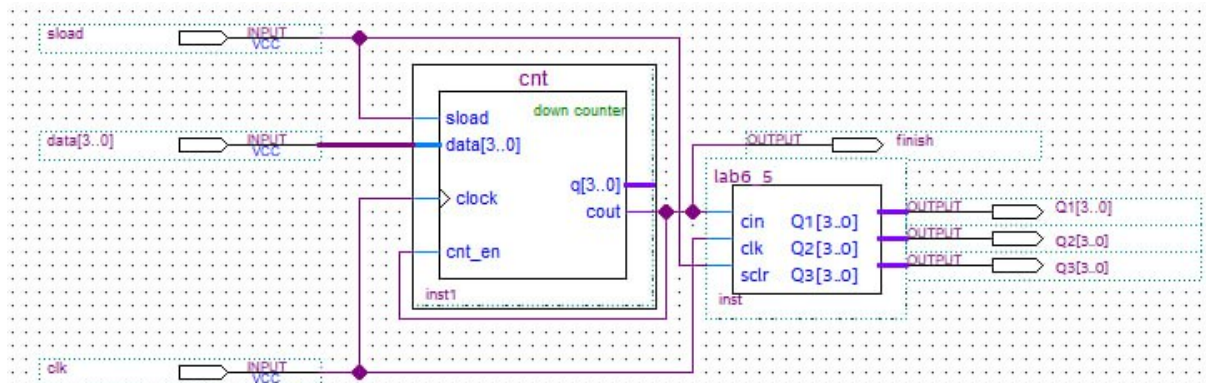


Рис. 3.19: Разработанная схема

### 3.7. Накапливающий сумматор

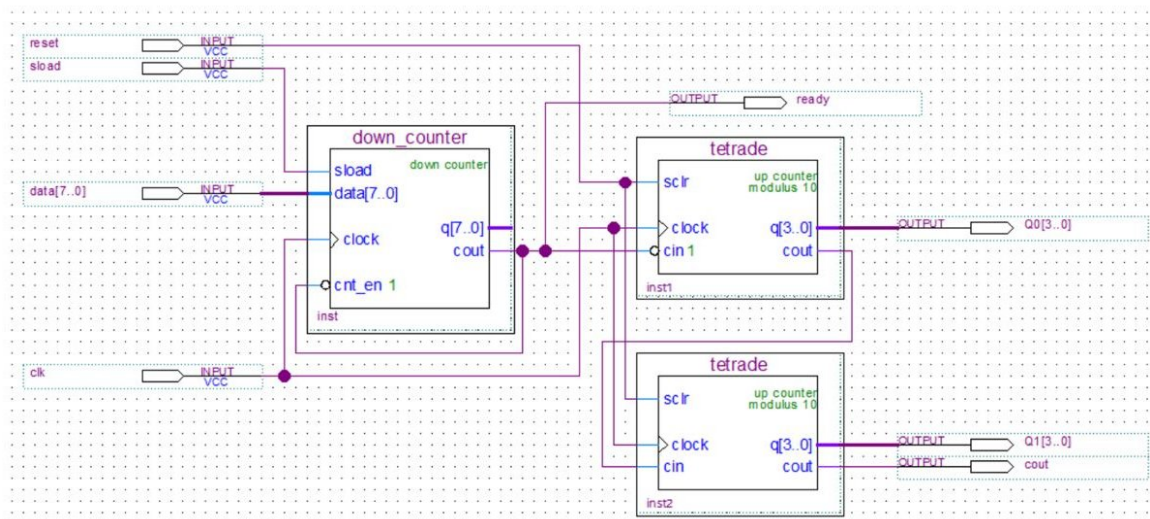


Рис. 3.20: Разработанная схема

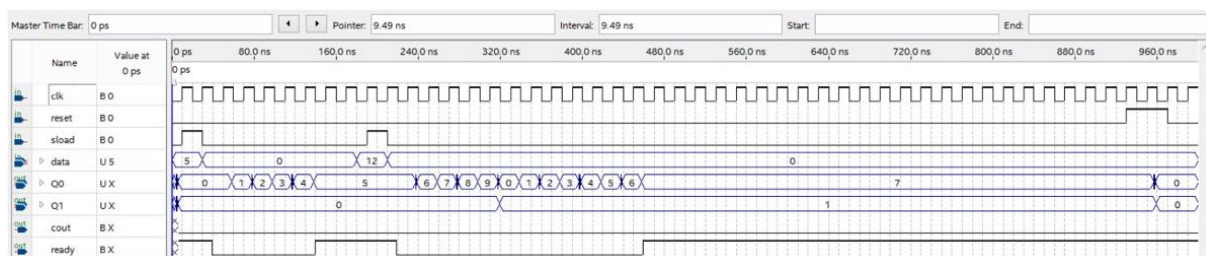


Рис. 3.21: Временная диаграмма

## 4. Вывод

В ходе работы получены навыки исследования двоичных счетчиков, построенных по различной архитектуре, такие как счетчики с последовательным переносом и счетчики, основанные на мегафункции. Было проведено исследование зависимости максимальной частоты работы счетчика от количества регистров. Были исследованы различные устройства на основе счетчиков, такие как делитель частоты на число, устройство фиксации коротких импульсов, генератор треугольного сигнала, двоично-десятичный счетчик, преобразователь из двоичного кода в двоично-десятичный и накапливающий сумматор.