

Санкт-Петербургский политехнический университет Петра Великого
Институт компьютерных наук и технологий
Кафедра компьютерных систем и программных технологий

Отчет по лабораторной работе №4

по дисциплине «Схемотехника операционных устройств»

Синтез конечных автоматов

Работу

выполнил:

Ильин В.П.

Группа:

35300901/10005

Преподаватель:

Киселев И.О.

Санкт-Петербург
2023

Содержание

1 Цели работы	2
2 Исходные данные	2
3 Ход работы	3
3.1 Структурный синтез КА	3
3.2 Исследование синтезированного автомата	5
3.3 Синтез конечного автомата средствами Quartus Prime	6
4 Вывод	8

1. Цели работы

- Закрепление навыков структурного синтеза конечных автоматов;
- Закрепление знаний о характеристиках и режимах работы триггеров основных типов;
- Получение практических навыков тестирования и управления КА;
- Получение навыков ввода прокта в графическом редакторе пакета QP, тестирования и отладки проекта и анализа временных характеристик КА;
- Знакомство с редактором КА пакета QP и анализ результатов синтеза;
- Получение навыков отладки цифровых устройств класса КА на физической модели: конфигурирование ПЛИС и экспериментальная проверка работы КА при использовании лабораторного стенда.

2. Исходные данные

Вариант исходного задания – 8. Тип триггера – JK.

$(x_2, x_1)^t$	r^t			
	0	1	2	3
0 0	2	Н	0	1
0 1	Н	Н	Н	Н
1 0	3	0	Н	2
1 1	Н	2	3	1

Таблица 2.1: Таблица переходов

r^t	0	1	2	3
$(y_2, y_1)^t$	01	10	10	01

Таблица 2.2: Таблица выходов

3. Ход работы

3.1. Структурный синтез КА

При помощи таблицы 2.1 составим граф переходов.

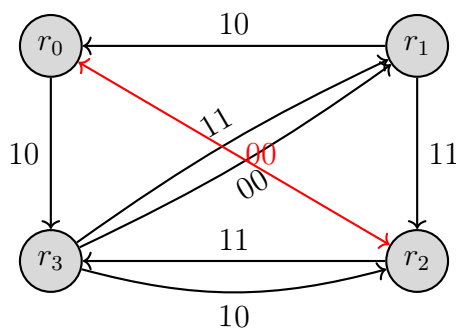


Рис. 3.1: Граф переходов синтезируемого автомата

Всего автомат имеет 4 различных состояния, значит, минимальное необходимое число триггеров $m = \log_2 4 = 2$. Воспользовавшись экономичным кодированием внутренних состояний, получим необходимые коды:

r^t	0	1	2	3
$(Q_2, Q_1)^t$	00	01	11	10

Таблица 3.1: Коды состояний автомата

Воспользовавшись таблицами 2.1 и 3.1 получим закодированную таблицу переходов синтезируемого КА:

$(x_2, x_1)^t$	$(Q_2, Q_1)^t$			
	00	01	11	10
0 0	11	Н	00	01
0 1	Н	Н	Н	Н
1 0	10	00	Н	11
1 1	Н	11	10	01

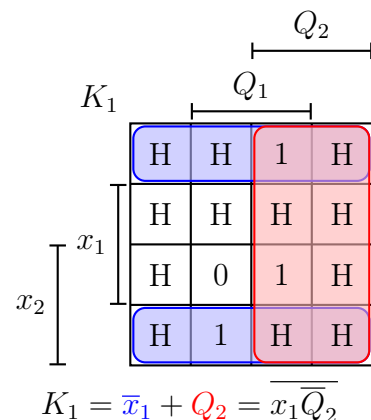
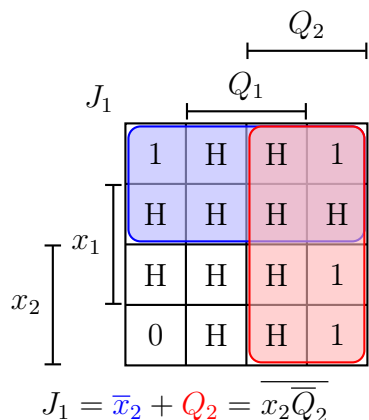
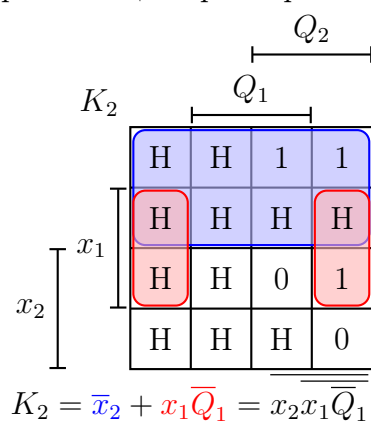
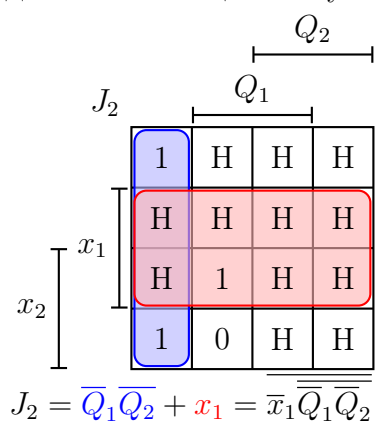
Таблица 3.2: Таблица переходов

Используя таблицу истинности для JK-триггера, построим таблицу управления триггером:

$(x_2, x_1)^t$	$(Q_2, Q_1)^t$	$(Q_2, Q_1)^{t+1}$	J_2	K_2	J_1	K_1
00	00	11	1	Н	1	Н
00	01	Н	Н	Н	Н	Н
00	11	00	Н	1	Н	1
00	10	01	Н	1	1	Н
01	00	Н	Н	Н	Н	Н
01	01	Н	Н	Н	Н	Н
01	11	Н	Н	Н	Н	Н
01	10	Н	Н	Н	Н	Н
10	00	10	1	Н	0	Н
10	01	00	0	Н	Н	1
10	11	Н	Н	Н	Н	Н
10	10	11	Н	0	1	Н
11	00	Н	Н	Н	Н	Н
11	01	11	1	Н	Н	0
11	11	10	Н	0	Н	1
11	10	01	Н	1	1	Н

Таблица 3.3: Таблица функций возбуждения триггеров

Произведем минимизацию полученных функций при помощи карт Карно:



Также составим таблицу для выходных сигналов, как функций состояния автоматов, и проведем минимизацию.

(Q_2, Q_1)	(y_2, y_1)
0 0	0 1
0 1	1 0
1 1	1 0
1 0	0 1

$$y_1 = \overline{Q_1}, y_2 = Q_2\overline{Q_1} + \overline{Q_2}Q_1 = \overline{Q_2\overline{Q_1} \cdot \overline{Q_2}Q_1}$$

3.2. Исследование синтезированного автомата

Введем схему синтезированного автомата в Quartus Prime.

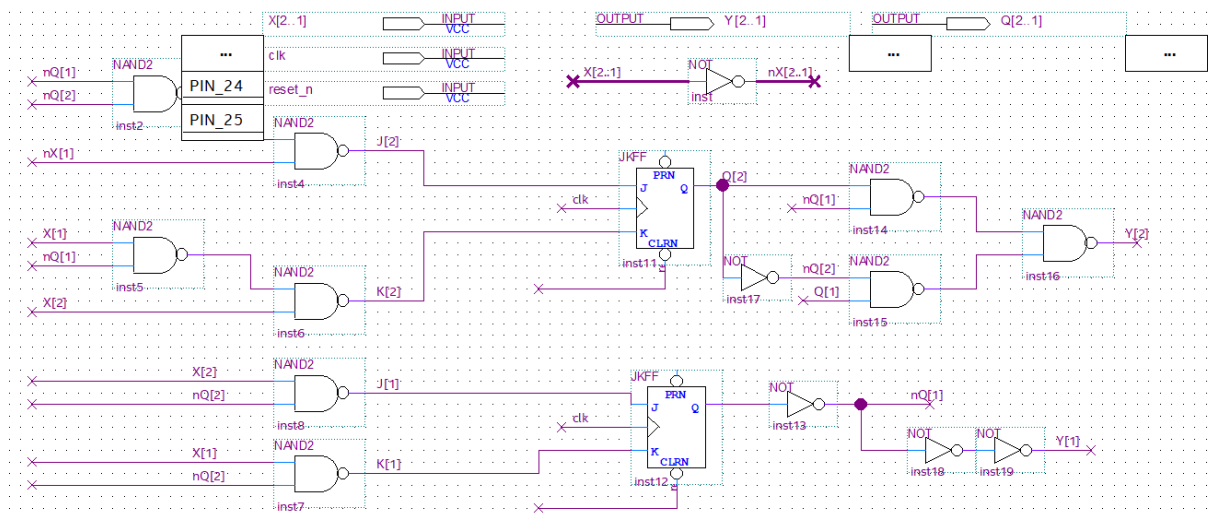


Рис. 3.2: Синтезированная схема

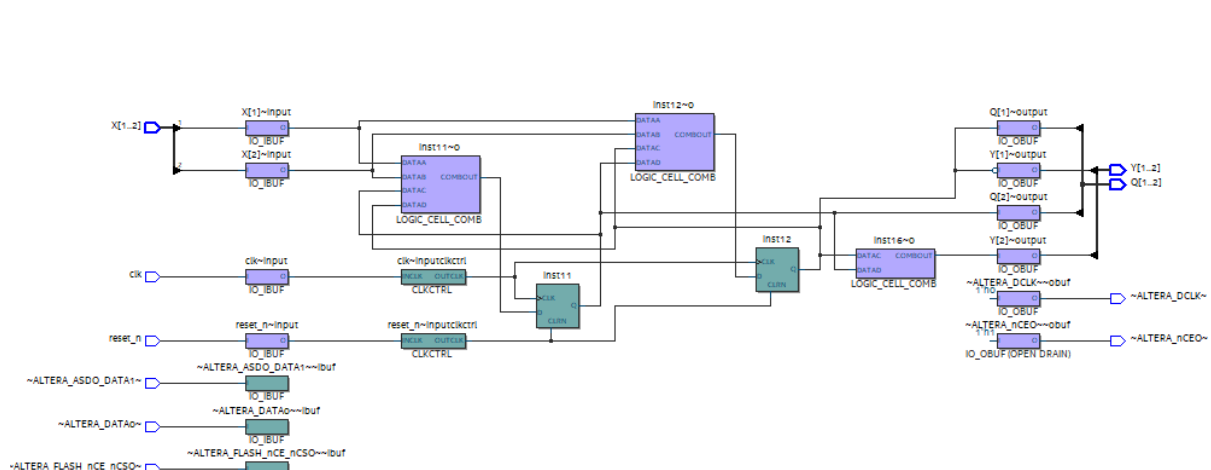


Рис. 3.3: Technology Map Viewer

Flow Status	Successful - Sun Apr 16 19:07:18 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	lab4
Top-level Entity Name	lab4
Family	Cyclone IV E
Device	EP4CE6E22C8
Timing Models	Final
Total logic elements	3 / 6,272 (< 1 %)
Total registers	2
Total pins	8 / 92 (9 %)
Total virtual pins	0
Total memory bits	0 / 276,480 (0 %)
Embedded Multiplier 9-bit elements	0 / 30 (0 %)
Total PLLs	0 / 2 (0 %)

Рис. 3.4: Аппаратные затраты

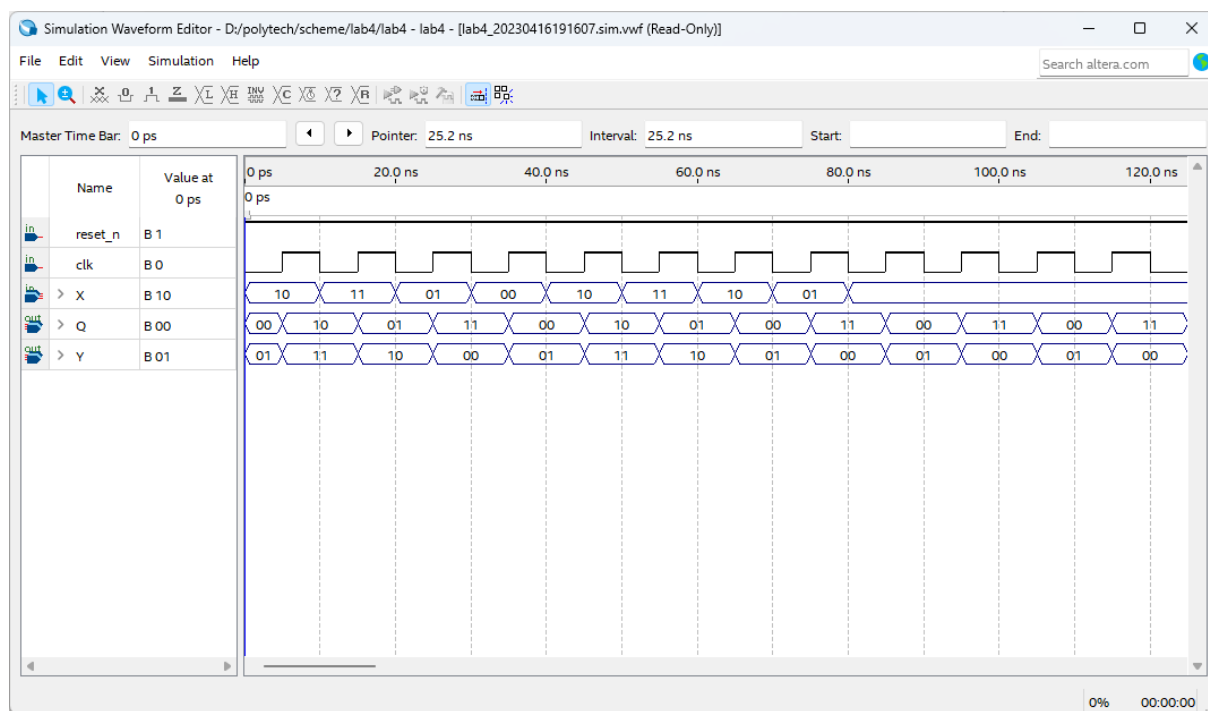


Рис. 3.5: Моделирование работы

Сравнение выходных результатов для Q и Y подтверждает правильность работы устройства.

3.3. Синтез конечного автомата средствами Quartus Prime

Теперь создадим автомат при помощи встроенных средств среды Quartus.

General	Inputs	Outputs
Input Port	Controlled Signal	
clock	Clock	
reset	Reset	
X2	No	
X1	No	
< New >		

General	Inputs	Outputs	States	Transitions
Output Port	Registered	Output State		
Y2	No	Current clock cycle		
Y1	No	Current clock cycle		
< New >				

General	Inputs
State	Reset
r0	Yes
r1	No
r2	No
r3	No
< New >	

General	Inputs	Outputs	States	Transitions	Actions
Source State	Destination State	Transition (In Verilog or VHDL 'OTHERS')			
r0	r2	~X2&~X1			
r0	r3	X2&~X1			
r1	r0	X2&~X1			
r1	r2	X2&X1			
r2	r0	~X2&~X1			
r2	r3	X2&X1			
r3	r1	(~X2&~X1) (X2&X1)			
r3	r2	X2&~X1			

General	Inputs	Outputs	States	Transitions	Actions
Output Port	Output Value	In State	Additional Conditions		
Y2	0	r0			
Y1	1	r0			
Y2	1	r1			
Y1	0	r1			
Y2	1	r2			
Y1	0	r2			
Y2	0	r3			
Y1	1	r3			
< New >					

Рис. 3.6: Настройки создания автомата

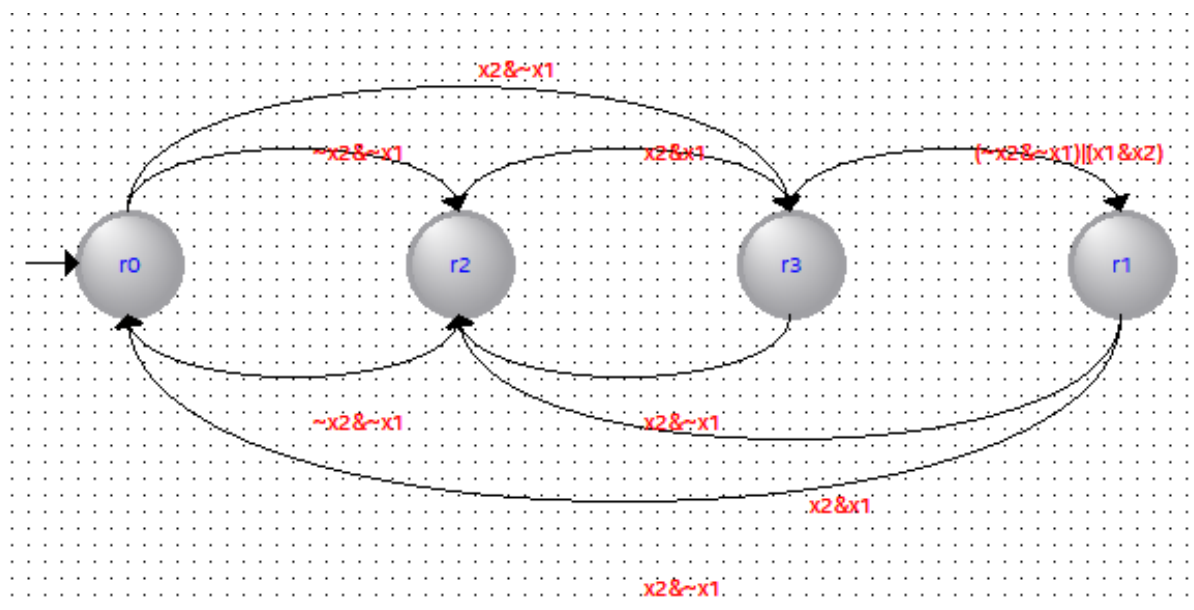


Рис. 3.7: Синтезированная схема

Flow Status	Successful - Sun Apr 16 21:06:18 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	lab4_2
Top-level Entity Name	lab4_2
Family	Cyclone IV E
Device	EP4CE6E22C8
Timing Models	Final
Total logic elements	3 / 6,272 (< 1 %)
Total registers	2
Total pins	6 / 92 (7 %)
Total virtual pins	0
Total memory bits	0 / 276,480 (0 %)
Embedded Multiplier 9-bit elements	0 / 30 (0 %)
Total PLLs	0 / 2 (0 %)

Рис. 3.8: Отчет о компиляции

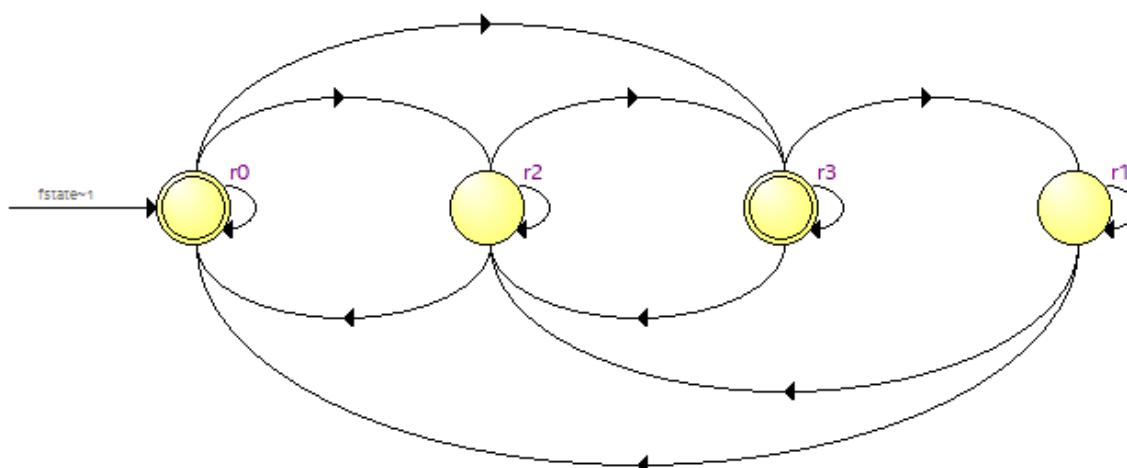


Рис. 3.9: State Machine Viewer

4. Вывод

В ходе работы были закреплены знания характеристик и режимов работы триггеров. Были получены навыки структурного синтеза, тестирования и управления конечными автоматами. Конечный автомат на основе заданных данных был синтезирован вручную, а также при помощи встроенных средств Quartus Prime. Автомат, полученный вручную работает медленнее и содержит большее число элементов, чем созданный автоматически. Помимо оптимизаций, производимых Quartus это также связано с тем, что для тестирования «ручной» автомат выводил промежуточные значения.