

Санкт-Петербургский политехнический университет Петра Великого
Институт компьютерных наук и технологий
Кафедра компьютерных систем и программных технологий

Отчет по лабораторной работе №2

по дисциплине «Схемотехника операционных устройств»

Синтез комбинационных схем

Работу

выполнил:

Ильин В.П.

Группа:

35300901/10005

Преподаватель:

Киселев И.О.

Санкт-Петербург
2023

Содержание

1 Цели работы	2
2 Задача	2
3 Ход работы	2
3.1 Получение таблицы истинности	2
3.2 Минимизация функции	3
3.3 Анализ синтеза комбинационной схемы	4
4 Вывод	6

1. Цели работы

- Закрепление знаний и получение практических навыков синтеза комбинационных схем в заданном элементном базисе.
- Получение навыков ввода проекта в графическом редакторе пакета QП, тестирования и отладки проекта и исследования на модели рисков сбоев.
- Получение навыков отладки цифровых устройств данного класса на физической модели: конфигурирование ПЛИС и экспериментальная проверка работы комбинационной схемы при использовании лабораторной платы miniDiLab.

2. Задача

В соответствии с вариантом, составить таблицу истинности для логической функции 5 переменных. Минимизировать функцию при помощи карт Карно. Синтезировать комбинационную схему и исследовать ее при помощи САПР Quartus Prime. Реализовать полученную комбинационную схему на физической модели.

Исходная функция задана таблично:

Для значений $y = 1$	Для значений $y = n$
1, 6 – 10, 13, 15, 20 – 25, 28, 31	3, 4, 12, 17, 26

3. Ход работы

3.1. Получение таблицы истинности

Для построения таблицы истинности необходимо перебрать все возможные наборы значений аргументов и указать данное значение $y_{исх}$ для каждого набора. Столбец $y_{теор}$ соответствует выбранным значениям для наборов «н», столбец $y_{эксп}$ – значениям, полученным в процессе тестирования комбинационной схемы, $y_{физ}$ – значениям, полученным в процессе тестирования физической схемы.

№	x_1	x_2	x_3	x_4	x_5	$y_{исх}$	$y_{теор}$	$y_{эксп}$	$y_{физ}$
0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	1	1	1	1
2	0	0	0	1	0	0	0	0	0
3	0	0	0	1	1	н	0	0	0
4	0	0	1	0	0	н	0	0	0
5	0	0	1	0	1	0	0	0	0
6	0	0	1	1	0	1	1	1	1
7	0	0	1	1	1	1	1	1	1
8	0	1	0	0	0	1	1	1	1
9	0	1	0	0	1	1	1	1	1
10	0	1	0	1	0	1	1	1	1
11	0	1	0	1	1	0	0	0	0
12	0	1	1	0	0	н	1	1	1
13	0	1	1	0	1	1	1	1	1
14	0	1	1	1	0	0	0	0	0
15	0	1	1	1	1	1	1	1	1
16	1	0	0	0	0	0	0	0	0
17	1	0	0	0	1	н	1	1	1
18	1	0	0	1	0	0	0	0	0
19	1	0	0	1	1	0	0	0	0
20	1	0	1	0	0	1	1	1	1
21	1	0	1	0	1	1	1	1	1
22	1	0	1	1	0	1	1	1	1
23	1	0	1	1	1	1	1	1	1
24	1	1	0	0	0	1	1	1	1
25	1	1	0	0	1	1	1	1	1
26	1	1	0	1	0	н	1	1	1
27	1	1	0	1	1	0	0	0	0
28	1	1	1	0	0	1	1	1	1
29	1	1	1	0	1	0	0	0	0
30	1	1	1	1	0	0	0	0	0
31	1	1	1	1	1	1	1	1	1

Таблица 3.1: Составленная таблица истинности

3.2. Минимизация функции

По полученной таблице истинности построим карту Карно и произведем склеивания.

x_5x_4 \ $x_3x_2x_1$		$x_3x_2x_1$							
		000	001	011	010	110	111	101	100
x_5x_4	00	0	0	1	1	1	1	1	н
	01	0	0	н	1	0	0	1	1
	11	н	0	0	0	1	1	1	1
	10	1	н	1	1	1	0	1	0

По результатам склеивания запишем ЛФ в минимальной ДНФ:

$$y = x_2\bar{x}_3\bar{x}_5 + x_2x_3\bar{x}_4\bar{x}_5 + x_1\bar{x}_2x_3 + \bar{x}_1\bar{x}_2 + x_3x_4 + x_3x_4x_5 + \bar{x}_1x_2x_3x_5 + \bar{x}_3\bar{x}_4x_5$$

Получив логическую функцию в минимальной форме, синтезируем ее схему в базе И-ИЛИ-НЕ, используя графический редактор Quartus Prime, а также выполним анализ и синтез и назначим входные и выходные сигналы на выводы микросхемы.

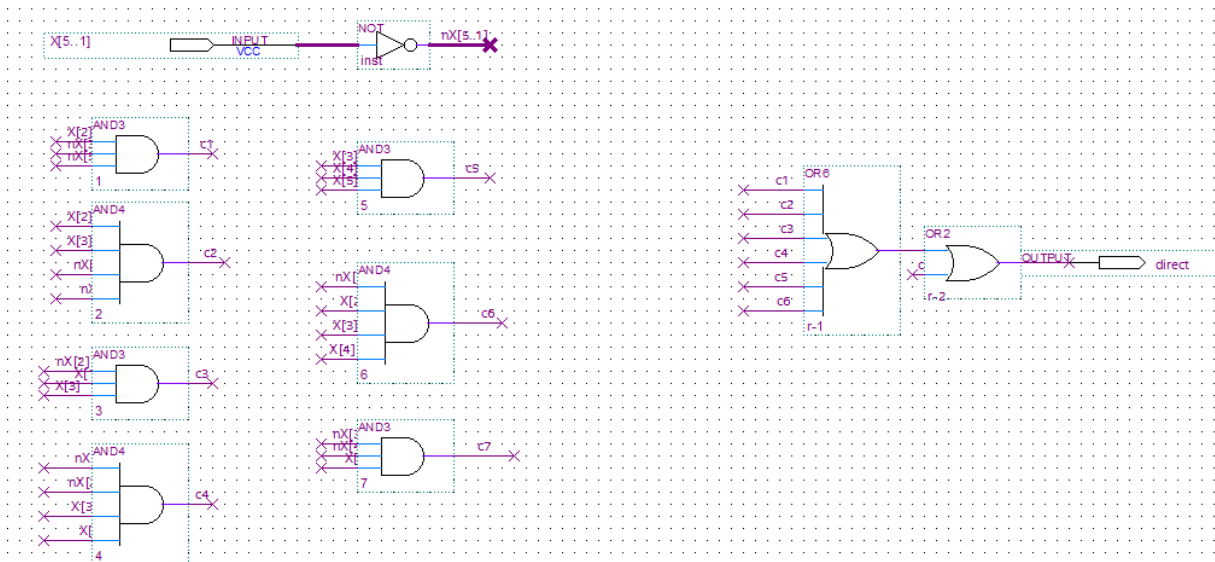


Рис. 3.1: Полученная схема

out	direct	Output	PIN_72	4	B4_NO	PIN_72	2.5 V	8mA (default)
in	X[5]	Input	PIN_88	5	B5_NO	PIN_88	3.3-V LVCMOS	2mA (default)
in	X[4]	Input	PIN_89	5	B5_NO	PIN_89	3.3-V LVCMOS	2mA (default)
in	X[3]	Input	PIN_90	6	B6_NO	PIN_90	3.3-V LVCMOS	2mA (default)
in	X[2]	Input	PIN_91	6	B6_NO	PIN_91	3.3-V LVCMOS	2mA (default)
in	X[1]	Input	PIN_49	3	B3_NO	PIN_49	3.3-V LVCMOS	2mA (default)

Рис. 3.2: Назначенные сигналы

3.3. Анализ синтеза комбинационной схемы

Для начала воспользуемся RTL Viewer для рассмотрения преобразования логики в процессе синтеза. На рисунке видно, что существенных изменений не произошло, за

исключением того, что теперь инверсия переменных реализуется на входах логических элементов.

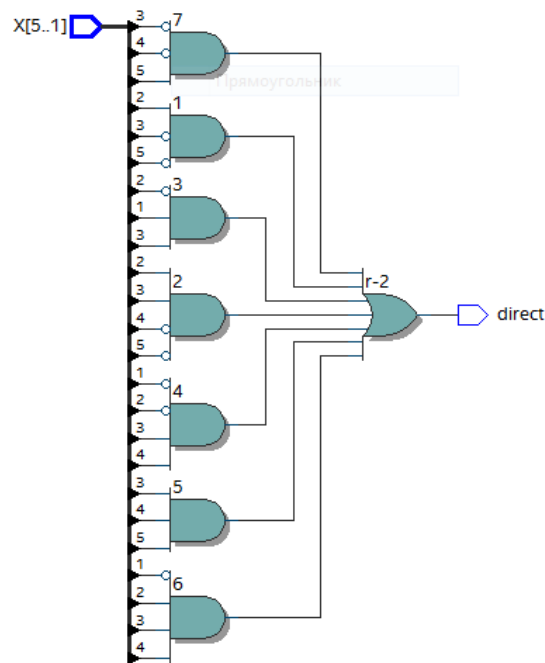


Рис. 3.3: Логическое представление устройства в RTL Viewer

На основе полученного RTL описания в процессе синтеза в элементном базисе выбранной для проекта ПЛИС синтезируется новая схема (Netlist) с той же функциональностью, что и исходная схема. Синтезированное представление схемы в базисе целевой ПЛИС доступно в Technology Map Viewer.

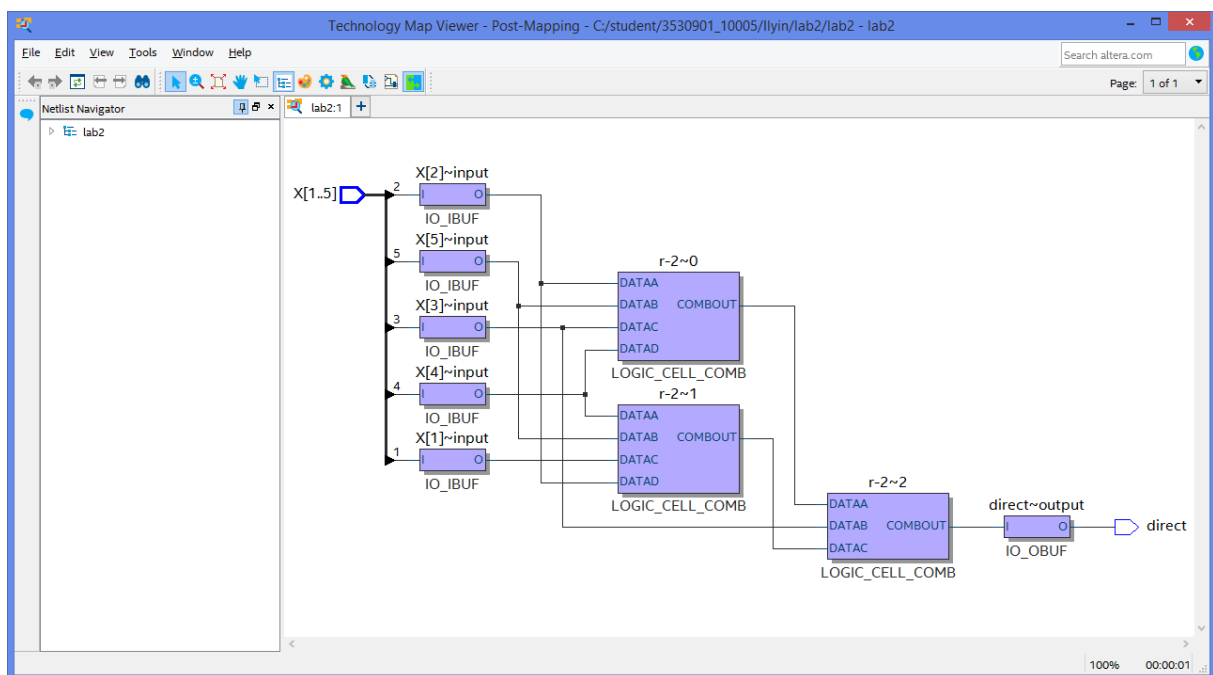


Рис. 3.4: Схема устройства в Technology Map Viewer

В редакторе временных диаграмм САПР QR создадим тест, в котором работа КС проверяется на всех наборах входных сигналов.

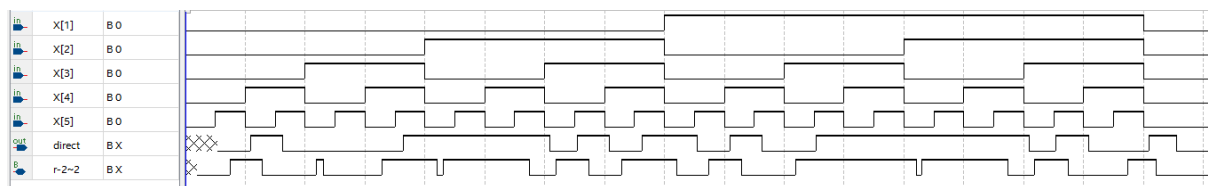


Рис. 3.5: Временная диаграмма

На диаграмме видно, что полученные выходные сигналы совпадают с ожидаемыми, следовательно, схема реализована верно.

Последним шагом в работе была реализация КС на физической модели. При помощи Quartus Prime, была запрограммирована микросхема miniDiLaB-CIV с ПЛИС Cyclone IV EP4CE6E22C8N, на которой при помощи переключателей и светодиодов еще раз была проверена правильность работы логической функции.

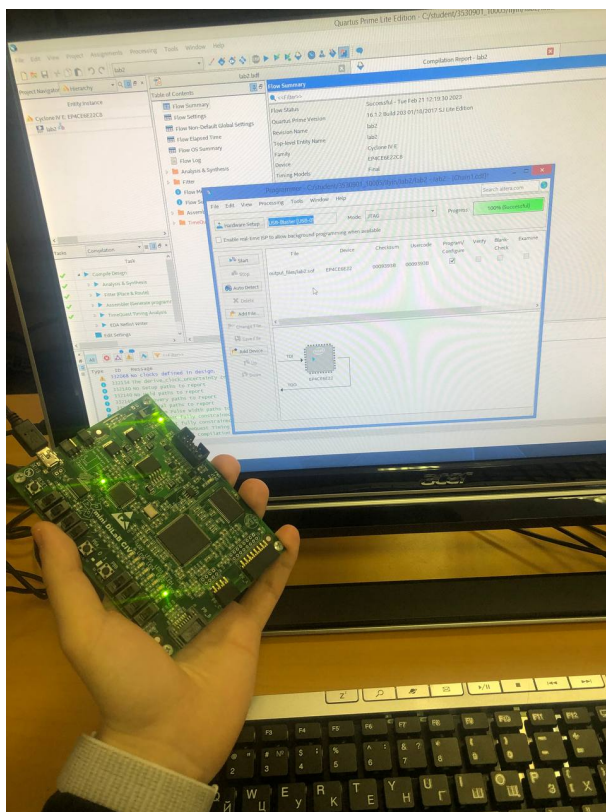


Рис. 3.6: Пример работы физической модели

4. Вывод

В результате работы заданная таблично логическая функция была минимизирована при помощи карт Карно. Была синтезирована и исследована комбинационная схема. В заключение, она была реализована на физической модели.