



# Chương 3:

## HỆ TỔ HỢP



# Ch03 - HỆ TỔ HỢP

---

## **I. Khái niệm:**

### **■ Mạch logic:**

- Mạch tổ hợp (Combinational Circuit).**
- Mạch tuần tự (Sequential Circuit).**

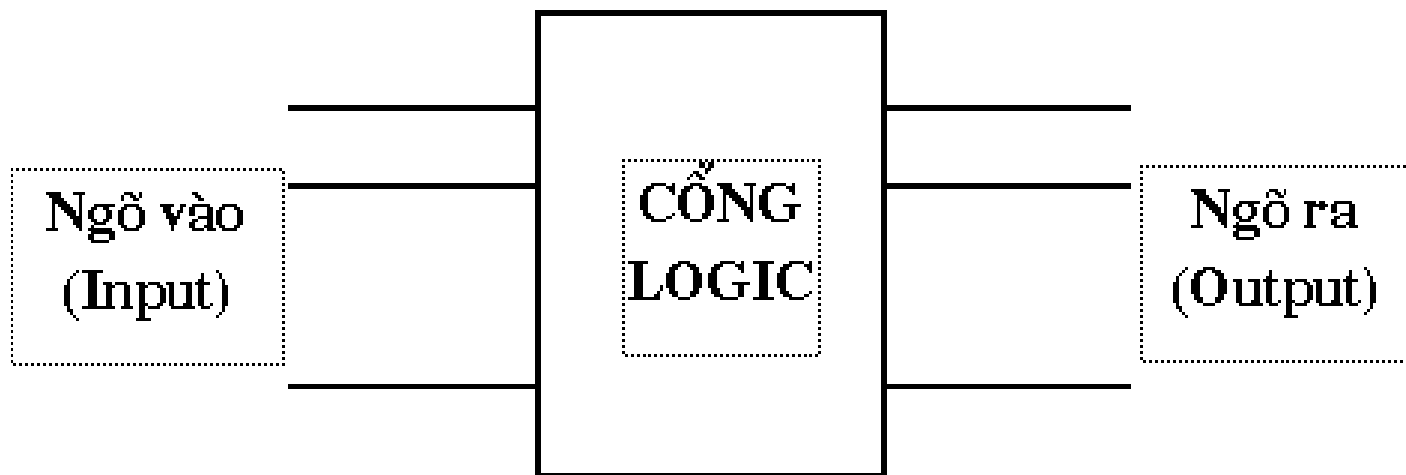
### **■ Mạch tổ hợp:**

- ngõ ra chỉ phụ thuộc vào giá trị của ngõ vào.**
- thay đổi của ngõ vào sẽ làm ngõ ra thay đổi theo**



# Ch03 - HỆ TỔ HỢP

---





## Ch03 - HỆ TỔ HỢP

---

- **Các bước thiết kế:**
  - **Phát biểu bài toán.**
  - **Xác định số biến vào, số biến ra.**
  - **Thành lập bảng giá trị.**
  - **Tìm biểu thức rút gọn.**
  - **Thực hiện sơ đồ logic.**
- **Nếu dùng hết  $2^n$  tổ hợp ngõ vào, tại tổ hợp không sử dụng, ngõ ra có giá trị tùy định.**



## Ch03 - HỆ TỔ HỢP

---

### ■ Ví dụ 1:

- Thiết kế hệ tổ hợp có 3 ngõ vào  $x, y, z$ ; và 2 ngõ ra  $F, G$ . Ngõ ra  $F$  là 1 nếu như 3 ngõ vào có số bit 1 nhiều hơn số bit 0; ngược lại  $F = 0$ . Ngõ ra  $G$  là 1 nếu như giá trị nhị phân của ngõ vào lớn hơn 1 và nhỏ hơn 6; ngược lại  $G = 0$ .
- Hệ có 3 ngõ vào:  $x, y, z$  và 2 ngõ ra:  $F, G$ .



## Ch03 - HỆ TỔ HỢP

### ■ Bảng giá trị:

x	y	z	F	G
0	0	0	0	0
0	0	1	0	0
0	1	0	0	1
0	1	1	1	1
1	0	0	0	1
1	0	1	1	1
1	1	0	1	0
1	1	1	1	0

# Ch03 - HỆ TỔ HỢP

- Tìm biểu thức rút gọn:

		xy			
		00	01	11	10
z	0			1	
	1		1	1	1

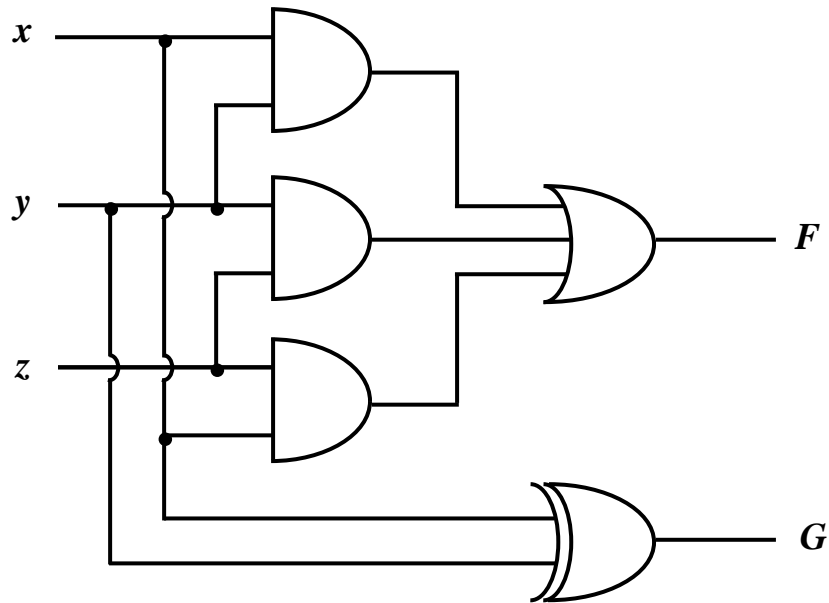
$$F = xy + yz + xz$$

		xy			
		00	01	11	10
z	0		1		1
	1		1		1

$$G = \bar{x}y + x\bar{y} = x \oplus y$$

## Ch03 - HỆ TỔ HỢP

### ■ Thực hiện sơ đồ logic:







## Ch03 - HỆ TỔ HỢP

---

### ■ Ví dụ 2:

- Thiết kế hệ tổ hợp có ngõ vào biểu diễn cho 1 số mã BCD. Nếu giá trị ngõ vào nhỏ hơn 3 thì ngõ ra có giá trị bằng bình phương giá trị ngõ vào; ngược lại giá trị ngõ ra bằng giá trị ngõ vào trừ đi 3.
- Hệ có 4 ngõ vào và 3 ngõ ra.



## Ch03 - HỆ TỔ HỢP

■ Bảng giá trị của hệ:

■ Biểu thức rút gọn:

$$F2 = A + BCD + \bar{B}C\bar{D}$$

$$F1 = AD + B\bar{C}D + BC\bar{D}$$

$$F0 = A\bar{D} + B\bar{D} + \bar{A}\bar{B}\bar{C}D$$

A	B	C	D	F2	F1	F0
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	1	0	0
0	0	1	1	0	0	0
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	1	0	0
1	0	0	0	1	0	1
1	0	0	1	1	1	0
1	0	1	0	x	x	x
1	0	1	1	x	x	x
1	1	0	0	x	x	x
1	1	0	1	x	x	x
1	1	1	0	x	x	x
1	1	1	1	x	x	x



## Ch03 - HỆ TỔ HỢP

---

### II. Mạch số học:

#### ■ Bộ cộng (Adder):

##### ■ Bộ cộng bán phần (Half Adder - H.A):

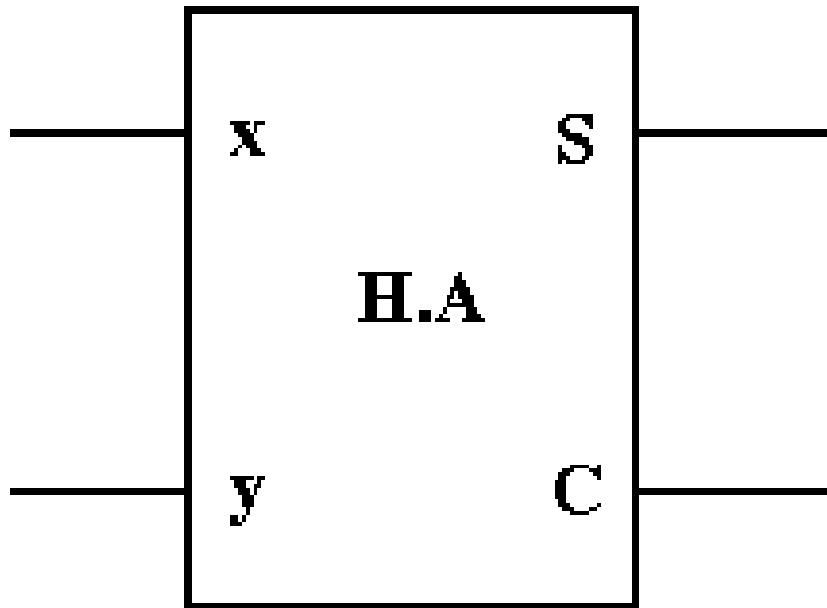
- hệ tổ hợp có 2 ngõ vào  $x, y$ ;
- 2 ngõ ra  $S$  (Sum) và  $C$  (Carry).
- thực hiện phép cộng số học 2 bit nhị phân  $x + y$



## Ch03 - HỆ TỔ HỢP

---

- Sơ đồ khối của H.A:





## Ch03 - HỆ TỔ HỢP

---

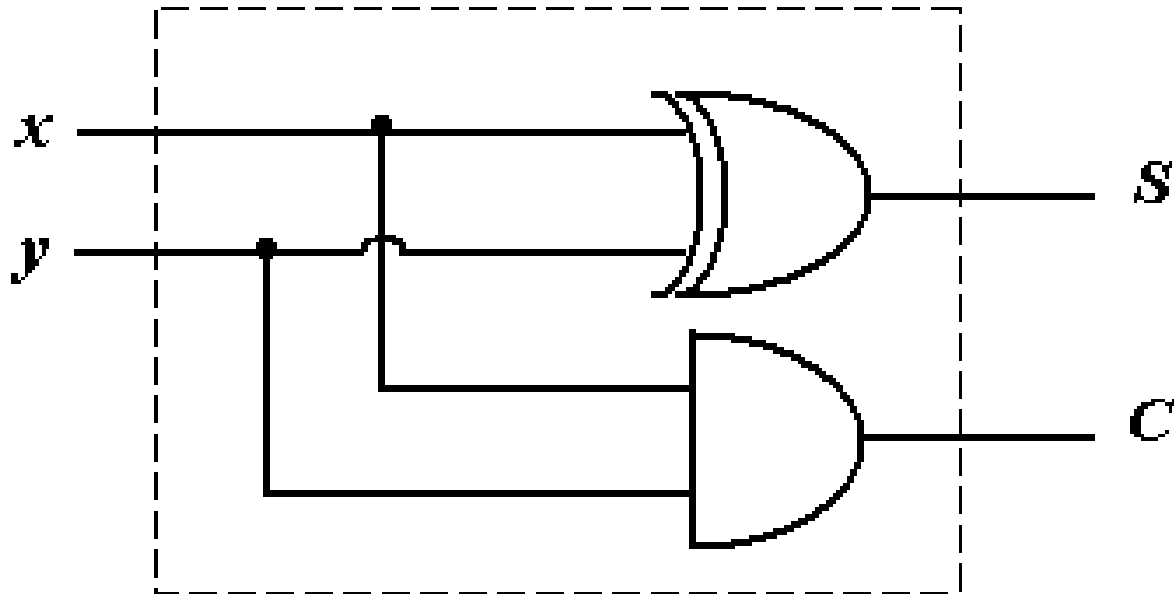
■ **Bảng giá trị:**

<b>x</b>	<b>y</b>	<b>C</b>	<b>S</b>
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

$$S = x \oplus y \text{ và } C = x y$$

## Ch03 - HỆ TỔ HỢP

### ■ Mạch cộng bán phần:





## Ch03 - HỆ TỔ HỢP

---

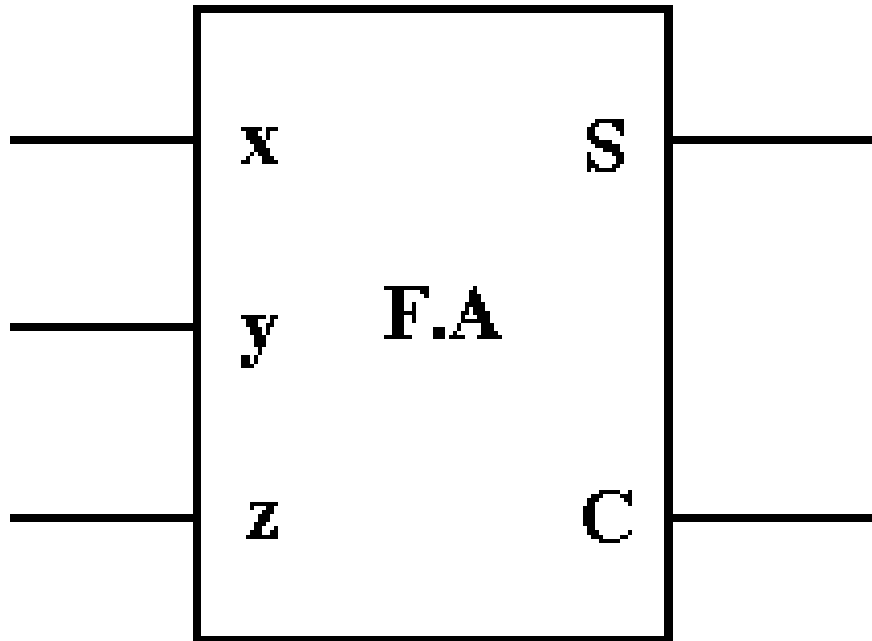
- **Bộ cộng toàn phần (Full Adder - F.A):**
  - cộng số học 3 bit  $x + y + z$  ( $z$  là bit nhớ từ vị trí có trọng số nhỏ hơn gởi tới).



## Ch03 - HỆ TỔ HỢP

---

- Sơ đồ khối của F.A:







## Ch03 - HỆ TỔ HỢP

---

### ■ Bảng giá trị:

<b>x</b>	<b>y</b>	<b>z</b>	<b>C</b>	<b>S</b>
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

# Ch03 - HỆ TỔ HỢP

## ■ Rút gọn công thức:

S z \ x y	00	01	11	10
	0	1		1
1	1		1	

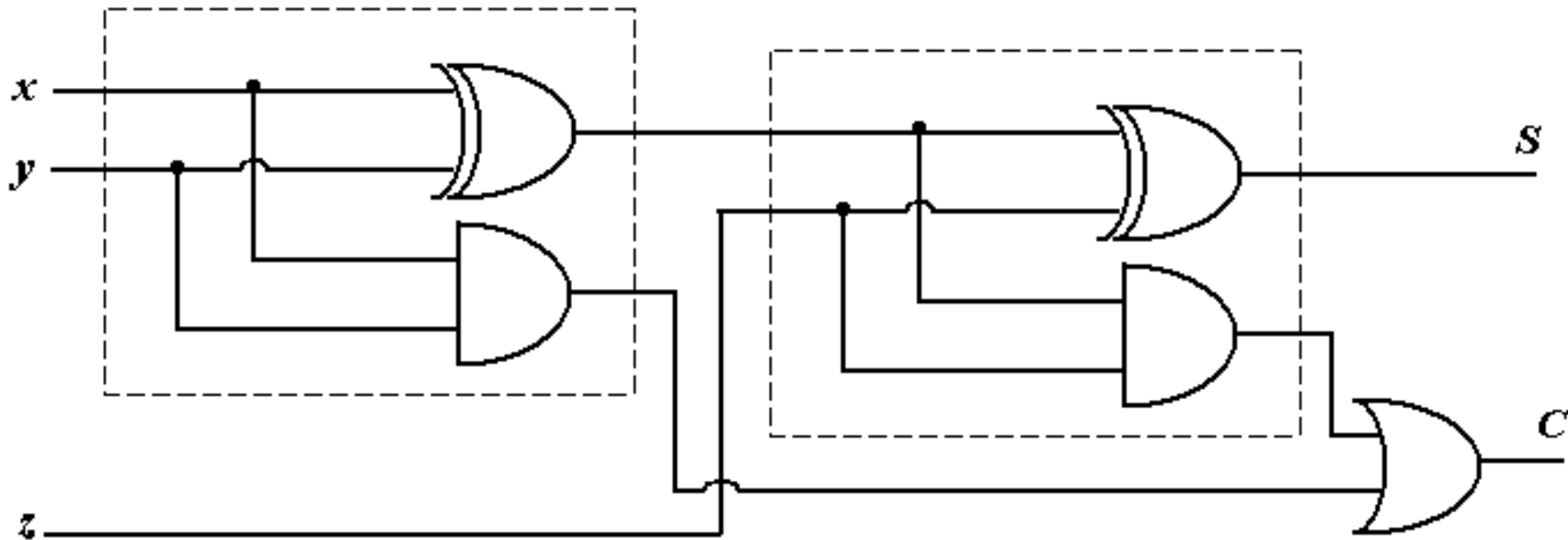
$$\begin{aligned} S &= \bar{x}\bar{y}z + \bar{x}y\bar{z} + xy\bar{z} + x\bar{y}\bar{z} \\ &= z(\bar{x}\bar{y} + xy) + \bar{z}(\bar{x}y + x\bar{y}) \\ &= z(\overline{x \oplus y}) + \bar{z}(x \oplus y) \\ &= z \oplus (x \oplus y) \end{aligned}$$

C z \ x y	00	01	11	10
			1	
1		1	1	1

$$\begin{aligned} C &= xy + xz + yz \\ &= xy + x\bar{y}z + xy\bar{z} + \bar{x}yz \\ &= xy + z(x\bar{y} + \bar{x}y) \\ &= xy + z(x \oplus y) \end{aligned}$$

## Ch03 - HỆ TỔ HỢP

- Mạch cộng toàn phần F.A= 2 bộ H.A và OR





## Ch03 - HỆ TỔ HỢP

---

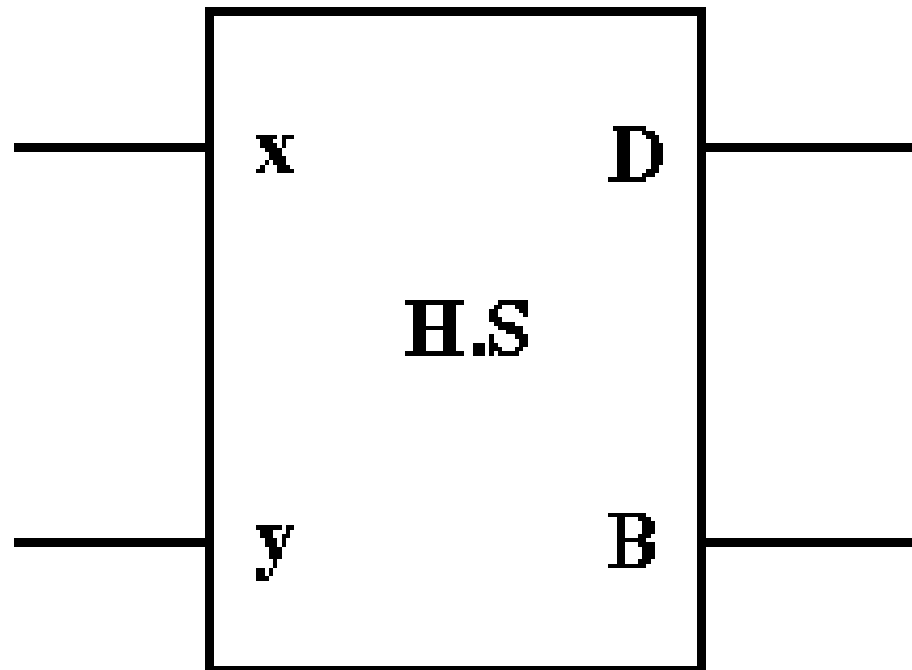
- **Bộ trừ (Subtractor):**
  - **Bộ trừ bán phần (H.S):**
    - hệ tổ hợp có 2 ngõ vào  $x, y$
    - 2 ngõ ra **D (Difference)** và **B (Borrow)**.
    - thực hiện phép trừ số học 2 bit nhị phân  $x - y$



## Ch03 - HỆ TỔ HỢP

---

- Sơ đồ khối:





## Ch03 - HỆ TỔ HỢP

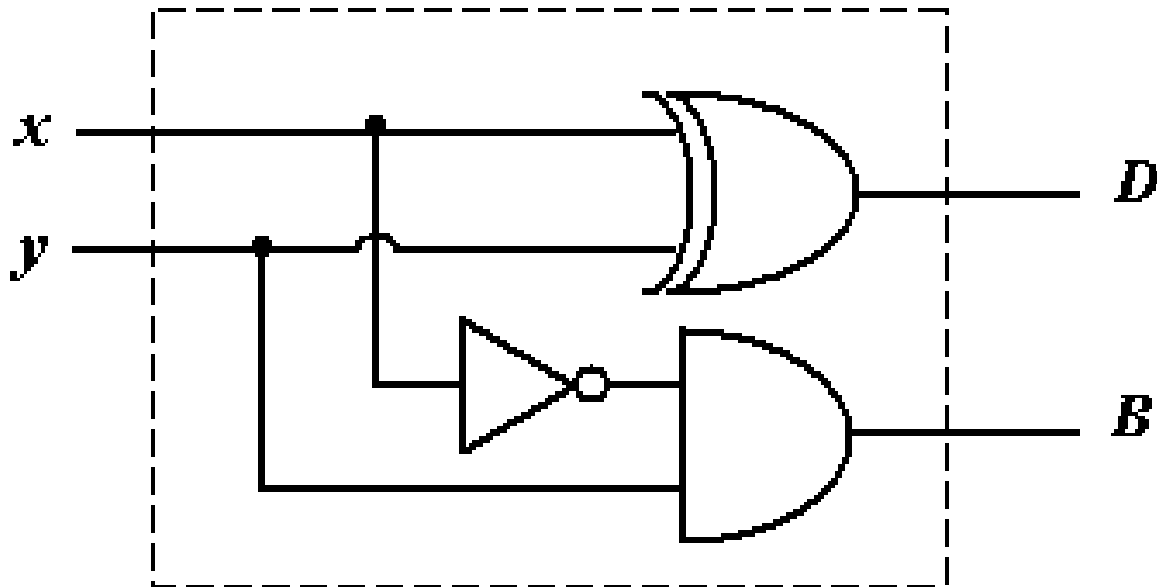
■ **Bảng giá trị:**

<b>x</b>	<b>y</b>	<b>B</b>	<b>D</b>
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

$$\mathbf{D = x \oplus y \quad và \quad B = \overline{x} \, y}$$

## Ch03 - HỆ TỔ HỢP

### ■ Mạch trừ bán phần:





## Ch03 - HỆ TỔ HỢP

---

- **Bộ trừ toàn phần (F.S):**
  - thực hiện phép trừ số học 3 bit  $x - y - z$  ( $z$  là bit mượn từ vị trí có trọng số nhỏ hơn gởi tới)

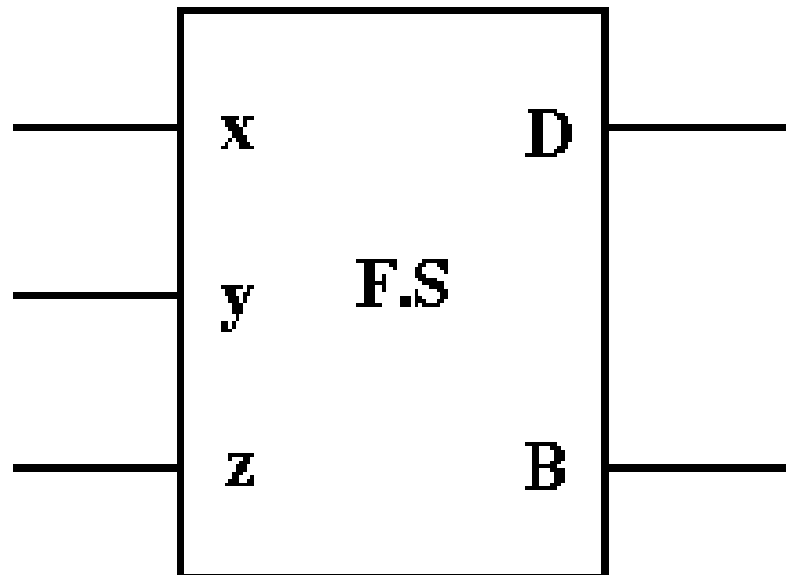




## Ch03 - HỆ TỔ HỢP

---

- **Sơ đồ khối:**





## Ch03 - HỆ TỔ HỢP

---

### ■ Bảng giá trị:

<b>x</b>	<b>y</b>	<b>z</b>	<b>B</b>	<b>D</b>
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

# Ch03 - HỆ TỔ HỢP

## ■ Rút gọn công thức:

**D**

z \ x y	00	01	11	10
	0	1	0	1
0		1		1
1	1		1	

$$\begin{aligned}
 D &= \bar{x}\bar{y}z + \bar{x}y\bar{z} + x y z + x\bar{y}\bar{z} \\
 &= z(\bar{x}\bar{y} + x y) + \bar{z}(\bar{x}y + x\bar{y}) \\
 &= z(\overline{x \oplus y}) + \bar{z}(x \oplus y) \\
 &= z \oplus (x \oplus y)
 \end{aligned}$$

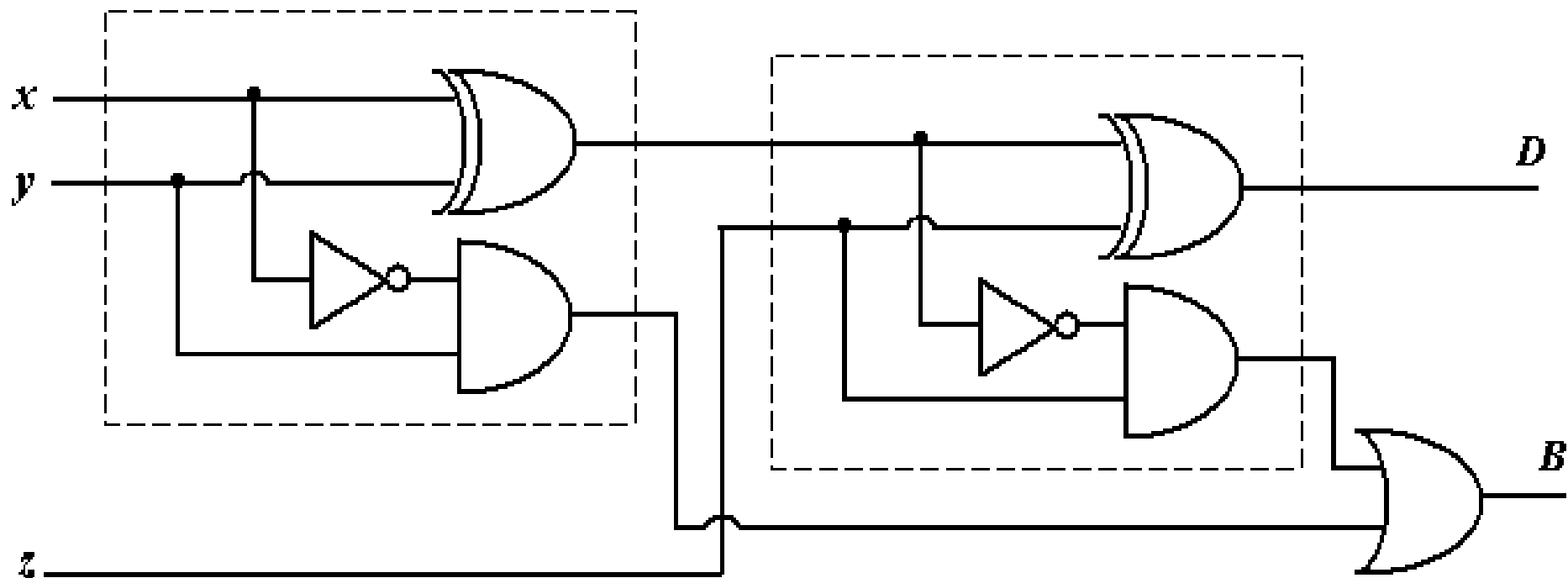
**B**

z \ x y	00	01	11	10
	0	1	0	1
0		1		
1	1	1	1	

$$\begin{aligned}
 B &= \bar{x}y + \bar{x}z + yz \\
 &= \bar{x}y + \bar{x}\bar{y}z + \bar{x}y z + x y z \\
 &= \bar{x}y + z(\bar{x}\bar{y} + x y) \\
 &= \bar{x}y + z(\overline{x \oplus y})
 \end{aligned}$$

## Ch03 - HỆ TỔ HỢP

### ■ Mạch trừ toàn phần F.S= 2 H.S và OR





## Ch03 - HỆ TỔ HỢP

### ■ Bộ cộng/trừ nhị phân song song:

#### ■ Bộ cộng nhị phân:

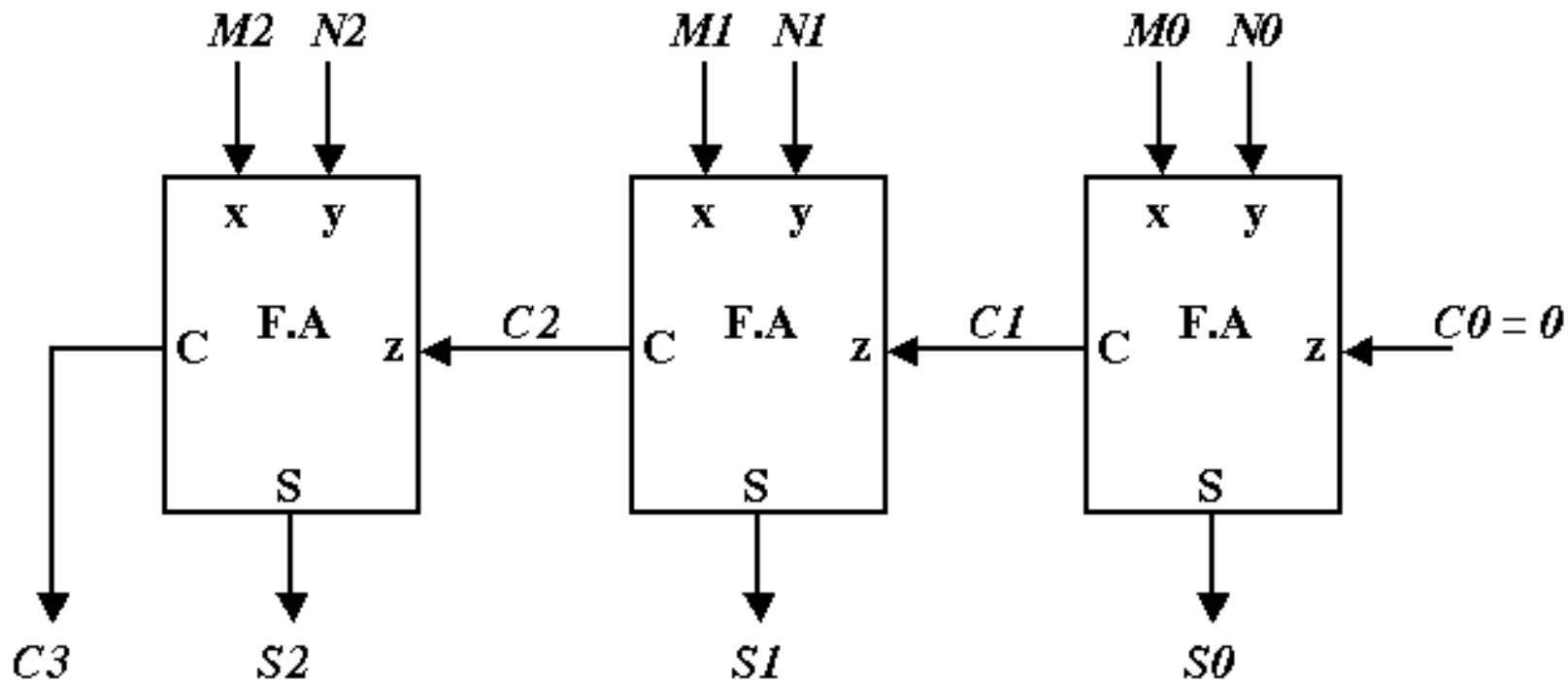
- Cộng 2 số nhị phân M và N, mỗi số 3 bit.

bit nhớ:		C2	C1	
M	:	M2	M1	M0
N	: +	N2	N1	N0
kết quả:		C3	S2	S1 S0

- Thực hiện bộ cộng nhị phân 3 bit bằng cách ghép 3 bộ cộng toàn phần.

## Ch03 - HỆ TỔ HỢP

### ■ Mạch cộng 3 bit:

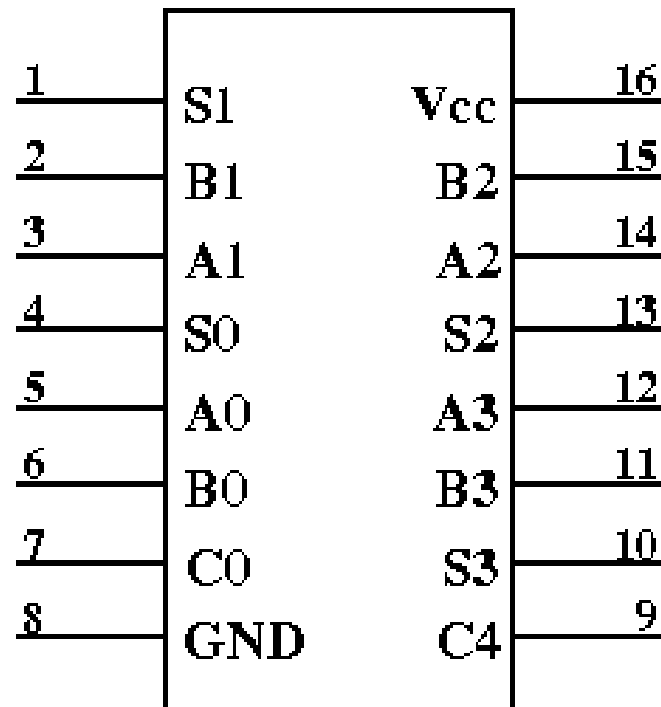




## Ch03 - HỆ TỔ HỢP

---

- IC cộng nhị phân song song 4 bit: 74LS283





## Ch03 - HỆ TỔ HỢP

---

- Bộ trừ nhị phân song song:

Có 2 cách:

- Ghép n bộ F.S.
- Thực hiện phép cộng với bù 2 của số trừ.

$$M - N = M + BÙ\_2(N) = M + BÙ\_1(N) + 1$$

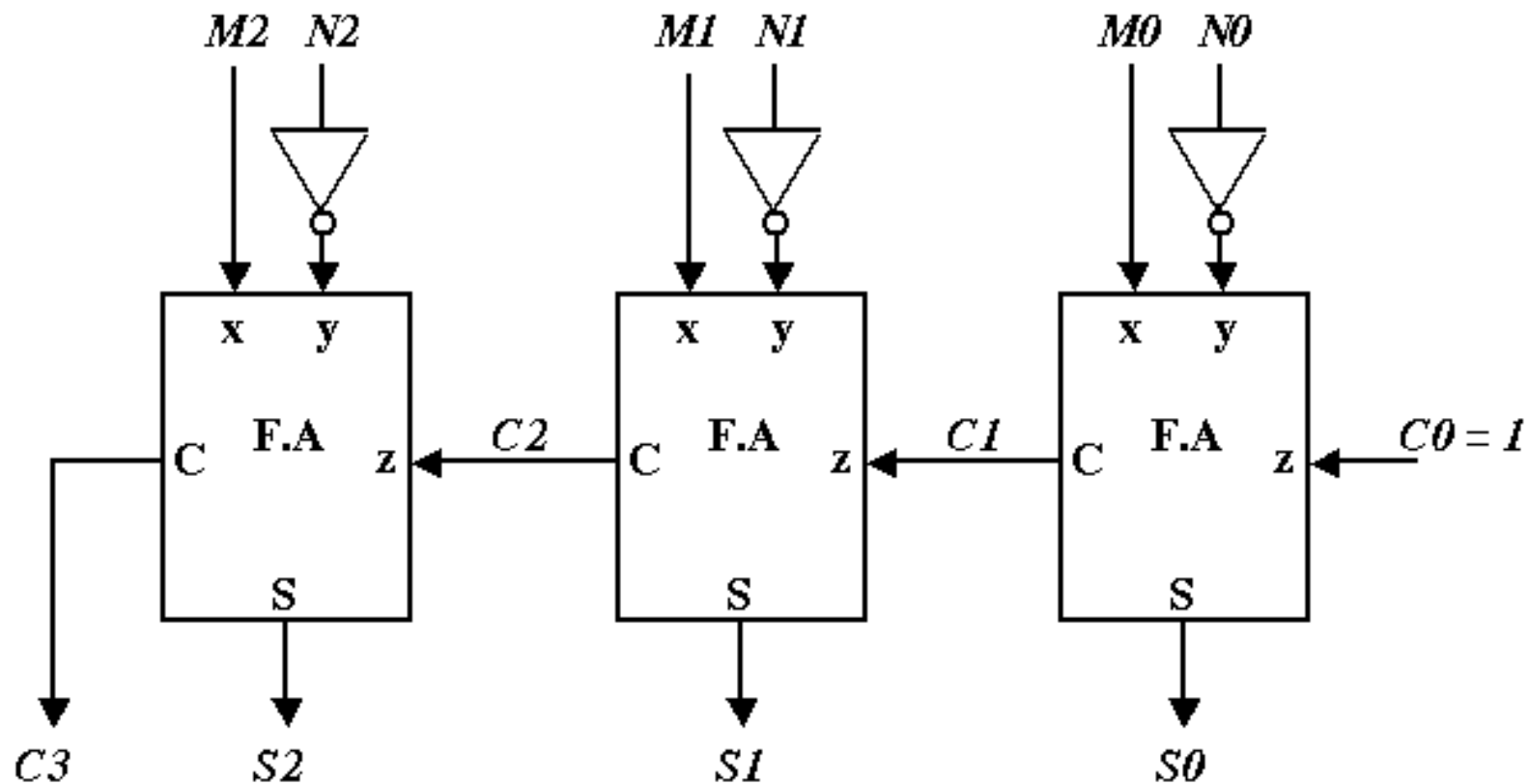
- Kết quả:  $C_n = 1$  kết quả là số dương.

$C_n = 0$  kết quả là số âm.



## Ch03 - HỆ TỔ HỢP

### ■ Mạch trừ song song:





## Ch03 - HỆ TỔ HỢP

---

- **Bộ cộng/trừ nhị phân:**
  - Có thể kết hợp phép cộng và trừ trên cùng một bộ cộng nhị phân.
  - Sử dụng thêm 1 biến điều khiển  $T$ :  $T = 0$  thực hiện phép cộng,  $T = 1$  thực hiện phép trừ.
  - Phép cộng và phép trừ khác nhau ở ngõ vào  $y_i$  và  $C_0$ .



## Ch03 - HỆ TỔ HỢP

---

$$T = 0$$

thực hiện phép cộng,

$$T = 1$$

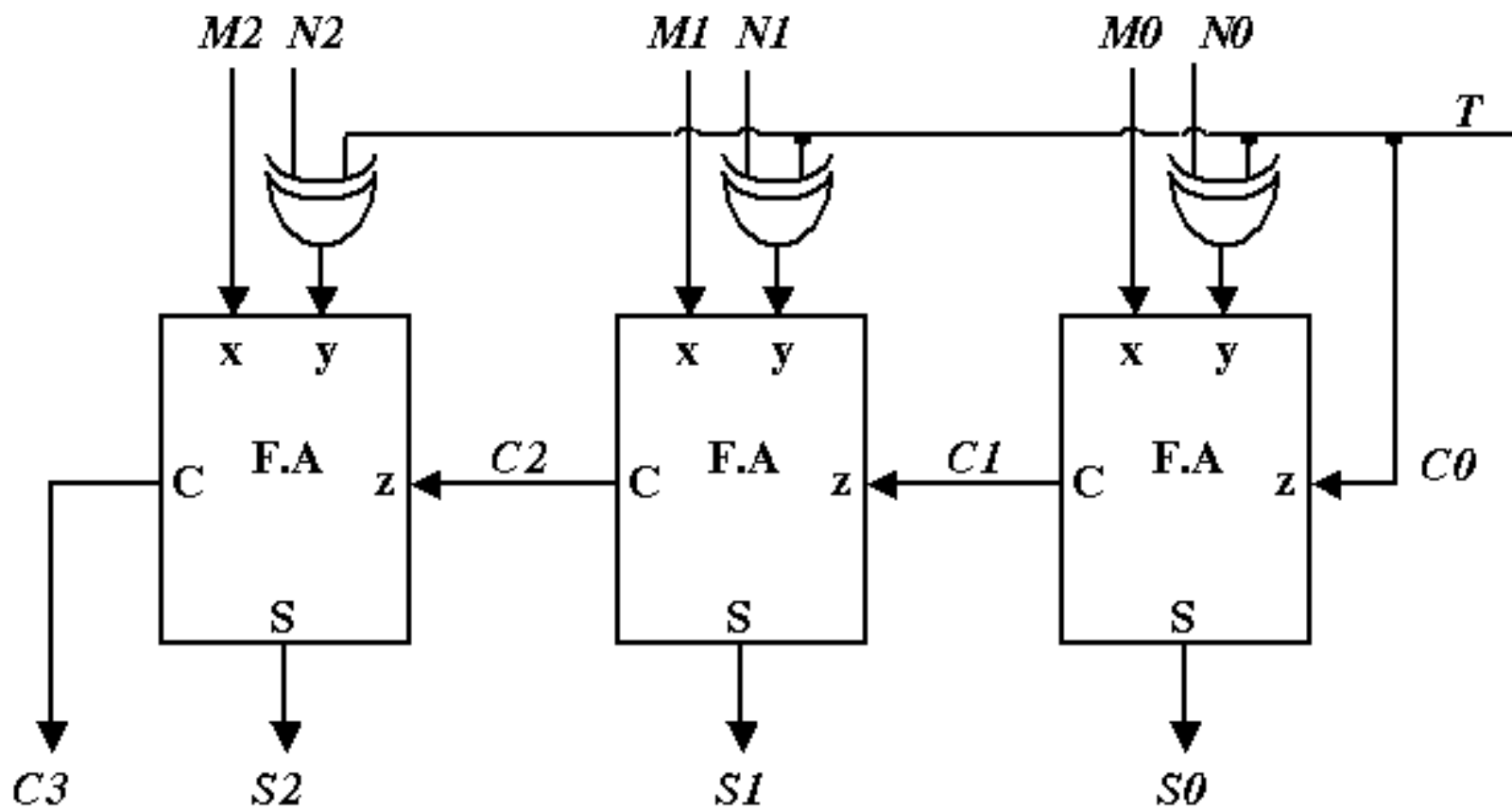
thực hiện phép trừ.

$T$	$N_i$	$C_0$
0	$N_i$	0
1	$\overline{N_i}$	1

$$C_0 = T$$

$$N_i = T \oplus N_i$$

# Ch03 - HỆ TỔ HỢP





## Ch03 - HỆ TỔ HỢP

---

- Phương pháp nhớ nhanh (fast carry):

Đặt  $P_i = x_i \oplus y_i$  và  $G_i = x_i y_i$

$$S_i = x_i \oplus y_i \oplus z_{i-1} = P_i \oplus z_{i-1}$$

$$z_i = (x_i \oplus y_i)z_{i-1} + x_i y_i = P_i z_{i-1} + G_i$$

$$z_1 = P_1 z_0 + G_1$$

$$\begin{aligned} z_2 &= P_2 z_1 + G_2 = P_2(P_1 z_0 + G_1) + G_2 \\ &= P_2 P_1 z_0 + P_2 G_1 + G_2 \end{aligned}$$

$$z_3 = P_3 P_2 P_1 z_0 + P_3 P_2 G_1 + P_3 G_2 + G_3$$

# Ch03 - HỆ TỔ HỢP

## ■ 74182.

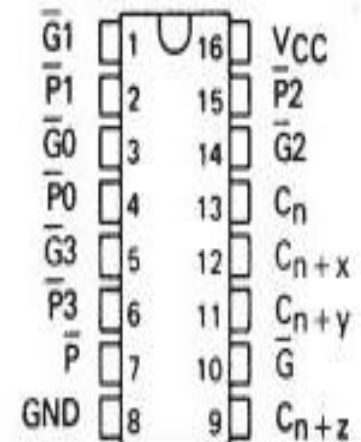
- Directly Compatible for Use With:  
SN54LS181/SN74LS181,  
SN54S281/SN74S281, SN54S381,  
SN74S381, SN54S481/SN74S481

PIN DESIGNATIONS

ALTERNATIVE	DESIGNATIONS†	PIN NOS.	FUNCTION
$\bar{G}0, \bar{G}1, \bar{G}2, \bar{G}3$	G0, G1, G2, G3	3, 1, 14, 5	CARRY GENERATE INPUTS
$\bar{P}0, \bar{P}1, \bar{P}2, \bar{P}3$	P0, P1, P2, P3	4, 2, 15, 6	CARRY PROPAGATE INPUTS
$C_n$	$\bar{C}_n$	13	CARRY INPUT
$C_{n+x}, C_{n+y}, C_{n+z}$	$\bar{C}_{n+x}, \bar{C}_{n+y}, \bar{C}_{n+z}$	12, 11, 9	CARRY OUTPUTS
$\bar{G}$	Y	10	CARRY GENERATE OUTPUT
$\bar{P}$	X	7	CARRY PROPAGATE OUTPUT
VCC		16	SUPPLY VOLTAGE
GND		8	GROUND

SN54S182 . . . J OR W PACKAGE  
SN74S182 . . . D OR N PACKAGE

(TOP VIEW)



SN54S182 . . . FK PACKAGE  
(TOP VIEW)

# Ch03 - HỆ TỔ HỢP



O = Pin Number  
V<sub>CC</sub> = Pin 16  
GND = Pin 8



## Ch03 - HỆ TỔ HỢP

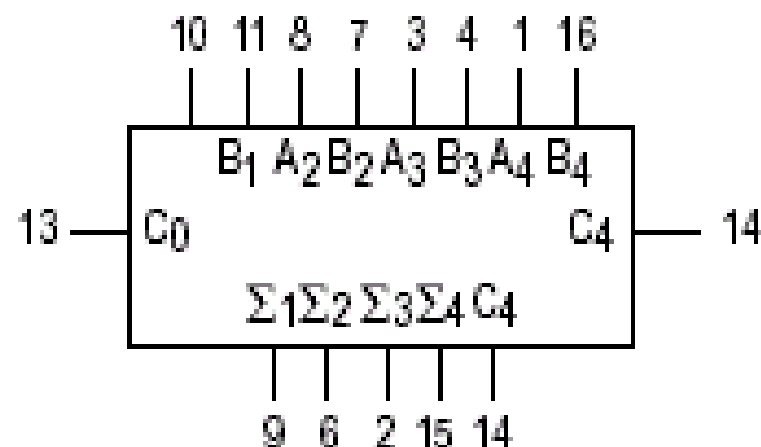
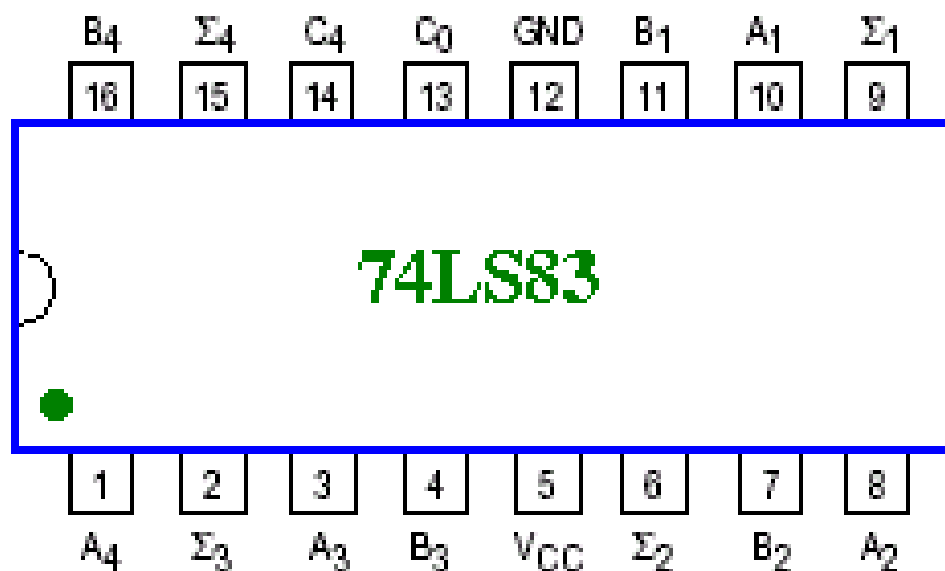
---

- **Các vi mạch thực hiện phép cộng số học:**
  - **7480 : Cộng toàn phần 1 bit.**
  - **7482 : Cộng toàn phần 2 bit.**
  - **7483 : Cộng toàn phần 4 bit.**
  - **74283 : Cộng toàn phần 4 bit.**



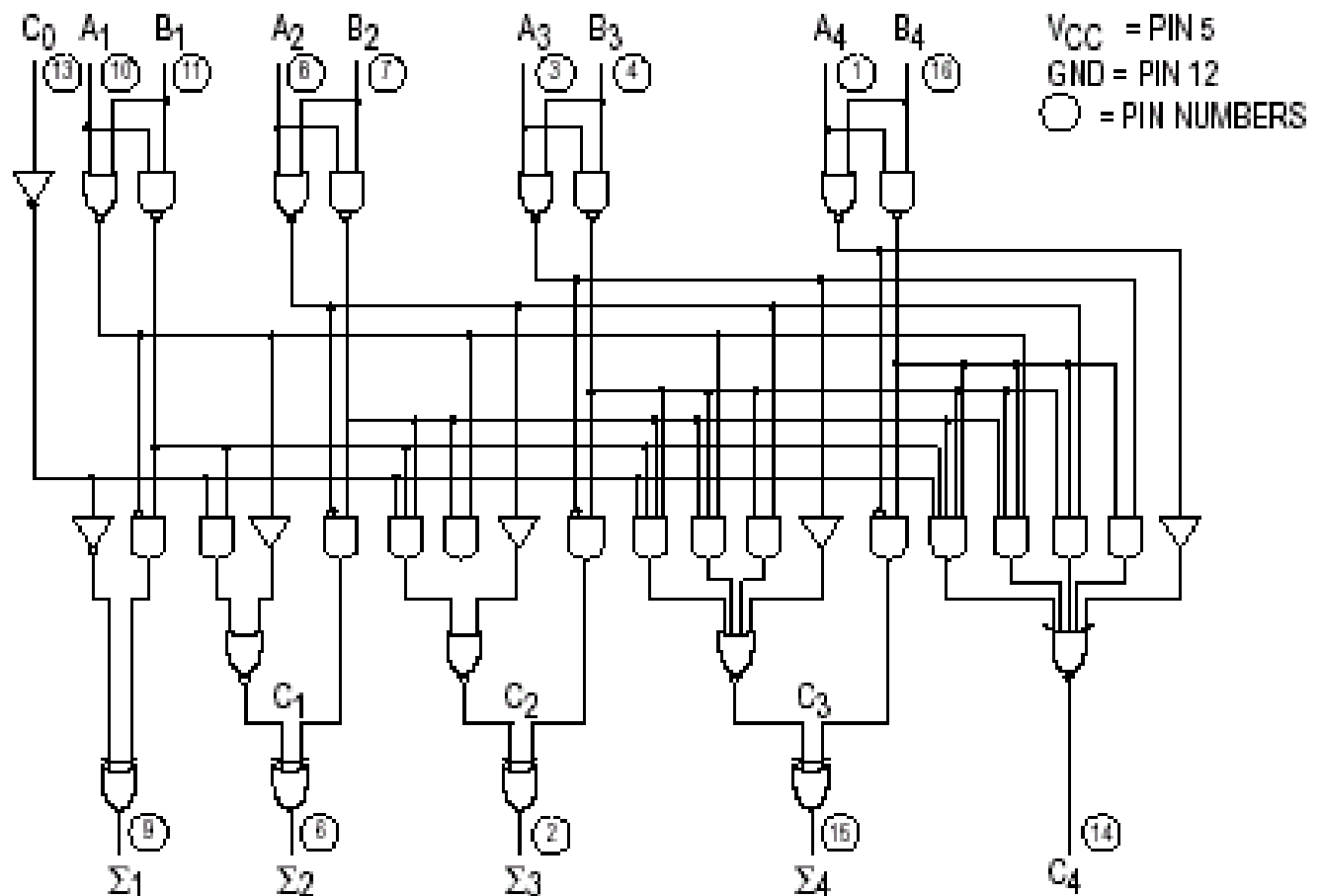
# Ch03 - HỆ TỔ HỢP

## ■ 7483:



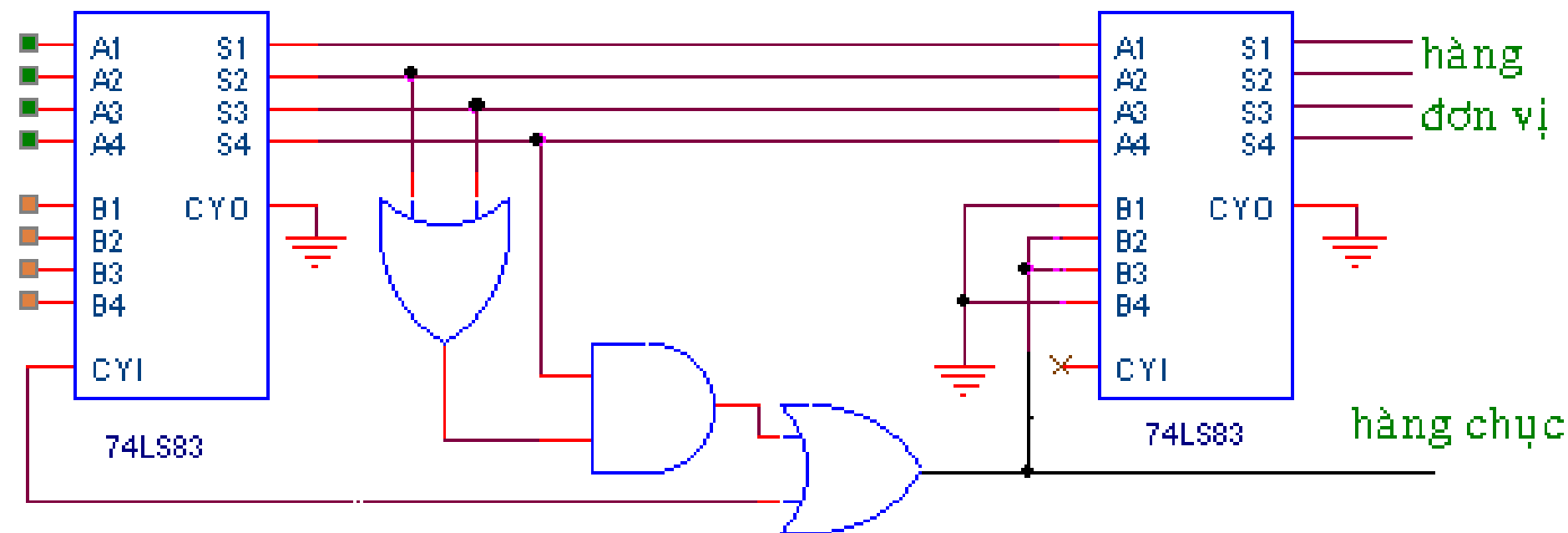
# Ch03 - HỆ TỔ HỢP

LOGIC DIAGRAM



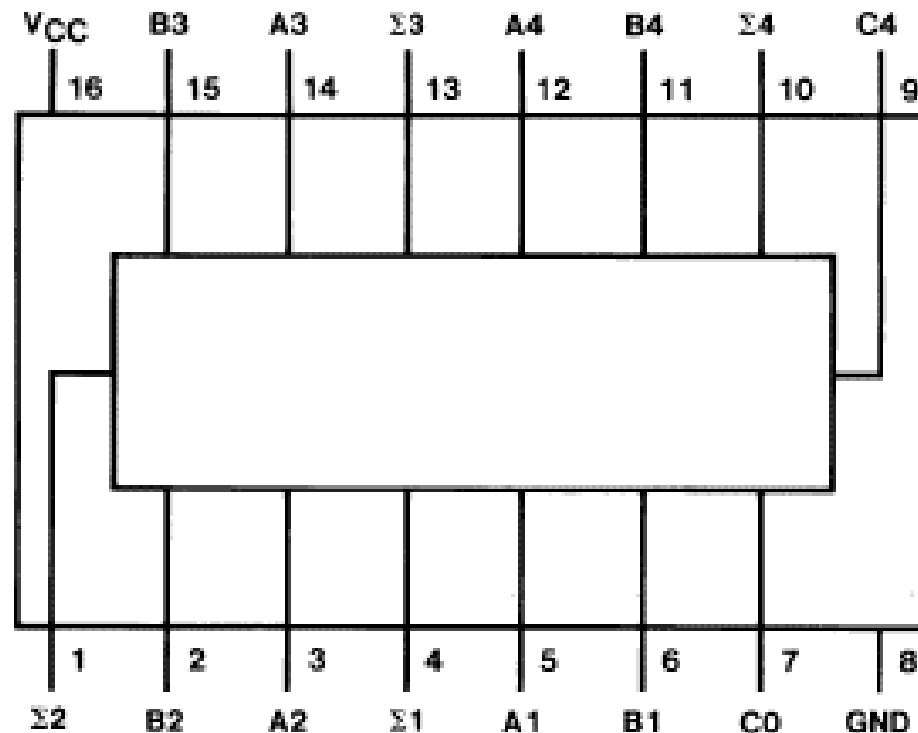
## Ch03 - HỆ TỔ HỢP

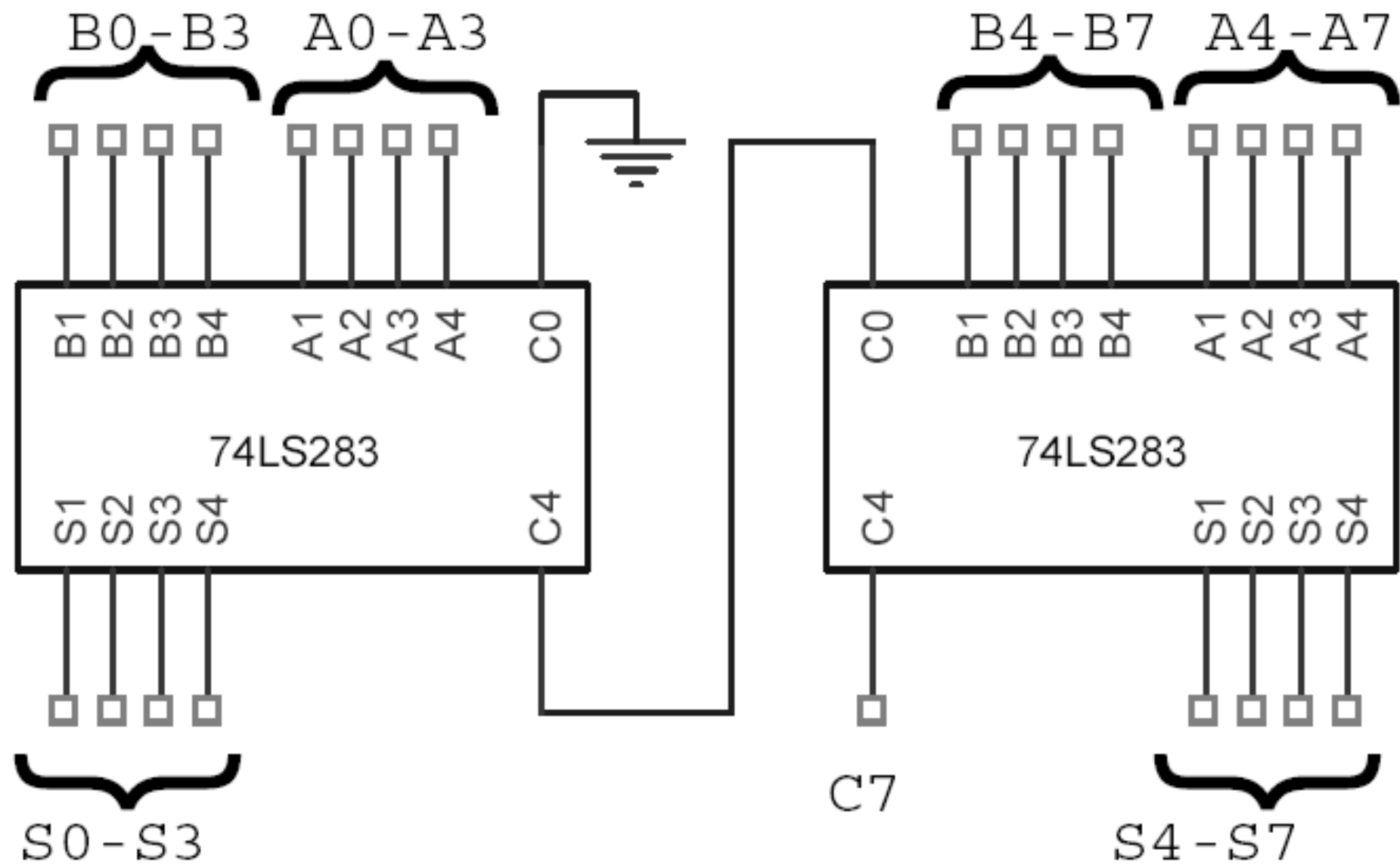
### ■ Mạch cộng 2 số BCD dùng 7483.

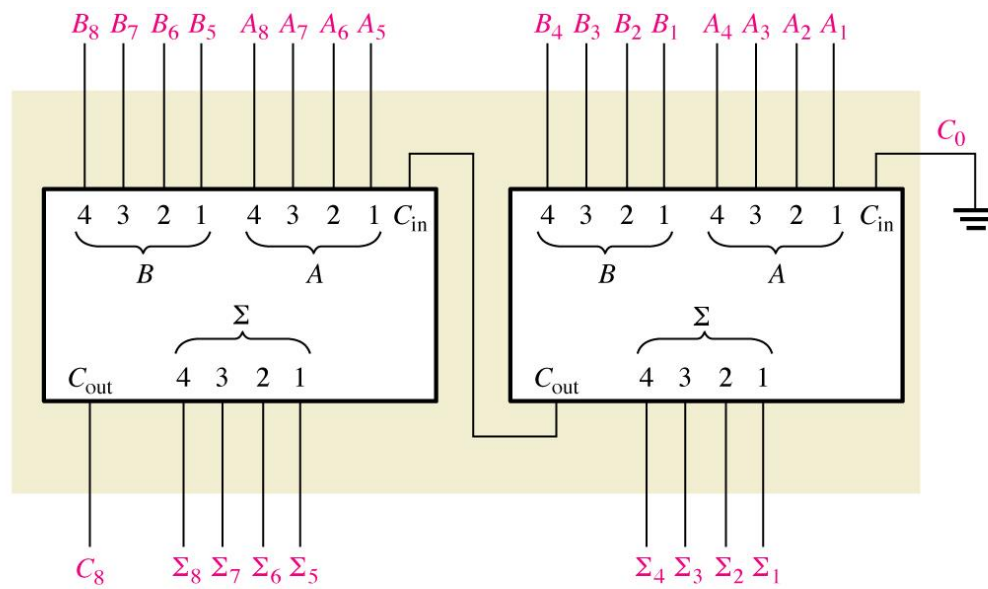


# Ch03 - HỆ TỔ HỢP

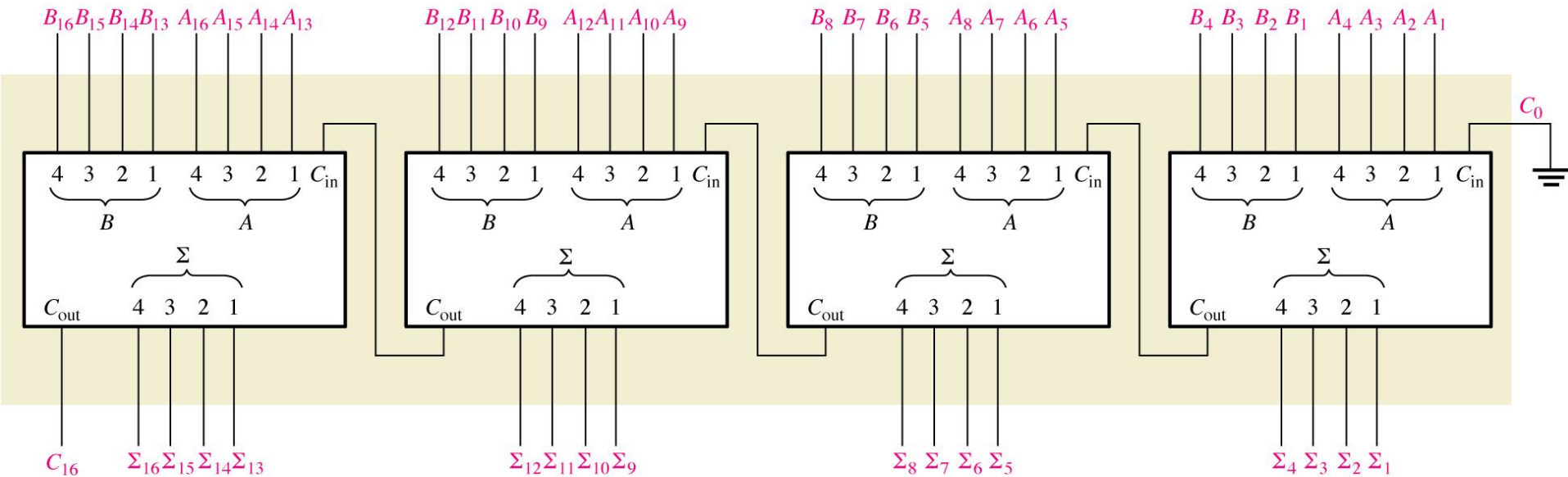
## ■ 74283:







(a) Cascading of two 4-bit adders to form an 8-bit adder

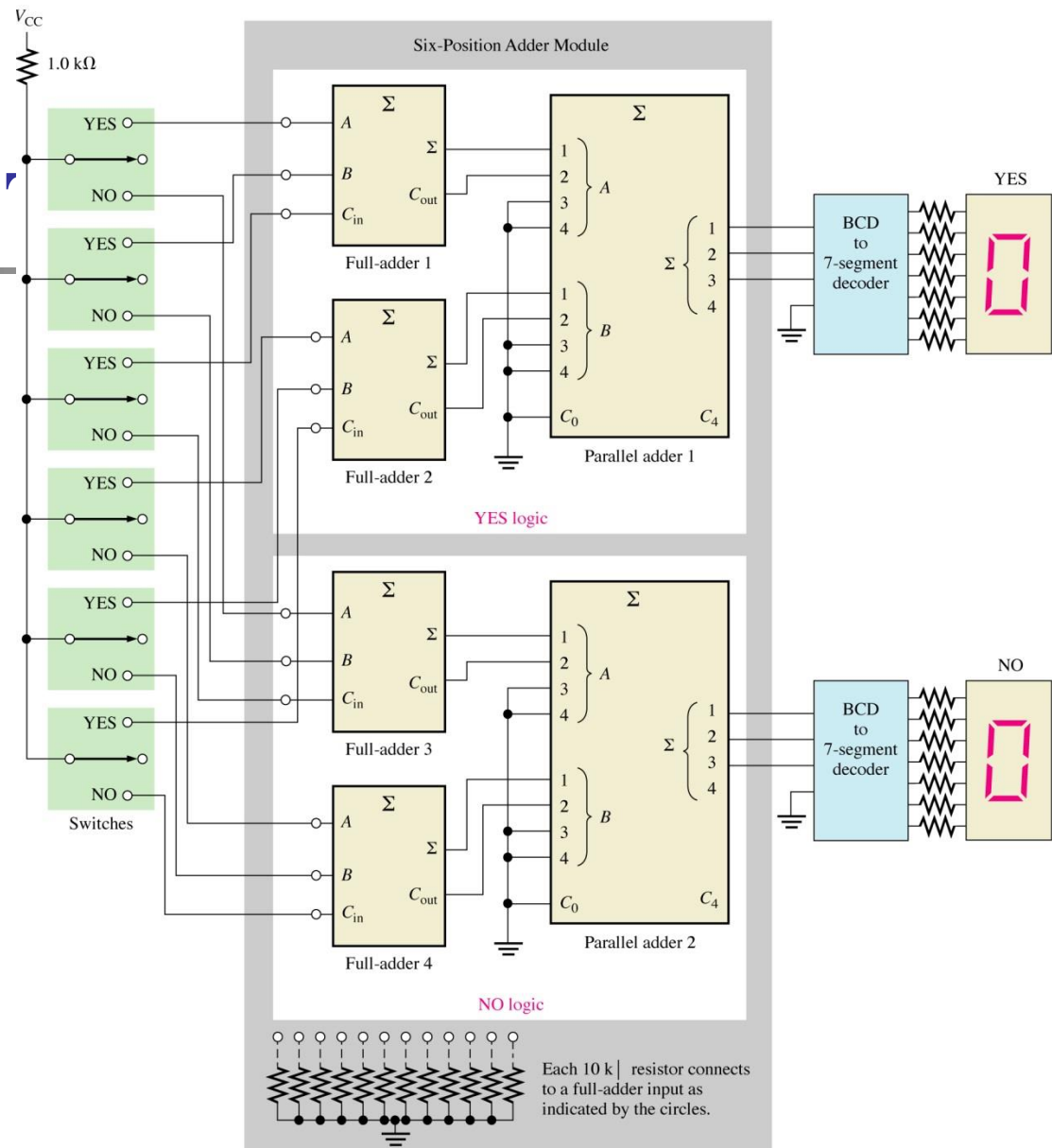


(b) Cascading of four 4-bit adders to form a 16-bit adder

6/2/2020

# Ch03 - HỆ

## Voter system.





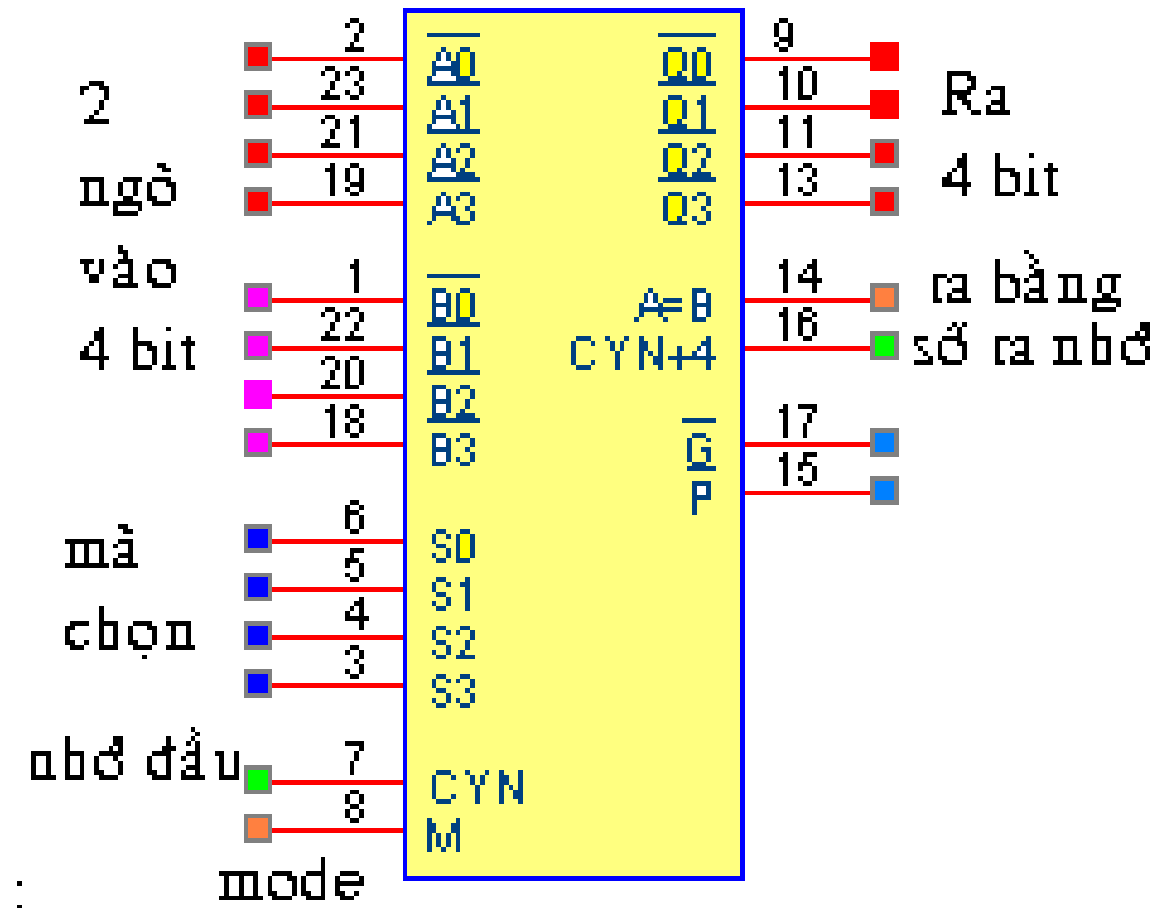
## Ch03 - HỆ TỔ HỢP

---

- **ALU ( Bộ logic và số học).**
  - **74181:**



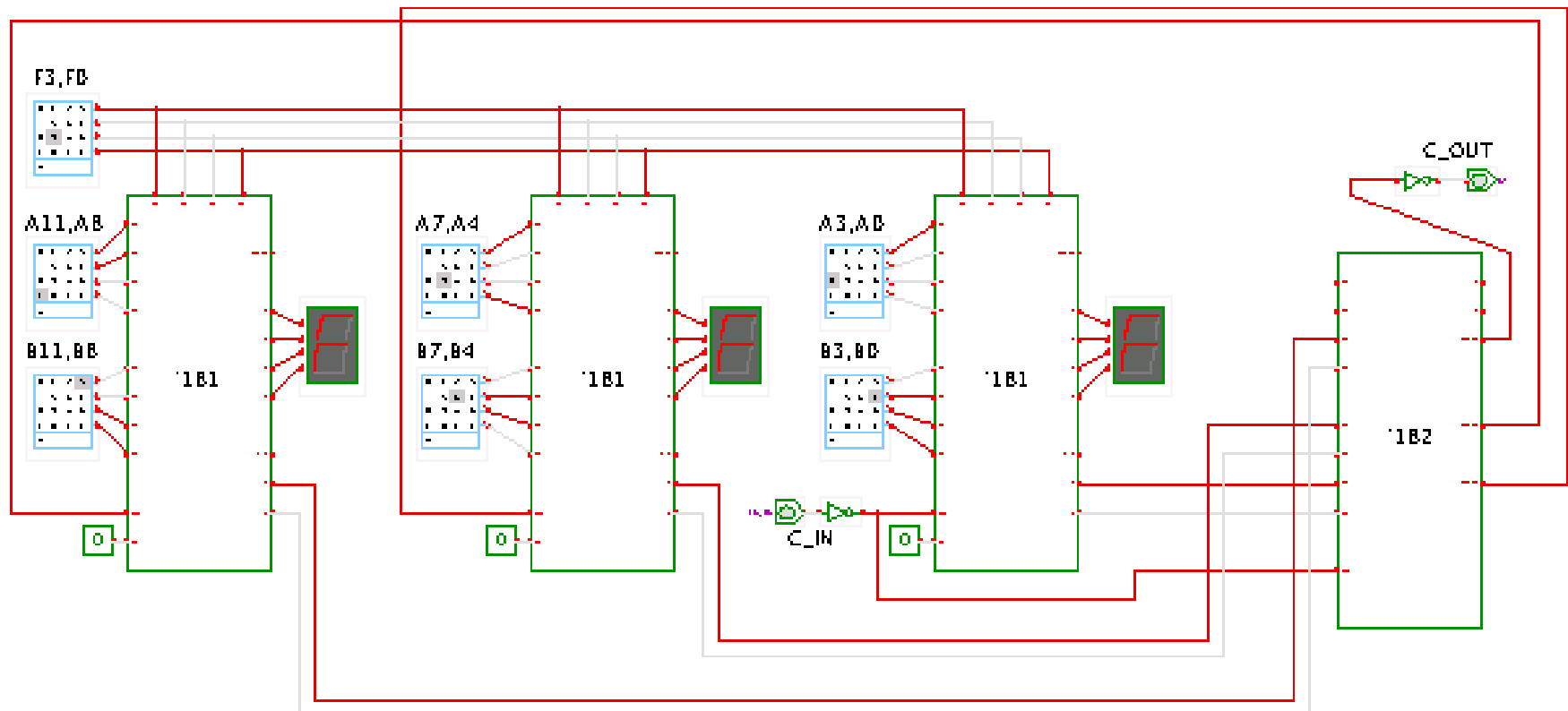
# Ch03 - HỆ TỔ HỢP



74LS181

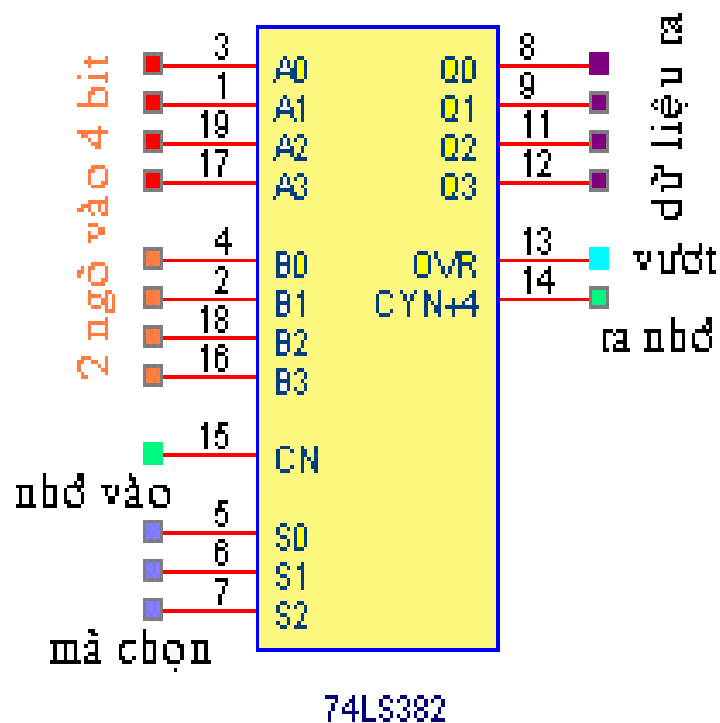
Mã số chọn $S_3S_2S_1S_0$	Dữ liệu tác động mức cao		
	M = 1 chức năng logic	M = 0 : chức năng số học	
		$C_{YN} = 1$ (không số nhớ)	$C_{YN+4}$ (có số nhớ)
0000	$\bar{A}$	$Q = A$	$A + 1$
0001	$\overline{A + B}$	$A + B$	$(A+B) + 1$
0010	$\bar{A}B$	$A + \bar{B}$	$(A+\bar{B}) + 1$
0011	0	Trừ 1 (số bù 2)	0
0100	$\overline{AB}$	$A + A\bar{B}$	$A + A\bar{B} + 1$
0101	$\bar{B}$	$(A+B) + A\bar{B}$	$(A+B) + A\bar{B} + 1$
0110	$A \oplus B$	$A - B - 1$	$A - B$
0111	$A\bar{B}$	$A\bar{B} - 1$	$A\bar{B}$
1000	$\overline{A + B}$	$A + AB$	$A + AB + 1$
1001	$A \oplus B$	$A + B$	$A + B + 1$
1010	B	$(A+\bar{B}) + AB$	$(A+\bar{B}) + AB + 1$
1011	AB	$AB - 1$	AB
1100	$Q = 1$	$A + A$	$A + A + 1$
1101	$A + \bar{B}$	$(A+B) + A$	$(A+B) + A + 1$
1110	$A + B$	$(A+\bar{B}) + A$	$(A+\bar{B}) + A + 1$
1111	$Q = A$	$A - 1$	$Q = A$

# Ch03 - HỆ TỔ HỢP



# Ch03 - HỆ TỔ HỢP

## ■ ALU 74382.



S2	S1	S0	Chức năng	Ghi chú
0	0	0	Xoá	Ra 0000
0	0	1	$B > A$	CN đặt ở 1
0	1	0	$A < B$	CN đặt ở 1
0	1	1	$A + B$	CN đặt ở 0
1	0	0	$A \oplus B$	EXOR
1	0	1	$A + B$	OR
1	1	0	AB	AND
1	1	1	Đặt lại	Ra 1111



## Ch03 - HỆ TỔ HỢP

---

### III. Mạch chọn kênh (Multiplexer - MUX)

- **MUX  $2^n \rightarrow 1$ :**
  - **hệ tổ hợp có  $m = 2^n$  ngõ vào.**
  - **có 1 ngõ ra.**
  - **$n$  ngõ vào lựa chọn (select input).**
  - **Tín hiệu chọn mạch CS (Chip Select) hoặc EN (chip ENable).**
  - **Với 1 giá trị  $i$  của tổ hợp nhị phân các ngõ vào lựa chọn, ngõ vào dữ liệu thứ  $i$  sẽ được chọn đưa đến ngõ ra.**



## Ch03 - HỆ TỔ HỢP

---

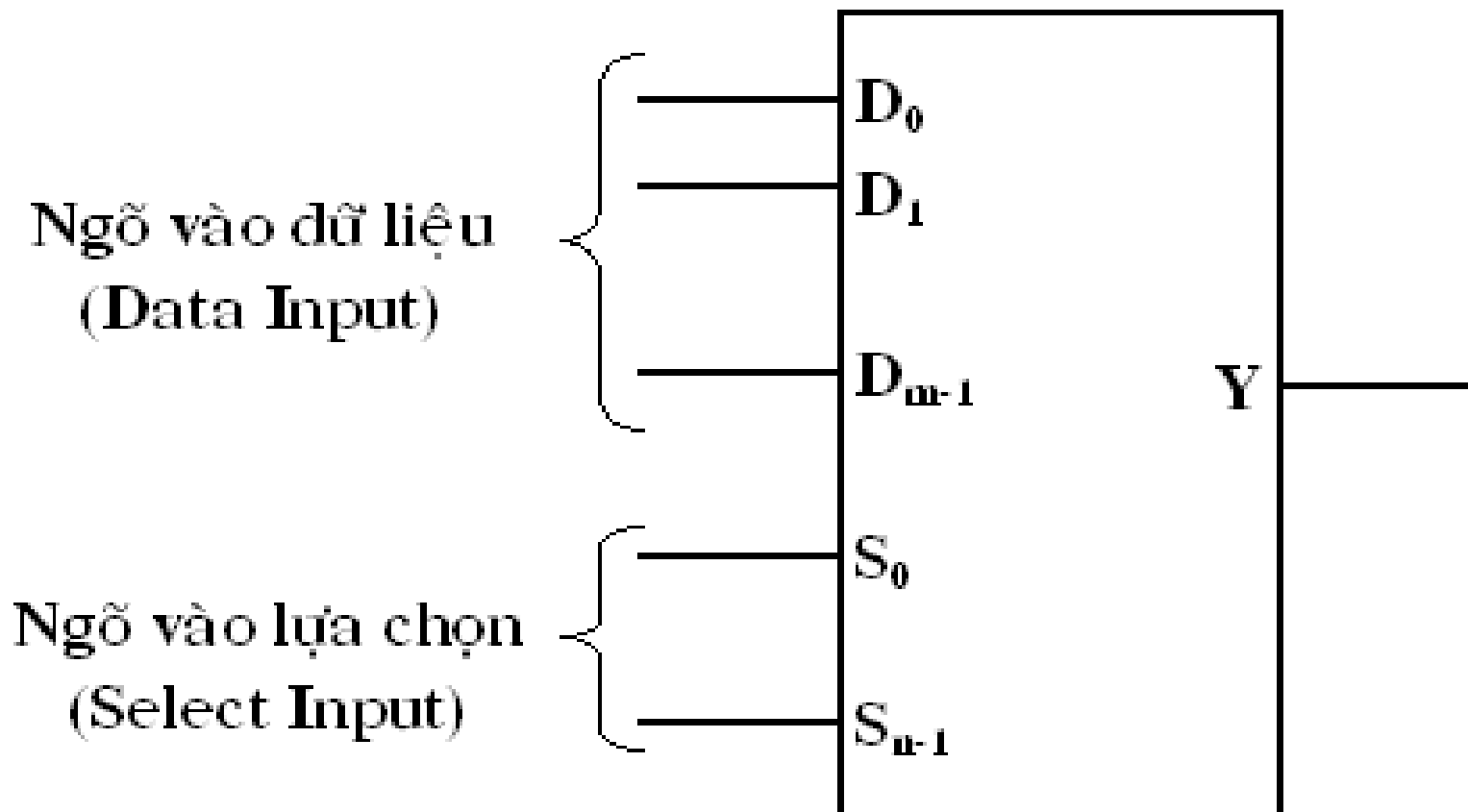
- Công thức tổng quát:

$$Y = \sum m_i D_i \quad (\text{với } i = 0, 1, \dots, 2^n-1)$$

$m_i$  là minterm thứ  $i$  của  $n$  ngõ vào lựa chọn.

$D_i$  là các ngõ vào dữ liệu.

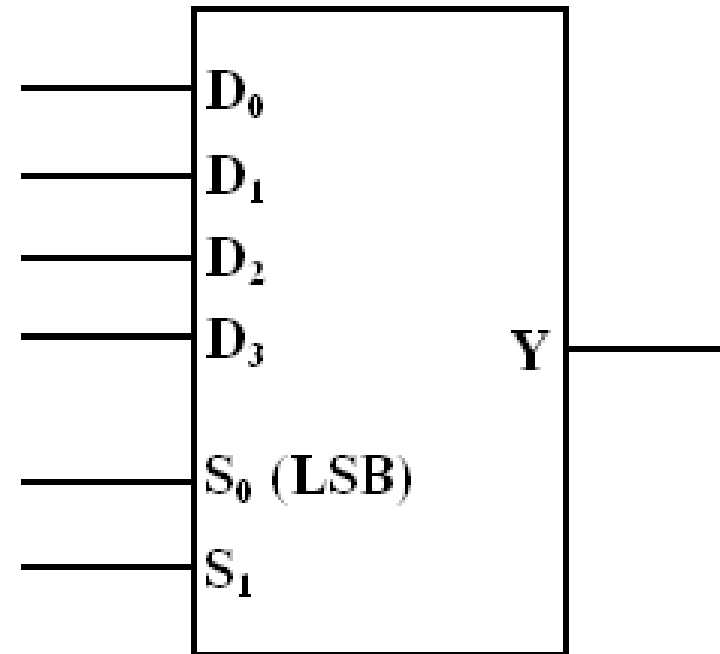
# Ch03 - HỆ TỔ HỢP



## Ch03 - HỆ TỔ HỢP

### ■ Thiết kế bộ MUX 4 → 1.

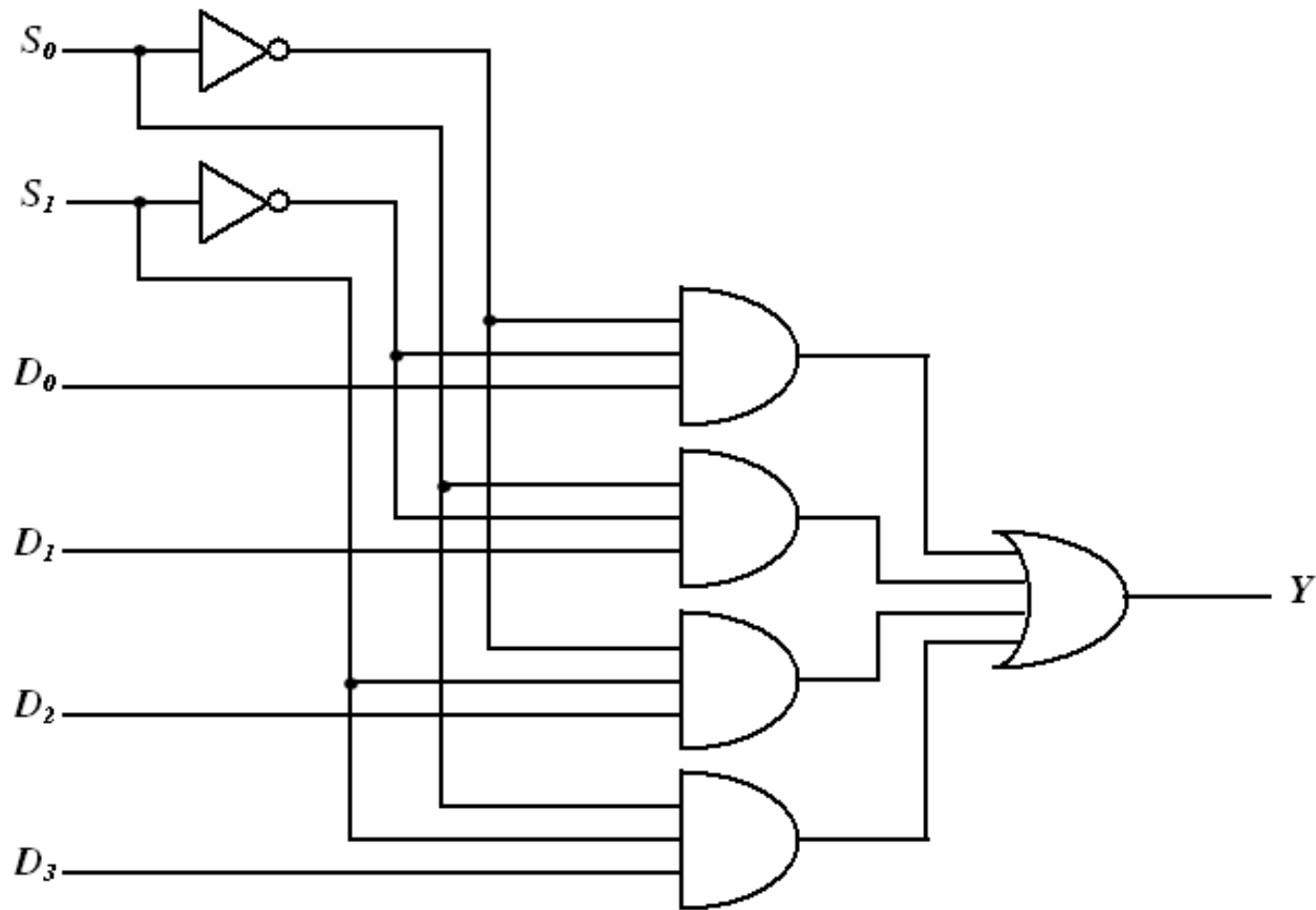
S1	S0	Y
0	0	<b>D0</b>
0	1	<b>D1</b>
1	0	<b>D2</b>
1	1	<b>D3</b>



$$\begin{aligned} Y &= \overline{S_1} \overline{S_0} D_0 + \overline{S_1} S_0 D_1 + S_1 \overline{S_0} D_2 + S_1 S_0 D_3 \\ &= m_0 D_0 + m_1 D_1 + m_2 D_2 + m_3 D_3 \\ &= \sum m_i D_i \quad (i = 0, 1, \dots, 3) \end{aligned}$$



## Ch03 - HỆ TỔ HỢP





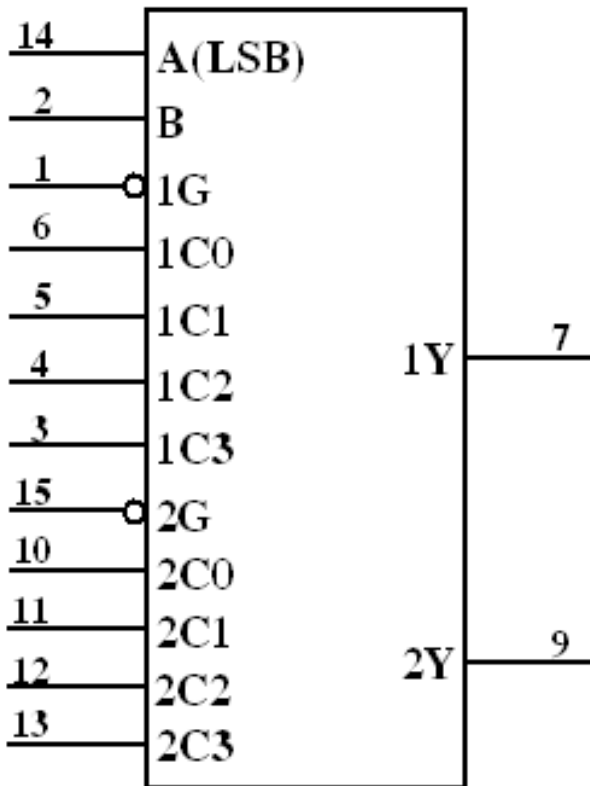
## Ch03 - HỆ TỔ HỢP

---

- **IC chọn kênh:**
  - **74150: MUX 16  $\rightarrow$  1.**
  - **74151, 74152 : MUX 8  $\rightarrow$  1.**
  - **74153: 2 bộ MUX 4  $\rightarrow$  1.**
  - **74157, 74158 : 4 bộ MUX 2  $\rightarrow$  1.**

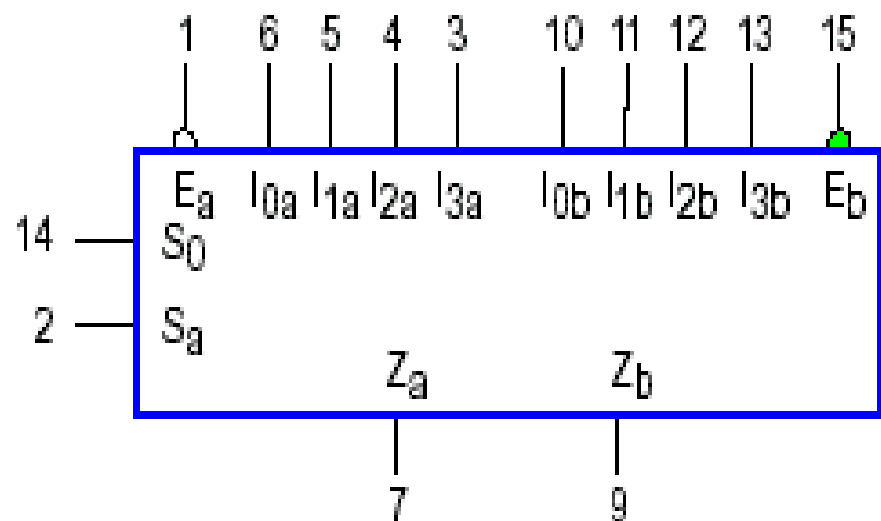
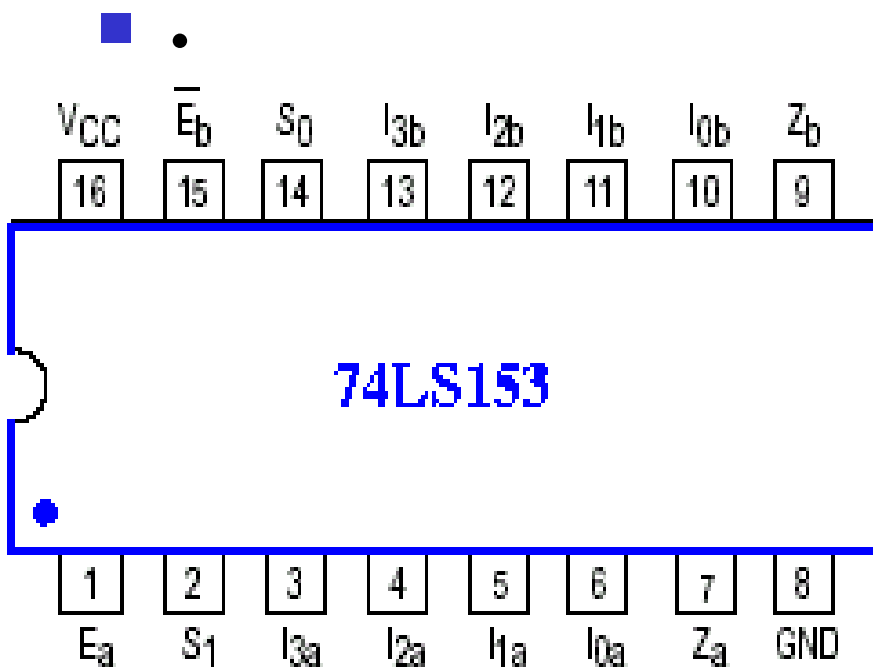
## Ch03 - HỆ TỔ HỢP

- 74153: gồm 2 bộ MUX 4 → 1.

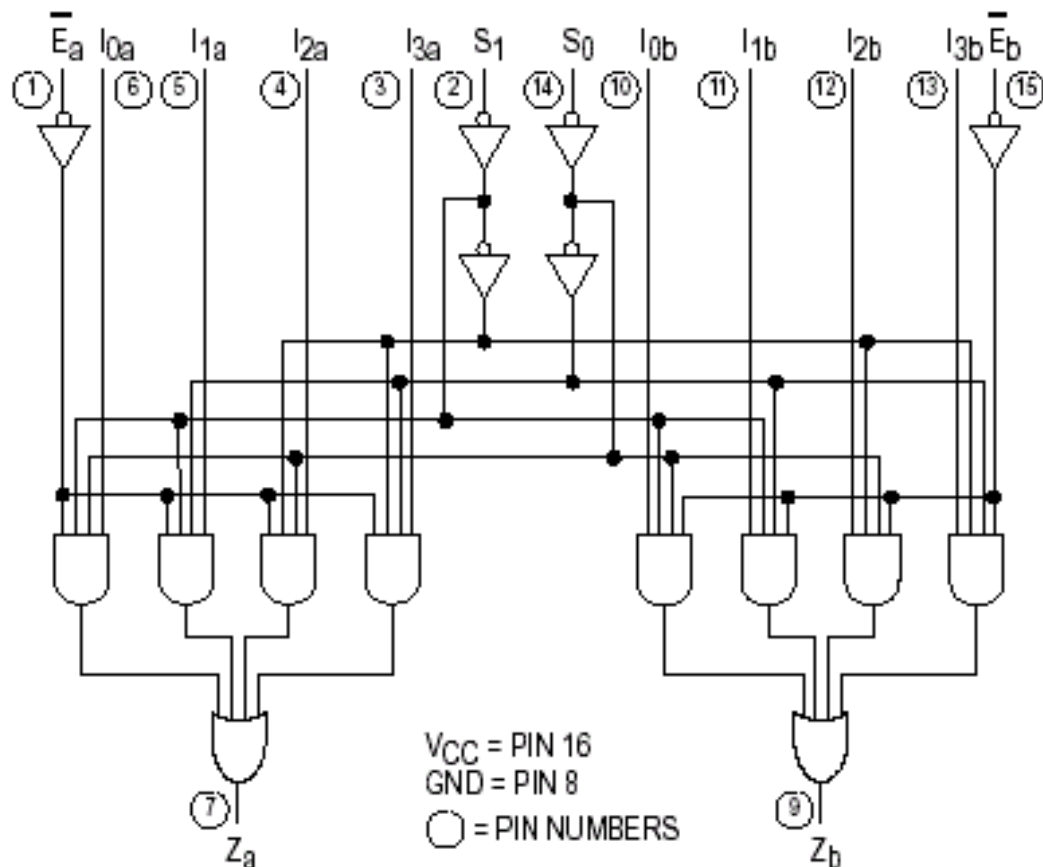


$\overline{G}$	B	A	Y
1	x	x	0
0	0	0	C0
0	0	1	C1
0	1	0	C2
0	1	1	C3

# Ch03 - HỆ TỔ HỢP

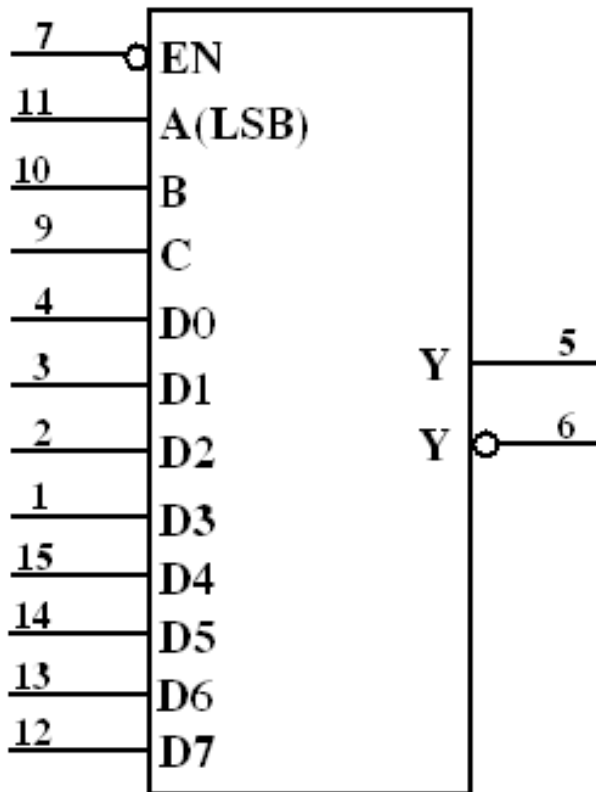


# Ch03 - HỆ TỔ HỢP



# Ch03 - HỆ TỔ HỢP

## ■ 74LS151: bộ MUX 8 → 1.



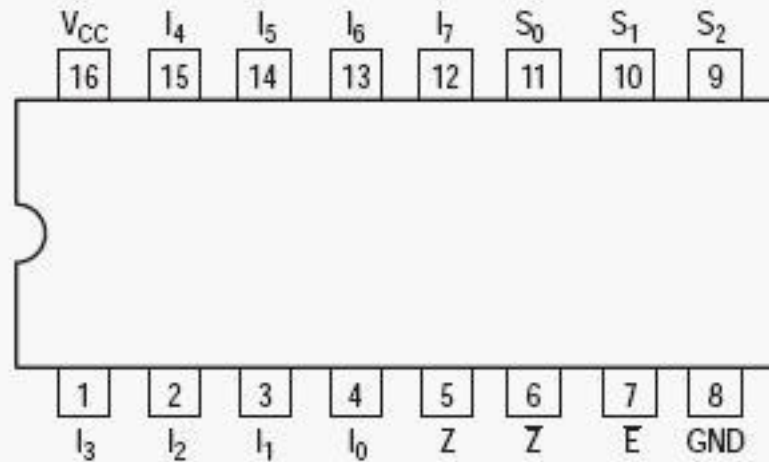
$\overline{EN}$	C	B	A	Y
1	x	x	x	0
0	0	0	0	D0
0	0	0	1	D1
0	0	1	0	D2
0	0	1	1	D3
0	1	0	0	D4
0	1	0	1	D5
0	1	1	0	D6
0	1	1	1	D7

# Ch03 - HỆ T

## ■ Sơ đồ chân 74151

### SN74LS151

CONNECTION DIAGRAM DIP (TOP VIEW)



#### PIN NAMES

$S_0 - S_2$	Select Inputs
$\bar{E}$	Enable (Active LOW) Input
$I_0 - I_7$	Multiplexer Inputs
$Z$	Multiplexer Output
$\bar{Z}$	Complementary Multiplexer Output

#### LOADING (Note a)

HIGH	LOW
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
10 U.L.	5 U.L.
10 U.L.	5 U.L.

#### NOTES:

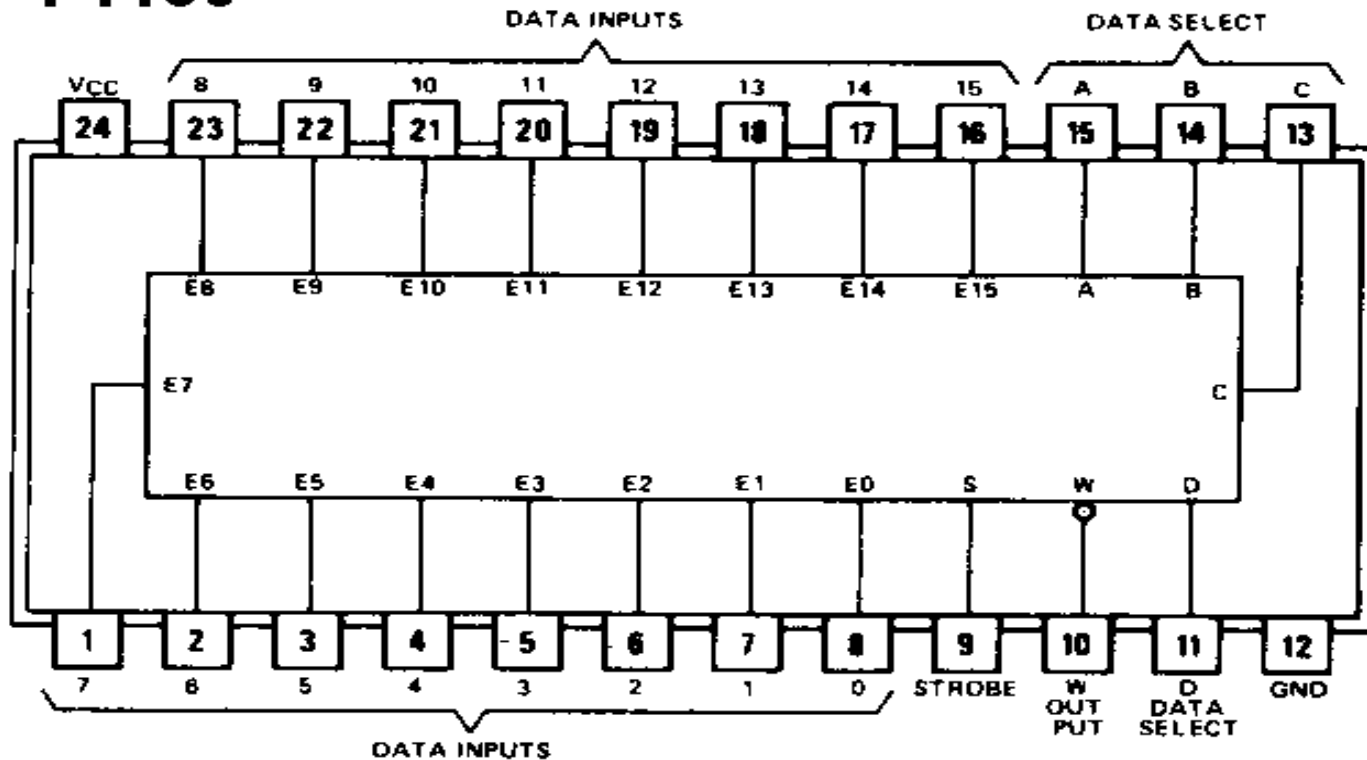
a) 1 TTL Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW.

b) The Output LOW drive factor is 5 U.L. for Commercial (74) Temperature Ranges.

# Ch03 - HỆ TỔ HỢP

- 74LS150: bộ MUX 16 → 1.

## 74150







## Ch03 - HỆ TỔ HỢP

### ■ Sử dụng bộ MUX:

#### ■ Bộ MUX $2^n$ thực hiện hàm Boole $n$ biến:

Ví dụ:  $F(x, y, z) = \sum(0, 1, 4, 7) = m_0 + m_1 + m_4 + m_7$   
 $= m_0.1 + m_1.1 + m_2.0 + m_3.0 + m_4.1 + m_5.0 + m_6.0 + m_7.1$

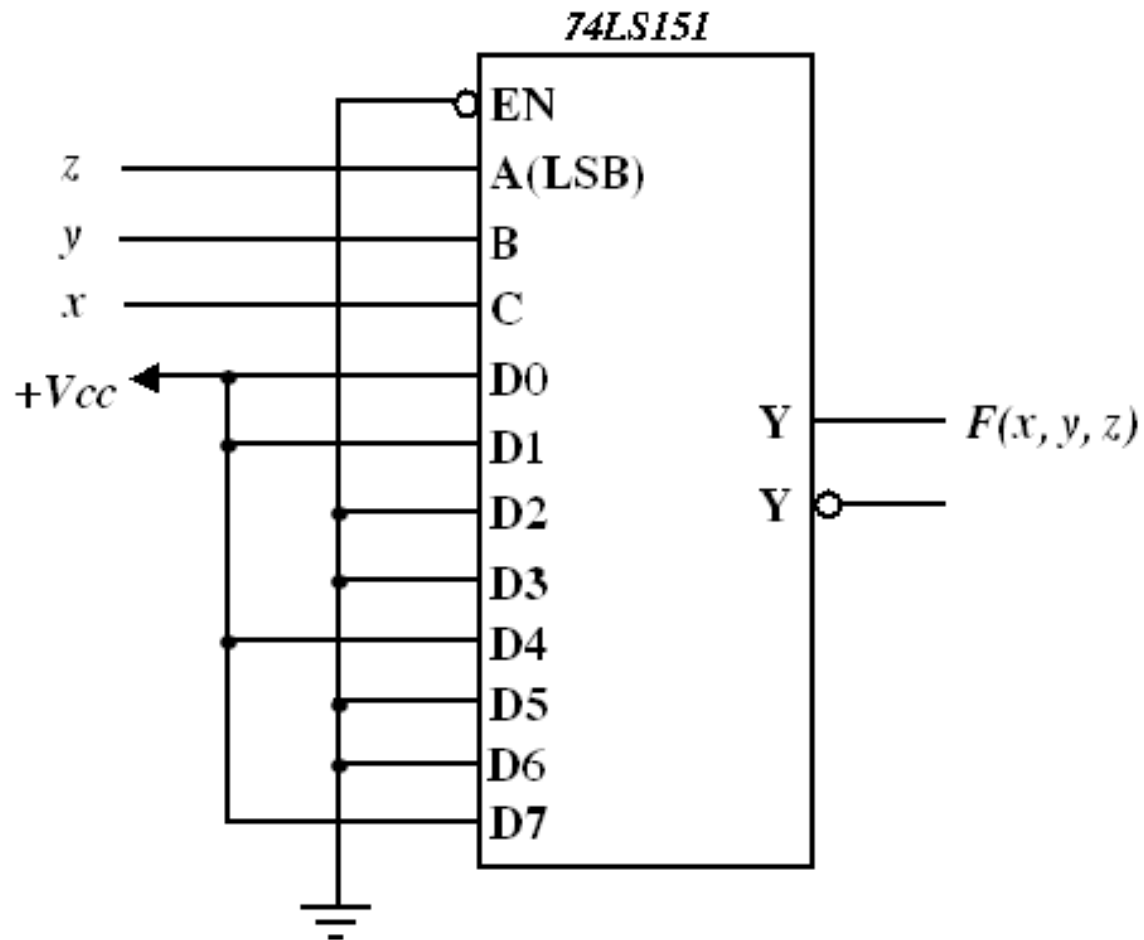
Ngõ ra của bộ MUX  $8 \rightarrow 1$  có dạng:

$$Y = \sum m_i D_i$$
$$= m_0 D_0 + m_1 D_1 + m_2 D_2 + m_3 D_3 + m_4 D_4 + m_5 D_5 + m_6 D_6 + m_7 D_7$$

Đồng nhất 2 hàm  $F$  và  $Y$ :

- Đưa các biến  $x, y, z$  vào ngõ vào lựa chọn  $C, B, A$  (đúng theo trọng số)
- Cho các ngõ vào  $D_0 = D_1 = D_4 = D_7 = 1$  và  $D_2 = D_3 = D_5 = D_6 = 0$

# Ch03 - HỆ TỔ HỢP





## Ch03 - HỆ TỔ HỢP

- Bộ MUX 2n thực hiện hàm Boole n+1 biến:

$$\begin{aligned}F(x, y, z) &= \Sigma(0, 1, 4, 7) = \bar{x}\bar{y}\bar{z} + \bar{x}\bar{y}z + x\bar{y}\bar{z} + xyz \\&= \bar{x}\bar{y}.1 + \bar{x}y.0 + x\bar{y}.\bar{z} + x y.z \\&= m_0.1 + m_1.0 + m_2.\bar{z} + m_3.z\end{aligned}\quad (1)$$

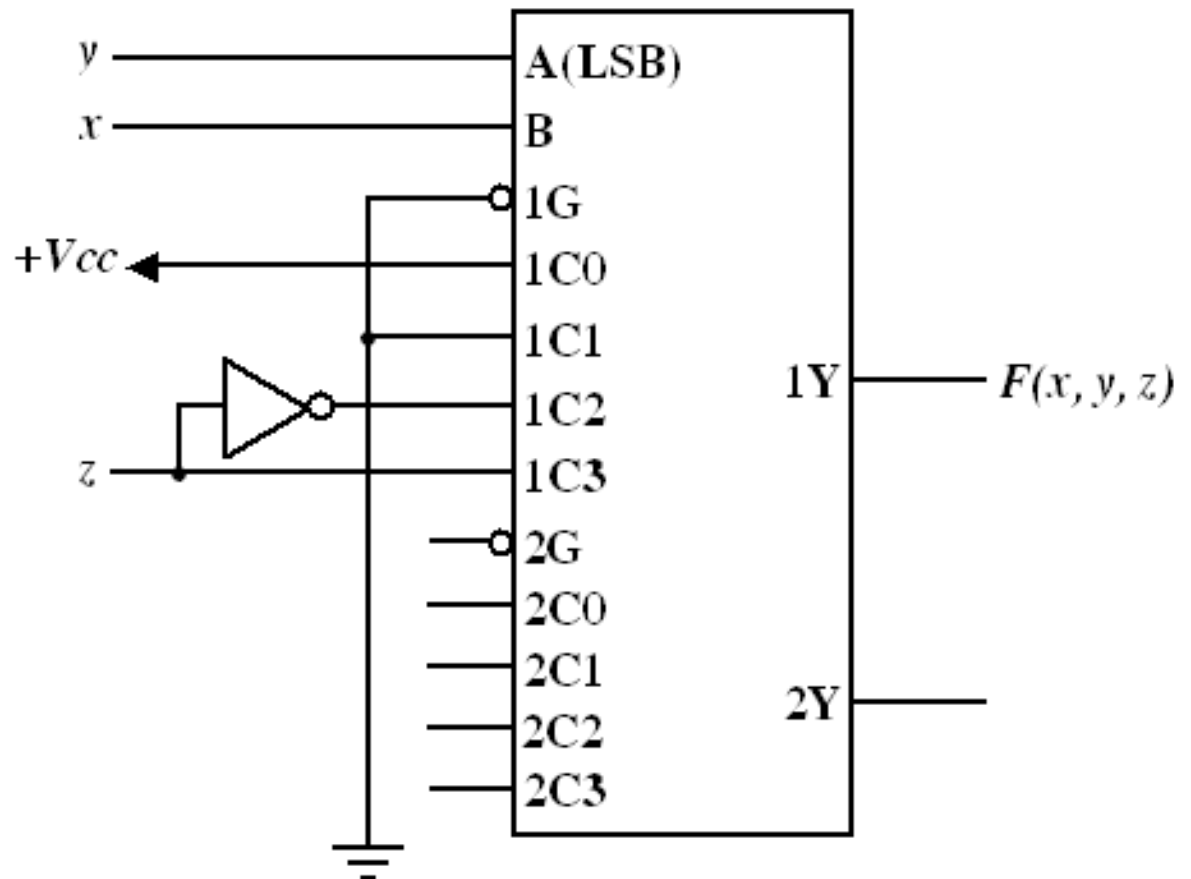
Ngõ ra của bộ MUX  $4 \rightarrow 1$  có dạng:

$$Y = m_0 D_0 + m_1 D_1 + m_2 D_2 + m_3 D_3 \quad (2)$$

Để đồng nhất (1) và (2) ta có:

- Đưa các biến x, y vào ngõ vào lựa chọn B, A (đúng theo trọng số)
- Cho các ngõ vào  $D_0 = 1, D_1 = 0, D_2 = \bar{z}, D_3 = z$

# Ch03 - HỆ TỔ HỢP





## Ch03 - HỆ TỔ HỢP

---

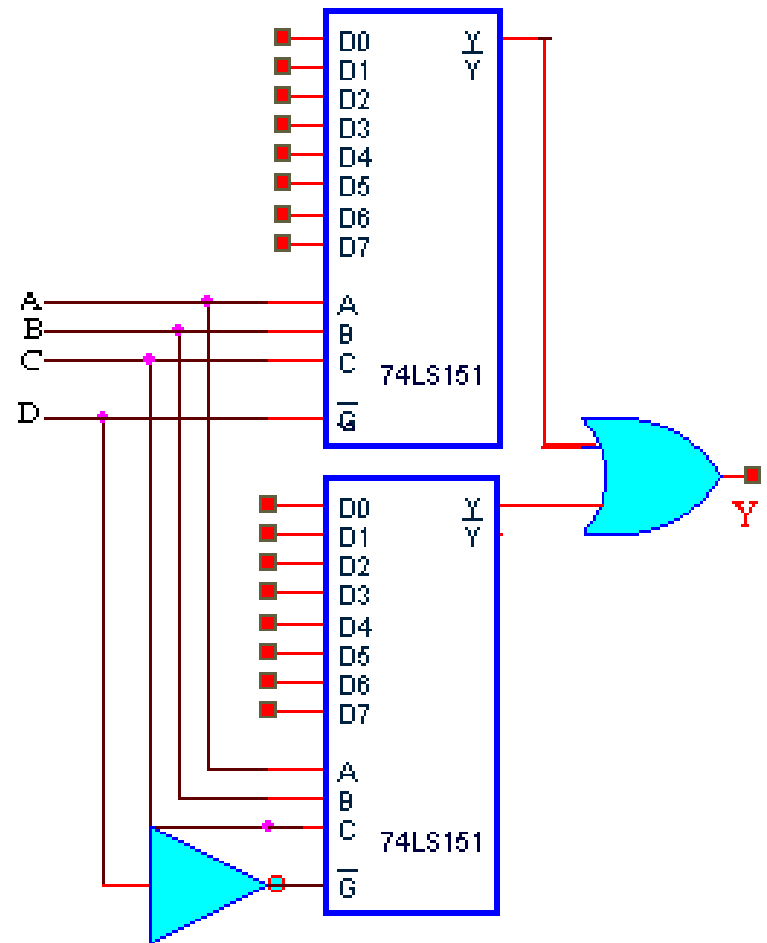
- **Mở rộng bộ MUX:**

**Các mạch ghép kênh ít ngõ vào có thể được kết hợp với nhau để tạo mạch ghép kênh nhiều ngõ vào.**

**Ví dụ để tạo mạch ghép kênh  $16 \rightarrow 1$ , có thể dùng IC 74LS150 hoặc các IC tương tự, hoặc là ghép 2 IC 74LS151**

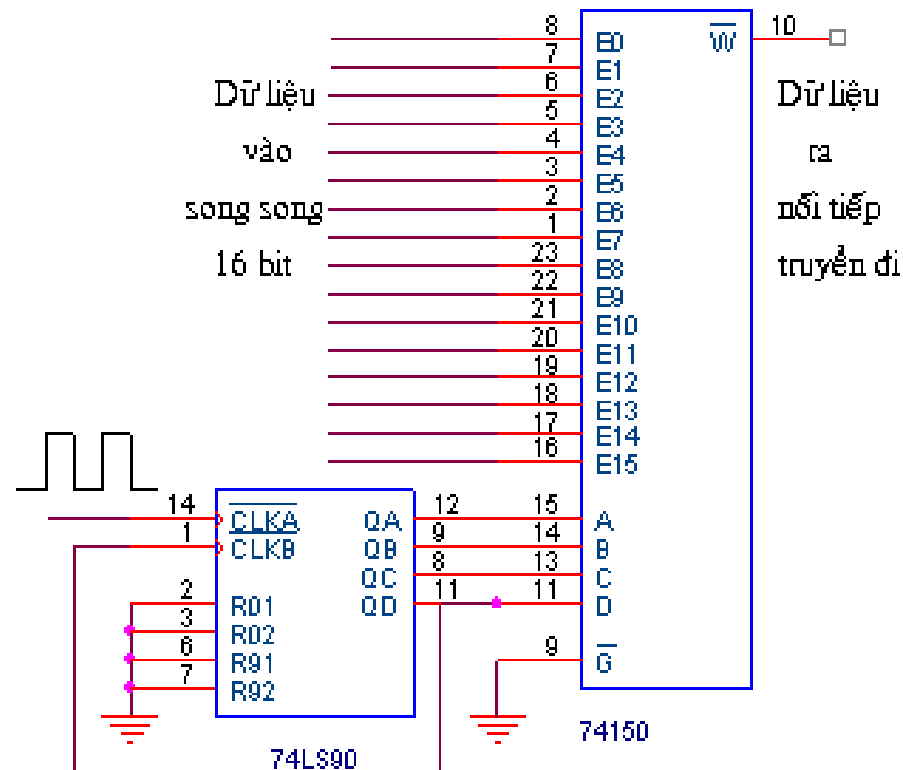
## Ch03 - HỆ TỔ HỢP

### ■ Ghép 2 IC 74LS151:



# Ch03 - HỆ TỔ HỢP

## ■ Chuyển đổi song song sang nối tiếp:





## Ch03 - HỆ TỔ HỢP

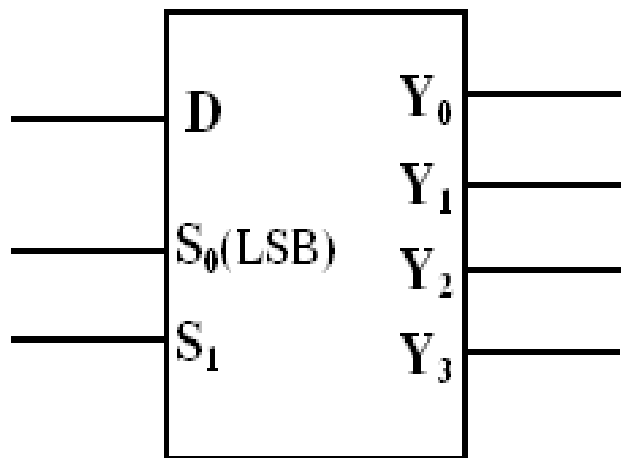
---

- **Mạch phân kênh (Demultiplexer )DEMUX:**
  - **Bộ DEMUX có chức năng ngược lại với bộ MUX.**
  - **Có 1 ngõ vào dữ liệu.**
  - **$n$  ngõ vào lựa chọn.**
  - **$2^n$  ngõ ra.**
  - **Với 1 giá trị  $i$  của tổ hợp nhị phân các ngõ vào lựa chọn, ngõ vào dữ liệu sẽ được chọn đưa đến ngõ ra thứ  $i$ .**



# Ch03 - HỆ TỔ HỢP

## ■ Thiết kế bộ DEMUX 1 → 4:



S <sub>1</sub>	S <sub>0</sub>	Y <sub>0</sub>	Y <sub>1</sub>	Y <sub>2</sub>	Y <sub>3</sub>
0	0	<b>D</b>	0	0	0
0	1	0	<b>D</b>	0	0
1	0	0	0	<b>D</b>	0
1	1	0	0	0	<b>D</b>

$$Y_0 = \overline{S_1} \overline{S_0} D$$

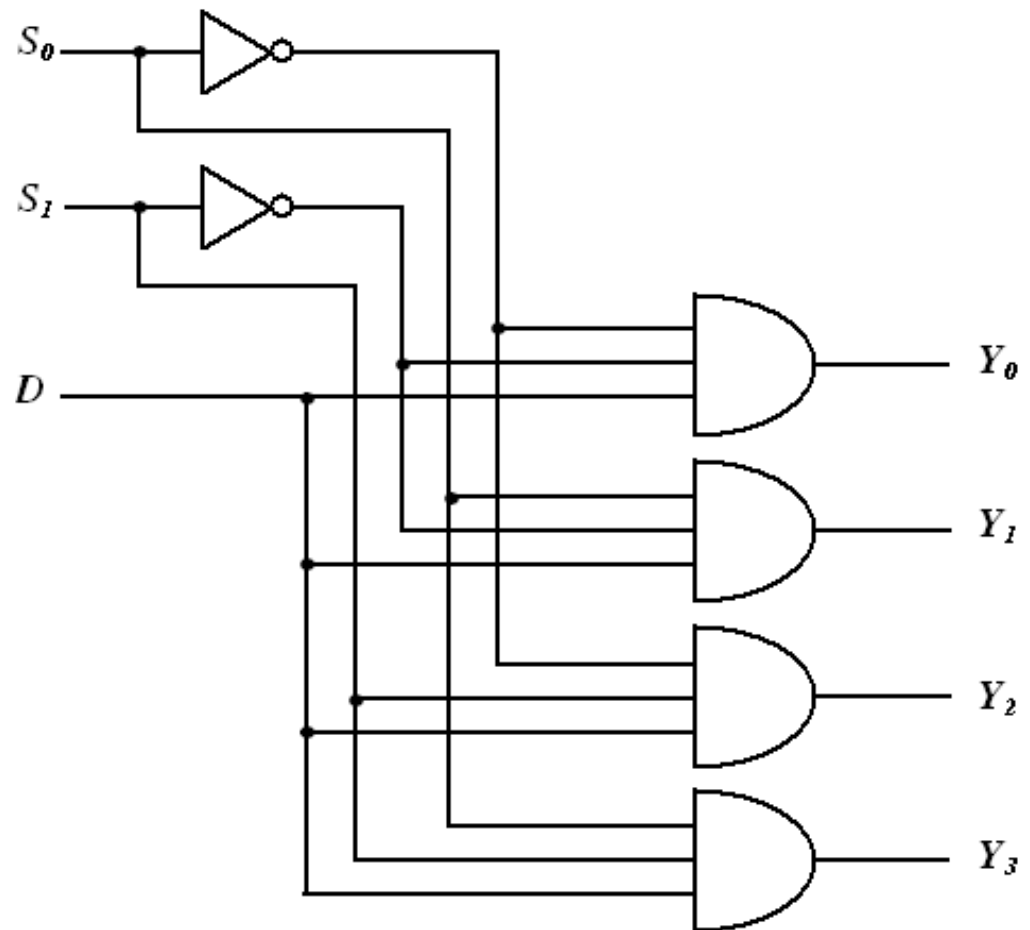
$$Y_2 = S_1 \overline{S_0} D$$

$$Y_1 = \overline{S_1} S_0 D$$

$$Y_3 = S_1 S_0 D$$

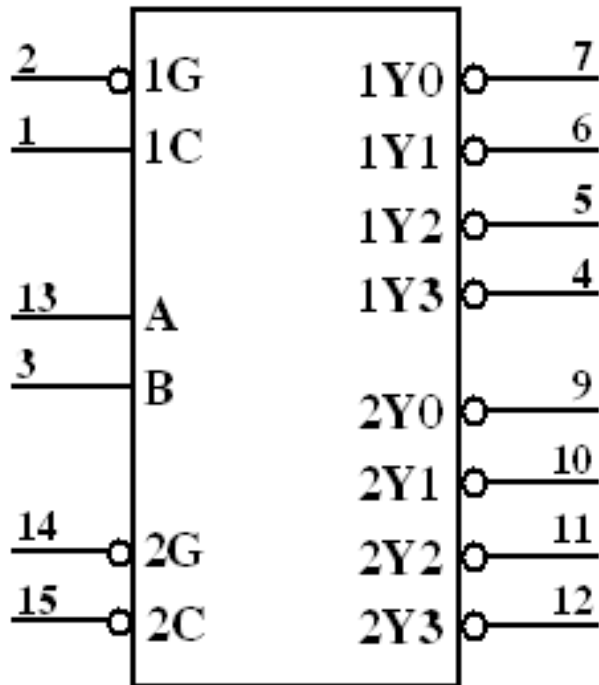
## Ch03 - HỆ TỔ HỢP

### ■ Mạch thực hiện:



# Ch03 - HỆ TỔ HỢP

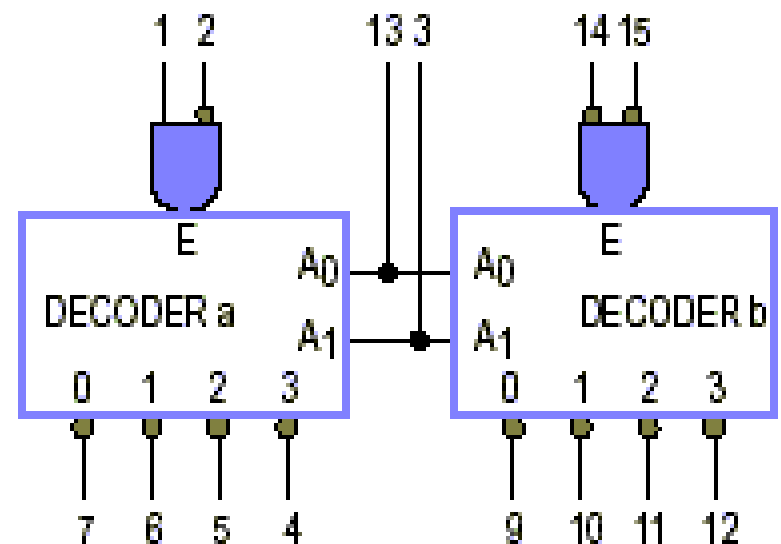
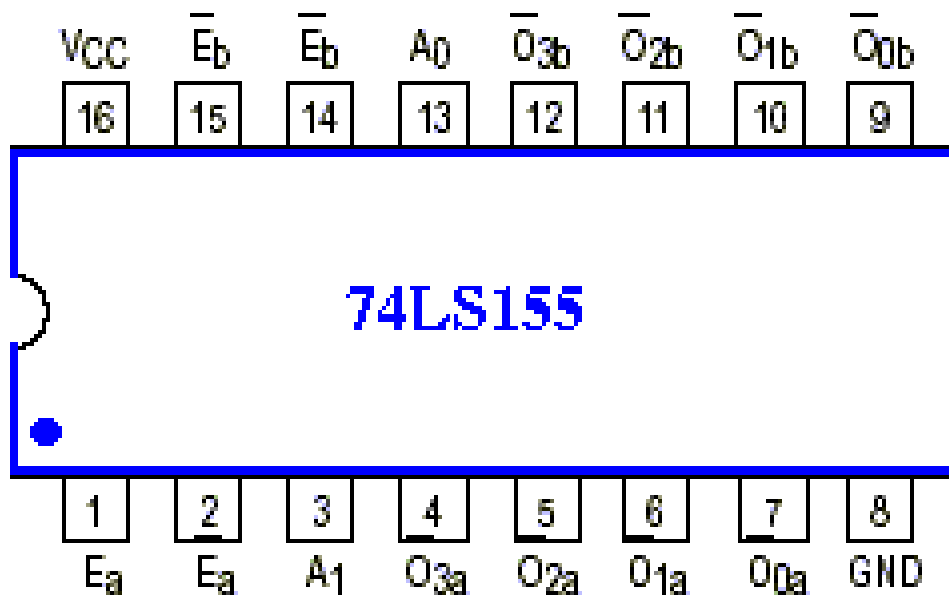
- IC phân kênh 74LS155: 2 bộ phân kênh 1 → 4.



B	A	$\overline{1G}$	$1C$	$\overline{1Y_0}$	$\overline{1Y_1}$	$\overline{1Y_2}$	$\overline{1Y_3}$	$\overline{2G}$	$\overline{2C}$	$\overline{2Y_0}$	$\overline{2Y_1}$	$\overline{2Y_2}$	$\overline{2Y_3}$
x	x	1	x	1	1	1	1	1	x	1	1	1	1
x	x	x	0	1	1	1	1	x	1	1	1	1	1
0	0	0	1	0	1	1	1	0	0	0	1	1	1
0	1	0	1	1	0	1	1	0	0	1	0	1	1
1	0	0	1	1	1	0	1	0	0	1	1	0	1
1	1	0	1	1	1	1	0	0	0	1	1	1	0

## Ch03 - HỆ TỔ HỢP

### ■ Sơ đồ chân của 74155.





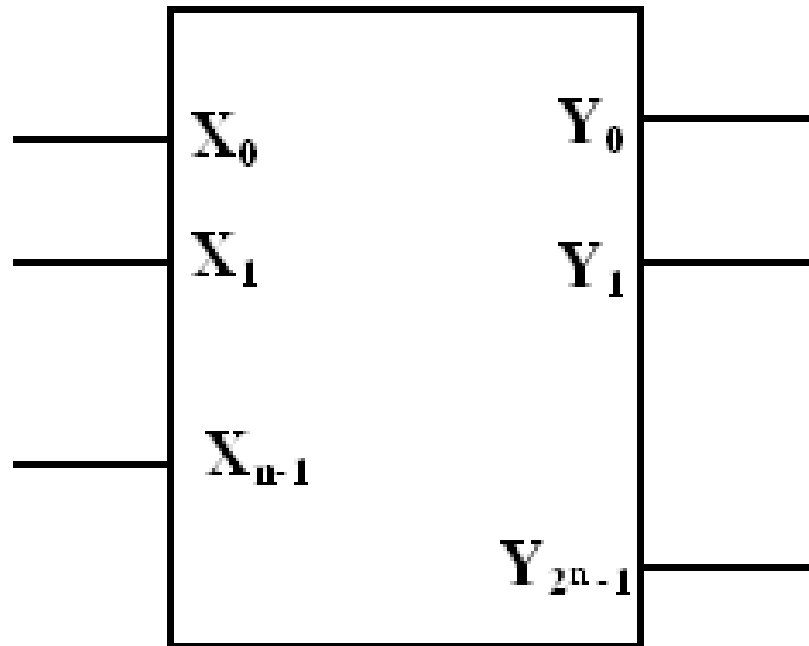
## Ch03 - HỆ TỔ HỢP

---

- **Bộ giải mã (decoder):**
  - Chuyển từ mã nhị phân thuần túy  $n$  bit ở ngõ vào thành mã nhị phân 1 trong  $m$  ở ngõ ra ( $m = 2^n$ ).
  - Với giá trị  $i$  của tổ hợp nhị phân ở ngõ vào, thì ngõ ra thứ  $i$  sẽ tích cực và các ngõ ra còn lại sẽ không tích cực.
  - Có 2 dạng ngõ ra: ngõ ra tích cực cao (mức 1) và ngõ ra tích cực thấp (mức 0).

# Ch03 - HỆ TỔ HỢP

Mã nhị  
phân n bit

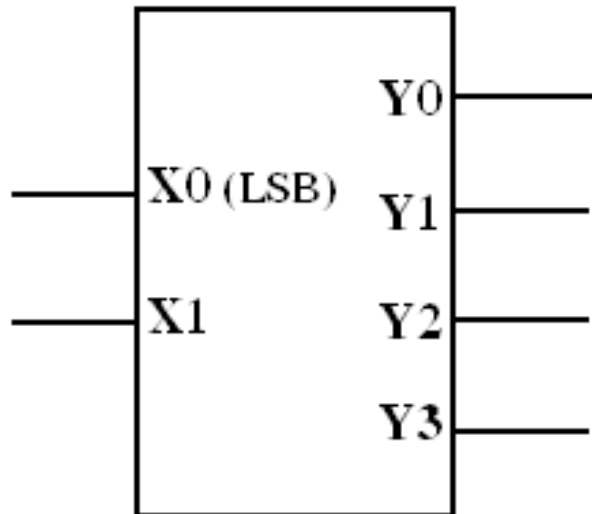


Mã nhị phân  
1 trong m

## Ch03 - HỆ TỔ HỢP

- Thiết kế bộ giải mã 2 ra 4:
  - Bộ giải mã ngõ ra tích cực cao:

$$Y_i = m_i \quad (i = 0, 1, \dots, 2^n - 1)$$



X1	X0	Y3	Y2	Y1	Y0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

$$Y_0 = \overline{X_1} \overline{X_0} = m_0$$

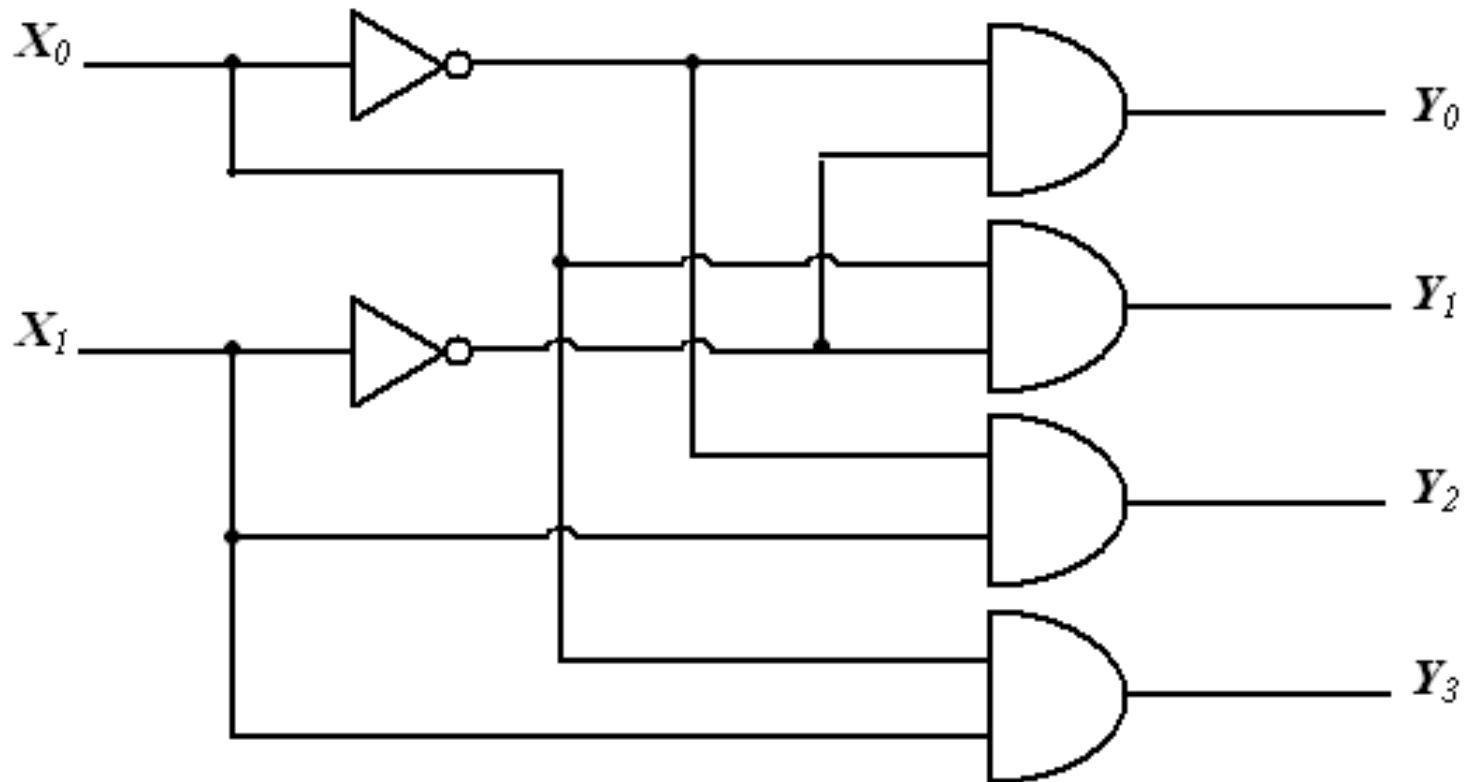
$$Y_2 = X_1 \overline{X_0} = m_2$$

$$Y_1 = \overline{X_1} X_0 = m_1$$

$$Y_3 = X_1 X_0 = m_3$$

## Ch03 - HỆ TỔ HỢP

### ■ Mạch thực hiện:

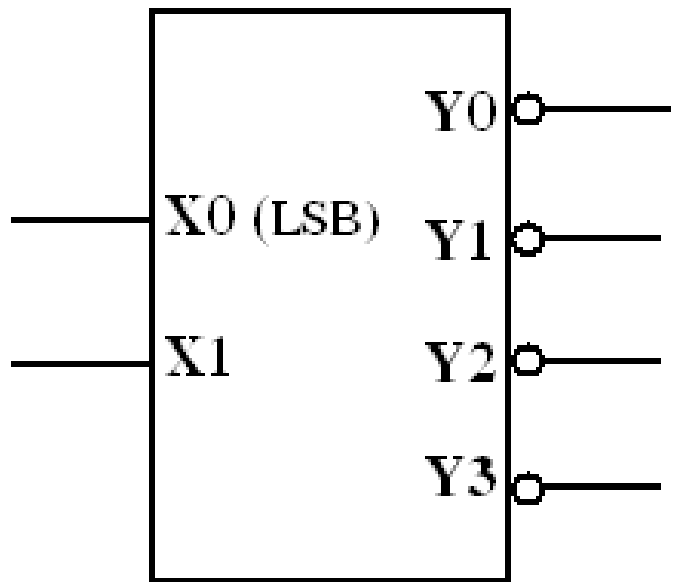




## Ch03 - HỆ TỔ HỢP

- Bộ giải mã ngõ ra tích cực thấp:

$$Y_i = M_i$$



X1	X0	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	0
1	1	0	1	1	1

$$Y_0 = X_1 + X_0 = M_0$$

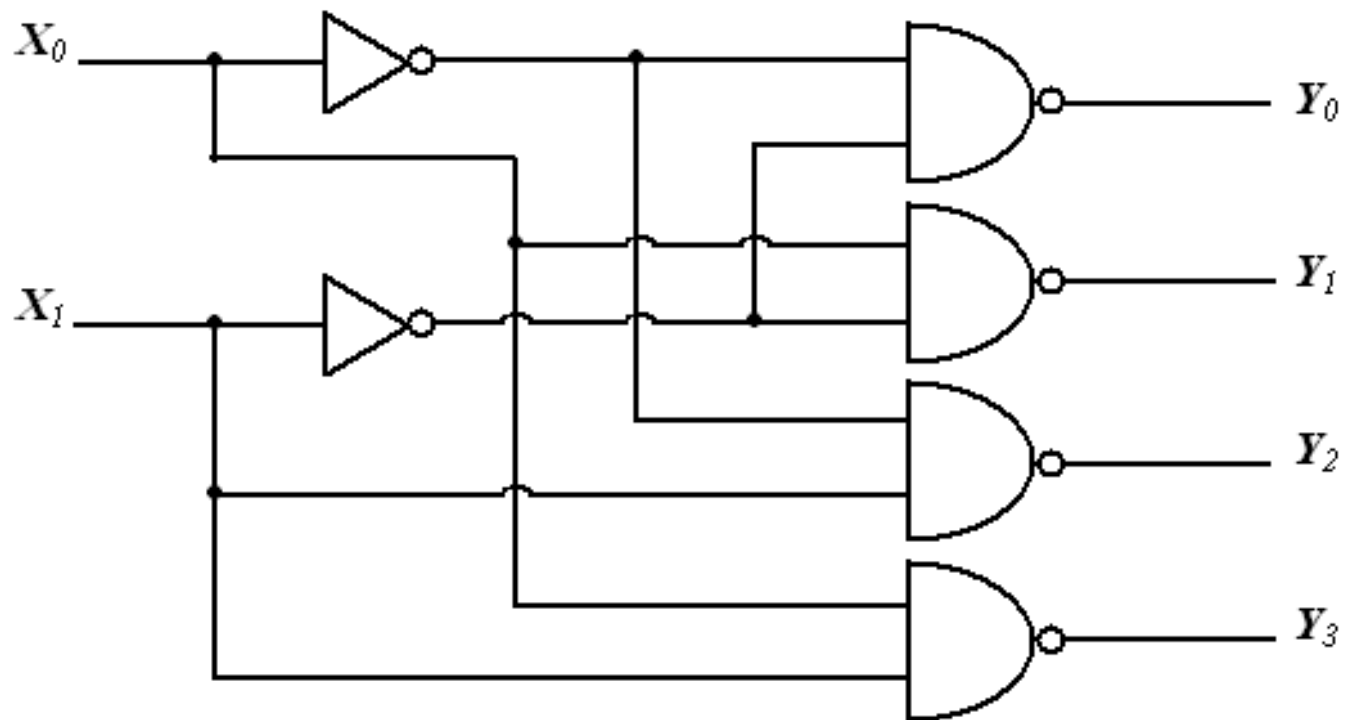
$$Y_2 = \overline{X_1} + X_0 = M_2$$

$$Y_1 = X_1 + \overline{X_0} = M_1$$

$$Y_3 = \overline{X_1} + \overline{X_0} = M_3$$

## Ch03 - HỆ TỔ HỢP

### ■ Mạch thực hiện:





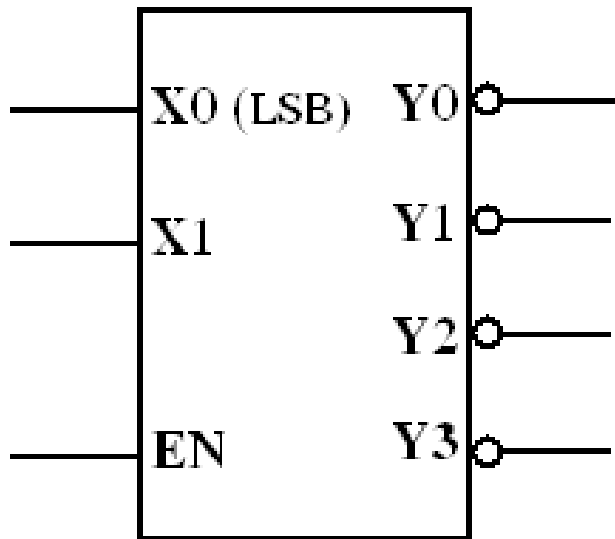
## Ch03 - HỆ TỔ HỢP

---

- **Bộ giải mã có ngõ vào cho phép:**
  - Ngoài các ngõ vào dữ liệu, bộ giải mã có thể có 1 hay nhiều ngõ vào cho phép.
  - Muốn mạch giải mã hoạt động, các ngõ vào cho phép phải ở trạng thái tích cực.
  - Ngược lại, mạch giải mã sẽ không hoạt động được; khi đó các ngõ ra đều ở trạng thái không tích cực.

## Ch03 - HỆ TỔ HỢP

- Thiết kế bộ giải mã 2 ra 4, ngõ ra tích cực thấp, ngõ vào cho phép tích cực mức cao.



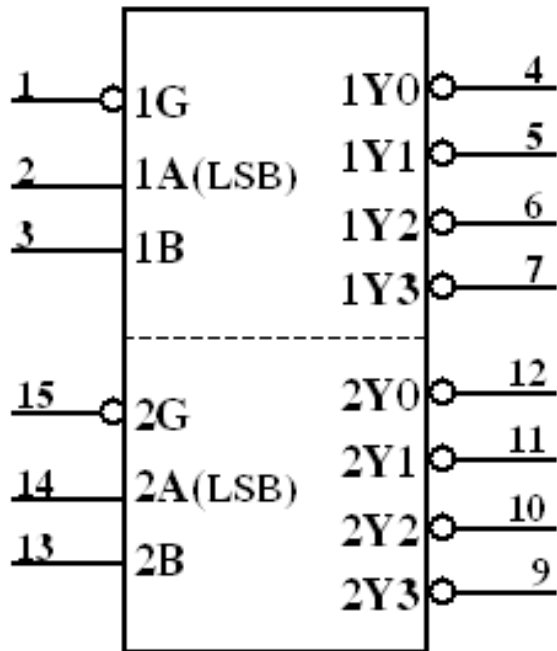
EN	X1	X0	$\overline{Y3}$	$\overline{Y2}$	$\overline{Y1}$	$\overline{Y0}$
0	x	x	1	1	1	1
1	0	0	1	1	1	0
1	0	1	1	1	0	1
1	1	0	1	0	1	0
1	1	1	0	1	1	1

$$Y_i = M_i + \overline{EN}$$

## Ch03 - HỆ TỔ HỢP

### ■ IC giải mã:

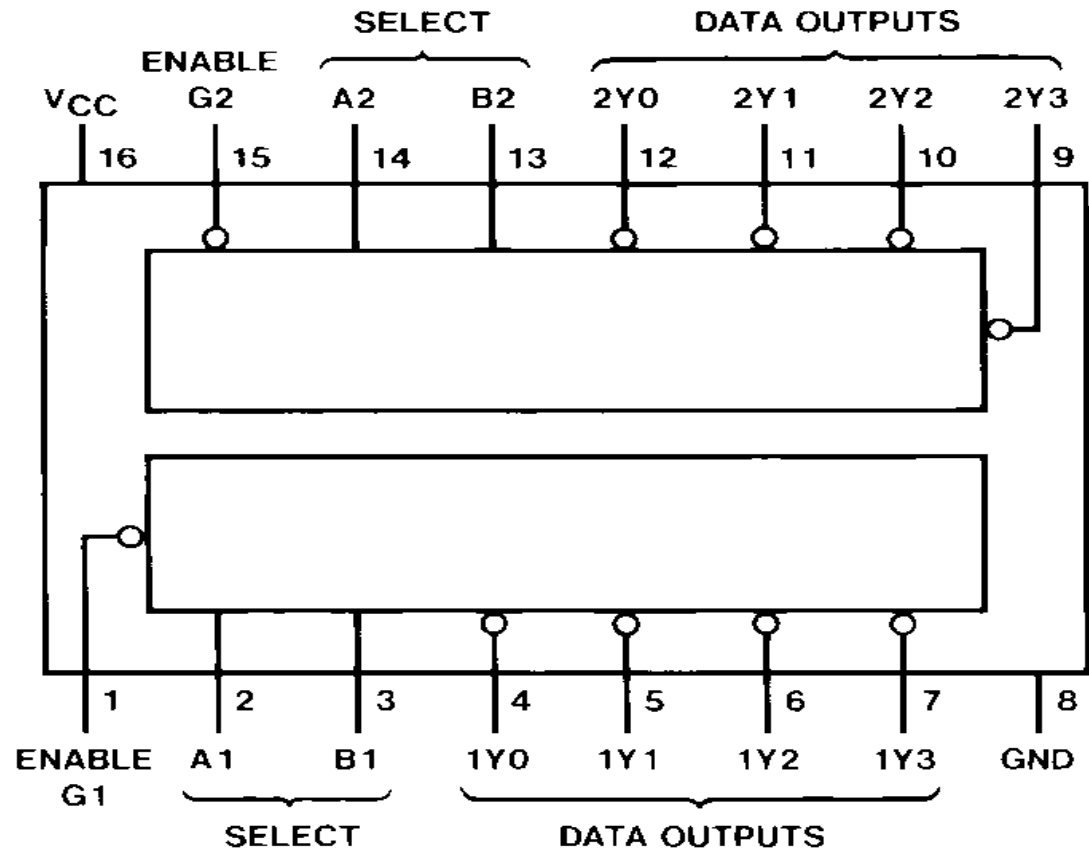
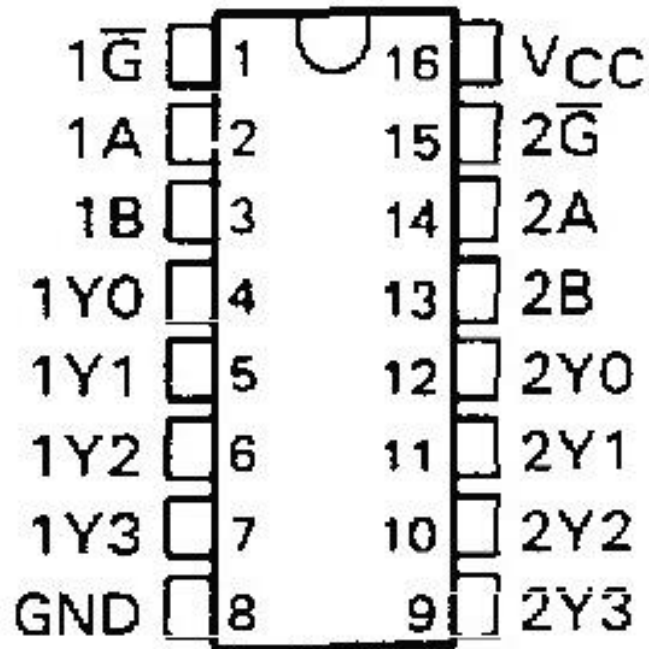
- IC 74LS139: 2 bộ giải mã  $2 \rightarrow 4$  ngõ ra tích cực thấp.



$\overline{G}$	B	A	$\overline{Y3}$	$\overline{Y2}$	$\overline{Y1}$	$\overline{Y0}$
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	0
0	1	1	0	1	1	1
1	x	x	1	1	1	1

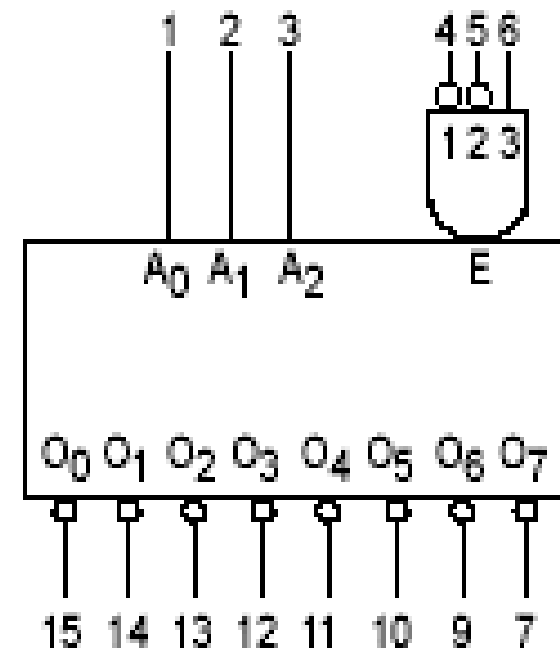
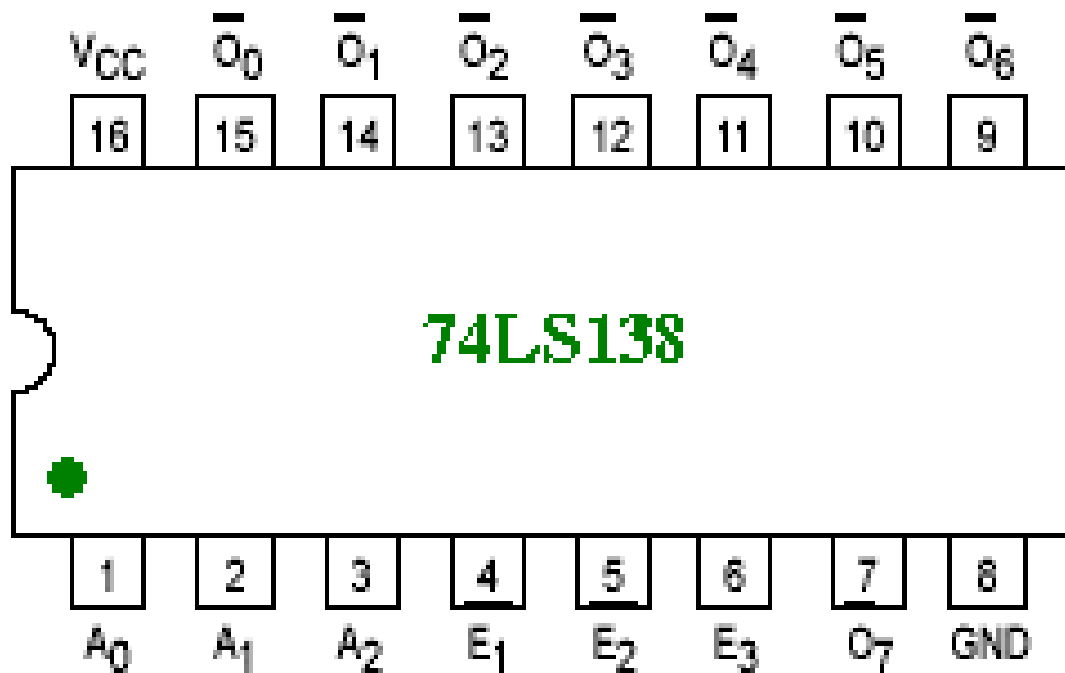
# Ch03 - HỆ TỔ HỢP

## ■ Sơ đồ chân 74139:



## Ch03 - HỆ TỔ HỢP

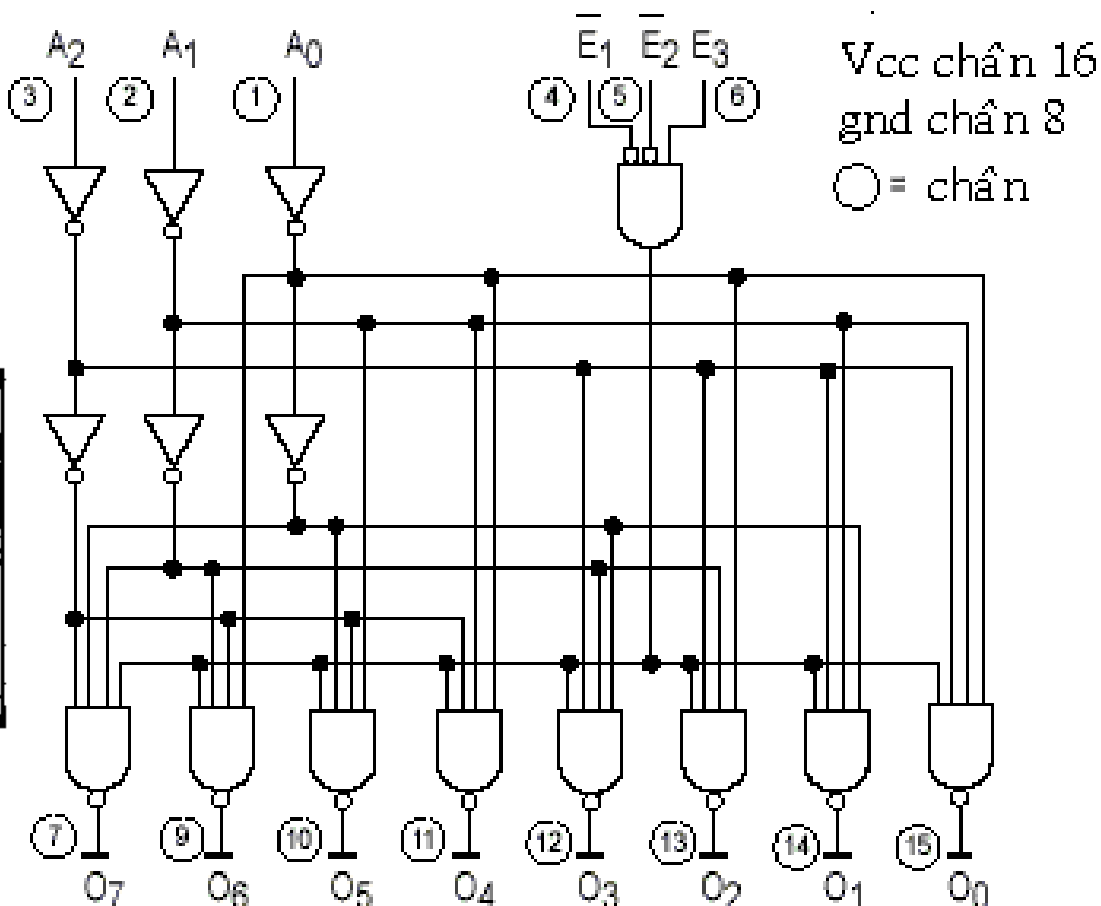
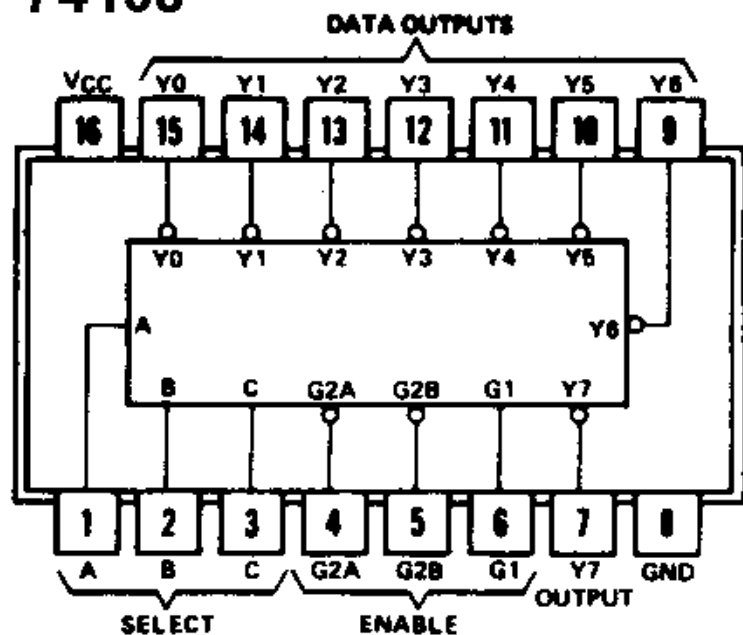
- IC 74LS138: mạch giải mã 3 sang 8 ngõ ra tích cực thấp.



# Ch03 - HỆ TỔ HỢP

## ■ 74138.

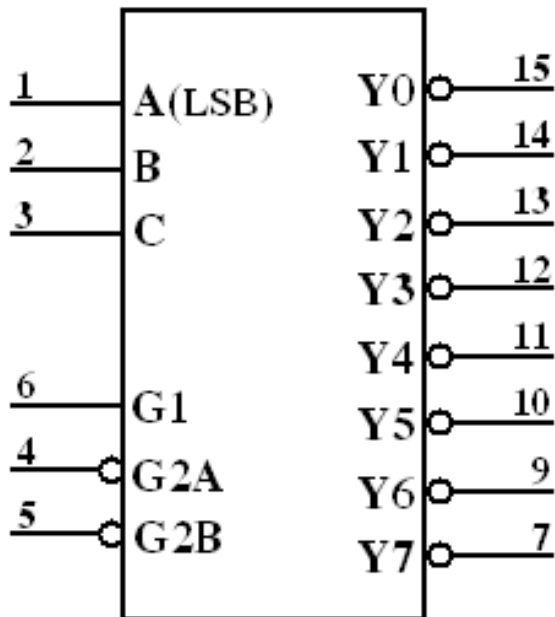
74138





# Ch03 - HỆ TỔ HỢP

## ■ 74138.

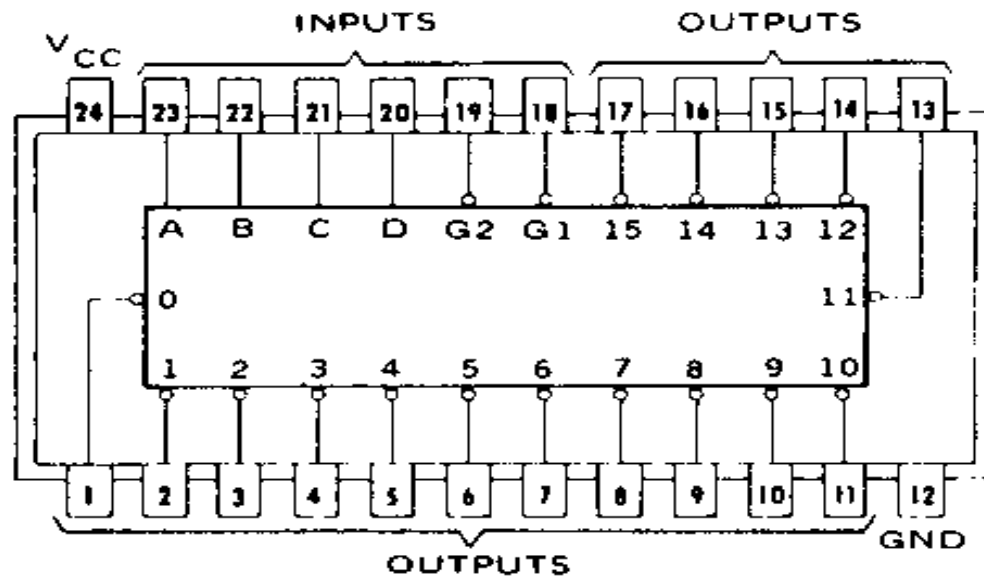


G1	$\overline{G2A}$	$\overline{G2B}$	C	B	A	$\overline{Y7}$	$\overline{Y6}$	$\overline{Y5}$	$\overline{Y4}$	$\overline{Y3}$	$\overline{Y2}$	$\overline{Y1}$	$\overline{Y0}$
0	x	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	0	1	1	1	1	1	1	0	1	1
1	0	0	0	1	0	1	1	1	1	0	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	0	1	0	1	1	1	0	1	1	1	1	1
1	0	0	1	1	0	1	0	1	1	1	1	1	1

## Ch03 - HỆ TỔ HỢP

- 74154: bộ giải mã 4 sang 16.

**74154**





## Ch03 - HỆ TỔ HỢP

---

- **Sử dụng bộ giải mã thực hiện hàm Boole:**
  - **Ngõ ra của bộ giải mã là minterm (ngõ ra tích cực cao) hoặc maxterm (ngõ ra tích cực thấp) của  $n$  biến ngõ vào.**
  - **Có thể sử dụng bộ giải mã thực hiện trực tiếp hàm Boole có dạng chính tắc.**

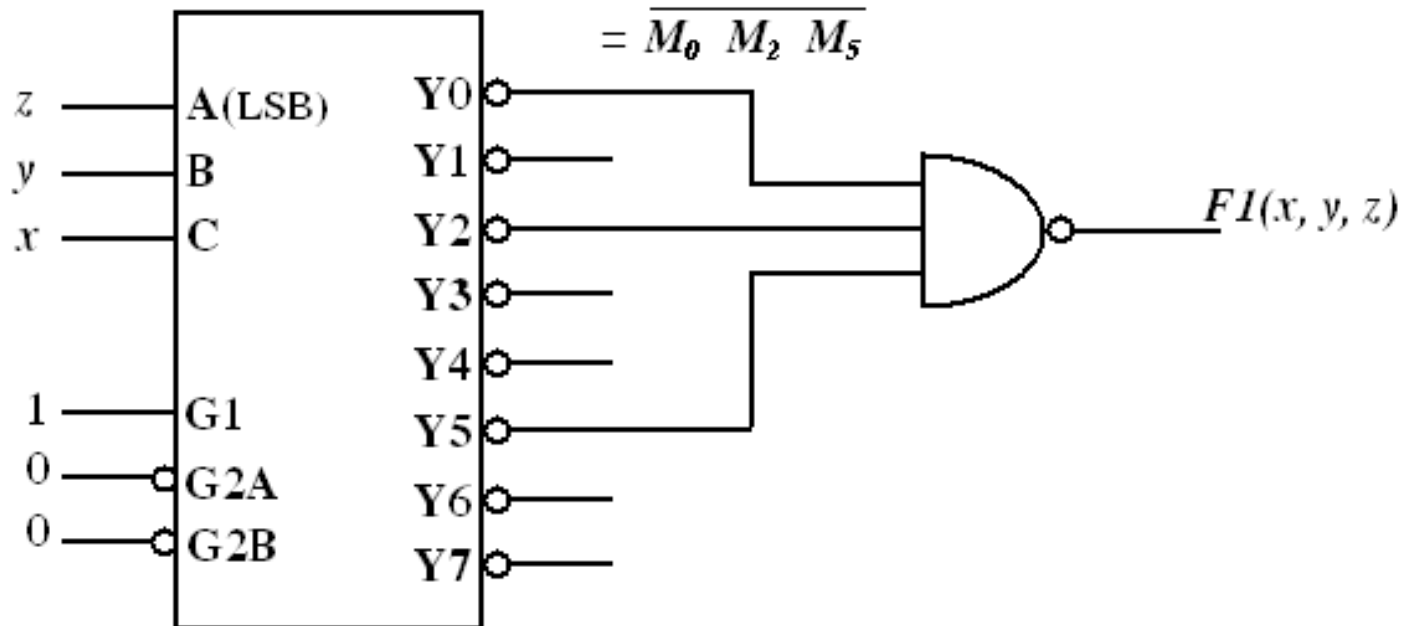
## Ch03 - HỆ TỔ HỢP

- Ví dụ : Cho hàm  $F1(x, y, z) = \Sigma(0, 2, 5)$ .

$$F1(x, y, z) = \Sigma(0, 2, 5)$$

$$= m_0 + m_2 + m_5 = \overline{M}_0 + \overline{M}_2 + \overline{M}_5$$

$$= \overline{M}_0 \overline{M}_2 \overline{M}_5$$

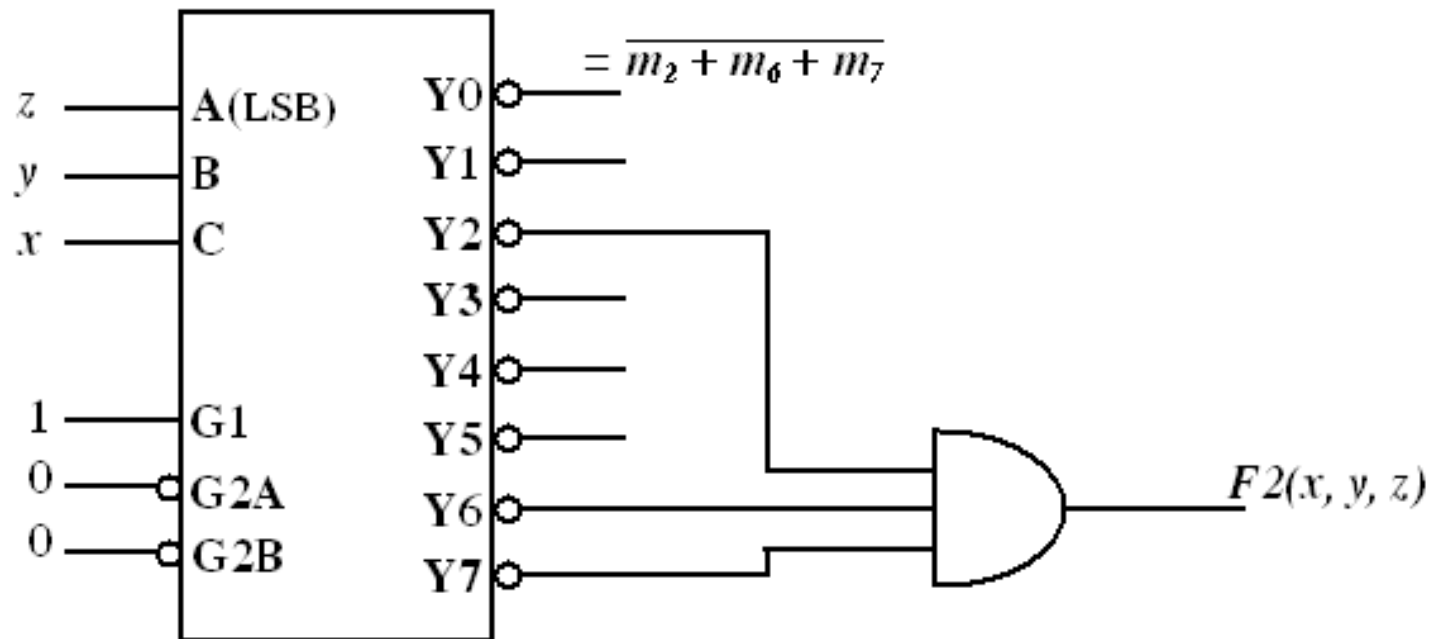


## Ch03 - HỆ TỔ HỢP

- Ví dụ: Cho hàm  $F2(x, y, z) = \prod(2, 6, 7)$ .

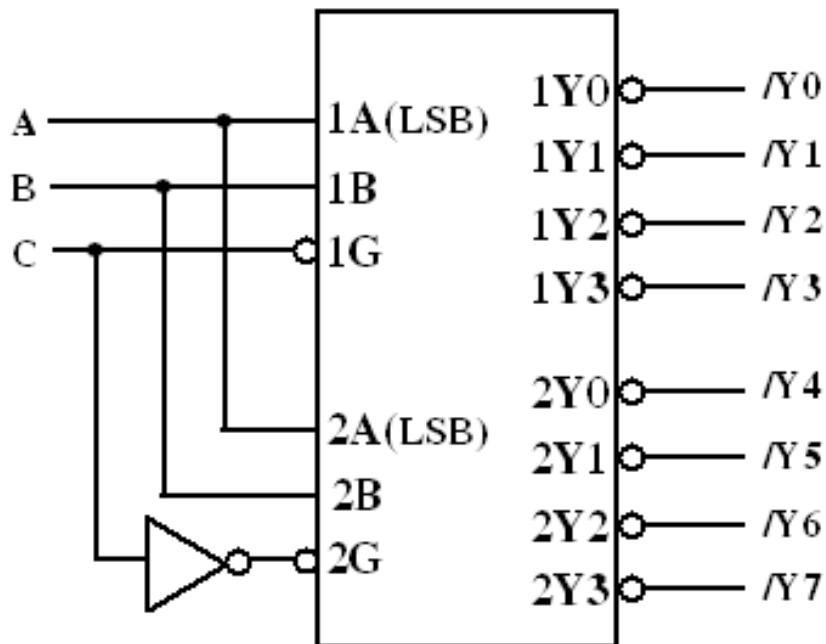
$$F2(x, y, z) = \prod(2, 6, 7)$$

$$= M_2 M_6 M_7 = \overline{m}_2 \overline{m}_6 \overline{m}_7$$



# Ch03 - HỆ TỔ HỢP

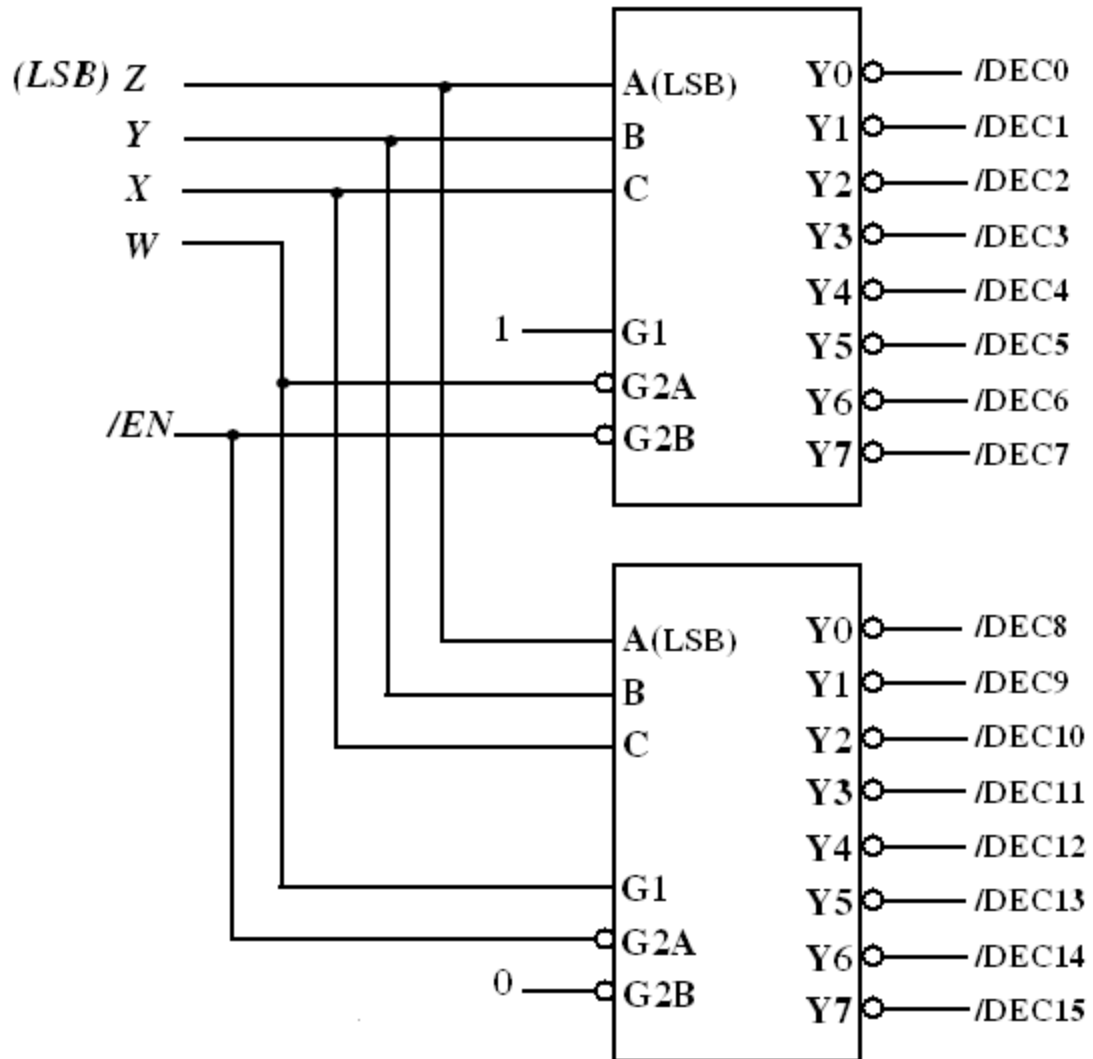
- Ghép các bộ giải mã:
  - Ghép 2 bộ 2 → 4 thành 1 bộ 3 → 8.



C	B	A	$\overline{Y7}$	$\overline{Y6}$	$\overline{Y5}$	$\overline{Y4}$	$\overline{Y3}$	$\overline{Y2}$	$\overline{Y1}$	$\overline{Y0}$
0	0	0	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1

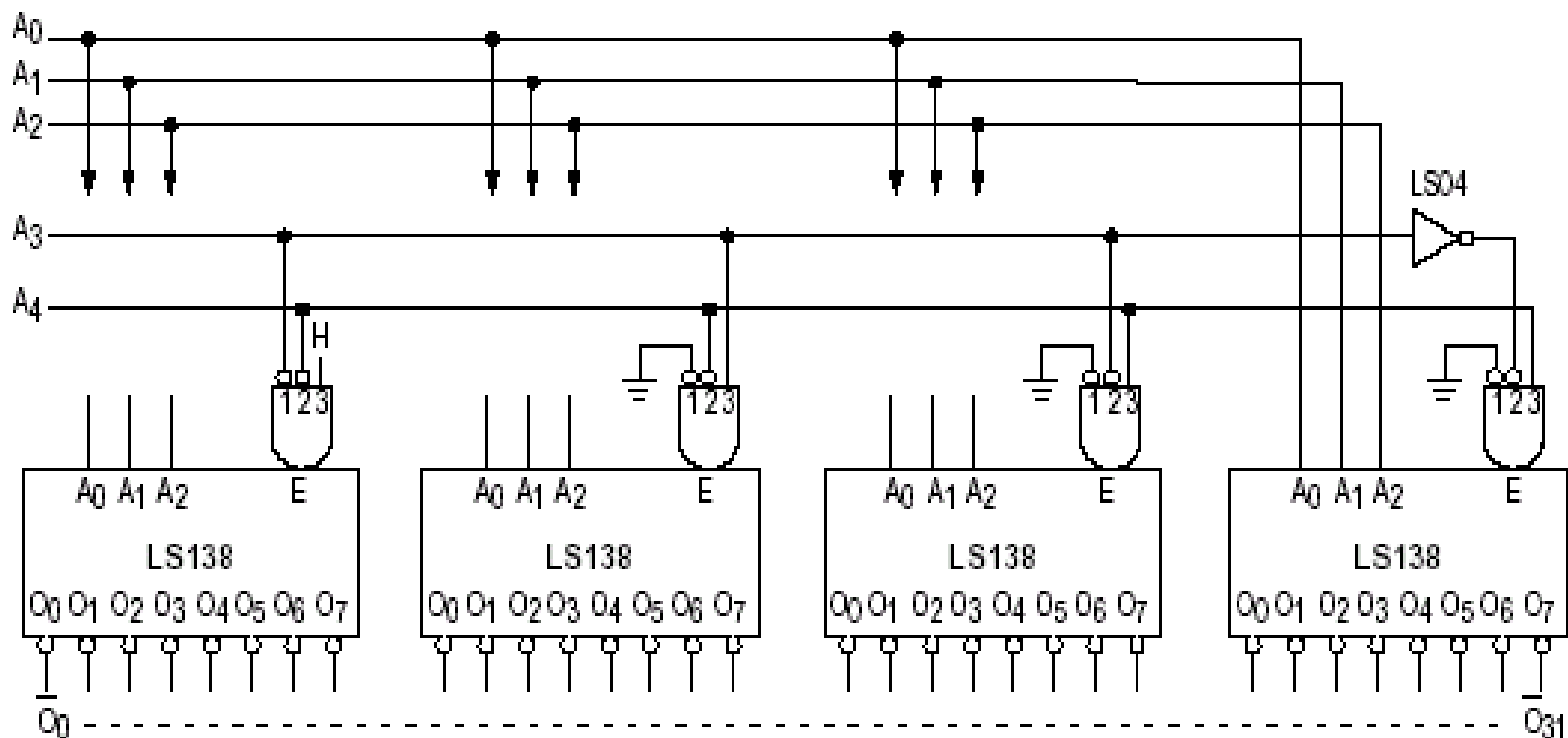
## Ch03 - HỆ T

- Ghép 2 bộ 3 → 8 thành 1 bộ 4 → 16.



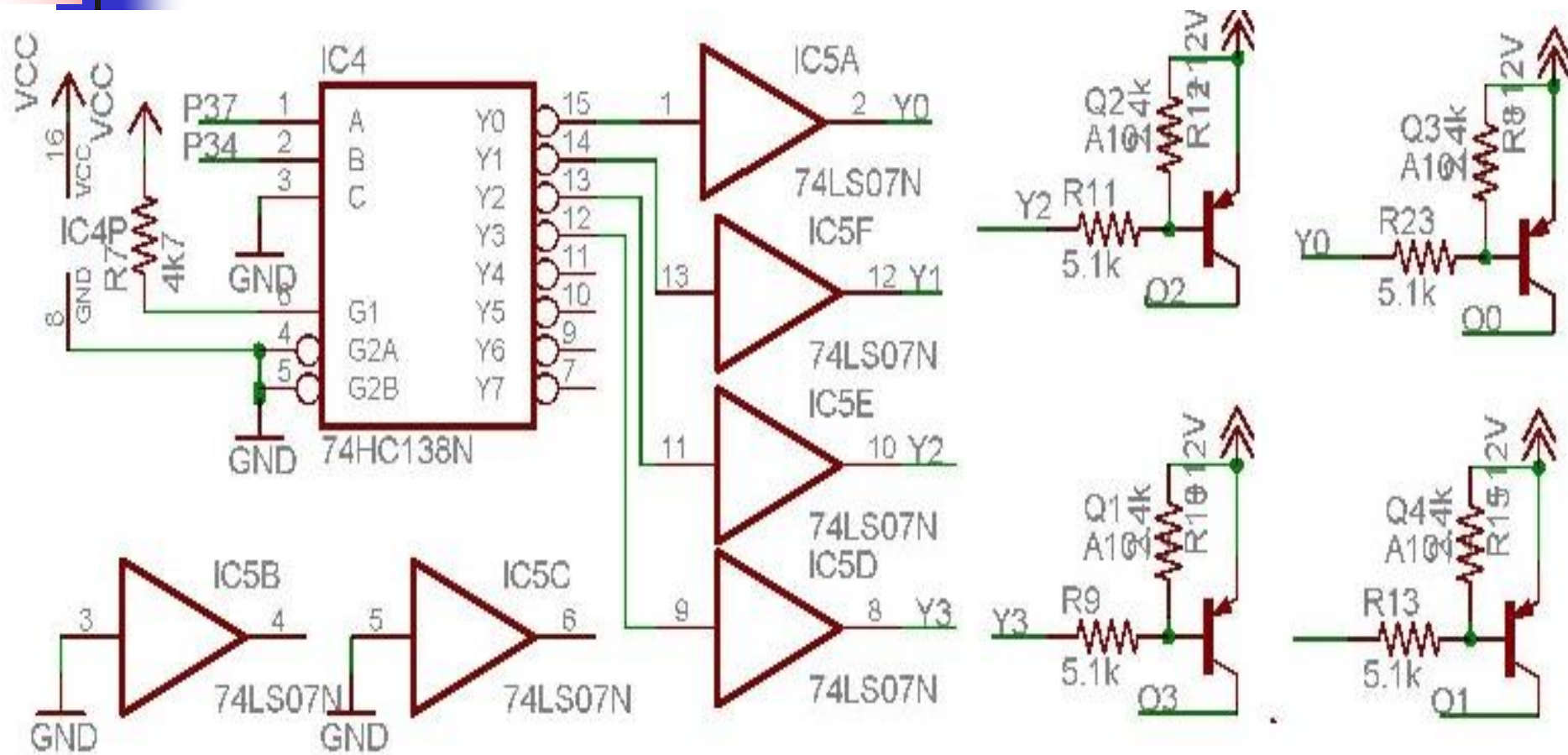
## Ch03 - HỆ TỔ HỢP

- Ghép 4 bộ 3 → 8 thành 1 bộ 5 → 32.



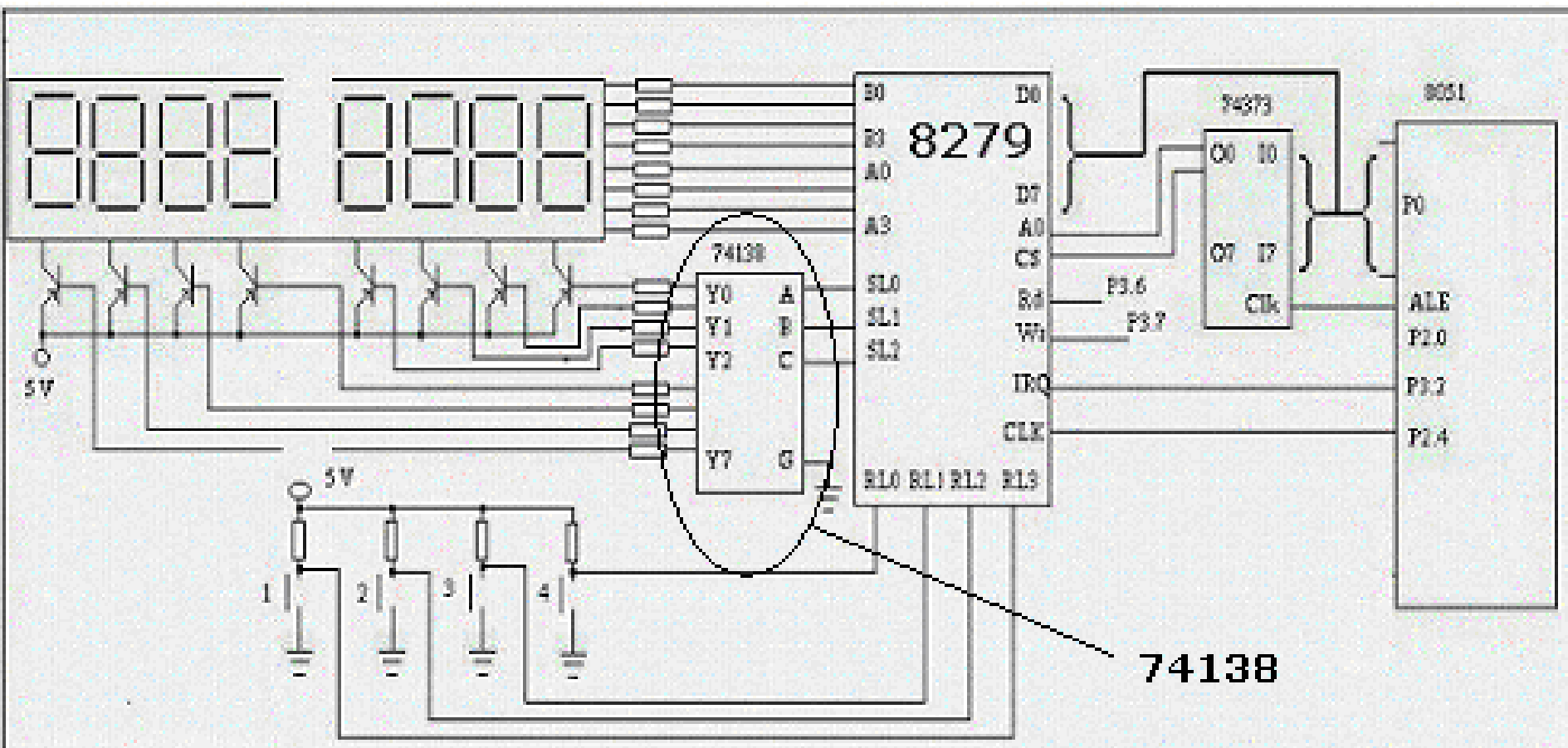


# Ch03 - HỆ TỔ HỢP

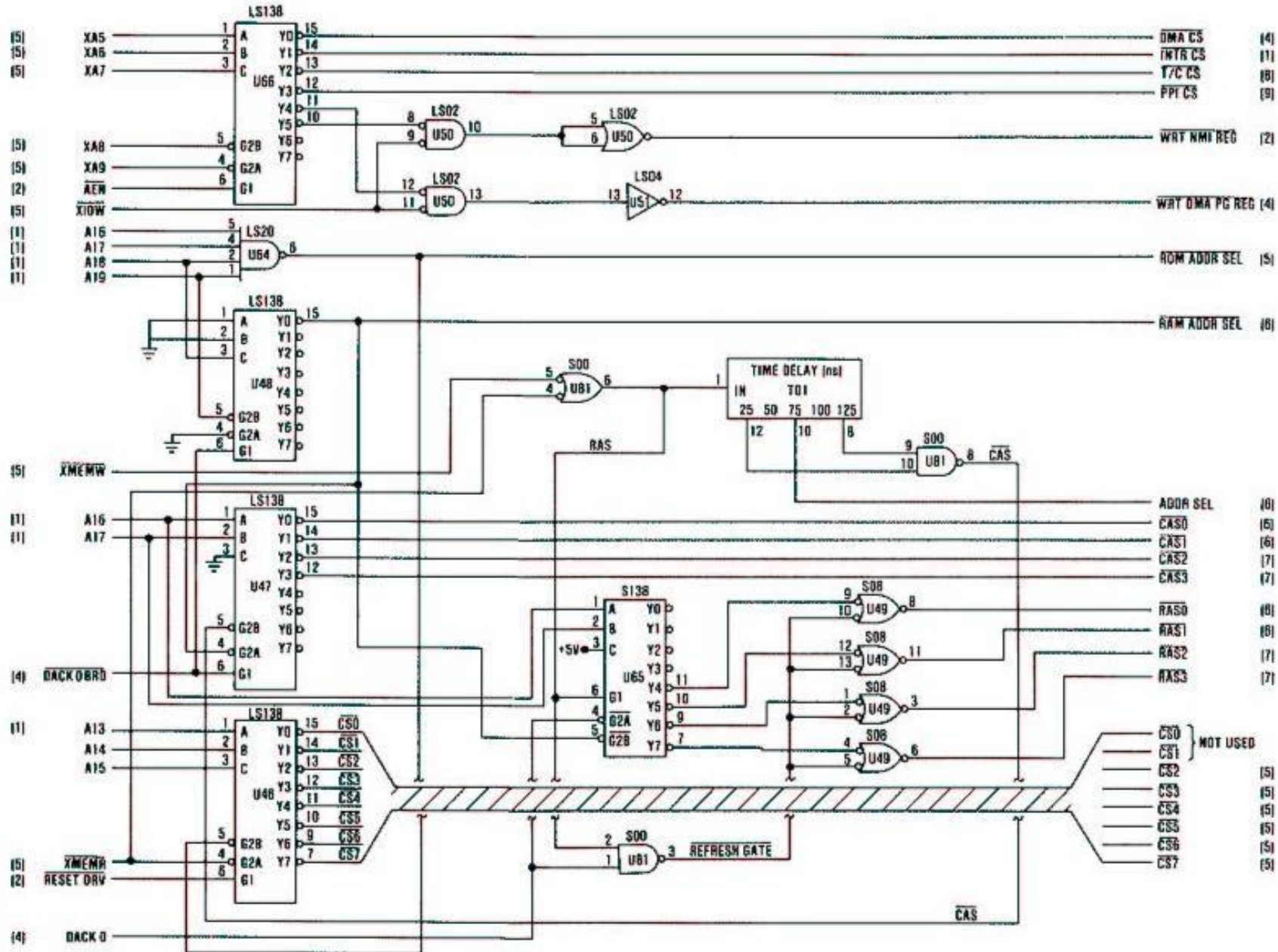




# Ch03 - HỆ TỔ HỢP







64/256K System Board (Sheet 3 of 10)



## Ch03 - HỆ TỔ HỢP

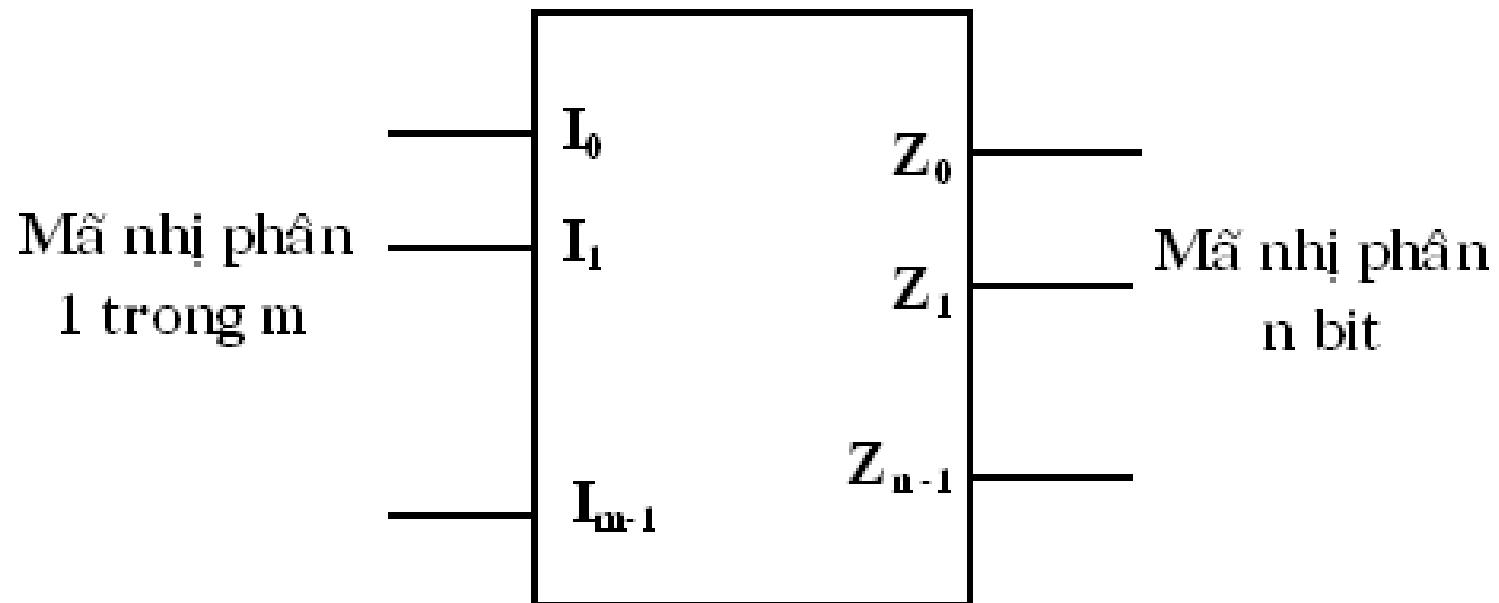
---

### ■ Bộ mã hoá (Encoder):

- Encoder là hệ chuyển mã thực hiện hoạt động ngược lại với decoder.
- Encoder có  $m$  ngõ vào theo mã nhị phân 1 trong  $m$  và  $n$  ngõ ra theo mã nhị phân thuần túy (với  $m \leq 2^n$ ).
- Với ngõ vào thứ  $i$  được tích cực thì ngõ ra chính là tổ hợp giá trị nhị phân  $i$  tương ứng.

## Ch03 - HỆ TỔ HỢP

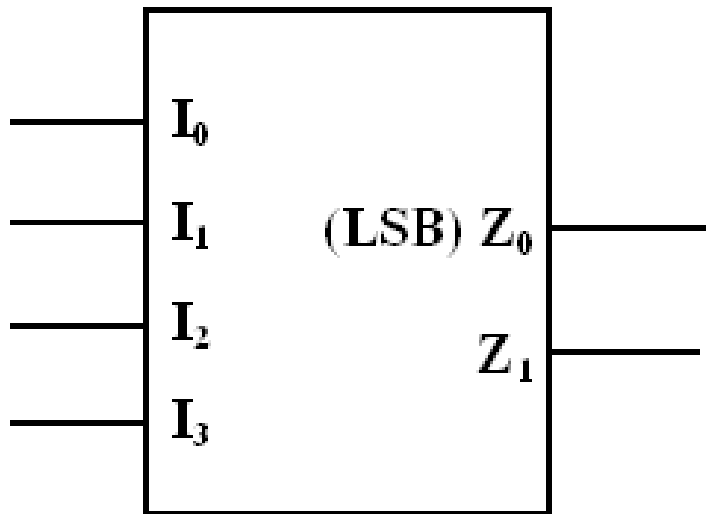
### ■ Bộ mã hoá (Encoder):





## Ch03 - HỆ TỔ HỢP

### ■ Ví dụ: Encoder 4 sang 2



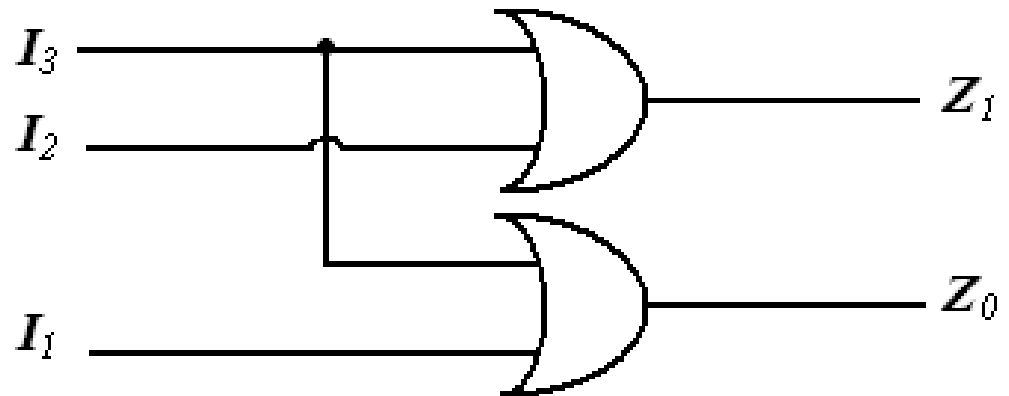
$I_0$	$I_1$	$I_2$	$I_3$	$Z_1$	$Z_0$
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

## Ch03 - HỆ TỔ HỢP

### ■ Mạch thực hiện:

$$Z1 = I2 + I3$$

$$Z0 = I1 + I3$$







## Ch03 - HỆ TỔ HỢP

---

- Ví dụ: Encoder 8 sang 3 (SGK)



## Ch03 - HỆ TỔ HỢP

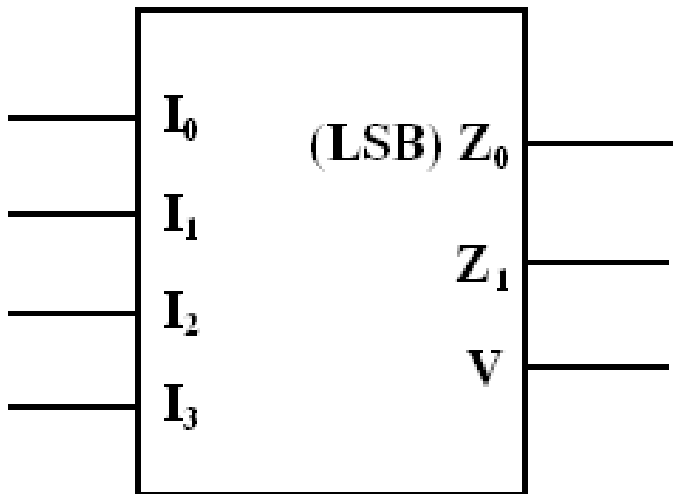
---

- **Bộ mã hóa có ưu tiên (Priority Encoder):**
  - có nhiều hơn 1 ngõ vào cùng tích cực thì ngõ ra sẽ là giá trị nhị phân của ngõ vào có ưu tiên cao nhất.
  - Ngõ ra  $V$  có chức năng chỉ thị:  $V = 1$  nếu có ít nhất 1 ngõ vào tích cực; ngược lại  $V = 0$  nếu không có ngõ vào nào tích cực.



## Ch03 - HỆ TỔ HỢP

- Ví dụ: Encoder 4 sang 2 có ưu tiên  
Thứ tự ưu tiên  $I_3 > I_2 > I_1 > I_0$ .



$I_0$	$I_1$	$I_2$	$I_3$	$Z_1$	$Z_0$	$V$
0	0	0	0	x	x	0
1	0	0	0	0	0	1
x	1	0	0	0	1	1
x	x	1	0	1	0	1
x	x	x	1	1	1	1

# Ch03 - HỆ TỔ HỢP

## ■ Công thức.

$V = I0 + I1 + I2 + I3$

		$I_0 I_1$			
		00	01	11	10
$Z1$	$I_2 I_3$ 00	X			
	01	1	1	1	1
	11	1	1	1	1
	10	1	1	1	1

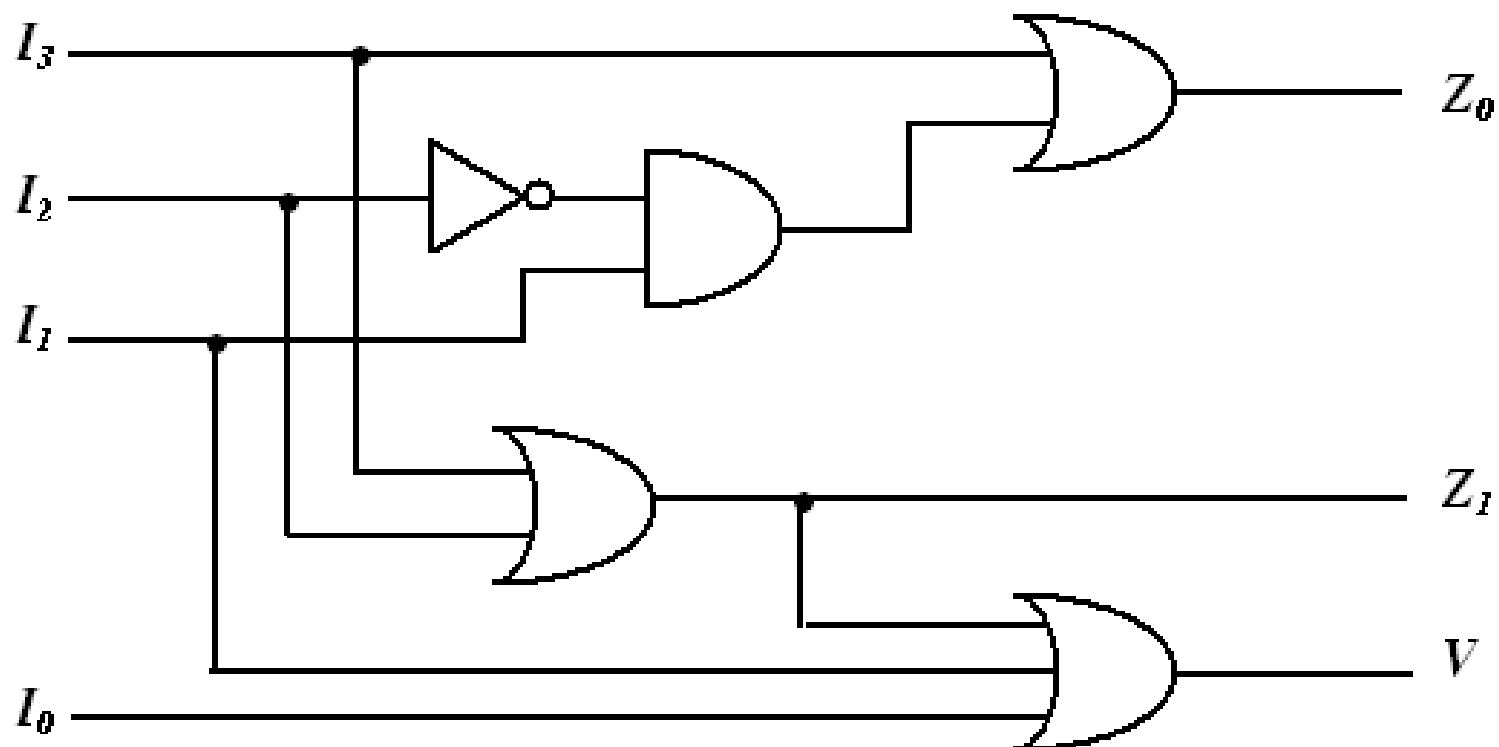
$$Z1 = I2 + I3$$

		$I_0 I_1$			
		00	01	11	10
$Z0$	$I_2 I_3$ 00	X	1	1	
	01	1	1	1	1
	11	1	1	1	1
	10				

$$Z0 = I3 + I1 \overline{I2}$$

## Ch03 - HỆ TỔ HỢP

### ■ Mạch thực hiện:



## Ch03 - HỆ TỔ HỢP

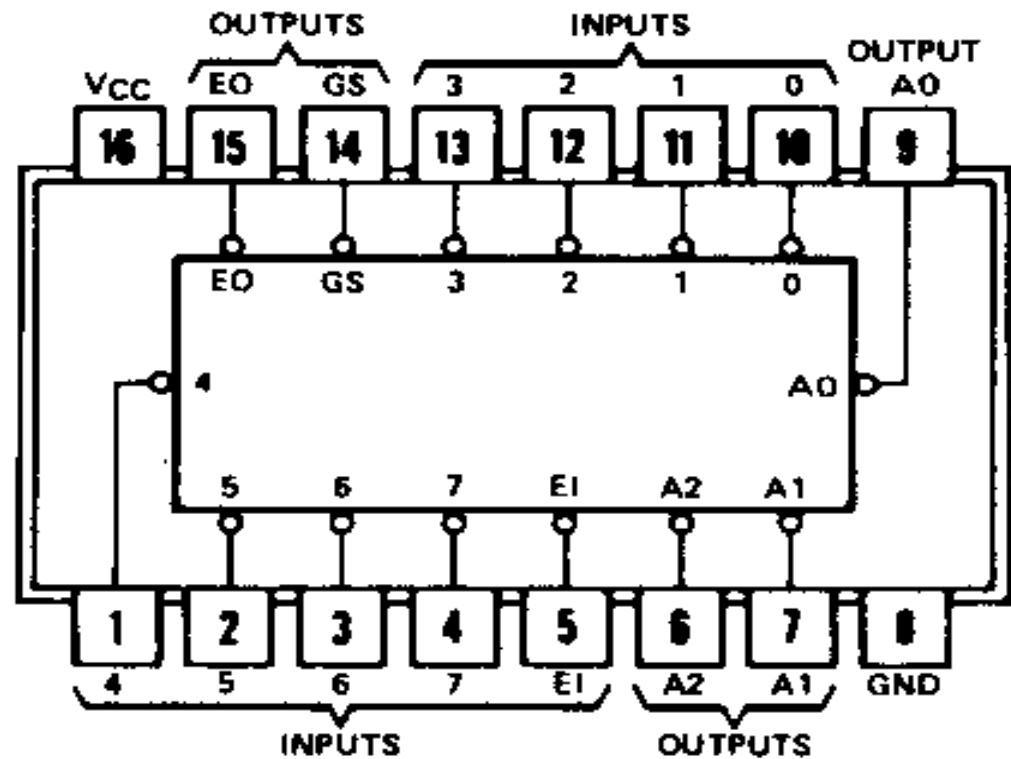
### ■ IC mã hóa ưu tiên 8 → 3 (74LS148):

$\overline{\text{EI}}$	$\overline{\text{I0}}$	$\overline{\text{I1}}$	$\overline{\text{I2}}$	$\overline{\text{I3}}$	$\overline{\text{I4}}$	$\overline{\text{I5}}$	$\overline{\text{I6}}$	$\overline{\text{I7}}$	$\overline{\text{A2}}$	$\overline{\text{A1}}$	$\overline{\text{A0}}$	$\overline{\text{GS}}$	$\overline{\text{EO}}$
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	x	x	x	x	x	x	x	0	0	0	0	0	1
0	x	x	x	x	x	x	0	1	0	0	1	0	1
0	x	x	x	x	x	0	1	1	0	1	0	0	1
0	x	x	x	x	0	1	1	1	0	1	1	0	1
0	x	x	x	0	1	1	1	1	1	0	0	0	1
0	x	x	0	1	1	1	1	1	1	0	1	0	1
0	x	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0

- Thứ tự ưu tiên:  $\text{I7} > \text{I6} > \text{I5} > \text{I4} > \text{I3} > \text{I2} > \text{I1} > \text{I0}$ .

# Ch03 - HỆ TỔ HỢP

## 74148





## Ch03 - HỆ TỔ HỢP

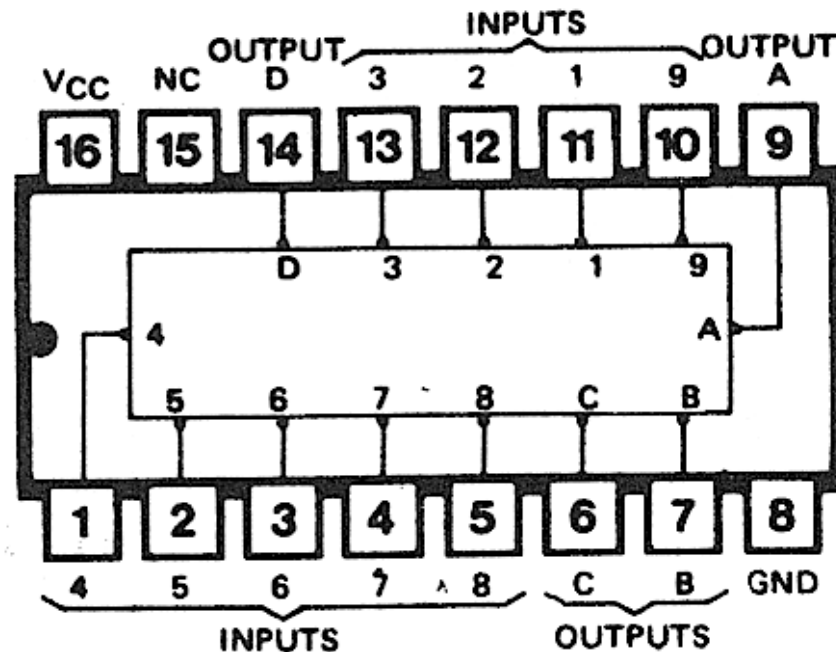
---

- - EI (Enable Input): ngõ vào cho phép, tích cực thấp. Nếu không tích cực các ngõ ra đều bằng 0 (không tích cực).
- - EO (Enable Output): ngõ ra tích cực thấp. Ngõ ra này chỉ tích cực khi ngõ vào EI tích cực nhưng không có ngõ vào  $I_i$  nào tích cực. Thường được nối vào EI của 1 Encoder 74148 khác có ưu tiên thấp hơn.
- - GS (Group Select): ngõ ra tích cực thấp. Ngõ ra này tích cực khi ngõ vào EI tích cực và có ít nhất 1 ngõ vào  $I_i$  tích cực.
- - A2, A1, A0: các ngõ ra tổ hợp nhị phân tương ứng với ngõ vào  $I_i$  tích cực khi EI tích cực.



## Ch03 - HỆ TỔ HỢP

- IC mã hóa ưu tiên 10 → 4 (74LS147):



# Ch03 - HỆ TỔ HỢP

Các ngõ vào thập phân tác động ở mức thấp									Các ngõ ra BCD tác động ở thấp			
1	2	3	4	5	6	7	8	9	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0
X	0	1	1	1	1	1	1	1	1	1	0	1
X	X	0	1	1	1	1	1	1	1	1	0	0
X	X	X	0	1	1	1	1	1	1	0	1	1
X	X	X	X	0	1	1	1	1	1	0	1	0
X	X	X	X	X	0	1	1	1	1	0	0	1
X	X	X	X	X	X	0	1	1	1	0	0	0
X	X	X	X	X	X	X	0	1	0	1	1	1
X	X	X	X	X	X	X	X	0	0	1	1	0



## Ch03 - HỆ TỔ HỢP

---

- **Mạch chuyển mã (code conversion).**
  - Ví dụ: thiết kế hệ chuyển mã từ mã BCD thành mã BCD quá 3



# HỆ TỔ HỢP

---

■ **Bảng giá trị:**

A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0
1	0	1	0	X	X	X	X
1	0	1	1	X	X	X	X
1	1	0	0	X	X	X	X
1	1	0	1	X	X	X	X
1	1	1	0	X	X	X	X
1	1	1	1	X	X	X	X

# Ch03 - HỆ TỔ HỢP

## ■ Rút gọn:

$$Z = \overline{D}$$

$$Y = CD + \overline{C}\overline{D}$$

$$X = \overline{B}C + \overline{B}D + \overline{B}\overline{C}D$$

$$W = A + BC + BD$$

Y CD	AB			
	00	01	11	10
00	1	1	X	1
01			X	
11	1	1	X	X
10			X	X

Z CD	AB			
	00	01	11	10
00	1	1	X	1
01			X	
11			X	X
10	1	1	X	X

W CD	AB			
	00	01	11	10
00			X	1
01		1	X	1
11		1	X	X
10		1	X	X

X CD	AB			
	00	01	11	10
00		1	X	
01	1		X	1
11	1		X	X
10	1		X	X



# Ch03 - HỆ TỔ HỢP

---

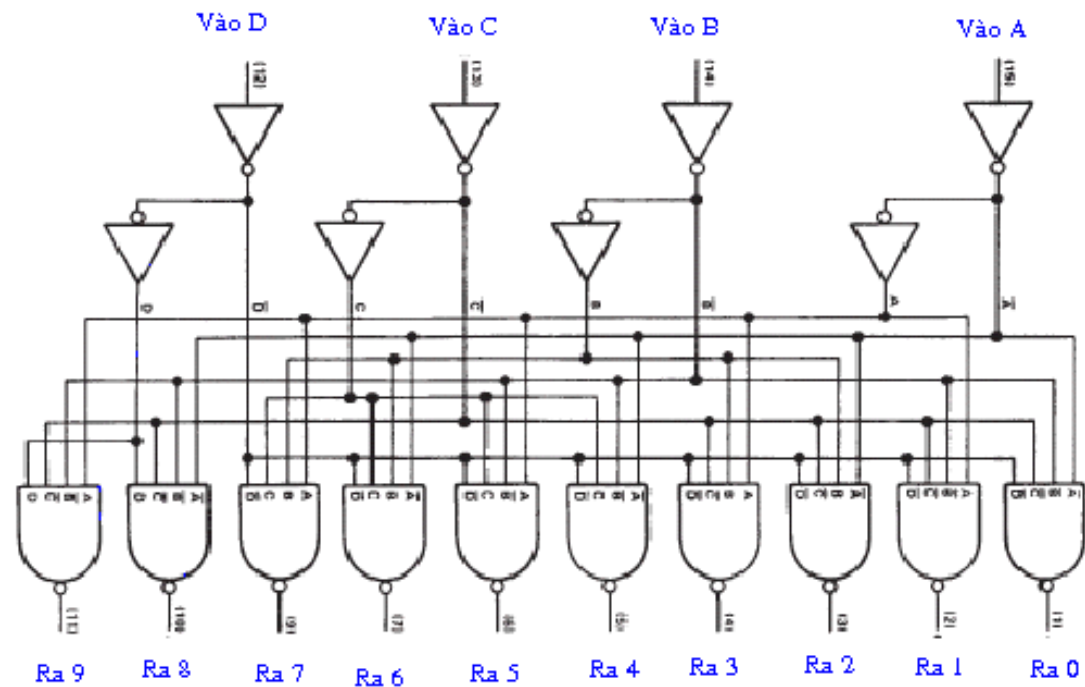
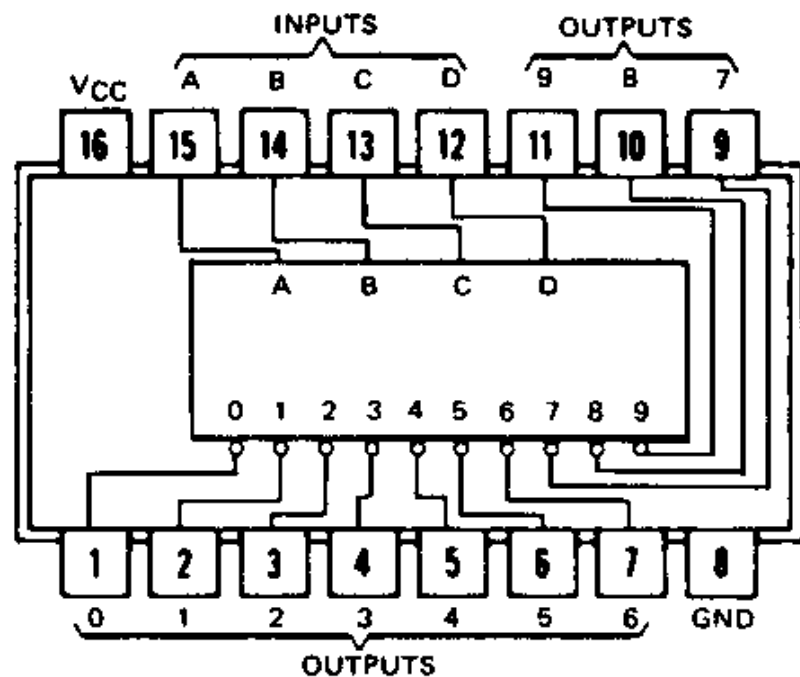


# Ch03 - HỆ TỔ HỢP

- Chuyển mã từ mã BCD sang thập phân: (SGK)

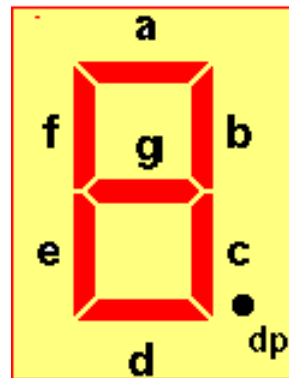
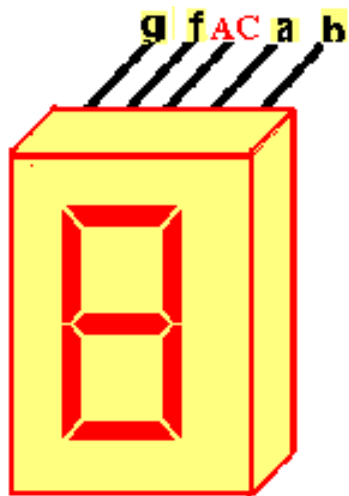
IC7442

7442/43/44

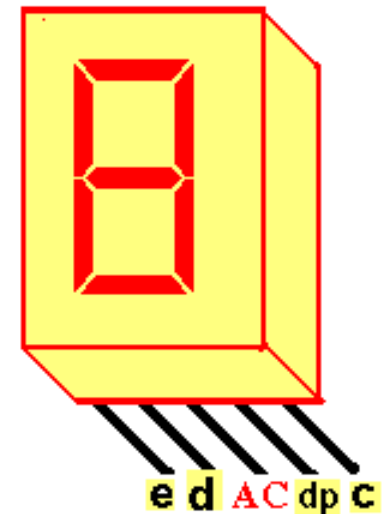


## Ch03 - HỆ TỔ HỢP

- Chuyển mã từ mã BCD sang led 7 đoạn (SGK)  
IC 7447, 7446, 7448, 7449



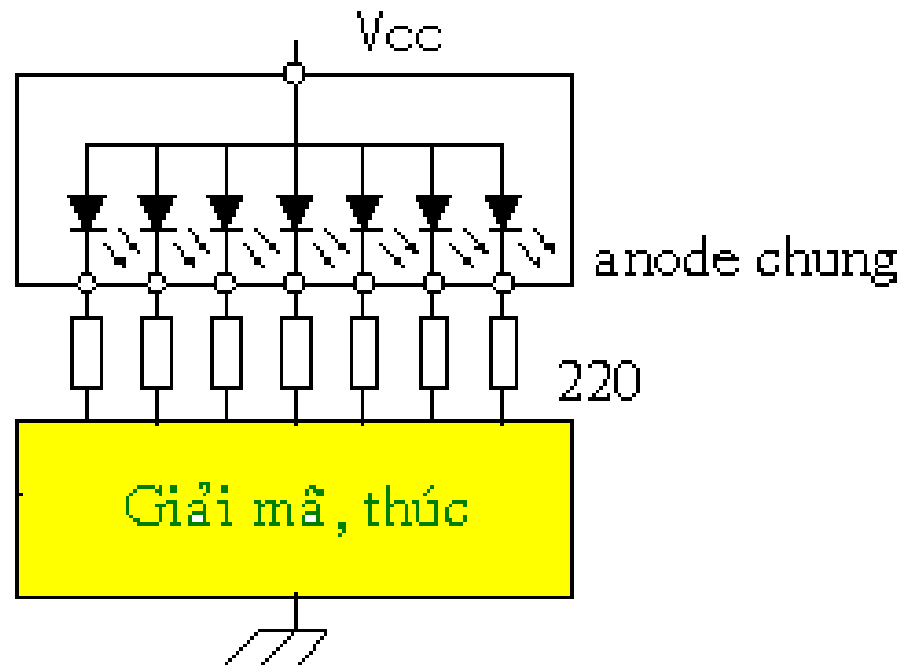
7 đoạn của đèn





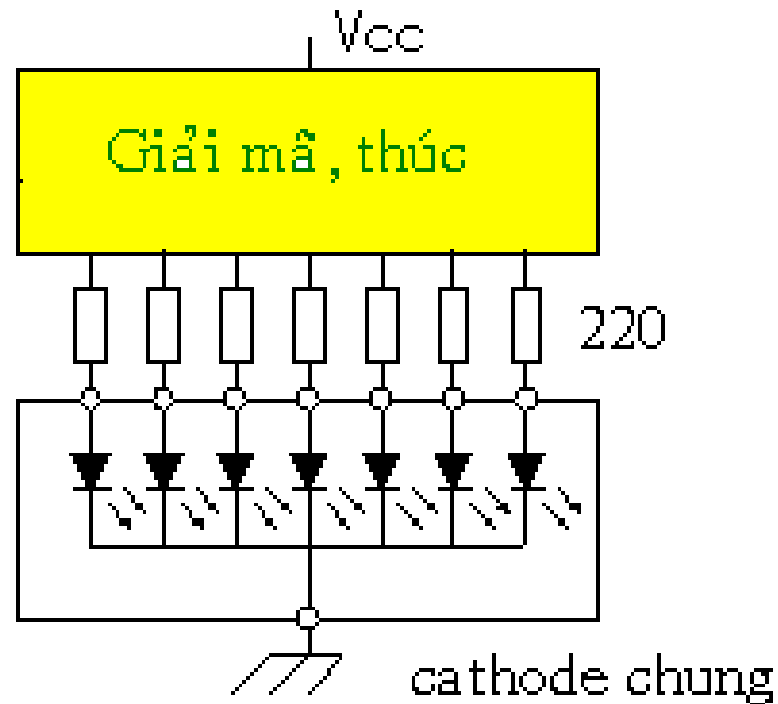
## Ch03 - HỆ TỔ HỢP

- **Anode chung (dương chung).**



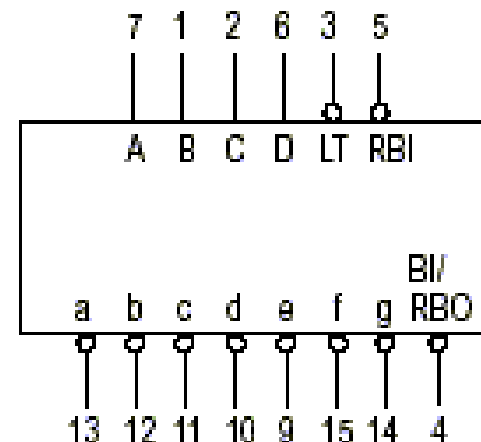
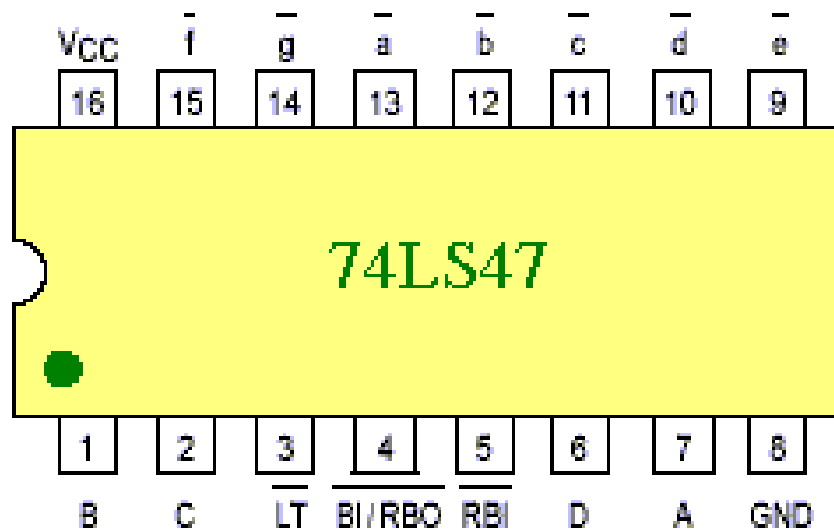
## Ch03 - HỆ TỔ HỢP

### ■ Cathode chung (âm chung).



# Ch03 - HỆ TỔ HỢP

## ■ IC 7447.



Số thấy	$\overline{LT}$	$\overline{RBI}$	$\overline{D}$	$\overline{C}$	$\overline{B}$	$\overline{A}$	$\overline{BI/RBO}$	$\overline{a}$	$\overline{b}$	$\overline{c}$	$\overline{d}$	$\overline{e}$	$\overline{f}$	$\overline{g}$	Ghi chú
0	1	X	0	0	0	0	1	0	0	0	0	0	0	1	1
1	1	X	0	0	0	1	1	1	0	0	1	1	1	1	
2	1	X	0	0	1	0	1	0	0	1	0	0	1	0	
3	1	X	0	0	1	1	1	0	0	0	0	1	1	0	
4	1	X	0	1	0	0	1	1	0	0	1	1	0	0	
5	1	X	0	1	0	1	1	0	1	0	0	1	0	0	
6	1	X	0	1	1	0	1	1	1	0	0	0	0	0	
7	1	X	1	1	1	1	1	0	0	0	1	1	1	1	
8	1	X	1	0	0	0	1	0	0	0	0	0	0	0	
9	1	X	1	0	0	1	1	0	0	0	1	1	0	0	
10	1	X	1	0	1	0	1	1	1	1	0	0	1	0	2
11	1	X	1	0	1	1	1	1	1	0	0	1	1	0	
12	1	X	1	1	0	0	1	1	0	1	1	1	0	0	
13	1	X	1	1	0	1	1	0	1	1	0	1	0	0	
14	1	X	1	1	1	0	1	1	1	1	0	0	0	0	
15	1	X	1	1	1	1	1	1	1	1	1	1	1	1	
BI	X	X	X	X	X	X	0	1	1	1	1	1	1	1	3
RBI	1	0	0	0	0	0	0	1	1	1	1	1	1	1	4
LT	0	X	X	X	X	X	1	0	0	0	0	0	0	0	5

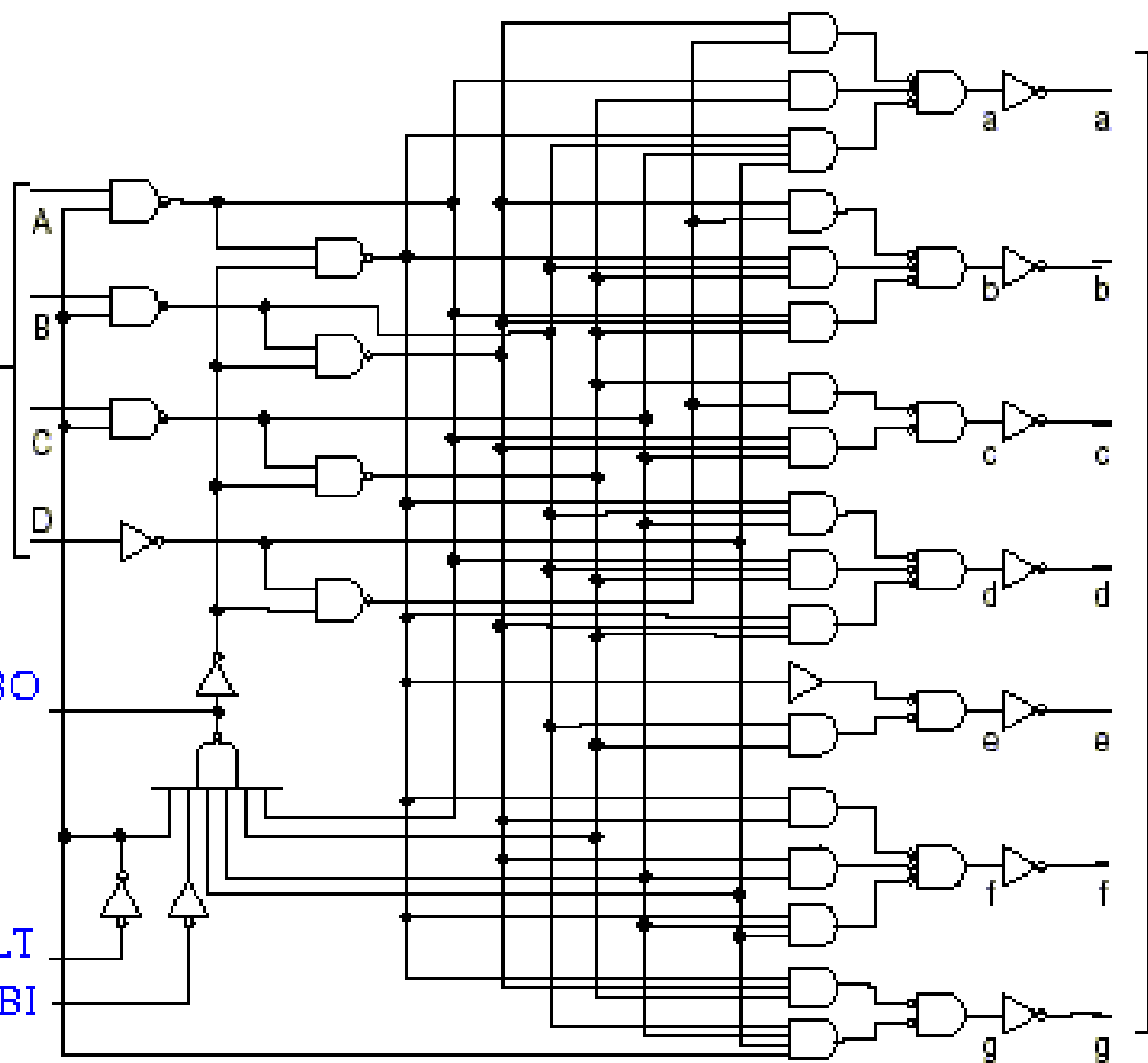


mà vào

BI/RBO

LT  
RBI

số  
thấy



các  
ngò  
ra

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15



## Ch03 - HỆ TỔ HỢP

---

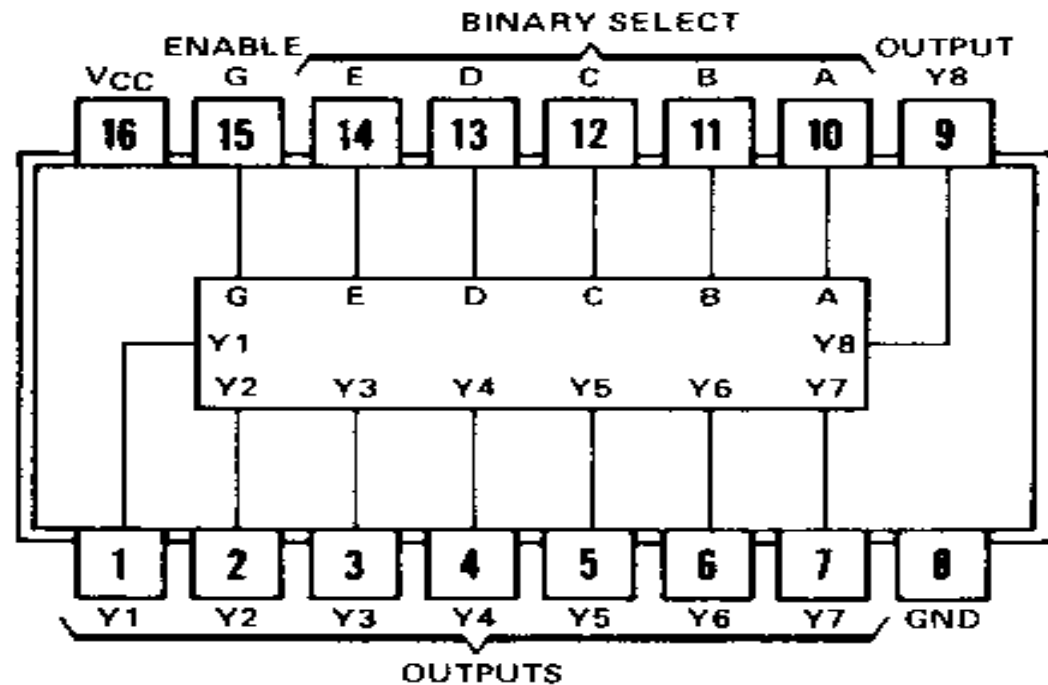
- **Chuyển mã nhị phân 4 bit sang mã Gray (SGK)**

## Ch03 - HỆ TỔ HỢP

- Chuyển mã từ mã BCD sang nhị phân: (SGK)

IC 74184

74184/185





## Ch03 - HỆ TỔ HỢP

---

- Chuyển mã từ nhị phân sang mã BCD: (SGK) IC 74185.





## Ch03 - HỆ TỔ HỢP

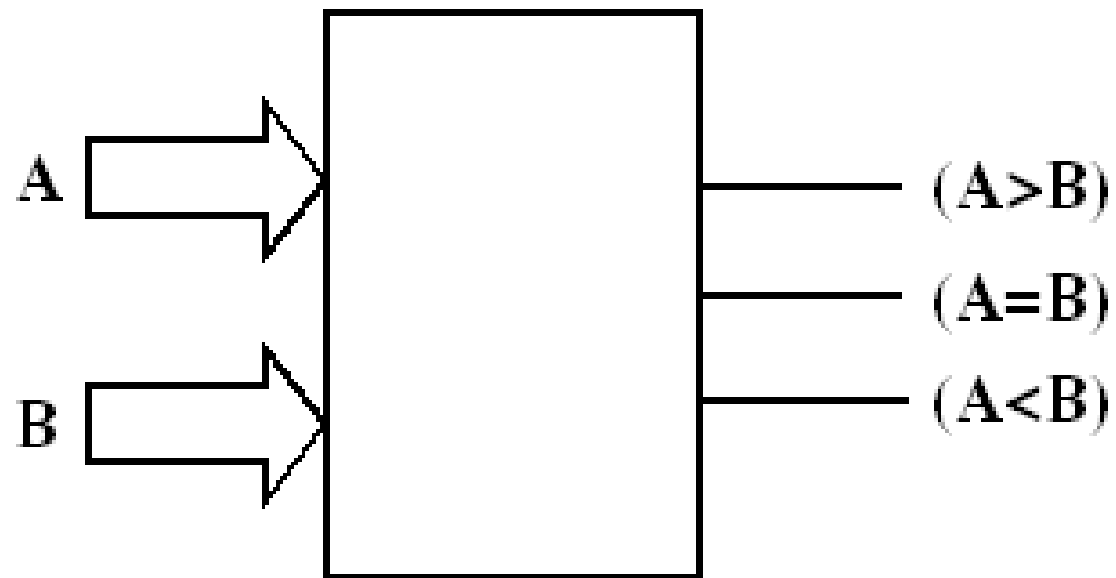
---

- **Mạch so sánh:**

- So sánh 2 số  $A$  và  $B$  (mỗi số  $n$  bit).
- Mạch có 3 ngõ ra  $(A > B)$ ,  $(A = B)$  và  $(A < B)$  chỉ thị cho độ tương đối của chúng.
- $A$  và  $B$  có chiều dài bit là  $n$ , nên mạch so sánh có  $2n$  ngõ vào.

## Ch03 - HỆ TỔ HỢP

### ■ Mạch so sánh:





## Ch03 - HỆ TỔ HỢP

---

- Thiết kế mạch so sánh 4 bit:

$$n = 4 \quad A = A_3 A_2 A_1 A_0$$

$$B = B_3 B_2 B_1 B_0$$

đặt biến trung gian  $x_i = \overline{A_i \oplus B_i} \quad (i = 0, 1, 2, 3)$

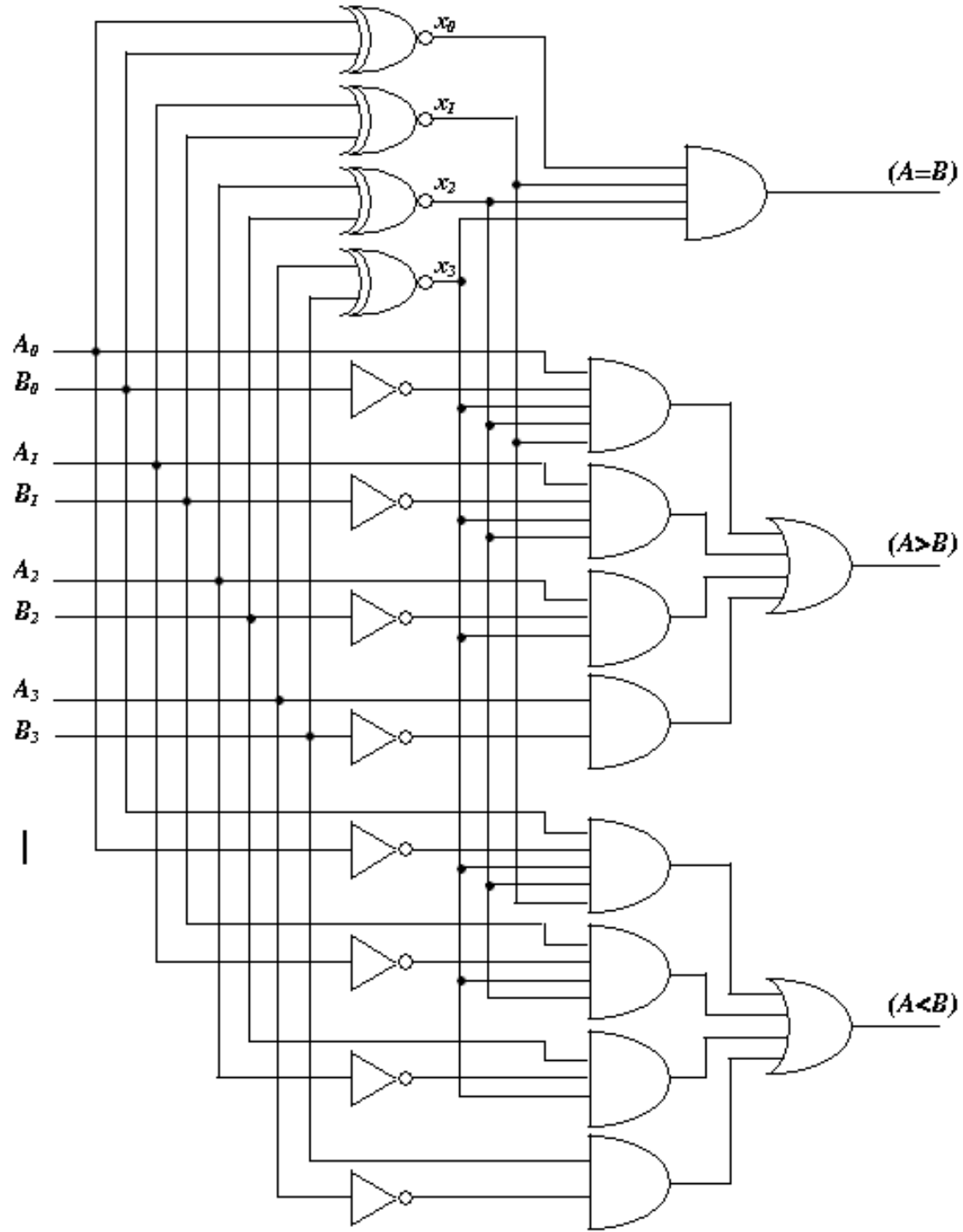
$$(A = B) = x_3 x_2 x_1 x_0$$

$$(A > B) = A_3 \overline{B_3} + x_3 A_2 \overline{B_2} + x_3 x_2 A_1 \overline{B_1} + x_3 x_2 x_1 A_0 \overline{B_0}$$

$$(A < B) = \overline{A_3} B_3 + x_3 \overline{A_2} B_2 + x_3 x_2 \overline{A_1} B_1 + x_3 x_2 x_1 \overline{A_0} B_0$$

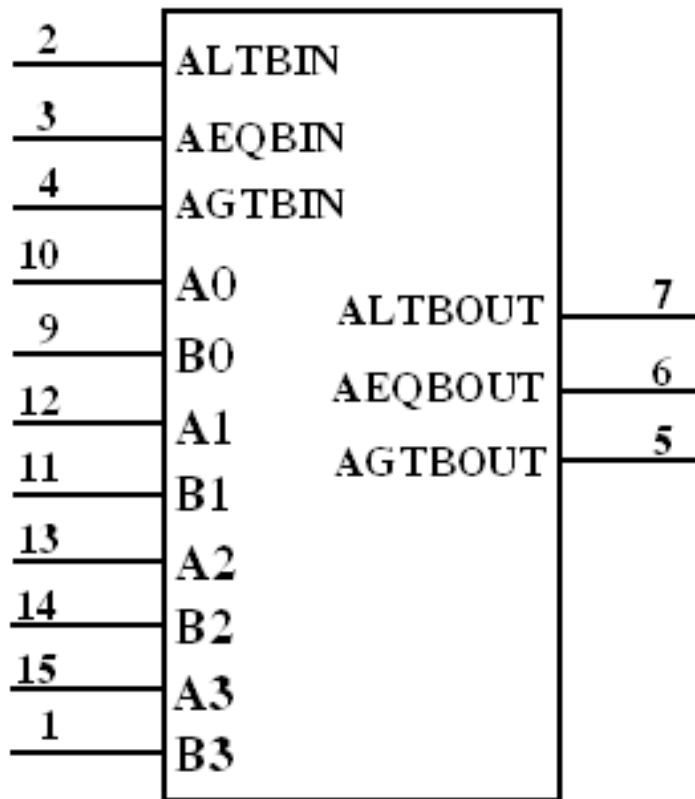
## Ch03 - HỆ T

### ■ Mạch thực hiện:



## Ch03 - HỆ TỔ HỢP

### ■ IC so sánh 7485:



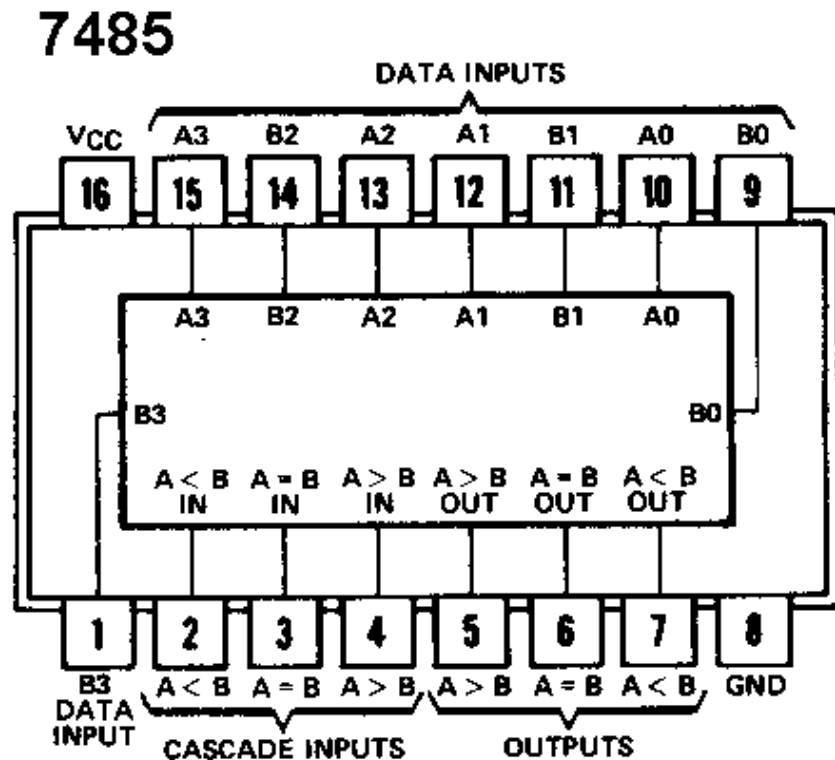
$$AGTBOUT = (A > B) + (A = B).AGTBIN$$

$$AEQBOUT = (A = B).AEQBIN$$

$$ALTBOUT = (A < B) + (A = B).ALTBIN$$

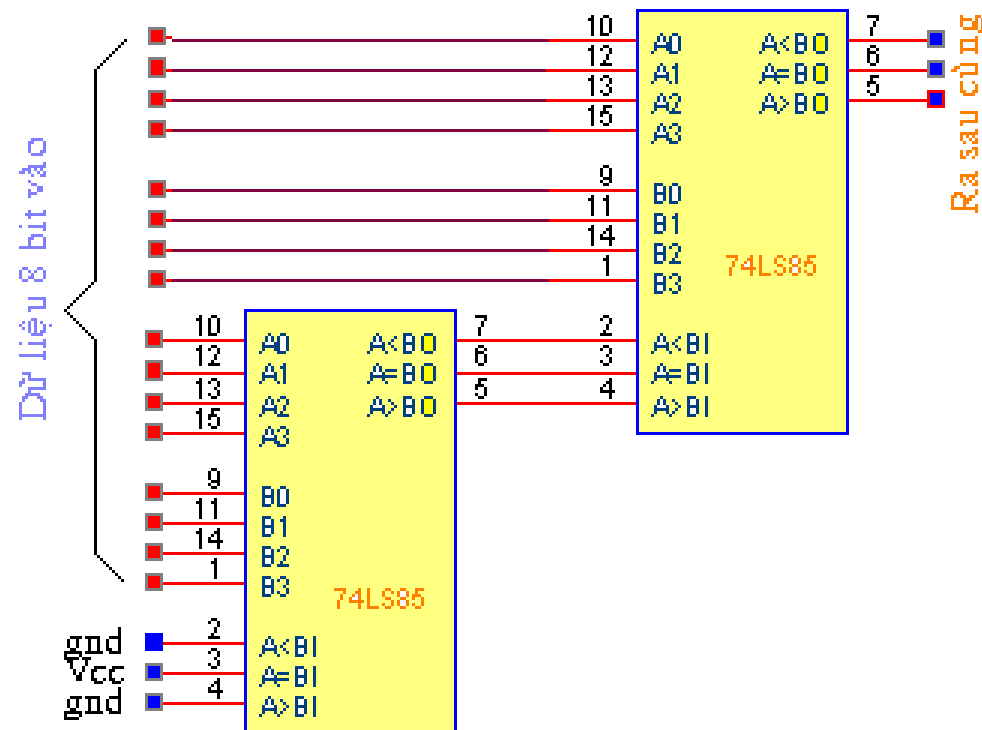
# Ch03 - HỆ TỔ HỢP

## ■ Sơ đồ chân:



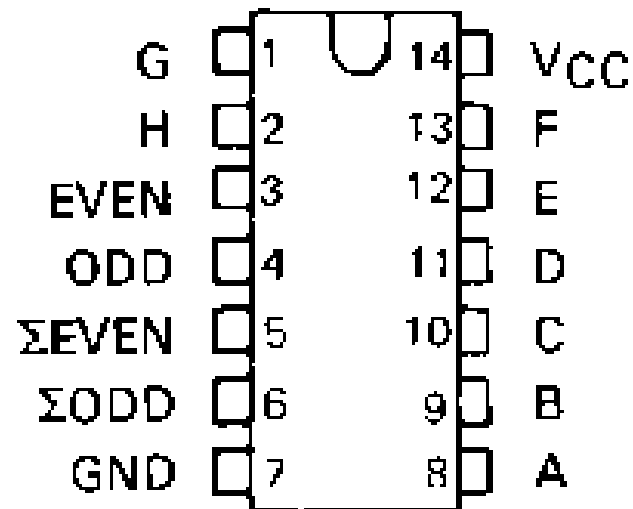
# Ch04 - ĐẠI SỐ BOOLE

## ■ Ghép 2 IC 7485: mạch so sánh 8 bit



# Ch04 - ĐẠI SỐ BOOLE

- Mạch tạo và kiểm tra parity chẵn lẻ (SGK):
  - IC 74180.



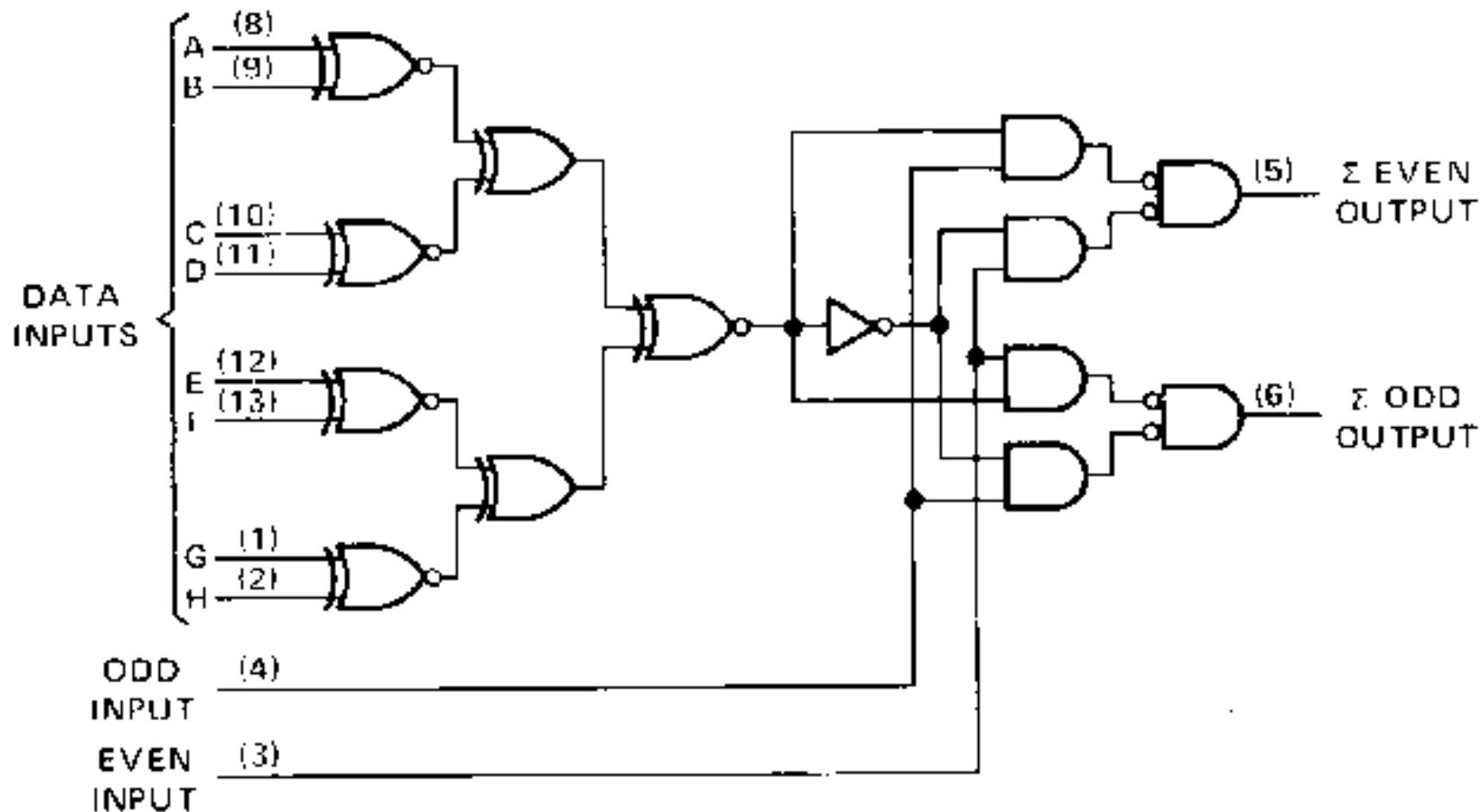
FUNCTION TABLE

INPUTS			OUTPUTS	
$\Sigma$ OF H's AT A THRU H	EVEN	ODD	$\Sigma$ EVEN	$\Sigma$ ODD
EVEN	H	L	H	L
ODD	H	L	L	H
EVEN	L	H	L	H
ODD	L	H	H	L
X	H	H	L	L
X	L	L	H	H

H = high level, L = low level, X = irrelevant



# Ch04 - ĐẠI SỐ BOOLE





# Ch04 - ĐẠI SỐ BOOLE

---

- **Bài tập.**