

Data oddania: _____

Ocena: _____

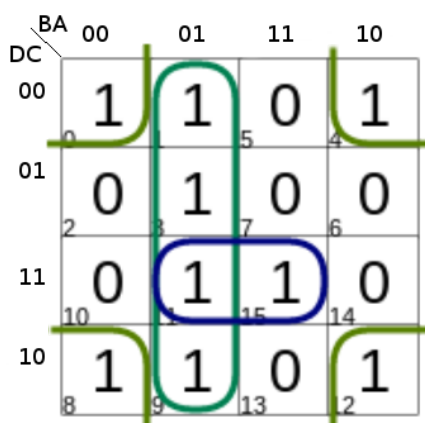
Witold Olechowski 127517

Tomasz Marecik 127374

Zadanie 2: Realizacja prostych funkcji logicznych w strukturze FPGA

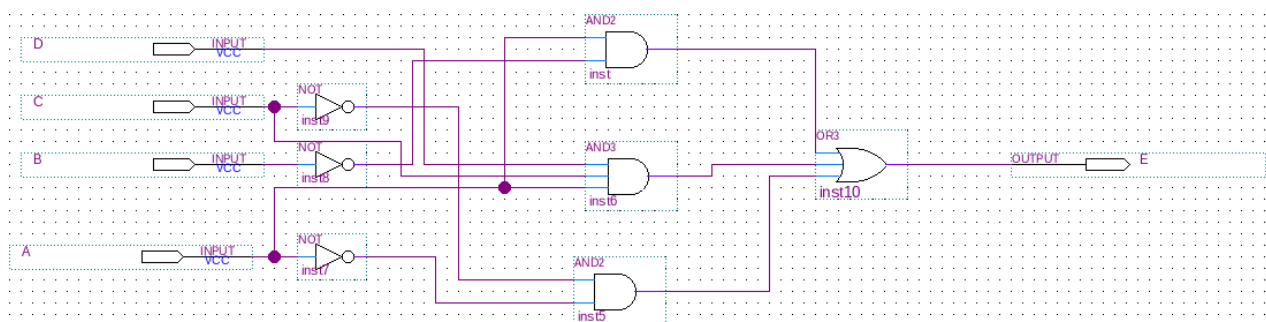
1. Minimalizacja funkcji logicznych

Zrealizować i zminimalizować funkcję logiczną $F(DCBA) = \Sigma\{0, 1, 2, 5, 8, 9, 10, 13, 15, (3)\}$



Rysunek 1. Minimalizacja funkcji przy pomocy siatki Karnaugh

$$F(DCBA) = \bar{B}A \cup DCA \cup \bar{A}\bar{C}$$



Rysunek 2. Realizacja funkcji na bramkach logicznych

2. Realizacja funkcji₁ w środowisku Quarus II

Na rysunku 2 przedstawiono realizację jako blok funkcyjny, poniżej znajduje się jej analogia w języku VHDL.

```

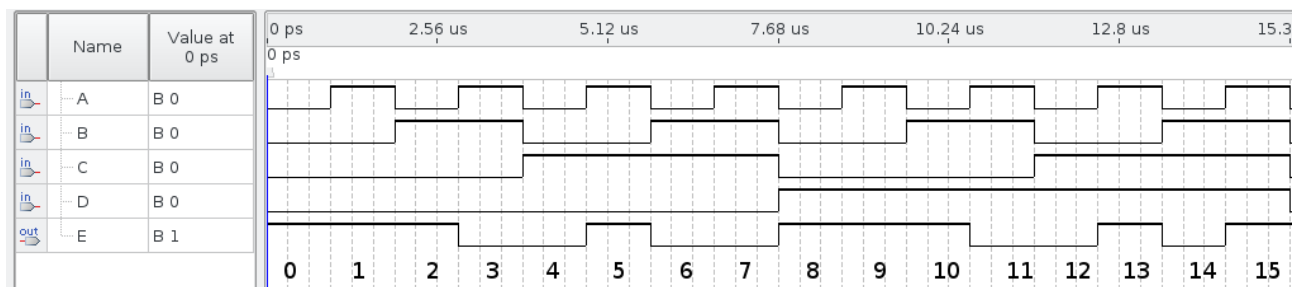
LIBRARY ieee;
USE ieee.std_logic_1164.all;
LIBRARY work;

ENTITY Block1 IS
    PORT(
        D : IN  STD_LOGIC;
        C : IN  STD_LOGIC;
        B : IN  STD_LOGIC;
        A : IN  STD_LOGIC;
        E : OUT STD_LOGIC);
END Block1;

ARCHITECTURE logic OF Block1 IS
BEGIN
    E <= (D AND C AND A) OR (NOT(C) AND NOT(A)) OR (A AND NOT(B));
END logic;

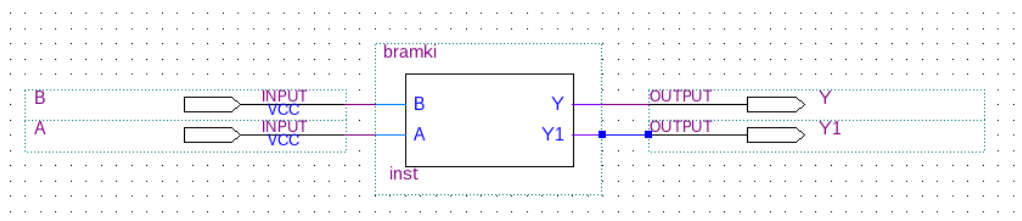
```

2.1. Symulacja



Rysunek 3. Symulacja działania układu

3. Blok funkcyjny realizujący sumę i iloczyn logiczny



Rysunek 4. Blok funkcyjny gdzie: Y - realizuje iloczyn, Y1 - sumę

```

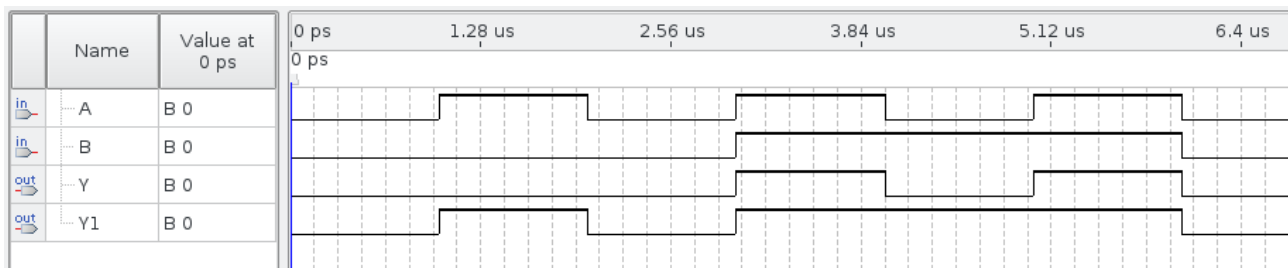
LIBRARY ieee;
USE ieee.std_logic_1164.all;
LIBRARY work;

ENTITY bramki IS
    PORT(
        B : IN  STD_LOGIC;
        A : IN  STD_LOGIC;
        Y : OUT  STD_LOGIC;
        Y1 : OUT STD_LOGIC);
END bramki;

ARCHITECTURE logic OF bramki IS
BEGIN
    Y <= A AND B;
    Y1 <= A OR B;
END logic;

```

3.1. Symulacja



Rysunek 5. Symulacja działania układu

4. Wnioski

— szybsze projektowanie logiki w VHDL niż BFD

Literatura

- [1] John Wiley and Sons Publishers. *Digital Design*, University of California, Riverside, 2007