



AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA
W KRAKOWIE

Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej

PROJEKT DYPLOMOWY

*Projekt PCB obwodu mocy przekształtnika impulsowego DC-DC
obniżającego napięcie*

PCB design for a step-down DC-DC converter

Autor:

Witold Woszczyna

Kierunek studiów:

Elektrotechnika

Opiekun pracy:

prof. dr hab. inż. Robert Stala

Kraków, 2023

Abstrakt

Przedmiotem pracy dyplomowej jest projekt PCB obwodu mocy przekształtnika impulsowego DC-DC obniżającego napięcie. Celem pracy było osiągnięcie lepszych charakterystyk w stosunku do projektu referencyjnego — przekształtnika w topologii synchronicznego *buck'a*, wykorzystywanego w łaźniku Kalman w roku 2022. Dodano nowe funkcjonalności. Zastosowano topologię wielopoziomowego przekształtnika *buck* z kondensatorami poziomującymi (Flying Capacitor Multilevel Buck Converter). Optymalne komponenty dla nowego układu zostały dobrane na podstawie przeprowadzonej analizy strat mocy. Obwód został zaprojektowany na czterowarstwowym PCB z wykorzystaniem oprogramowania *Altium Designer*. Obwód drukowany został wyprodukowany zgodnie z projektem przez firmę Aisler.

Spis treści

1 Wprowadzenie	1
1.1 Przekształtniki DC-DC	1
1.2 Przekształtnik obniżający napięcie w projekcie łącznika Kalman	1
1.3 Aktualnie wykorzystywany moduł zasilający	2
1.4 Nowy projekt przekształtnika	3
2 Teoria	5
2.1 Topologia	5
2.1.1 Asynchroniczny przekształtnik obniżający napięcie typu buck	5
2.1.2 Synchroniczny przekształtnik obniżający napięcie typu buck	6
2.1.3 Przekształtnik buck o wielu fazach	7
2.1.4 Przekształtnik impulsowy DC-DC obniżający napięcie z kondensatorem poziomującym	8
2.2 Elementy obwodu mocy	10
2.2.1 Cewka	10
2.2.2 Kondensatory wejściowe oraz wyjściowe	13
2.2.3 Tranzystory MOSFET	16
2.2.4 Sterowniki bramek	21
2.2.5 Układ bootstrap	21
3 Założenia projektowe, dobór komponentów i analiza sprawności	25
3.1 Założenia Projektowe	25
3.2 Dobór elementów dla obwodu mocy	26
3.2.1 Dławik	26
3.2.2 Kondensatory wejściowe	27
3.2.3 Kondensatory wyjściowe	29
3.2.4 Tranzystory MOSFET	30
3.3 Analiza strat w elementach obwodu mocy	36
4 Realizacja projektu PCB	41
4.1 Stos warstw	44
4.2 Rozmieszczenie elementów obwodu mocy	45
4.3 Zasilanie sterowników oraz kontrolera	46

SPIS TREŚCI

4.4	Sterowniki tranzystorów	48
4.5	Mikrokontroler	49
4.6	Sygnały analogowe i cyfrowe	49
4.7	Przewodniki cieplne	50
4.8	Programowalny układ eFuse	52
5	Pomiary	53
5.1	Pomiar sygnałów sterujących	54
5.1.1	Pomiar sygnałów PWM	54
5.1.2	Pomiar napięcia sterującego bramkami tranzystorów	55
5.1.3	Pomiar napięcia dren-źródło	56
5.2	Pomiar napięcia regulowanego	57
5.2.1	Soft-Start	58
5.2.2	Napięcie wyjściowe w stanie ustalonym	58
5.2.3	Napięcie wyjściowe w stanie przejściowym	63
5.3	Pomiar napięcia kondensatorów poziomujących	68
5.4	Pomiar sprawności przekształtnika	69
5.5	Pomiar temperatury obciążonego układu	70
6	Podsumowanie	73
6.1	Wnioski	74

Wykaz skrótów

ASBC	Asynchronous Buck Converter Asynchroniczny przekształtnik buck
BCM	Boundary Conduction Mode Graniczny tryb pracy przekształtnika
CCM	Continuous Conduction Mode Praca z ciągłym prądem dławika
DCM	Discontinuous Conduction Mode Praca z nieciągłym prądem dławika
EMI	Electromagnetic Interference Zakłócenia elektromagnetyczne
ESL	Equivalent Series Inductance Równoważna wartość indukcyjności szeregowej
ESR	Equivalent Series Resistance Równoważna wartość rezystancji szeregowej
FCML	Flying Capacitor Multilevel Buck Converter Wielopoziomowy przekształtnik buck z kondensatorem poziomującym
FPWM	Forced Pulse-width Modulation Wymuszona modulacja szerokości impulsów
GPIO	General Purpose Input/Output Wejście-wyjście ogólnego przeznaczenia
LDO	Low Dropout Regulator Regulator liniowy o niskim spadku napięcia
MPBC	Multiphase Buck Converter Wielofazowy przekształtnik buck

MUX	Multiplexer Multiplekser
PFM	Pulse-frequency Modulation Modulacja częstotliwości impulsów
PWM	Pulse-width Modulation Modulacja szerokości impulsów
SBC	Synchronous Buck Converter Synchroniczny przekształtnik buck

Rozdział 1

Wprowadzenie

1.1 Przekształtniki DC-DC

Przekształtnikami DC-DC nazywa się układy elektroniczne, których zadaniem jest konwersja napięcia stałego na napięcie również stałe, ale o innej wartości. Ich działanie opiera się na wykorzystaniu tranzystorów przełączających. Są one spotykane w konsumenckich urządzeniach elektronicznych, w branży motoryzacyjnej, w wielu gałęziach przemysłu. Wśród przekształtników napięcia DC-DC można spotkać się z wieloma różnymi topologiami. Jedną z częściej spotykanych jest topologia *buck*, obniżająca napięcie. Układy obniżające napięcie umożliwiają transfer energii pomiędzy źródłem zasilania a odbiornikiem, którego napięcie pracy jest niższe od napięcia źródła [1].

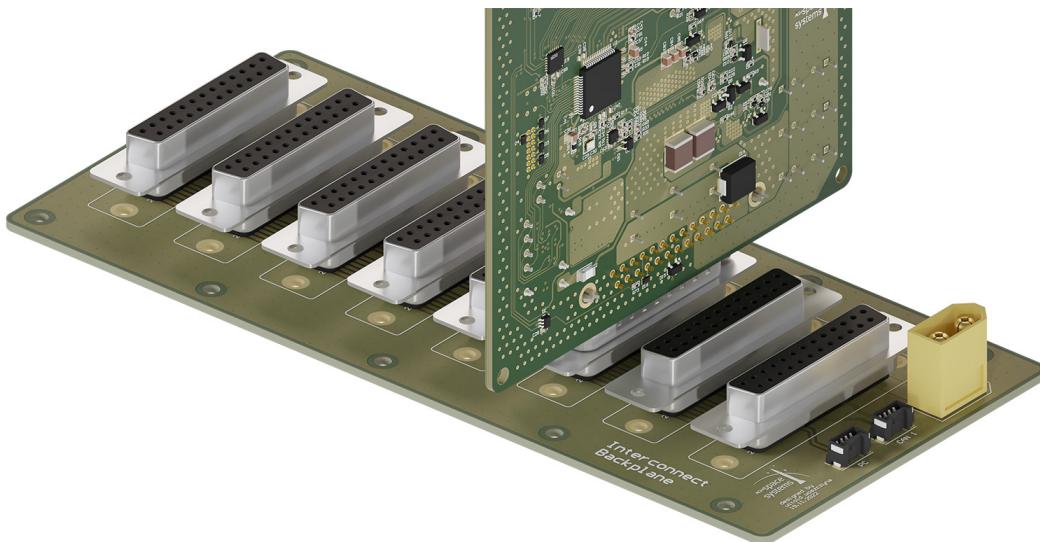
1.2 Przekształtnik obniżający napięcie w projekcie Łazika Kalman

Projekt Łazika “Kalman” został rozpoczęty w roku 2015 przez członków koła naukowego AGH Space Systems. Założeniem projektu było stworzenie pojazdu specjalnie przygotowanego do rywalizacji w międzynarodowych zawodach robotycznych serii “Rover Challenge”. Zawody stawiają przed uczestnikami zadania, które potencjalnie musiałby wykonać prawdziwy łazik planetarny — od dokonywania badań próbek gleby, autonomicznego badania terenu, po misje, w których miałby asystować astronautom podczas eksploracji powierzchni planety. Założeniem projektu jest modularna struktura zastosowanych rozwiązań oraz przystosowanie do trudnych warunków terenowych.

W latach 2015–2022 zostało zrealizowanych wiele projektów obwodów drukowanych, z których każdy charakteryzował się innymi wymiarami fizycznymi oraz różnymi modelami złącz. Takie rozwiązania nie tylko utrudniały uporządkowanie modułów elektronicznych wewnątrz łazika, ale również wymagały dużej ilości okablowania. W styczniu 2022 został opracowany nowy standard, który

był zainspirowany rozwiązaniami takimi jak standard *Eurocard*. Wprowadzenie tego standardu miało na celu usprawnić proces prototypownia i integracji nowych rozwiązań oraz ułatwić utrzymanie całego systemu w działaniu. Nowe moduły łączą się do wspólnej magistrali CAN za pomocą specjalnej płyty montażowej (Rys. 1.1). Poza interfejsem komunikacyjnym, między modułami zostało poprowadzone zasilanie napięciem 24V i 5V, sygnały do załączenia komputera oraz siedem linii GPIO (General Purpose Input Output). Rozwiązanie to pozwoliło zredukować liczbę wymaganych wiązek okablowania.

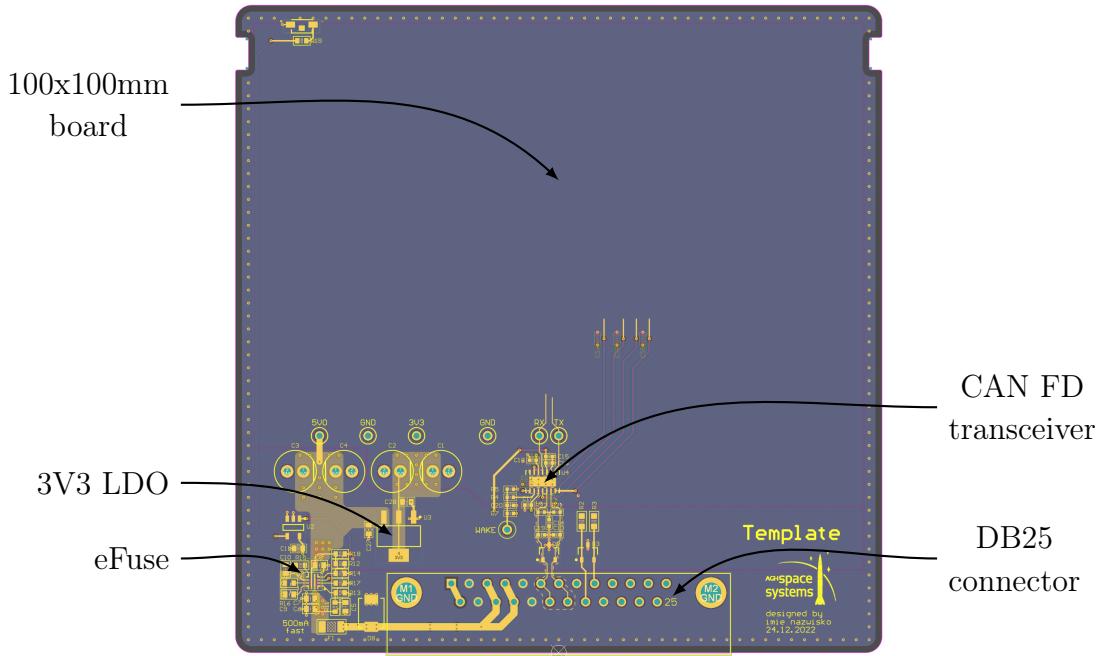
Projekty są tworzone z wykorzystaniem oprogramowania *Altium Designer*. W programie można tworzyć szablon projektów. Utworzony szablon dla standardu *miniRack* zawiera wszystkie wymagane reguły projektu, rozmiestzczone komponenty, jak i wymiary PCB (Rys. 1.2). Rozwiązanie to pozwala na znaczne skrócenie czasu projektowania oraz zapobiega błędom.



Rys. 1.1: Płyta montażowa standardu *miniRack* z wpięтыm modułem

1.3 Aktualnie wykorzystywany moduł zasilający

Wykorzystywany do tej pory moduł, zapewniający napięcie 5V dla modułów *miniRack*, został zaprojektowany z wykorzystaniem gotowego układu scalonego. MAX20098 firmy *Maxim Integrated* jest kontrolerem przetwornicy w topologii *synchroniczny buck*. Steruje on dwoma zewnętrznymi tranzystorami MOSFET w układzie półmostka. Projekt umożliwiał zasilenie zarówno modułów na magistrali *miniRack* jak i pięciu dodatkowych urządzeń poprzez złącza "AUX". Przekształtnik został zaprojektowany dla maksymalnej mocy wyjściowej 50W. Rozwiązanie nie uwzględniało zdalnego sterowania modułem, co uniemożliwiało reset linii zasilania czy też wyłączenie kanałów wyjściowych. Regulacja napięcia rozpoczęła się w



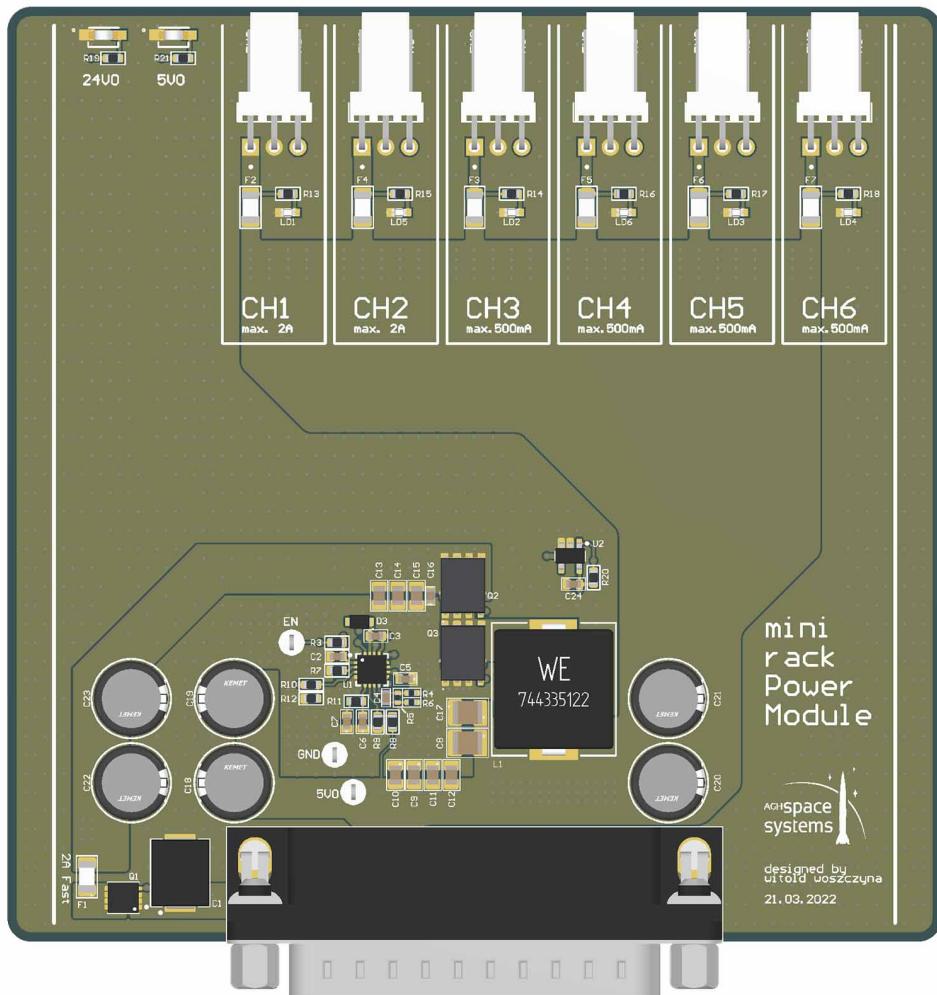
Rys. 1.2: Szablon projektu w standardzie *miniRack*

momencie włączenia przekształtnika do zasilonej napięciem 24V płyty montażowej (Rys. 1.1).

1.4 Nowy projekt przekształtnika

Projekt dyplomowy miał na celu udoskonalenie aktualnego rozwiązania. Założeniem było poprawienie parametrów pracy układu odraz dodanie funkcjonalności zwiększających niezawodność systemu.

Przekształtnik został zaprojektowany w topologii wielopoziomowego *buck'a* z kondensatorem poziomującym. Takie rozwiązanie pozwoli na zwiększenie sprawności obwodu mocy oraz zmniejszenie tętnień napięcia wyjściowego. Komunikacja z kontrolerem po magistrali CAN pozwoli na raportowanie prądu, napięcia i mocy wyjściowej. Najważniejszą zaletą jest jednak możliwość zdalnego sterowania przekształtnikiem oraz kanałami wyjściowymi. Dzięki temu można zdalnie wyłączyć wybrane urządzenia lub całą przetwornicę.



Rys. 1.3: Projekt aktualnie wykorzystywanego przekształtnika zasilającego moduły na magistrali *miniRack*

Rozdział 2

Teoria

2.1 Topologia

W tym rozdziale przedstawione zostały cztery wybrane topologie nieizolowanych przetwornic DC-DC obniżających napięcie. Trzy z nich to topologie typu *asynchroniczny buck*, *synchroniczny buck* oraz *buck* o wielu fazach. Ze względu na prostą budowę oraz wysoką sprawność, są zwykle stosowane w projektach urządzeń elektronicznych, w których nie jest wymagana izolacja galwaniczna pomiędzy napięciem wejściowym a napięciem regulowanym. W następnej kolejności przedstawiono i szczegółowo opisano wybraną topologię *FCML* (Flying Capacitor Multilevel Buck Converter).

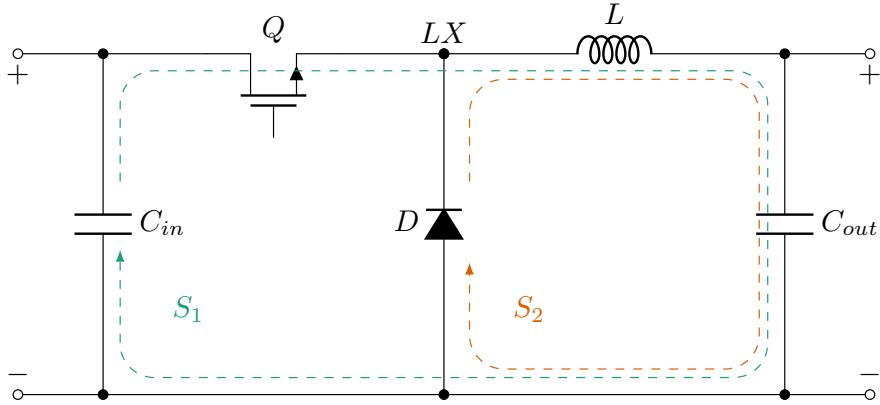
2.1.1 Asynchroniczny przekształtnik obniżający napięcie typu buck

Asynchroniczny przekształtnik typu buck (*ASBC*), to najprostsza odmiana topologii *buck*. Układ składa się z jednego tranzystora, który przełącza napięcie wejściowe, filtra LC na wyjściu tranzystora oraz z diody. Zaletą tego układu jest mało skomplikowana budowa oraz prosty w implementacji układ regulacji. Przekształtnik *ASBC* charakteryzuje się większą sprawnością dla małych obciążzeń [2] w stosunku do przekształtnika synchronicznego, który zostanie omówiony w 2.1.2. Topologię przekształtnika przedstawia schemat (Rys. 2.1).

W trakcie pracy przekształtnik znajduje się na przemian w dwóch stanach, oznaczonych symbolami S_1 oraz S_2 .

(S_1): Tranzystor Q przewodzi. Dławik L gromadzi energię. Dioda nie przewodzi.

(S_2): Tranzystor Q nie przewodzi. Energia dławika zgromadzona w czasie S_1 jest rozładowywana i przekazywana do kondensatora wyjściowego oraz odbiornika. Dioda D przewodzi.



Rys. 2.1: Schemat topologii asynchronicznego przekształtnika obniżającego napięcie typu buck

Większa sprawność przekształtnika *ASBC* dla niewielkich obciążeń wynika z zastosowania diody w gałęzi pomiędzy węzłem *LX* a masą układu. Moc strat w diodzie w trakcie przewodzenia wynosi

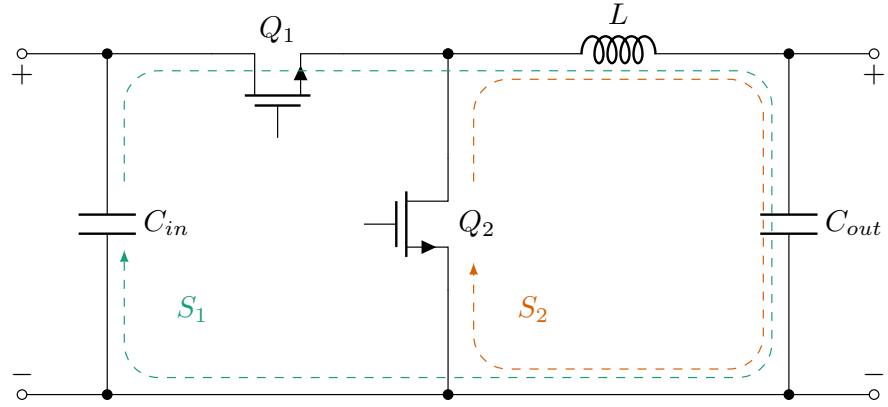
$$P_d = V_F \cdot I_{L(av)} \cdot (1 - D) \quad (2.1)$$

gdzie V_F jest napięciem na diodzie podczas przewodzenia, $I_{L(av)}$ średnią wartością prądu cewki, a D współczynnikiem wypełnienia sygnału PWM, którym przełączany jest tranzystor. Wraz ze wzrostem prądu wyjściowego z przekształtnika, straty mocy na diodzie będą rosnąć w sposób liniowy.

W przypadku przekształtnika *SBC* (2.1.2), dioda jest zastąpiona tranzystorem, a największym czynnikiem strat mocy dla małych obciążzeń są straty łączeniowe. Straty te są niezależne od prądu wyjściowego.

2.1.2 Synchroniczny przekształtnik obniżający napięcie typu buck

Schemat działania przekształtnika synchronicznego jest podobny do przedstawionego dla przypadku *ASBC*. Różnica pomiędzy topologią synchroniczną a asynchroniczną polega na wykorzystaniu dodatkowego tranzystora w tej gałęzi obwodu, w której znajdowała się dioda. Trzeba wówczas uwzględnić dodatkowy sygnał sterujący, który musi być dopełnieniem sygnału sterującego górnym tranzystorem. Podczas przejścia ze stanu, w którym przewodzi tranzystor Q_1 , do stanu, w którym przewodzi Q_2 , trzeba się upewnić, że górnny tranzystor został zamknięty, zanim dolny zacznie przewodzić. Przełączenie tranzystorów w złym momencie może spowodować zwarcie pomiędzy zasilaniem i masą układu, co skutkuje dużymi stratami mocy. Prawdopodobne jest również uszkodzenie tranzystorów [3]. Aby temu zapobiec, w układzie regulacji przekształtnika *SBC* musi zostać uwzględniony czas martwy (Dead Time).



Rys. 2.2: Schemat topologii przekształtnika obniżającego napięcie w topologii synchroniczny buck

Przekształtnik *SBC*, jak już zostało wspomniane w 2.1.1, charakteryzuje się wyższą sprawnością dla dużych obciążzeń w porównaniu do *ASBC*.

2.1.3 Przekształtnik buck o wielu fazach

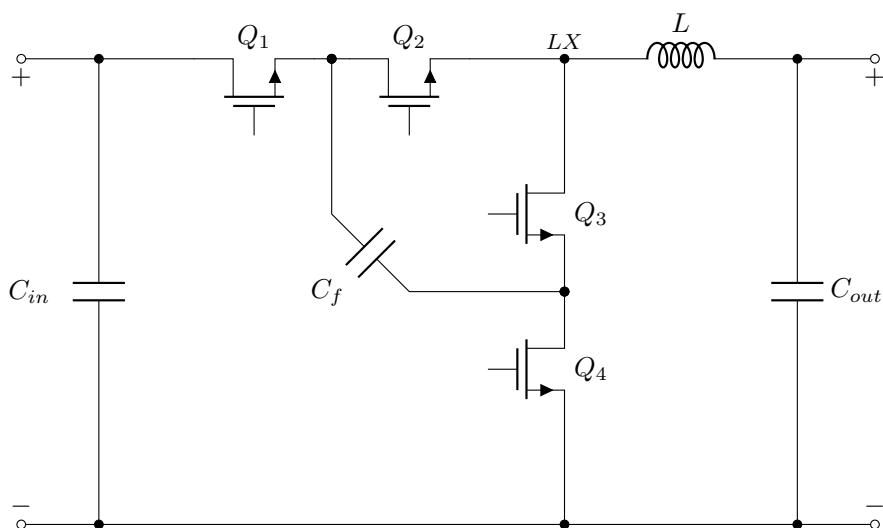
Przekształtnik buck o wielu fazach powstaje ze zrównoleglenia kilku obwodów mocy ze sobą. Wielofazowy przekształtnik buck może być oparty zarówno na topologii synchronicznej, jak i asynchronicznej. Sygnały PWM kontrolujące tranzystory w kolejnych fazach w topologii wielofazowej są najczęściej przesunięte w fazie między sobą o $\frac{360}{n}$ stopni, gdzie n jest liczbą faz przekształtnika. Zaletą tej topologii w stosunku do jednofazowych przekształtników obniżających napięcie, jest poprawienie odpowiedzi układu na skok obciążenia. Poprawa tej charakterystyki wynika z faktu, że w przypadku topologii o wielu fazach filtry wyjściowe najczęściej składają się z cewek o znacznie mniejszej indukcyjności [4]. Energia zgromadzona w polu magnetycznym dławika jest w takim przypadku proporcjonalnie mniejsza, co pozwala na jego szybsze naładowanie i rozładowanie. Parametrem, który zyskuje na wielofazowej topologii, jest wartość międzyszczytowa tętnień napięcia wyjściowego. W przypadku sterowania fazami, z odpowiednio dobranym przesunięciem, wartość ΔV_{out} będzie maleć wraz ze wzrostem liczby faz. Zaletą topologii *MPBC* jest również obniżenie wartości RMS tętnień prądu wejściowego przekształtnika. W najgorszym przypadku tętnienia prądu wejściowego wyniosą 25% wartości występującej w topologii *SBC* lub *ASBC* [4].

2.1.4 Przekształtnik impulsowy DC-DC obniżający napięcie z kondensatorem poziomującym

Przekształtnik oparty na topologii *FCML* jest znacznie rzadziej stosowany niż przekształtniki *SBC*, *ASBC*, *MPBC*. Wynika to między innymi ze skomplikowanej budowy oraz ze złożonego układu regulacji. Niemniej jednak w przypadku przekształtników, w których napięcie wejściowe jest kilkukrotnie wyższe od napięcia wyjściowego, zastosowanie topologii *FCML* korzystnie wpłynie na parametry układu.

Topologia opiera się na zastosowaniu w układzie dodatkowej pary tranzystorów oraz kondensatora poziomującego. Podczas poprawnej pracy przekształtnika, napięcie na kondensatorze poziomującym powinno wynosić połowę napięcia wejściowego. Konstrukcja taka zmniejsza stres napięciowy na tranzystorach, redukując straty mocy generowane podczas ich przełączania. Co więcej, zmniejszenie maksymalnego napięcia, które może się pojawić pomiędzy drenem a źródłem, umożliwia zastosowanie tranzystorów MOSFET o niższym napięciu znamionowym V_{DS} [5]. Układy na niższe napięcie zazwyczaj charakteryzują się lepszymi parametrami w stosunku do układów przystosowanych do wyższych napięć, co znaczco wpłynie na zmniejszenie strat przy przełączaniu. Zaletą tej topologii jest również możliwość wykorzystania mniejszych elementów pasywnych, a w szczególności cewki.

Rozważany w niniejszej pracy przekształtnik, zbudowany na czterech tranzystorach oraz jednym kondensatorze poziomującym jest konstrukcją trójpoziomową. Oznacza to, że podczas pracy przekształtnika napięcie w węźle LX (Rys. 2.3) (w zależności od współczynnika wypełnienia) przyjmuje trzy wartości 0, $\frac{V_{in}}{2}$ oraz V_{in} .

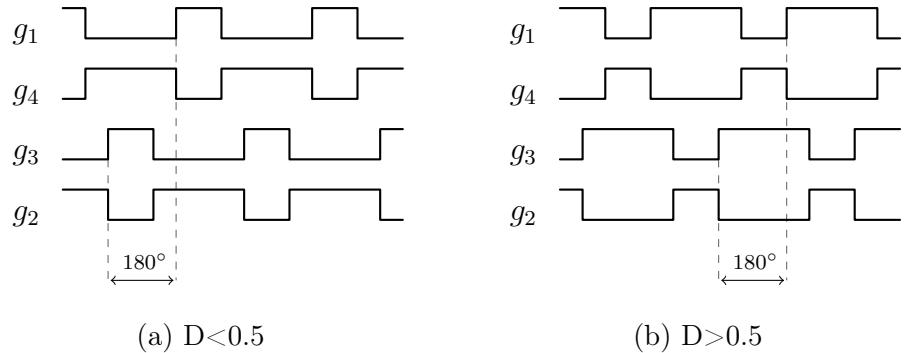


Rys. 2.3: Schemat topologii przekształtnika wielopoziomowego z kondensatorem poziomującym (FCML)

Sterowanie

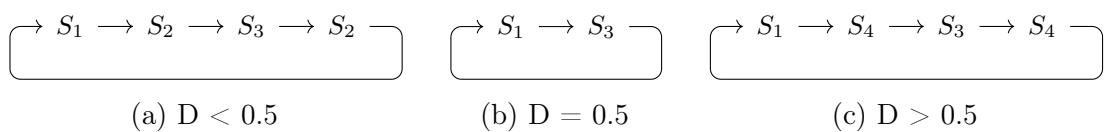
Schemat sterowania tranzystorami w topologii *FCML* jest bardzo podobny do wykorzystywanego w *MPBC*. W topologii wielofazowej (synchronicznej), na każdą kolejną fazę przypadała przesunięta o $\frac{360}{n}$ stopni, para sygnałów PWM wzajemnie dopełniających. W przypadku przekształtnika *FCML* sygnały dopełniające sterują naprzeciwległymi mosfetami. Dla konstrukcji trójpoziomowej pierwsza para sygnałów steruje tranzystorami Q_1 oraz Q_4 , natomiast druga, przesunięta o 180° , steruje tranzystorami Q_2 oraz Q_3 .

Przesunięcie fazowe pomiędzy parami sygnałów sterujących w topologii *FCML* jest konieczne do poprawnej pracy układu. W idealnych warunkach, różnica 180° w fazie, spowoduje, że kondensator poziomujący będzie naładowany do wartości równej połowie napięcia wejściowego. W rzeczywistości, aby utrzymać odpowiedni poziom napięcia podczas pracy przekształtnika, konieczny będzie dodatkowy układ sterowania. Metoda regulacji wykorzystana w regulatorze może być oparta na zmianie współczynnika wypełnienia wybranej pary tranzystorów lub na korekcji przesunięcia fazowego [6]. Diagram czasowy przebiegów sygnałów bramkowych został przedstawiony na (Rys. 2.4), gdzie przebiegi g_1, g_2, g_3, g_4 odpowiadają sygnałom bramkowym tranzystorów Q_1, Q_2, Q_3, Q_4 .

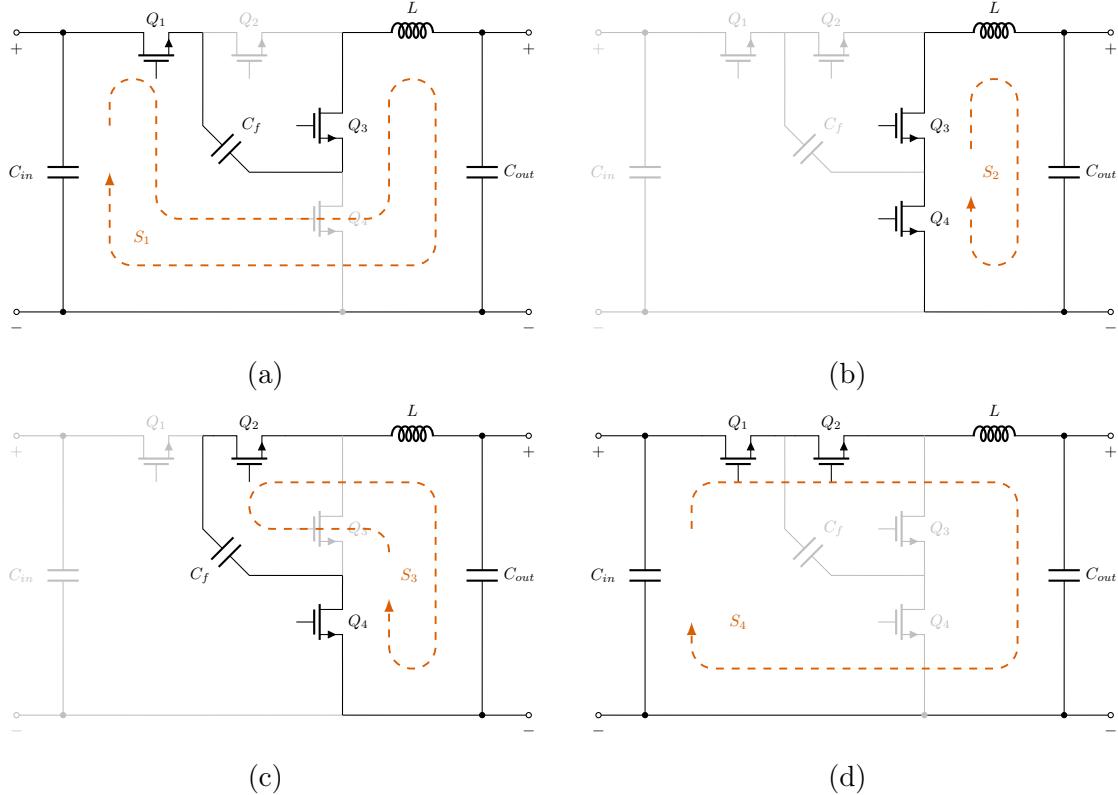


Rys. 2.4: Diagram czasowy sygnałów PWM sterujących tranzystorami

W zależności od współczynnika wypełnienia oraz trybu pracy, układ przetwornicy *FCML* będzie mógł znaleźć się w jednym z czterech stanów (Rys. 2.6). W trybie CCM, kolejności przejść pomiędzy stanami w zależności od współczynnika wypełnienia sygnału PWM wygląda następująco



Rys. 2.5: Schemat przejść pomiędzy stanami układu w zależności od współczynnika wypełnienia



Rys. 2.6: (a) Stan S_1 , (b) Stan S_2 , (c) Stan S_3 , (d) Stan S_4

(S_1): Q_1 oraz Q_3 przewodzą, kondensator C_f oraz cewka L są ładowane.

(S_2): Q_3 oraz Q_4 przewodzą, energia zgromadzona w cewce jest rozładowywana.

(S_3): Q_2 oraz Q_4 przewodzą, kondensator C_f jest rozładowywany, cewka jest ładowana.

(S_4): Q_1 oraz Q_2 przewodzą, zwiększa się prąd dławika i zmagazynowana w nim energia.

W przypadku implementacji układu regulacji z uwzględnieniem trybu DCM, do wymienionych stanów przekształtnika: S_1 , S_2 , S_3 oraz S_4 , należy uwzględnić dodatkowy stan S_5 , w którym wszystkie tranzystory są wyłączone.

2.2 Elementy obwodu mocy

2.2.1 Cewka

Cewka (dławik) jest elementem pasywnym, który ma zdolność do gromadzenia energii w polu magnetycznym. Indukcyjności cewki ma wpływ na jakość filtracji napięcia oraz — w zależności od zaimplementowanego układu regulacji — na

wartość średnią prądu wyjściowego, przy której układ przejdzie w tryb pracy *DCM* (Discontinuous Conduction Mode).

Równanie różniczkowe opisujące zależność prądu oraz napięcia dławika

$$u_L(t) = L \frac{di_L(t)}{dt} \quad (2.2)$$

można również przedstawić w postaci całkowej

$$i_L(t) = \frac{1}{L} \int_{-\infty}^t u_L(t) dt \quad (2.3)$$

Równania (2.2) oraz (2.3) są podstawą do wyznaczenia parametrów cewki.

Prąd skuteczny cewki

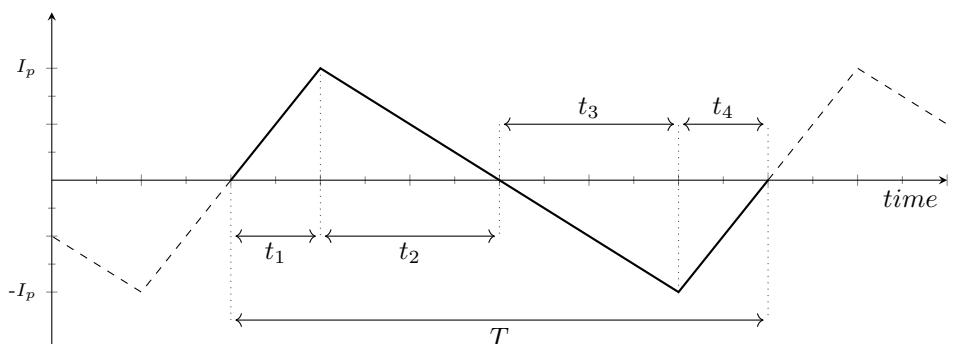
Chcąc dokładnie oszacować starty mocy w układzie przekształtnika, konieczna będzie znajomość wartości prądu skutecznego cewki. Wartość tą otrzymujemy korzystając ze wzoru na średnią kwadratową.

$$I_{L_{RMS}} = \sqrt{\frac{1}{T} \cdot \int_0^T i_L^2(t) dt} \quad (2.4)$$

Prąd $i_L(t)$ można przedstawić jako sumę składowej stałej prądu cewki (średnia wartość prądu wyjściowego) oraz składowej przemiennej

$$i_L(t) = I_{out} + i_{ripple}(t) \quad (2.5)$$

Podczas pracy przekształtnika w stanie ustalonym, średnia wartość składowej przemiennej prądu dławika $i_{ripple}(t)$ w jednym okresie przełączania wyniesie 0A.



Rys. 2.7: Przebieg składowej przemiennej prądu dławika za jeden okres przełączania

Dla uproszczenia rachunku, przyjęto, że czasy t_1, t_2, t_3, t_4 są sobie równe. Założenie to nie wpływa na wynik. Równanie opisujące wartość prądu w chwili t na liniowym odcinku można zapisać jako

$$i_I(t) = \frac{I_p}{t_1} \cdot t = \frac{I_p}{\frac{1}{4} \cdot T} \cdot t \quad (2.6)$$

Podstawiając $i_L(t)$ do wzoru na średnią kwadratową (2.4) należy uwzględnić nowy przedział całkowania oraz pomnożyć wynik razy cztery.

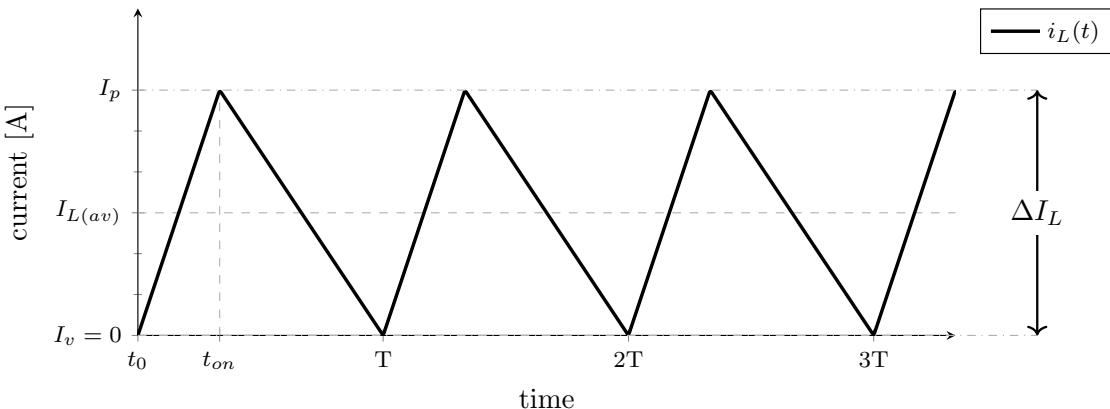
$$I_{L_{RMS}} = \sqrt{4 \cdot \frac{1}{T} \cdot \int_0^{T/4} \left(\frac{I_p}{\frac{1}{4} \cdot T} \cdot t \right)^2 dt} = \sqrt{\frac{4}{T} \cdot \int_0^{T/4} \frac{I_p^2}{\frac{1}{16} \cdot T^2} \cdot t^2 dt} = \sqrt{\frac{I_p^2}{3}} \quad (2.7)$$

Rezultatem obliczeń jest zależność pomiędzy wartością szczytową tętnień prądu a wartością skuteczną prądu. Uwzględniając składową stałą prądu dławika otrzymujemy prostą zależność

$$I_{L_{RMS}} = \sqrt{DC^2 + \frac{I_p^2}{3}} \quad (2.8)$$

Indukcyjność krytyczna

Wartość indukcyjności, dla której przekształtnik pracuje w trybie *BCM* (Boundary Conduction Mode), nazywamy indukcyjnością krytyczną i oznaczamy L_{crit} . Podczas pracy przekształtnika w *BCM* napięcie średnie $I_{L(av)}$ jest dokładnie równe połowie napięcia szczytowego I_p , a dolny pik przebiegu prądu $i_L(t)$ osiąga wartość równą zeru. Przebieg prądu cewki dla rozpatrywanego przypadku został przedstawiony na (Rys. 2.8)).



Rys. 2.8: Przebieg prądu dławika dla przekształtnika pracującego w trybie *BCM*

Założymy, że napięcia wejściowe V_{in} oraz wyjściowe V_{out} zmieniają się nieznacznie w trakcie przewodzenia górnego tranzystora. Dla przekształtnika o topologii buck można wówczas zapisać następującą zależność

$$u_L(0) = u_L(t_{on}) = V_{in} - V_{out} \quad (2.9)$$

Wykorzystując równanie (2.3), zależność (2.9) oraz przyjmując wartość prądu cewki w chwili t_0 równą zera, możemy utworzyć następujący układ równań

$$\begin{cases} i_L(t_0) = 0 \\ i_L(t_{on}) = \frac{1}{L_{crit}} \int_0^{t_{on}} (V_{in} - V_{out}) dt \end{cases} \quad (2.10)$$

W rezultacie otrzymujemy wartość ΔI_L , która jest równa wartości prądu cewki i_L w chwili t_{on}

$$\Delta I_L = i_L(t_{on}) = \frac{1}{L_{crit}} \cdot (V_{in} - V_{out}) \cdot t_{on} = \frac{(V_{in} - V_{out}) \cdot D}{L_{crit} \cdot f_{sw}} \quad (2.11)$$

Wartość indukcyjności krytycznej dla przekształtnika typu buck można zapisać w następującej postaci:

$$L_{crit_{2L}} = \frac{(V_{out} - \frac{V_{out}^2}{V_{in}})}{\Delta I_L \cdot f_{sw}} \quad (2.12)$$

Sytuacja wygląda inaczej w przypadku topologii *FCML*. Trzeba zauważać, że napięcie przełączane, jakie widzi cewka, jest połową napięcia wejściowego V_{in} . Jednocześnie, częstotliwość przełączania oraz współczynnik wypełnienia wzrasta dwukrotnie. Mając to na uwadze, przekształcam równanie (2.12) do postaci

$$\Delta I_{L_{3FC}} = \frac{(\frac{1}{2} \cdot V_{in} - V_{out}) \cdot 2 \cdot D}{L_{crit} \cdot 2 \cdot f_{sw}} \quad (2.13)$$

$$L_{crit_{3FC}} = \frac{(\frac{1}{2} \cdot V_{out} - \frac{V_{out}^2}{V_{in}})}{\Delta I_L \cdot f_{sw}} \quad (2.14)$$

W taki sposób otrzymujemy zależność opisującą wartość indukcyjności krytycznej dla przekształtnika o topologii *FCML*.

2.2.2 Kondensatory wejściowe oraz wyjściowe

Kondensator jest elementem pasywnym, który gromadzi energię w polu elektrycznym. W projektach obwodów mocy najczęściej wykorzystywane są dwa typy kondensatorów. Ceramiczne kondensatory *MLCC* (Multilayer Ceramic Capacitor) charakteryzują się bardzo niską wartością równoważnej rezystancji szeregowej *ESR* oraz — w związku z ich małymi rozmiarami — niską wartością równoważnej indukcyjności szeregowej *ESL*. Ich rolą jest między innymi odfiltrowanie tętnień napięcia o wysokich częstotliwościach. Kondensatory ceramiczne mają jednak zwykle małe pojemności, nieprzekraczające $100\mu\text{F}$. Z powodu wysokich cen elementów dostępnych na rynku oraz ograniczonej powierzchni na *PCB*, do zgromadzenia dużej energii stosuje się inny rodzaj kondensatorów: kondensatory elektrolityczne i coraz częściej spotykane kondensatory aluminiowo-polimerowe lub hybrydowe. W trakcie odpowiedzi regulatora na skokowe obciążenie, kondensatory elektrolityczne zapewniają wymagany zapas energii [7], skutecznie filtrując tętnienia o niższej częstotliwości

($<300\text{kHz}$) [8]. Charakteryzują się one o wiele wyższą pojemnością od kondensatorów ceramicznych (nawet o kilka rzędów wielkości). Ich wadą jest znacznie wyższa wartością ESL co powoduje, że są mniej efektywne podczas filtracji wyższych częstotliwości ($>500\text{kHz}$). Dodatkowo kondensatory polimerowe charakteryzują się prądem upływu, który może wynosić nawet kilka miliamperów, powodując straty w układzie przekształtnika.

Kondensatory wejściowe

Kondensatory wejściowe są bardzo istotne dla poprawnego działania układu. Ich rolą jest odfiltrowanie tętnień napięcia wejściowego, które są spowodowane pracą przekształtnika oraz impedancją źródła zasilania. Kondensatory ceramiczne $MLCC$ skutecznie filtrują wyższe harmoniczne ($>10\text{MHz}$) generowane przez przełączenie tranzystorów. Zapobiegają tym samym przedostawaniu się zakłóceń do linii zasilania, co mogłoby wpłynąć na pracę innych urządzeń. Dobranie zestawu kondensatorów ceramicznych o odpowiednio dużej pojemności pozwoli również na zmniejszenie amplitudy tętnień o niższych częstotliwościach. Będzie to istotne dla zredukowania strat na kondensatorach elektrolitycznych. Straty te w głównym stopniu są spowodowane rezystancją ESR i wynoszą

$$P_{cap(in)} = I_{cap(RMS)}^2 \cdot R_{ESR} \quad (2.15)$$

Minimalną pojemność kondensatorów ceramicznych, która pozwoli na osiągnięcie założonych tętnień napięcia wejściowego ΔV_{in} , opisuje równanie (2.16) [7]

$$C_{cer(min)} = \frac{I_{out(max)} \cdot D \cdot (1 - D)}{f_{sw} \cdot \Delta V_{in}} \quad (2.16)$$

Przy doborze kondensatorów $MLCC$ trzeba zwrócić uwagę na charakterystykę pojemności w funkcji napięcia polaryzacji. Wraz ze wzrostem napięcia przyłożonego do kondensatora, efektywna wartość pojemności maleje. Efekt ten jest mocno skorelowany z wielkością obudowy kondensatora.

W przypadku gdy wybrane kondensatory wejściowe będą charakteryzować się inną pojemnością niż wyliczona w (2.16), konieczne będzie wyznaczenie wartości tętnień napięcia ΔV_{in} . Przekształcając równanie (2.16) otrzymuję

$$\Delta V_{in} = \frac{I_{out(max)} \cdot D \cdot (1 - D)}{f_{sw} \cdot C_{cer}} \quad (2.17)$$

gdzie C_{cer} jest efektywną pojemnością użytych kondensatorów ceramicznych dla założonego napięcia polaryzacji — w tym przypadku wynoszącego V_{in} .

Do wyznaczenia strat na kondensatorach elektrolitycznych konieczna jest znajomość prądu skutecznego płynącego przez nie. Wartość tą można w przybliżeniu oszacować stosując prawo Ohma. Wykorzystując obliczoną wcześniej amplitudę tętnień ΔV_{in} oraz znając ESR wybranego modelu kondensatora

elektrolitycznego otrzymuję zależność

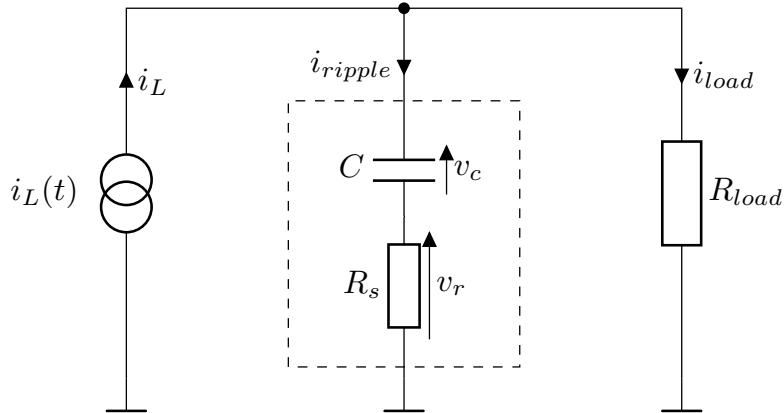
$$I_{bulk(RMS)} = \frac{V_{bulk(rms)}}{R_{ESR}} = \frac{1}{2\sqrt{3}} \cdot \frac{\Delta V_{in}}{R_{ESR}} \quad (2.18)$$

Znajomość tej wartości będzie konieczna przy wyborze kondensatorów elektrolitycznych.

W przypadku topologii *FCML*, przebieg prądu wejściowego jest identyczny jak w *SBC*, *ASBC*. W związku z tym, równania od (2.15) do (2.18) są takie same dla wymienionych topologii.

Kondensator wyjściowy

Kondensatory na wyjściu przekształtnika są elementami, które tworzą wraz z dławikiem dolnoprzepustowy filtr LC. Wartość pojemności oraz szeregowej rezystancji ma bezpośredni wpływ na efektywność filtracji tętnień napięcia [9]. Szczegółowa analiza została przedstawiona w nocy aplikacyjnej [10]. Opracowanie to przedstawia sposób wyznaczenia tętnień napięcia wyjściowego w zależności od częstotliwości przełączania, współczynnika wypełnienia oraz od stałej czasowej kondensatora (składającego się z pojemności C i rezystancji szeregowej R_s).



Rys. 2.9: Schemat uproszczonego układu do analizy tętnień napięcia wyjściowego

Dla relatywnie małych wartości iloczynu $R_s \cdot C$, czyli w przypadku gdy $\frac{t_{on}}{2} > R_s \cdot C$ oraz $\frac{t_{off}}{2} > R_s \cdot C$ otrzymujemy

$$\Delta V_{out} = \frac{\Delta I_L}{8 \cdot C \cdot f_{sw}} + \frac{\Delta I_L \cdot R_s^2 \cdot C}{2} \cdot \frac{f_{sw}}{D(1-D)} \quad (2.19)$$

Gdy mamy do czynienia ze stosunkowo dużą wartością iloczynu R_s oraz C , wtedy tętnienia napięcia na elemencie pojemnościowym są zaniedbywalnie małe. Zatem, dla przypadku, gdzie $\frac{t_{on}}{2} < R_s \cdot C$ oraz $\frac{t_{off}}{2} < R_s \cdot C$ korzysta się równania

$$\Delta V_{out} = \Delta I_L \cdot R_s \quad (2.20)$$

Trzeci, ostatni przypadek to stan pośredni, kiedy $\frac{t_{on}}{2} < R_s \cdot C$ i $\frac{t_{off}}{2} > R_s \cdot C$ lub $\frac{t_{on}}{2} > R_s \cdot C$ i $\frac{t_{off}}{2} < R_s \cdot C$. Dla których rozwiązań odpowiednio wynoszą

$$\Delta V_{out} = \frac{\Delta I_L \cdot R_s^2 \cdot C}{t_{off}} + \frac{\Delta I_L}{2 \cdot C \cdot t_{off}} \cdot \left(\left(\frac{t_{off}}{2} \right)^2 - (R_s \cdot C)^2 \right) + \frac{\Delta I_L \cdot R_s}{2} \quad (2.21)$$

$$\Delta V_{out} = \frac{\Delta I_L \cdot R_s^2 \cdot C}{t_{on}} + \frac{\Delta I_L}{2 \cdot C \cdot t_{on}} \cdot \left(\left(\frac{t_{on}}{2} \right)^2 - (R_s \cdot C)^2 \right) + \frac{\Delta I_L \cdot R_s}{2} \quad (2.22)$$

Powyższe równania określają, jakie tętnienia napięcia pojawiają się na wyjściu przekształtnika w stanie ustalonym.

Przy doborze kondensatorów wyjściowych warto również zwrócić uwagę na przeregulowanie, które wystąpi w stanie przejściowym. W momencie przyłączenia obciążenia pojawi się spadek napięcia na wyjściu przekształtnika [11]. Wielkość tę można wyznaczyć ze wzoru

$$V_{under} = \frac{L \cdot I_{step}^2}{2 \cdot C_{out} \cdot D_{max} \cdot (V_{in} - V_{out})} \quad (2.23)$$

gdzie I_{step} jest skokiem prądowego obciążenia, D_{max} maksymalną wartością współczynnika wypełnienia.

W przypadku gdy obciążenie zostaje rozłączone, napięcie wyjściowe wzrośnie o wartość V_{over}

$$V_{over} = \frac{L \cdot I_{step}^2}{2 \cdot C_{out} \cdot V_{out}} \quad (2.24)$$

2.2.3 Tranzystory MOSFET

Prawidłowy dobór tranzystorów jest bardzo istotny. Są one jednym z głównych czynników (o ile nie głównym) strat mocy w układzie. Straty mocy w tranzystorach można podzielić na powstałe w wyniku przewodzenia oraz w wyniku przełączania. Te pierwsze spowodowane są rezystancją otwartego kanału tranzystora MOSFET. W kartach katalogowych udostępnianych przez producentów parametr ten oznaczany jest najczęściej jako $R_{ds(on)}$. Straty związane z przewodzeniem są proste do wyznaczenia. Można je wyznaczyć jako iloczyn kwadratu skutecznej wartości prądu płynącego przez dany tranzystor $I_{Q_x(av)}$ oraz rezystancji otwartego kanału $R_{ds(on)}$:

$$P_{cond} = I_{Q_x(rms)}^2 \cdot R_{ds(on)} \quad (2.25)$$

Równania dla górnego oraz dolnego tranzystora zostały zapisane odpowiednio w (2.26) i (2.27).

$$P_{cond(Q_H)} = D \cdot I_{L(rms)}^2 \cdot R_{ds(on)} \quad (2.26)$$

$$P_{cond(Q_L)} = (1 - D) \cdot I_{L(rms)}^2 \cdot R_{ds(on)} \quad (2.27)$$

Korzystając ze wzoru (2.8) otrzymujemy

$$P_{cond(Q_H)} = D \cdot \left(I_{DC}^2 + \frac{\Delta I_L^2}{12} \right) \cdot R_{ds(on)} \quad (2.28)$$

$$P_{cond(Q_L)} = (1 - D) \cdot \left(I_{DC}^2 + \frac{\Delta I_L^2}{12} \right) \cdot R_{ds(on)} \quad (2.29)$$

gdzie ΔI_L jest wartością międzyszczytową tężnień prądu cewki, I_{DC} jest wartością średniego prądu cewki $I_{L(av)}$ lub średniego prądu wyjściowego I_{out}

$$I_{DC} = I_{L(av)} = I_{out} \quad (2.30)$$

Straty wynikające z przełączania są o wiele bardziej złożone i wymagają wzięcia pod uwagę szeregu parametrów. W zależności od topologii straty spowodowane są przez:

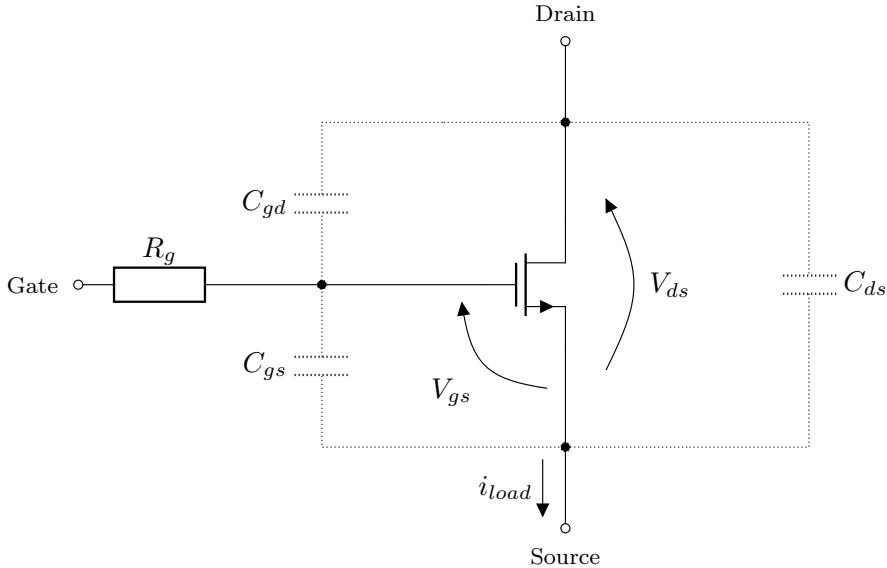
- czas przełączania (t_r oraz t_f)
- pojemność wyjściową tranzystora (C_{oss})
- ładunek bramki tranzystora (Q_g)
- czas martwy (t_{dt})
- regenerację diody (I_{rr} , t_{rr})

Straty mocy przełączania

Straty mocy P_{sw} wynikają z procesu załączania oraz wyłączania tranzystora. Proces ten został dobrze przedstawiony w nocy aplikacyjnej [12]. Rzeczywisty tranzystor MOSFET posiada pasożytnicze pojemności pomiędzy bramką a źródłem C_{gs} , drenem a źródłem C_{ds} oraz bramką a drenem C_{gd} . Model rzeczywistego tranzystora z wymienionymi pojemnościami został przedstawiony na (Rys. 2.10). Natomiast uproszczony przebieg w momencie załączania dla obciążenia indukcyjnego prezentuje (Rys. 2.11).

Załączanie tranzystora przebiega następująco:

(t_0): Napięcie V_g zostaje podane na bramkę, rozpoczynając ładowanie pojemności C_{gs} . Do momentu t_1 napięcie dren-źródło (v_{ds}) oraz prąd drenu (i_d) pozostają bez zmian.



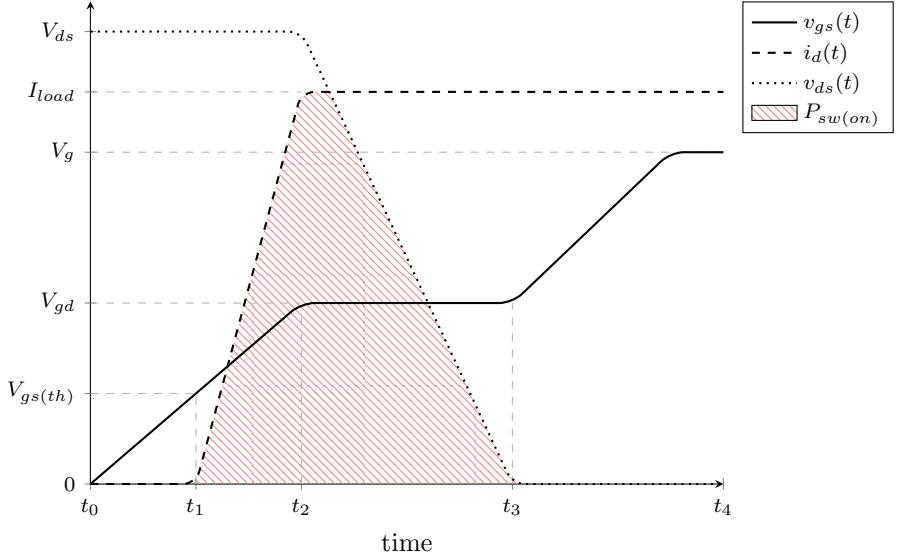
Rys. 2.10: Uproszczony model rzeczywistego tranzystora MOSFET

- (t₁): Napięcie v_{gs} osiąga wartość, dla której tranzystor zaczyna przewodzić. Napięcie to jest określane przez producentów jako $V_{gs(th)}$. Od tego momentu wartość prądu drenu (i_{ds}) zaczyna rosnąć.
- (t₂): Napięcie v_{gs} osiąga wartość równą V_{gp} , jest to punkt, w którym rozpoczyna się tak zwane *Miller plateau* — obszar, w którym napięcie v_{ds} nie zmienia swojej wartości, aż do chwili t_3 . Pojemność C_{gd} jest naładowana przeciwnie do wartości napięcia podanego na dren pomniejszonego o napięcie *Miller plateau* ($V_{in} - V_{gp}$). Etap ten trwa do momentu, aż ładunek pojemności pasożytniczej C_{gd} osiągnie wartość potrzebną do ustalenia napięcia V_{gp} pomiędzy bramką a drenem v_{ds} .
- (t₃): Od tego momentu tranzystor przechodzi w obszar określany “obszarem przewodzenia”. Dalsze zmiany prądu drenu i_d , jak i napięcia dren-źródło v_{ds} są małe. Mimo to wzrost napięcia v_{gs} wciąż może zredukować wartość rezystancji $R_{ds(on)}$.

Duże straty mocy załączania $P_{sw(on)}$ wynikają z dużej wartości iloczynu napięcia v_{ds} oraz prądu drenu i_d . Wydzielona moc na tranzystorze w czasie załączania została zaznaczona na wykresie (Rys. 2.11). Średnie straty mocy $P_{sw(on)}$ w procesie załączania wynosi:

$$P_{sw(on)} = \frac{1}{t_3 - t_1} \cdot \int_{t_1}^{t_3} i_{ds}(t) \cdot v_{ds}(t) \, dt \quad (2.31)$$

Dla potrzeb oszacowania wartości $P_{sw(on)}$ powierzchnia pomiędzy funkcją podcałkową $i_{ds}(t) \cdot v_{ds}(t)$ a osią OX jest przybliżana polem trójkąta. Straty generowane w trakcie przełączenia można wtedy aproksymować równaniem



Rys. 2.11: Ilustracyjny przebieg przedstawiający proces załączania tranzystora MOSFET

$$P_{sw(on)} = \frac{1}{2} \cdot (t_3 - t_1) \cdot V_{ds} \cdot I_{load} \quad (2.32)$$

Proces wyłączania tranzystora jest analogiczny do procesu załączania. Dla tego równanie (2.32) można wykorzystać w obu przypadkach. Czas od t_1 do t_3 w przypadku załączania wynosi t_r , natomiast przy wyłączaniu — t_f . Oba czasy zwykle są podawane w nocy katalogowej danego układu MOSFET. Trzeba wziąć pod uwagę, że są one zależne od układu sterownika, oraz rezystancji szeregowej bramki. Na podstawie [13], czas załączenia tranzystora opisuje równanie

$$t_r = R_g \left(C_{iss} \cdot \ln \left(\frac{V_{gs} - V_{th}}{V_{gs}} \right) + C_{gd} \cdot \frac{V_{ds}}{V_{gs} - V_{gp}} \right) \quad (2.33)$$

Natomiast czas wyłączania tranzystora przedstawia wzór

$$t_f = R_g \cdot C_{iss} \cdot \ln \left(\frac{V_{gp}}{V_{th}} \right) \quad (2.34)$$

gdzie C_{iss} jest pojemnością wejściową tranzystora i równa się sumie C_{gd} oraz C_{gs} . Moc wydzielana w tranzystorze MOSFET w wyniku przełączania w czasie jednego okresu wynosi

$$P_{sw(on+off)} = \frac{1}{2} \cdot (t_r + t_f) \cdot V_{ds} \cdot I_{load} \quad (2.35)$$

Aby wyliczyć moc wydzieloną w ciągu jednej sekundy pracy tranzystora, równanie należy przemnożyć stronami przez częstotliwość przełączeń f_{sw} . W rezultacie otrzymujemy wzór

$$P_{sw} = \frac{1}{2} \cdot (t_r + t_f) \cdot V_{ds} \cdot I_{load} \cdot f_{sw} \quad (2.36)$$

Straty pojemności wyjściowej

Pojemność wyjściowa tranzystora MOSFET C_{oss} jest definiowana jako suma pojemności C_{gd} oraz C_{ds} . Wartość ta nie jest jednak stała i zależy od napięcia V_{ds} . Pojemność C_{oss} musi zostać rozładowana w każdym cyklu przełączania.

$$P_{COSS} = \frac{1}{2} \cdot C_{OSS} \cdot V_{ds}^2 \cdot f_{sw} \quad (2.37)$$

Straty na ładowaniu pojemności bramki

Straty P_g są wynikiem konieczności naładowania i rozładowania pojemności bramki tranzystora MOSFET. Całkowity ładunek, który jest potrzebny, aby w pełni otworzyć kanał przy zadanym napięciu V_{gs} , najczęściej jest opisywany w notach katalogowych jako Q_g .

$$P_g = Q_g \cdot V_{gs} \cdot f_{sw} \quad (2.38)$$

Straty spowodowane czasem martwym

W przypadku przekształników synchronicznych, niezbędne jest wprowadzenie czasu martwego do sygnału PWM sterującego tranzystorami. Dodatkowy czas pomiędzy wyłączeniem górnego tranzystora a załączeniem dolnego, zapobiega przed zwarciem zasilania do masy układu. W momencie, gdy oba tranzystory są wyłączone, prąd będzie musiał popływać przez diodę podłożową. Moc wydzielona w złączu PN w trakcie przewodzenia wynosi

$$P_D = V_F \cdot I_{L(av)} \cdot (t_{d(r)} + t_{d(f)}) \cdot f_{sw} \quad (2.39)$$

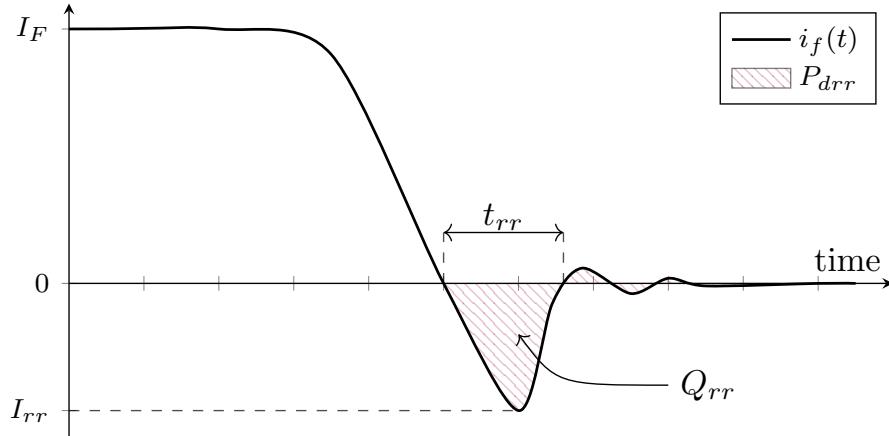
gdzie V_F jest napięciem przewodzenia diody podłożowej, natomiast $t_{d(r)}$ oraz $t_{d(f)}$ czasem martwym odpowiednio dla zbocza narastającego oraz opadającego.

Straty podczas regeneracji diody

Czas, który jest potrzebny do przejścia diody spolaryzowanej w kierunku przewodzenia do stanu zaporowego, nazywany jest czasem regeneracji diody t_{rr} [14, 15]. W zależności od typu oraz zastosowania diody, czas ten najczęściej wynosi od kilku ns do kilku μ s. Podobny efekt regeneracji diody istnieje w złączu PN w podłożu tranzystora MOSFET. Po zmianie polaryzacji napięcia przyłożonego do diody zaczyna ona przewodzić prąd w kierunku zaporowym. Maksymalna wartość tego prądu jest oznaczana jako I_{rr} .

Straty w złączu PN w wyniku regeneracji można obliczyć na podstawie równania

$$P_{drr} = V_{ds} \cdot Q_{rr} \cdot f_{sw} \quad (2.40)$$



Rys. 2.12: Przebieg prądu diody podczas regeneracji

Wartość ładunku Q_{rr} można przybliżyć powierzchnią trójkąta o wysokości równej I_{rr} i podstawie t_{rr} . W rezultacie równanie (2.40) można przedstawić w postaci:

$$P_{drr} = \frac{1}{2} \cdot V_{ds} \cdot I_{rr} \cdot t_{rr} \cdot f_{sw} \quad (2.41)$$

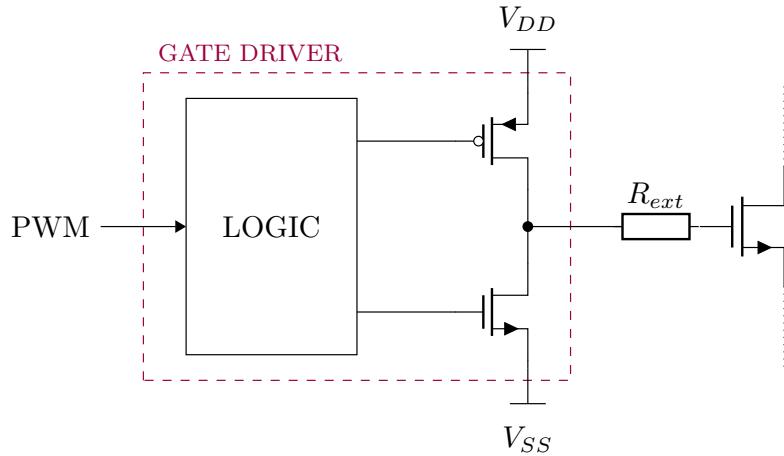
2.2.4 Sterowniki bramek

Sterownik bramki jest odpowiedzialny za załączenie oraz wyłączenie tranzystora i jest niezbędnym podkładem w projekcie przekształtnika DC/DC. Napięcie V_{gs} wymagane do pełnego otwarcia tranzystora wynosi około 12V. Jest to wartość, która znaczowo przekracza napięcie logiczne układu sterowania, odpowiedzialnego za system regulacji. Zadaniem sterownika bramki jest odebranie sygnału sterującego, a następnie, w zależności od jego wartości logicznej, załączenie lub wyłączenie tranzystora [3, 15]. Sterowniki mogą być zintegrowane wewnątrz kontrolera przekształtnika lub występować jako oddzielne układy scalone. Uproszczony schemat budowy sterownika bramki został przedstawiony na (Rys. 2.13).

2.2.5 Układ bootstrap

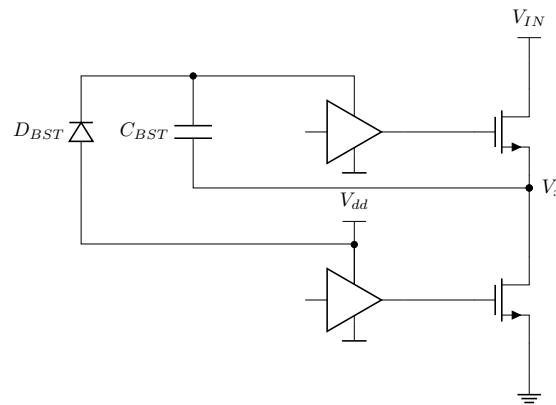
Wspomniane w 2.2.4 sterowniki bramek wymagają odpowiedniego zasilania w zależności od położenia tranzystora. Sterownik dolnego tranzystora w układzie półmostkowym wystarczy zasilić napięciem 12V, gdyż źródło tranzystora jest połączone bezpośrednio do masy układu. Sytuacja się zmienia w przypadku sterownika bramki górnego tranzystora. Podczas przewodzenia, na źródle pojawi się potencjał równy napięciu wejściowemu. Oznacza to, że sterownik musi podać na bramkę napięcie 36V względem masy (przy założeniu, że napięcie wejściowe wynosi 24V).

Niektóre układy sterowników posiadają zintegrowaną pompę ładunku (Charge Pump), która reguluje napięcie do wymaganego poziomu. Innym rozwiązaniem jest



Rys. 2.13: Uproszczony schemat układu sterownika bramki

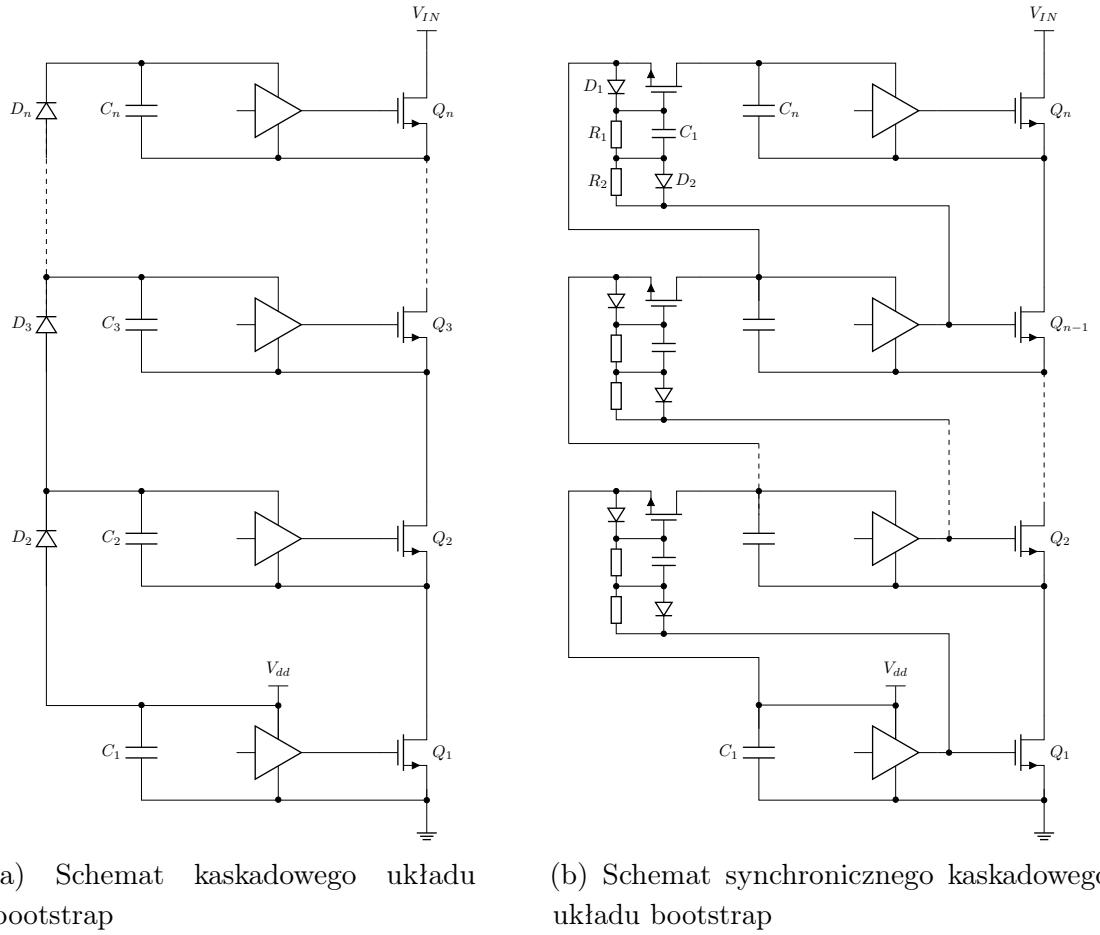
wykorzystanie układu "bootstrap" (Rys. 2.14). Składa się on z diody (najczęściej szybkiej diody Schottkiego) oraz kondensatora bootstrap. Podczas gdy dolny tranzystor przewodzi, pojemność C_{BST} jest ładowana do napięcia $V_{dd} - V_F$ względem $V_x = 0V$. W momencie załączenia górnego tranzystora, napięcie V_x rośnie do wartości V_{in} . W rezultacie kondensator zasila górnego sterownika napięciem $V_{dd} - V_F + V_x$ względem masy.



Rys. 2.14: Schemat układu bootstrap

Układ bootstrap można również wykorzystać w przypadku topologii wielopoziomowych. Kolejne stopnie układu bootstrap, połączone w sposób kaskadowy zostały zaprezentowane na (Rys. 2.15a). Wadą tego rozwiązania jest znaczące obniżenie napięcia wejściowego sterownika na wyższych stopniach kaskady. Spowodowane jest to napięciem przewodzenia diod połączonych w sposób szeregowy [16]. Rozwiązanie problemu zaproponowane w [16, 17] polega na zastąpieniu diod tranzystorami MOSFET (Rys. 2.15b).

W momencie załączenia Q_{n-1} , bramka tranzystora Q_b jest ładowana przez rezystor R_2 oraz pojemność C_1 . Rolą rezystora R_2 jest kontrola prędkości załączania tranzystora Q_b . Dioda D_2 służy natomiast do szybkiego wyłączenia Q_b .



Rys. 2.15: Schemat dwóch sposobów implementacji kaskadowego układu bootstrap

W projekcie w ramach pracy dyplomowej został wykorzystany synchroniczny kaskadowy układ *bootstrap*.

Rozdział 3

Założenia projektowe, dobór komponentów i analiza sprawności

3.1 Założenia Projektowe

Sprecyzowanie warunków pracy przekształtnika poprzedza wyznaczanie parametrów obwodu mocy i doboru rzeczywistych elementów. Wartości zebrane w tabeli (Tab. 3.1) stanowią punkt odniesienia dla obliczeń.

Tabela 3.1: Założenia projektowe

Parametr	Symbol	Wartość			Jednostka
		min.	nom.	max.	
Moc wyjściowa	P_{out}	50	80	-	W
Napięcie wejściowe	V_{in}	21	24	26	V
Napięcie wyjściowe	V_{out}	-	5	-	V
Częstotliwość	f_{sw}	-	200	-	kHz
Tętnienia prądu dławika	ΔI_L	-	2	-	A _{p-p}
Tętnienia napięcia wyjścia	ΔV_{out}	-	-	25	mV _{p-p}
Przeregulowanie	V_{under}, V_{over}	-	± 1	± 2	%
Sprawność	$\eta_{(5W)}$	85	-	-	%
	$\eta_{(50W)}$	95	-	-	%

Założone parametry są wartościami teoretycznymi, jakie chcielibyśmy później uzyskać, realizując pomiary pracy układu. Możliwe, że nie uda się zaprojektować układu w taki sposób, aby spełnił wszystkie założenia. W takim przypadku konieczne będzie zmodyfikowanie parametrów pracy układu.

3.2 Dobór elementów dla obwodu mocy

Omówione w rozdziale 2 zależności, wraz z założeniami projektu przekształtnika przyjętymi w 3.1, posłużą do wyliczenia wartości elementów obwodu mocy. Istotną kwestią podczas wyboru fizycznych części jest nie tylko spełnienie wyliczonych parametrów, ale również wymiary, jak i dostępność na rynku. Dodatkowo warto zwrócić uwagę czy dany komponent posiada kompatybilne zamienne, które w razie potrzeby można byłoby użyć w miejsce aktualnie zastosowanego elementu.

3.2.1 Dławik

Wykorzystując wyprowadzone wcześniej równanie (2.14) dla indukcyjności krytycznej dławika w topologii *FCML*, dokonuję obliczeń wartości dla przyjętych parametrów układu

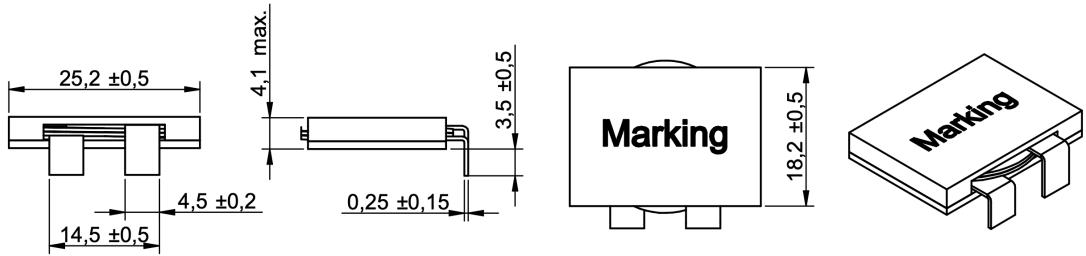
$$L_{crit_{3FC}} = \frac{\left(\frac{1}{2} \cdot V_{out} - \frac{V_{out}^2}{V_{in}}\right)}{\Delta I_L \cdot f_{sw}} = \frac{\left(\frac{1}{2} \cdot 5 - \frac{5^2}{24}\right)}{2 \cdot 200000} \approx 3.65\mu\text{H} \quad (3.1)$$

Aby spełnić wcześniej założone warunki pracy układu, zastosowany dławik powinien mieć indukcyjność równą lub wyższą od wyliczonej w (3.1). Do projektu wybrałem cewkę z serii 7443762504 firmy *Würth Elektronik*. Seria 7443762504 charakteryzuje się płaskim profilem oraz niską rezystancją szeregową uzwojeń cewki. Dodatkowym atutem jest pełne ekranowanie, co pozwala na zmniejszenie zakłóceń wynikających ze zmiennego pola magnetycznego wytworzonego przez tężnienia prądu płynącego w uzwojeniu dławika. Dalszej analizie poddam nie tylko cewkę o wartości $4.7\mu\text{H}$, która została wybrana na podstawie (3.1), lecz również dwa inne modele: o wartościach $2.2\mu\text{H}$ oraz $6.8\mu\text{H}$.

Model	$L[\mu\text{H}]$	$R_{DC}[\text{m}\Omega]$	$I_{RMS}[\text{A}]$	$I_{SAT}[\text{A}]$
7443762504022	2.2	1.78	30	23.8
7443762504047	4.7	3.05	24	14.0
7443762504068	6.8	4.21	20	12.6

Tabela 3.2: Porównanie wybranych parametrów cewek z serii 7443762504

Wartości I_{SAT} w ostatniej kolumnie tabeli, producent definiuje jako wartości prądu skutecznego płynącego przez dławik, dla których indukcyjność cewki zmalała o 30%.



Rys. 3.1: Dławik serii 7443762504 firmy Würth Elektronik

3.2.2 Kondensatory wejściowe

Dla zgromadzenia większej energii w pobliżu obwodu mocy, zastosowano kondensatory hybrydowe. Łączą one zalety kondensatorów elektrolitycznych (duża pojemność, mały prąd upływu) oraz kondensatorów polimerowych (niższa wartość ESR). Do projektu zostały wybrane trzy kondensatory *EEHAZK1V331B* firmy *Panasonic*. Charakteryzują się one znamionowym napięciem równym 35V, pojemnością $330\mu F$ oraz równoważną wartością rezystancji szeregowej (ESR) na poziomie $20m\Omega$. Istotnym parametrem przy wyborze kondensatorów hybrydowych, aluminiowo-polimerowych i aluminiowo-elektrolitycznych, jest wartość maksymalnych tętnień prądu płynącego przez kondensator. Wybrany model charakteryzuje się wartością znamionową wynoszącą $2.8A$. Praca kondensatora w warunkach przekraczających nominalną wartość będzie skutkować dużym stratami mocy, która zostanie wydzielona na rezystancji ESR w postaci ciepła. Konsekwencją będzie również zmniejszenie żywotności kondensatora spowodowane pracą przy zwiększonej temperaturze. W celu zredukowania strat należy dobrać odpowiednią liczbę kondensatorów ceramicznych. Korzystając ze wzoru (2.16), możemy wyznaczyć wymaganą pojemność

$$C_{cer(min)} = \frac{I_{out(nom)} \cdot D \cdot (1 - D)}{f_{sw} \cdot \Delta V_{in}} = \frac{16 \cdot \frac{5}{24} \cdot (1 - \frac{5}{24})}{200 \cdot 10^3 \cdot 75 \cdot 10^{-3}} = 182.62\mu F \quad (3.2)$$

W obliczeniach przyjmuję wartość międzyszczytową tętnień napięcia ΔV_{in} równą $75mV$. Jest to wartość zaproponowana w [7] jako maksymalna zalecana wartość międzyszczytowa tętnień napięcia.

Ze względu na ograniczoną powierzchnię na płytce PCB oraz wysokie ceny kondensatorów o dużej pojemności, do projektu wybrano kondensatory *MLCC* o łącznej pojemności nominalnej $145\mu F$. Natomiast wartość efektywna pod wpływem napięcia polaryzacji, według specyfikacji producenta, wyniesie zaledwie $64.8\mu F$. W rezultacie wartość tętnień napięcia będzie równa

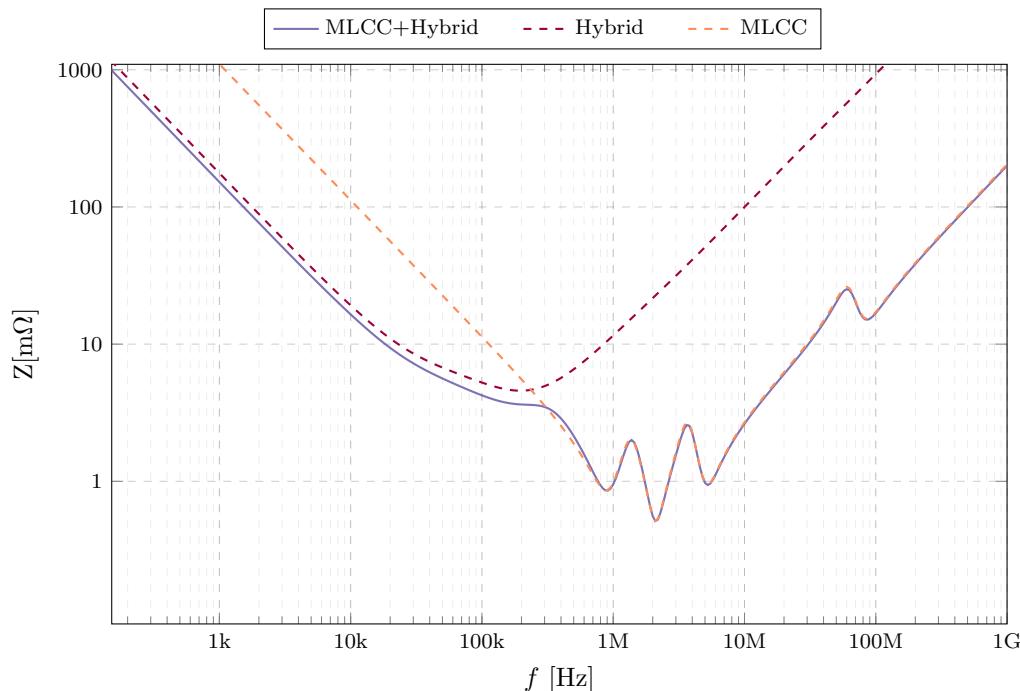
$$\Delta V_{in} = \frac{I_{out(nom)} \cdot D \cdot (1 - D)}{f_{sw} \cdot C_{cer(eff)}} = \frac{16 \cdot \frac{5}{24} \cdot (1 - \frac{5}{24})}{200 \cdot 10^3 \cdot 64.8 \cdot 10^{-6}} = 211mV_{pp} \quad (3.3)$$

co odpowiada napięciu skutecznemu tężnień RMS(ac) o wartości 61mV. Natomiast przybliżona wartość RMS tężnień prądu płynącego przez kondensator elektrolityczny w takim przypadku wyniesie

$$I_{bulk_{RMS}} = \frac{V_{in(rms(ac))}}{R_{ESR}} = \frac{61mV}{20m\Omega} = 3.05A \quad (3.4)$$

Zakładając, że przez wszystkie trzy kondensatory będzie płynąć jednakowy prąd, wartość RMS dla pojedynczego kondensatora wyniesie około 1A.

Kondensatory ceramiczne, poza istotną rolą, jaką jest zmniejszenie strat na kondensatorach hybrydowych, służą również do odfiltrowania wyższych częstotliwości z napięcia wejściowego. Generowane przez przełączanie tranzystorów wyższe harmoniczne są znacznie efektywniej filtrowane przez małe kondensatory ceramiczne dzięki niskiej wartości ESR oraz ESL . Charakterystykę impedancyjno-częstotliwościową kondensatorów wejściowych przedstawia (Rys. 3.2). Została ona wykonana na podstawie modeli symulacyjnych udostępnionych przez producenta oraz oprogramowania SPICE. Można zauważyć, że do częstotliwości około 500kHz niższą impedancją charakteryzują się kondensatory hybrydowe, natomiast powyżej tej wartości — kondensatory ceramiczne.



Rys. 3.2: Charakterystyka impedancyjno-częstotliwościowa kondensatorów wejściowych wykonana na podstawie danych symulacyjnych

Tabela 3.3: Wybrane kondensatory wejściowe

Producent	MPN	Pojemność	V nom.	Ilość
Panasonic	EEHAZK1V331B	330 μ F	35V	3
TDK	C5750X7R1V476M230KC	47 μ F	35V	2
TDK	C3225X5R1H106K250AB	10 μ F	50V	4
TDK	C2012X7R1H225K125AE	2.2 μ F	50V	5
TDK	C0510X7R1H473M030BC	47nF	50V	1

3.2.3 Kondensatory wyjściowe

Podobnie jak w przypadku kondensatorów wejściowych, na wyjściu zastosowano połączenie kondensatorów ceramicznych oraz hybrydowych. Przy założeniu, że przeregulowanie nie powinno przekraczać 1% napięcia wyjściowego, ze wzorów (2.23) oraz (2.24) wyznaczam pojemności dla obu stanów przejściowych

$$C_{under} = \frac{4.7 \cdot 10^{-6} \cdot 16^2}{2 \cdot 5 \cdot 0.001 \cdot 0.90 \cdot (24 - 5)} \approx 350\mu\text{F} \quad (3.5)$$

$$C_{over} = \frac{4.7 \cdot 10^{-6} \cdot 16^2}{2 \cdot 5 \cdot 0.001 \cdot 5} \approx 1250\mu\text{F} \quad (3.6)$$

Aby napięcia V_{over} i V_{under} nie przekroczyły 50mV, wartość pojemności wyjściowej przekształtnika C_{out} powinna być większa lub równa 1200 μ F.

Kolejnym etapem jest sprawdzenie, czy wyznaczona pojemność spełni wymagania dla pracy przekształtnika w stanie ustalonym. W założeniach projektowych zostało przyjęte, że wartość tętnień napięcia wyjściowego powinna nie przekraczać 25mV_{p-p}. Jako, że w tym przypadku spełniony jest warunek $\frac{t_{on}}{2} < R_s \cdot C$ oraz $\frac{t_{off}}{2} < R_s \cdot C$, wartość tętnień wyznaczam ze wzoru (2.20).

$$\Delta V_{out} = \Delta I_L \cdot R_{ESR} = 1.55 \cdot \frac{27 \cdot 10^{-3}}{6} \approx 7\text{mV} \quad (3.7)$$

Wyznaczona wartość ΔV_{out} spełnia założone warunki.

Tabela 3.4: Wybrane kondensatory wyjściowe

Producent	MPN	Pojemność	V nom.	Ilość
Rubycon	25PZF220M8X9	220 μ F	25V	6
Murata	GRM32ER71E226ME15K	22 μ F	25V	4
TDK	C2012X7R1H225K125AE	2.2 μ F	50V	1

3.2.4 Tranzystory MOSFET

W przypadku tranzystorów MOSFET, nie da się na podstawie parametrów dostarczonych w notach katalogowych w prosty sposób ocenić, który model będzie optymalny dla danego rozwiązania. Spośród układów MOSFET dostępnych na rynku, można dokonać wstępnego wyboru na podstawie wartości rezystancji otwartego kanału $R_{ds(on)}$ oraz całkowitego ładunku bramki Q_g , który musi zostać dostarczony do pełnego otwarcia tranzystora. Iloczyn tych dwóch wartości jest w środowisku inżynierskim określany jako *FoM* (Figure of Merit) i służy jako pewien wskaźnik podczas wyboru tranzystorów. W 2.2.3 przedstawiłem pięć różnych czynników, które powodują straty w tranzystorach. Równania i zależności je opisujące jednak nie są proste do wyznaczenia, a obliczanie ich ręcznie dla każdego wybranego tranzystora byłoby bardzo czasochłonne. Aby dokonać optymalnego doboru dla przekształtnika *FCML* posłużę się napisanym w języku Python skryptem, dzięki, któremu będę w stanie szybko wprowadzić dane i scharakteryzować wybrane układy. Zaimplementowane w programie równania pozwolą na wyliczenie mocy wydzielonej w tranzystorach w funkcji częstotliwości przy zadanym prądzie wyjściowym oraz w funkcji prądu wyjściowego dla wybranej częstotliwości. Parametrami wejściowymi będą istotne dla obliczeń parametry z założeń pracy układu, takie jak napięcie wejściowe i napięcie wyjściowe, a w przypadku każdego wybranego tranzystora MOSFET, parametry $R_{ds(on)}$, Q_g , C_{oss} , t_r , t_f , V_d czy Q_{rr} .

Wybrane modele tranzystorów MOSFET

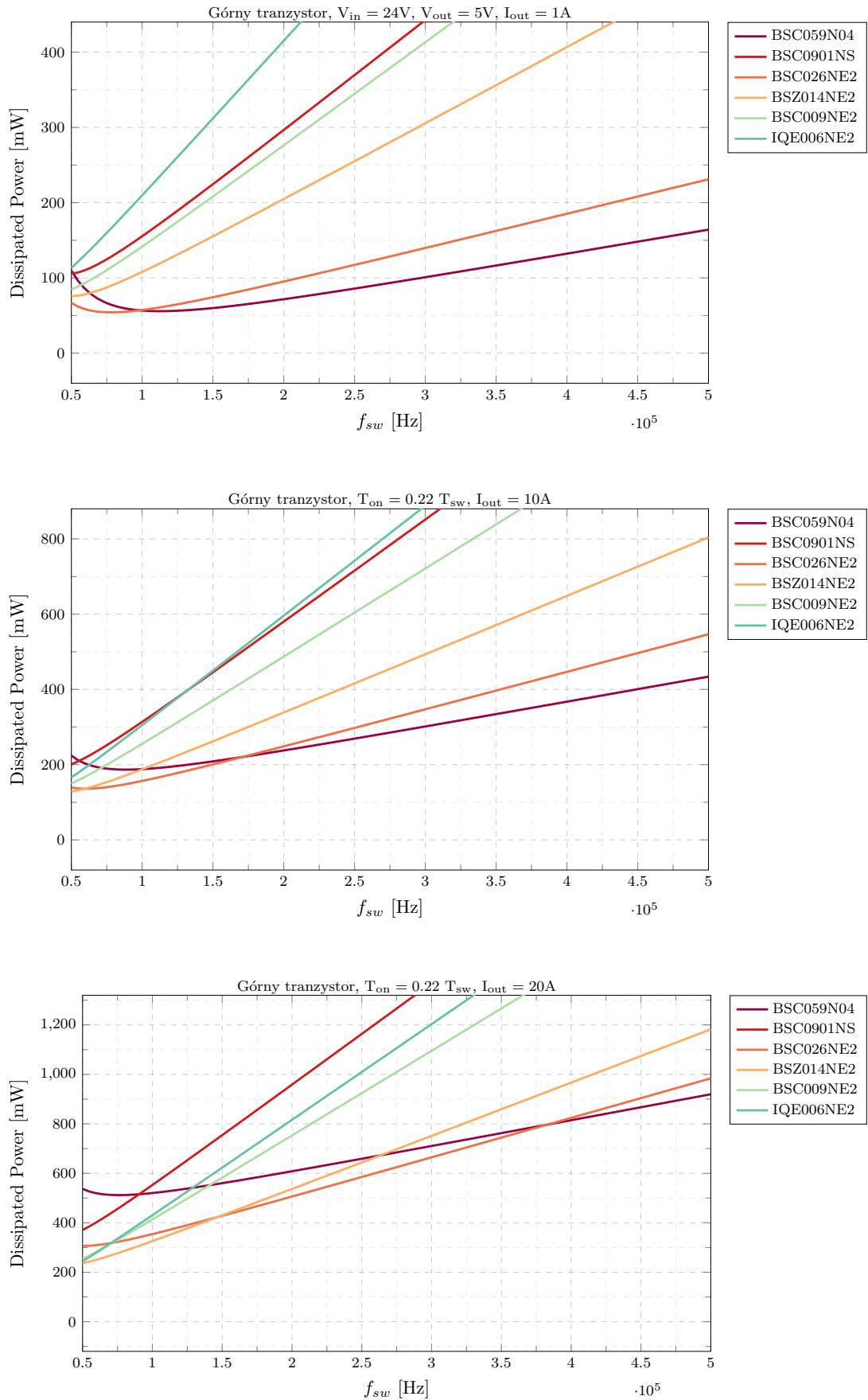
Ze względu na duży wybór i dostępność na rynku, zdecydowałem się wykorzystać tranzystory MOSFET firmy *Infineon*. W (Tab. 3.5) zostały zestawione wybrane modele z oferty producenta na podstawie *FoM*. Wykres estymowanej mocy wydzielonej przez wybrane układy został przedstawiony na (Rys. 3.3) oraz (Rys. 3.4), odpowiednio dla górnego i dolnego tranzystora. Straty mocy zostały obliczone w przedziale częstotliwości przełączania od 50kHz do 500kHz dla trzech wartości prądów wyjściowych: 1A, 10A oraz 20A. W zestawieniu został uwzględniony dla porównania tranzystor *BSC0901NS*, który był wykorzystany w referencyjnym projekcie przekształtnika.

Tabela 3.5: Zestawienie modeli tranzystorów MOSFET poddanych analizie

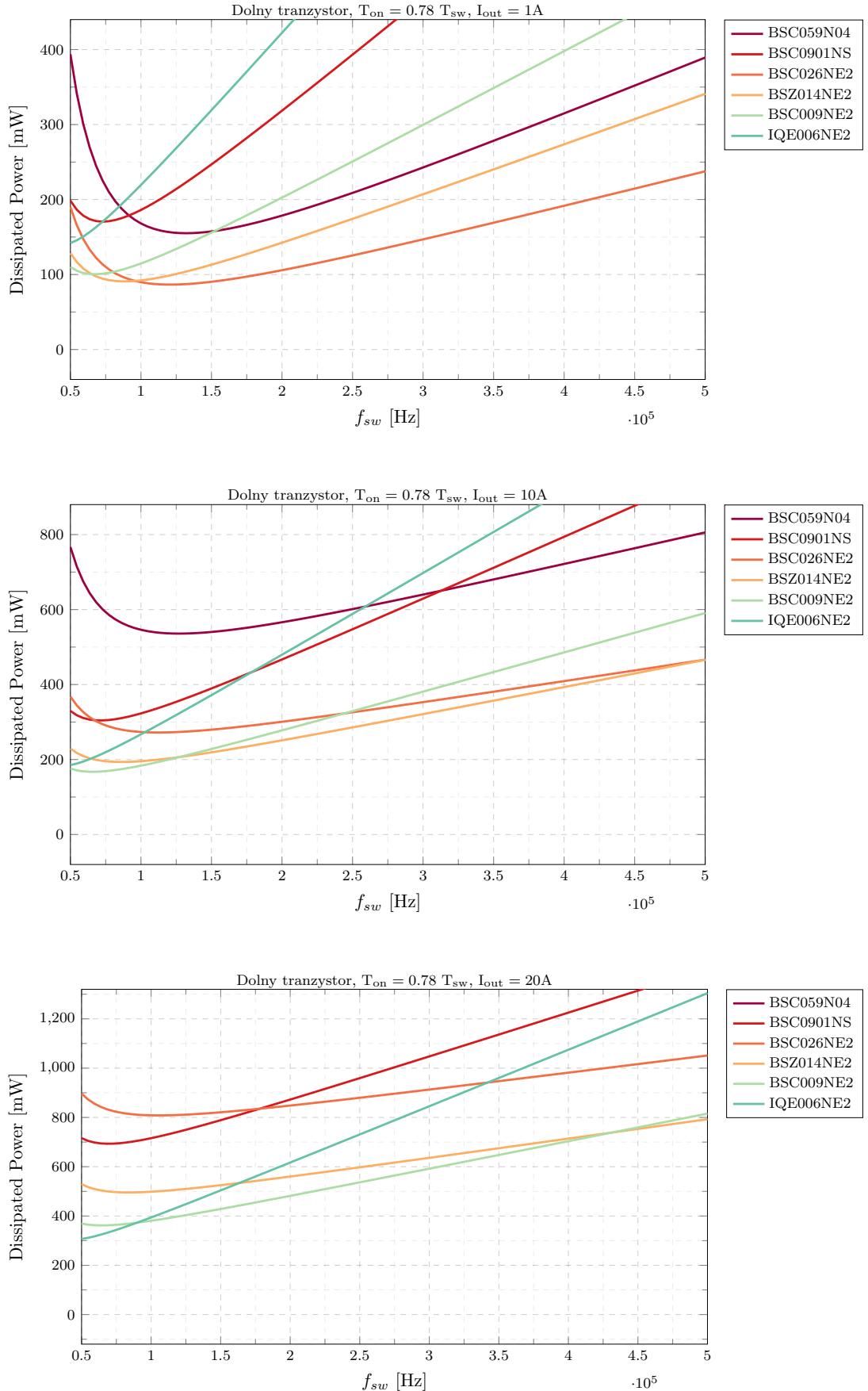
MPN	$R_{ds(on)}$ [mΩ]	Q_g [nC]	FoM [-]
BSC059N04	5.9	9.4	55.46
BSC026NE2	2.6	16	41.6
BSC0901NS	1.9	59	112.1
BSZ014NE2	1.45	33	47.85
BSC009NE2	0.95	49	46.55
IQE006NE2	0.58	82	47.56

Z dokonanych obliczeń teoretycznych można zauważyć, że pomimo podobnych wartości FoM , charakterystyki przedstawione na (Rys.3.3) i (Rys.3.4) są bardzo różne. W przypadku górnego tranzystora najniższymi stratami charakteryzują się *BSC026NE2* oraz *BSC059N04*. Przy czym *BSC026NE2*, ze względu na niższą wartość rezystancji otwartego kanału, lepiej się sprawdzi w przypadku dużych obciążzeń dla częstotliwości poniżej 350kHz. Z charakterystyk przedstawionych na (Rys. 3.4), można wyróżnić dwa modele, które sprawdzą się w roli dolnego tranzystora — *BSC009NE2* oraz *BSZ014NE2*. Charakterystyki strat mocy w funkcji średniego prądu wyjściowego przekształtnika, odpowiednio dla częstotliwości 200kHz i 100kHz, dla górnego tranzystora zostały przedstawione na (Rys. 3.5) oraz (Rys. 3.6), natomiast dla dolnego tranzystora na (Rys. 3.7) oraz (Rys. 3.8). Można zauważyć, że wszystkie charakterystyki posiadają minimum. Zwiększające się straty na lewo od punktu minimum spowodowane są wzrostem wartości RMS prądu cewki. Wraz ze zmniejszaniem częstotliwości przełączenia, rosnąć będą tętnienia prądu cewki. Wpłynie to na zwiększenie strat w fazie przewodzenia tranzystora.

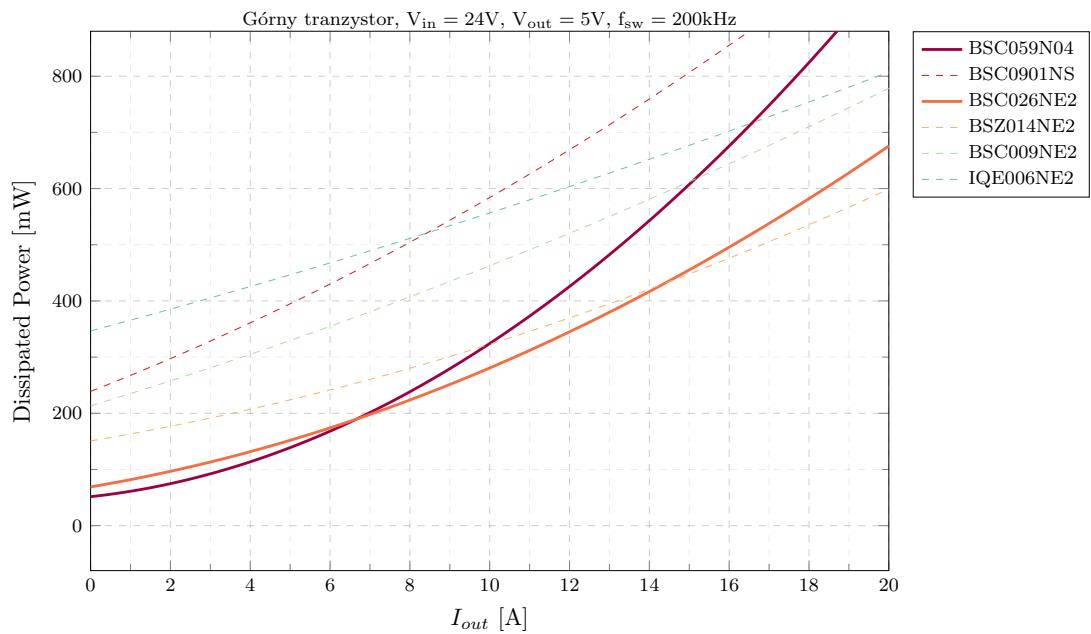
Na podstawie charakterystyk (Rys. 3.5–3.8), w projekcie ostatecznie zostały wykorzystane tranzystory *BSC026NE2* (górne tranzystory) oraz *BSC009NE2* (dolne tranzystory).



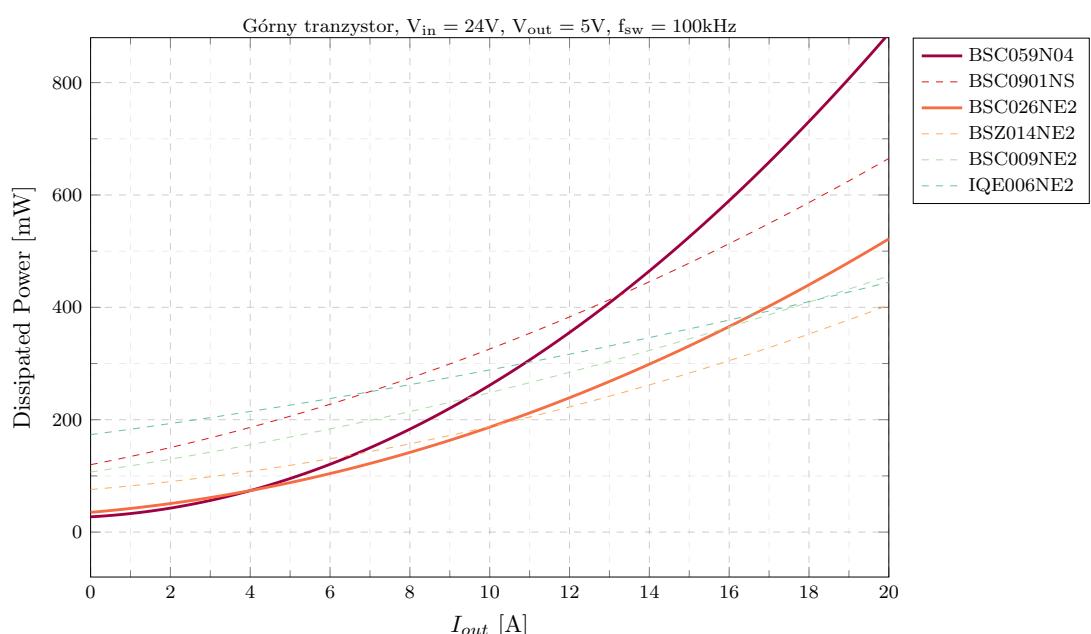
Rys. 3.3: Porównanie wydzielanej mocy w funkcji częstotliwości dla wybranych modeli tranzystorów MOSFET (górnny tranzystor)



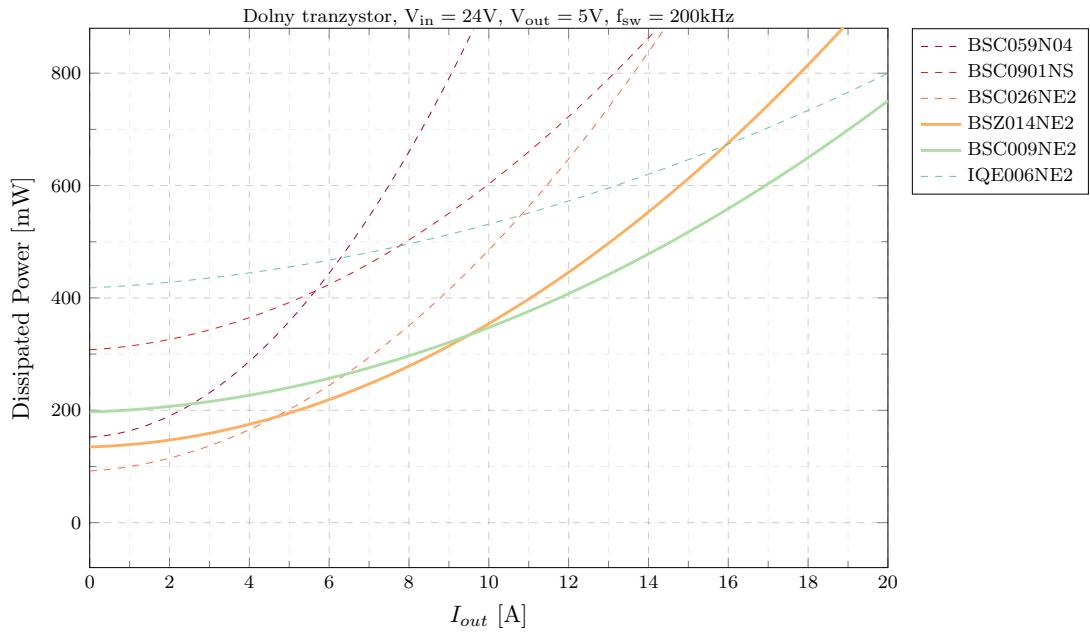
Rys. 3.4: Porównanie wydzielanej mocy w funkcji częstotliwości dla wybranych modeli tranzystorów MOSFET (dolny tranzystor)



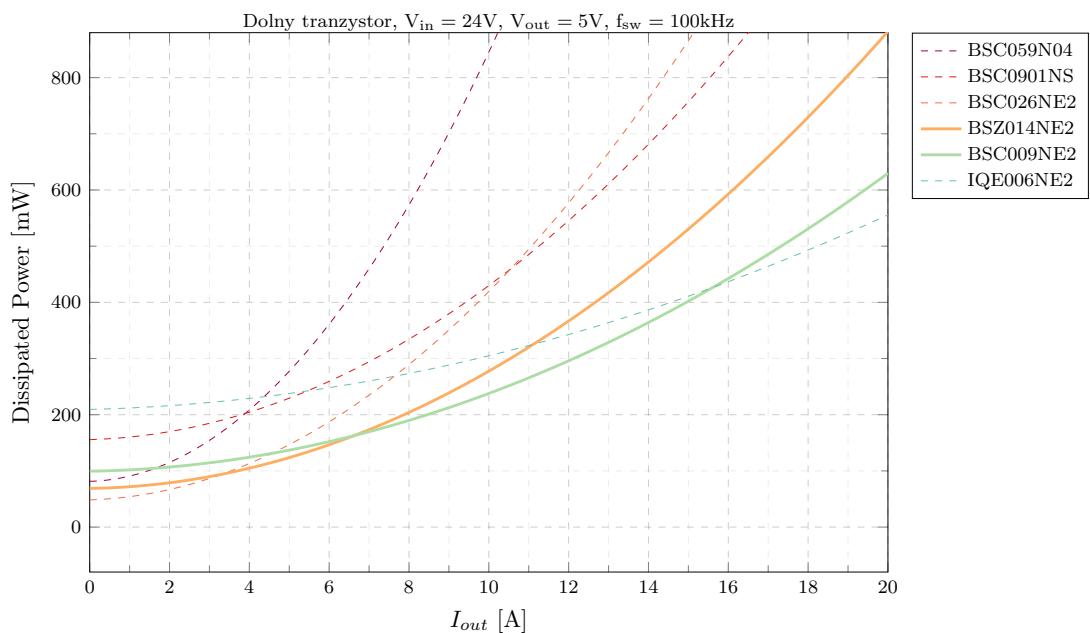
Rys. 3.5: Moc wydzielona na górnym tranzystorze w funkcji prądu wyjściowego przekształtnika przy częstotliwości przełączania 200kHz.



Rys. 3.6: Moc wydzielona na górnym tranzystorze w funkcji prądu wyjściowego przekształtnika przy częstotliwości przełączania 100kHz.



Rys. 3.7: Moc wydzielona na dolnym tranzystorze w funkcji prądu wyjściowego przekształtnika przy częstotliwości przełączania 200kHz.



Rys. 3.8: Moc wydzielona na dolnym tranzystorze w funkcji prądu wyjściowego przekształtnika przy częstotliwości przełączania 100kHz.

3.3 Analiza strat w elementach obwodu mocy

Straty mocy wynikające z pracy tranzystorów znaczco przyczyniają się do zmniejszenia sprawności przekształtnika. Krótka analiza przedstawiona w 3.2.4 pozwoliła na optymalne dobranie tych elementów dla projektu. Tranzystory jednak nie są jedynym źródłem strat w obwodzie mocy. W oszacowaniu sprawności przekształtnika trzeba dodatkowo uwzględnić takie czynniki jak:

- straty na rezystancji cewki
- straty na rezystorze pomiarowym
- straty na kondensatorach
- straty na zasilaniu układu scalonego kontrolera
- straty na rezystancji ścieżki prądowej PCB

W przypadku projektu przetwornicy *FCML*, konieczne będzie zastosowanie dodatkowych regulatorów do zasilenia sterowników bramek tranzystorów oraz mikrokontrolera. Wówczas należy również uwzględnić:

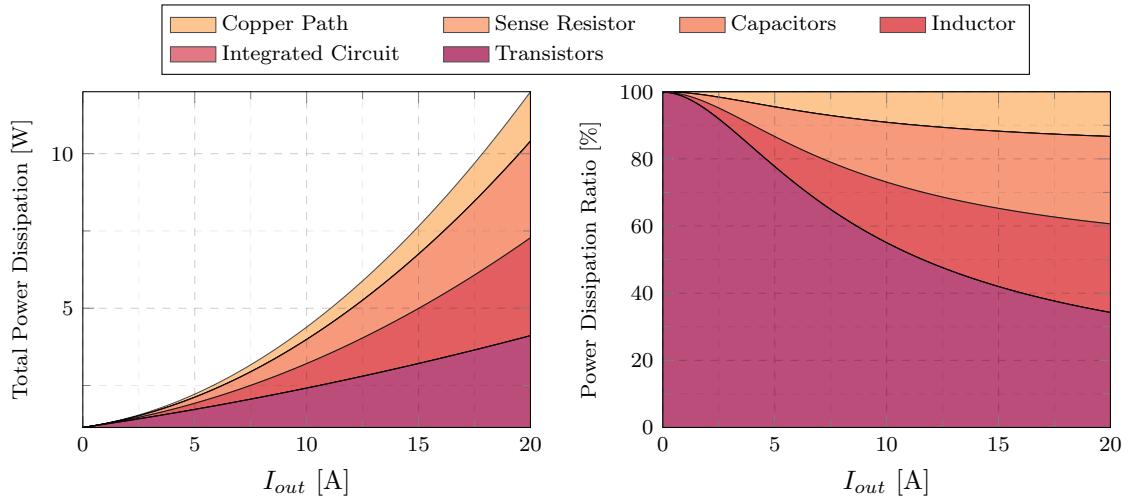
- straty na podrzędnej przetwornicy DC/DC
- straty na regulatorach liniowych

Przy wyznaczeniu strat mocy można wspomóc się rozwiązaniem symulacyjnym w postaci modeli udostępnionych przez producentów układów scalonych i oprogramowaniu SPICE. Trudnością tego podejścia jest jednak częsta niekompatybilność formatów pomiędzy różnymi wersjami oprogramowania. W związku z tym trudno jest znaleźć jedno środowisko, w którym można dokonać symulacji całego projektu. Do oszacowania sprawności rozwiązania posłużyłem się skryptem wykorzystanym podczas doboru tranzystorów. Program został uzupełniony o zależności omówione w rozdziale 2 oraz przygotowanej przez *Rohm Semiconductor* noty aplikacyjnej [18]. Analizy dokonałem na dwóch projektach — referencyjnej wersji przekształtnika o topologii *SBC* oraz nowego projektu opartego na topologii *FCML*.

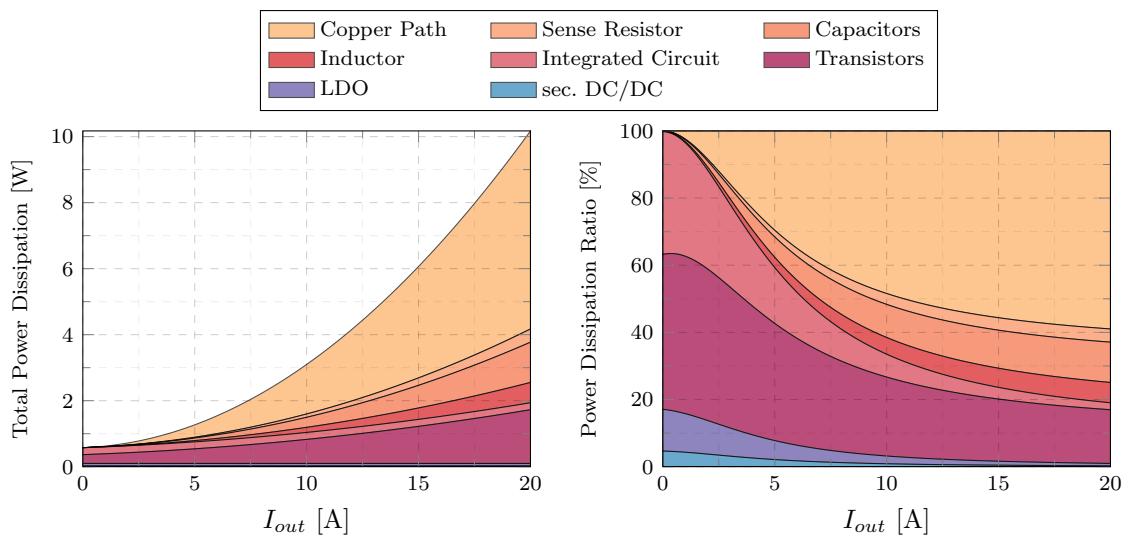
W obliczeniach uwzględniałem trzy przypadki. Pierwszy z nich zakłada najkorzystniejsze warunki pracy przekształtnika (minimalne straty), reprezentując w praktyce straty jedynie na obwodzie mocy. Zostały tu przyjęte nominalne parametry tranzystorów, rezystancja złącza DB15 i ścieżki miedzi została pominięta oraz straty mocy na regulatorach LDO nie zostały wliczone. Drugi przedstawia sprawność całego rozwiązania (nominalne straty). Nadal zakłada on nominalne parametry pracy tranzystorów, natomiast zostały w tym przypadku już uwzględnione straty na złączu, ścieżce oraz regulatorach. Trzeci, ostatni przypadek,

zakłada najgorszy scenariusz (maksymalne straty). Tranzystory pracują według najmniej korzystnych parametrów podanych przez producenta.

Wyniki obliczeń teoretycznych strat mocy w obu projektach zostały zaprezentowane na (Rys. 3.9) oraz (Rys. 3.10). Wykresy przedstawiają całkowite straty mocy w funkcji prądu wyjściowego przekształtnika (wykres po lewej) oraz procentowy udział poszczególnych elementów w funkcji prądu wyjściowego (wykres po prawej). (Rys. 3.9) oraz (Rys. 3.10) zostały wygenerowane na podstawie danych nominalnych.

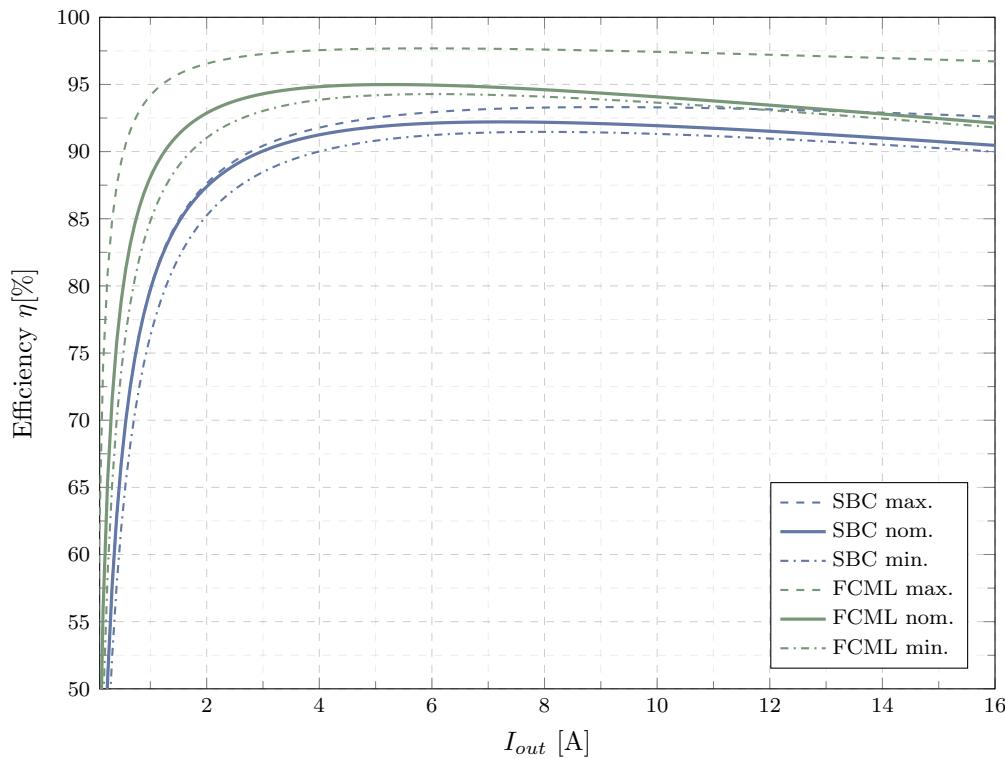


Rys. 3.9: Wykres estymowanych strat mocy przekształtnika *SBC* w funkcji prądu wyjściowego I_{out} przy zadanym napięciu wejścia $V_{in} = 24V$ oraz wyjścia $V_{out} = 5V$

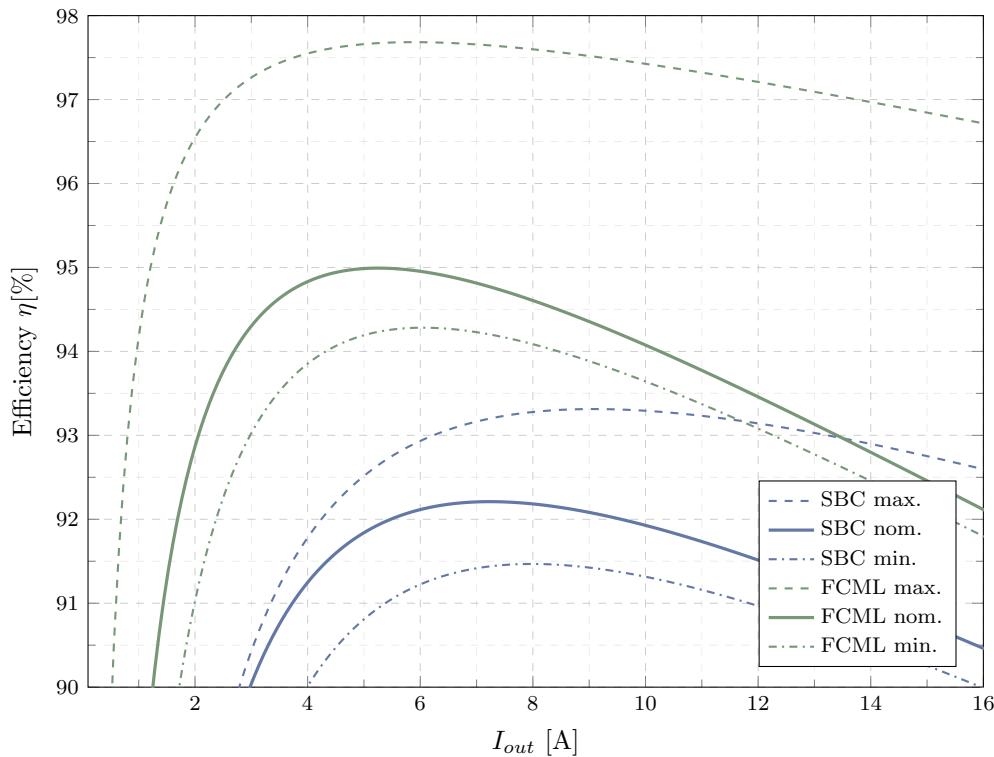


Rys. 3.10: Wykres estymowanych strat mocy przekształtnika *FCML* w funkcji prądu wyjściowego I_{out} przy zadanym napięciu wejścia $V_{in} = 24V$ oraz wyjścia $V_{out} = 5V$

Można zauważać, że wraz ze wzrostem prądu wyjściowego, dużym czynnikiem wpływającym na straty jest rezystancja ścieżki. Szacowana sprawność w funkcji



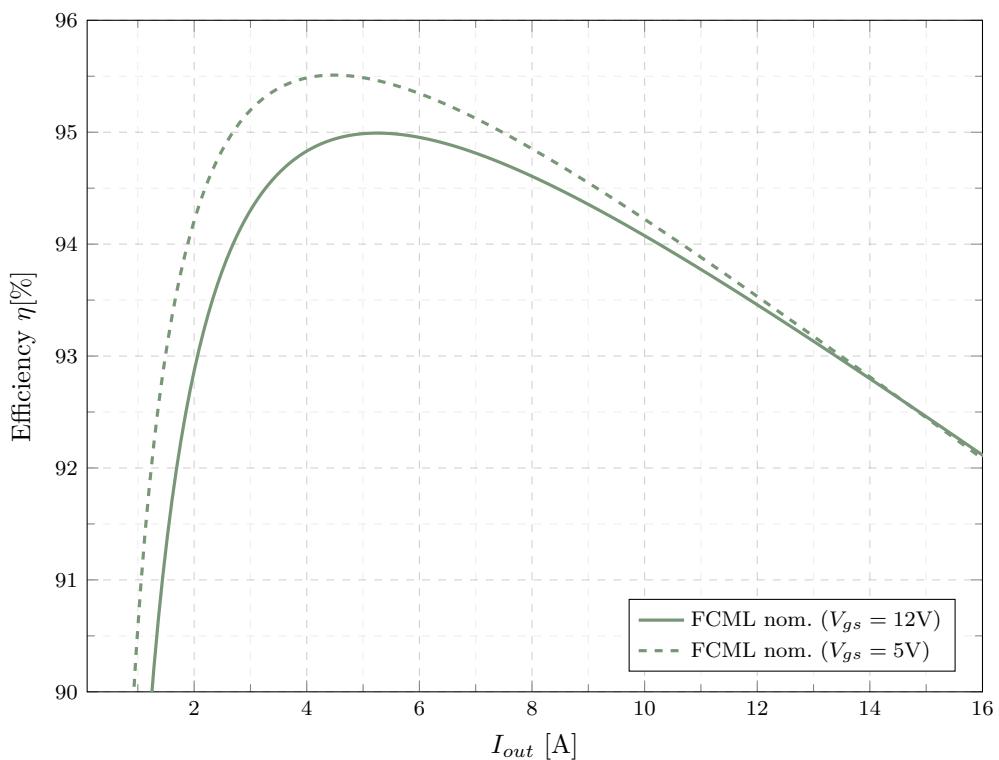
Rys. 3.11: Wykres szacowanej sprawności w funkcji prądu wyjściowego przekształtników o topologii FCML oraz SBC



Rys. 3.12: Wykres szacowanej sprawności w funkcji prądu wyjściowego przekształtników o topologii FCML oraz SBC (Zakres 90-98%)

prądu wyjściowego dla obu projektów została przedstawiona na (Rys. 3.11) oraz (Rys. 3.12). Na wykresach zostały uwzględnione trzy wymienione wcześniej przypadki — minimalne straty, nominalne oraz maksymalne.

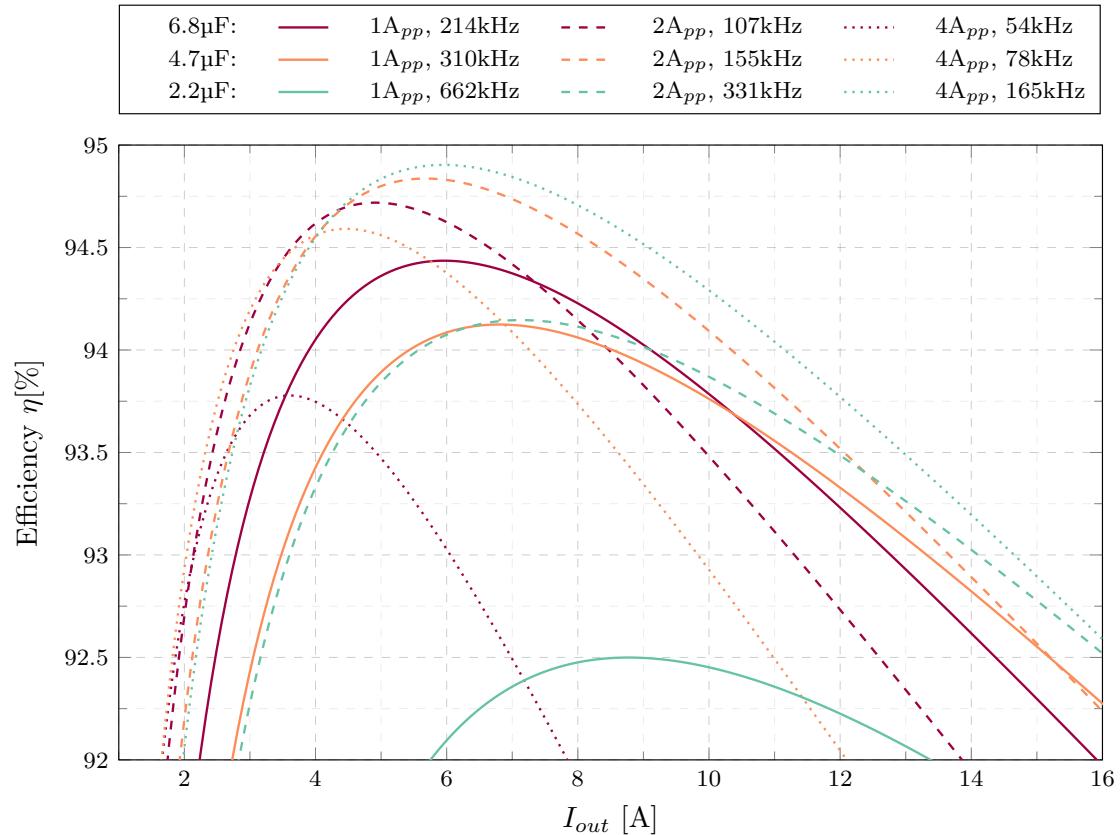
Straty na ładowaniu pojemności bramki są bezpośrednio powiązane z wartością napięcia V_{gs} . Podanie na bramkę napięcie 12V pozwoli na pełne otwarcie tranzystora, dzięki czemu zostanie uzyskana niska rezystancja kanału. Jednak dla małych obciążzeń, straty na tranzystorach w wyniku przewodzenia mogą okazać się niższe od strat łączeniowych. Zmniejszenie napięcia wyjściowego ze sterowników do 5V może poprawić sprawność układu dla niższych obciążzeń. Wykres (Rys. 3.13) przedstawia porównanie sprawności układu dla obu przypadków w funkcji średniego prądu wyjściowego.



Rys. 3.13: Wykres szacowanej sprawności w funkcji prądu wyjściowego przekształników o topologii FCML oraz SBC (Zakres 90-98%)

Analiza sprawności przekształtnika w zależności od modelu cewki

Krótką analizę sprawności układu w zależności od wybranej cewki została dokonana dla wybranych modeli: WE7443762504022, WE7443762504047, WE7443762504068. Obliczenia zostały dokonane dla danych nominalnych. Zgodnie ze wzorem (2.14), dla każdej cewki z (Tab. 3.2) została wyliczona taka częstotliwość przełączania, aby układ pracował w trybie BCM. Obliczenia zostały dokonane dla trzech wartości tężnień cewki: 1A, 2A (z założeniami projektowymi) oraz 4A.



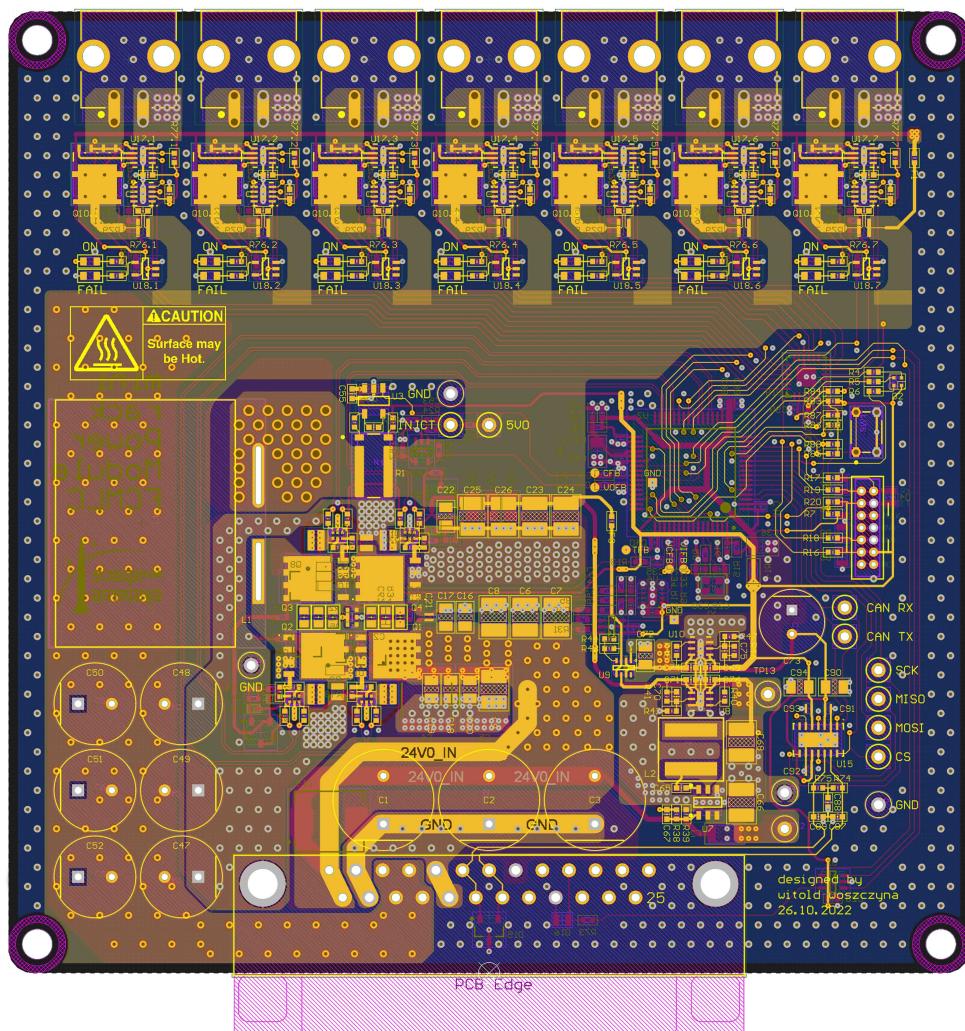
Rys. 3.14: Sprawność układu w funkcji prądu wyjściowego dla wybranych modeli cewek oraz tętnień prądu

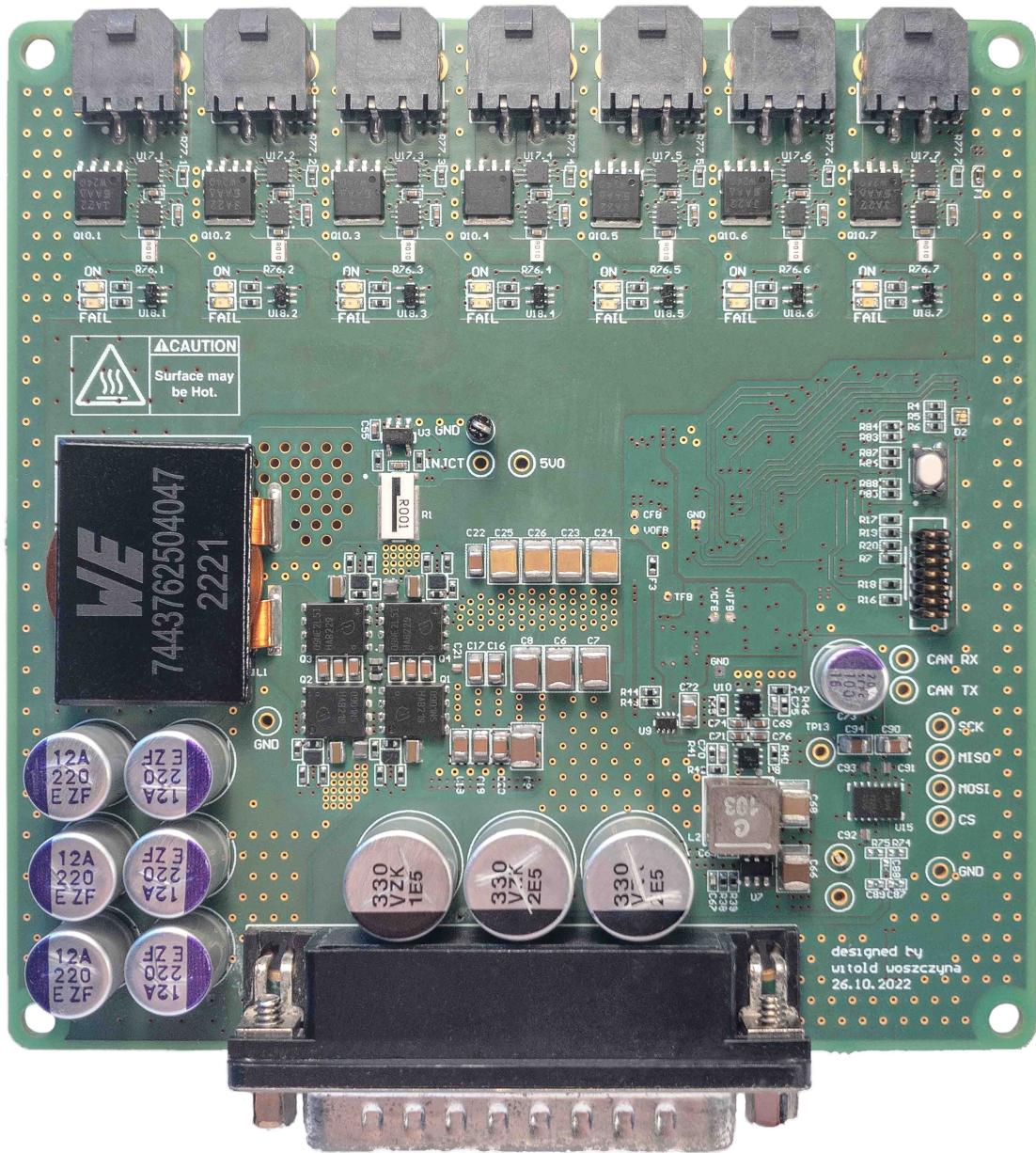
Najwyższe sprawności układu są osiągane dla cewek 2.2 μ F (WE7443762504022) przy prądzie tętnień 4A oraz 4.7 μ F (WE7443762504047) przy prądzie tętnień 2A. Wybrana cewka WE7443762504047 idealnie sprawdzi się dla prądów poniżej 12A. Natomiast w przypadku pracy przekształtnika przy wyższej wartości prądu wyjściowego, zastosowanie modelu WE7443762504022 może minimalnie zmniejszyć straty w układzie.

Rozdział 4

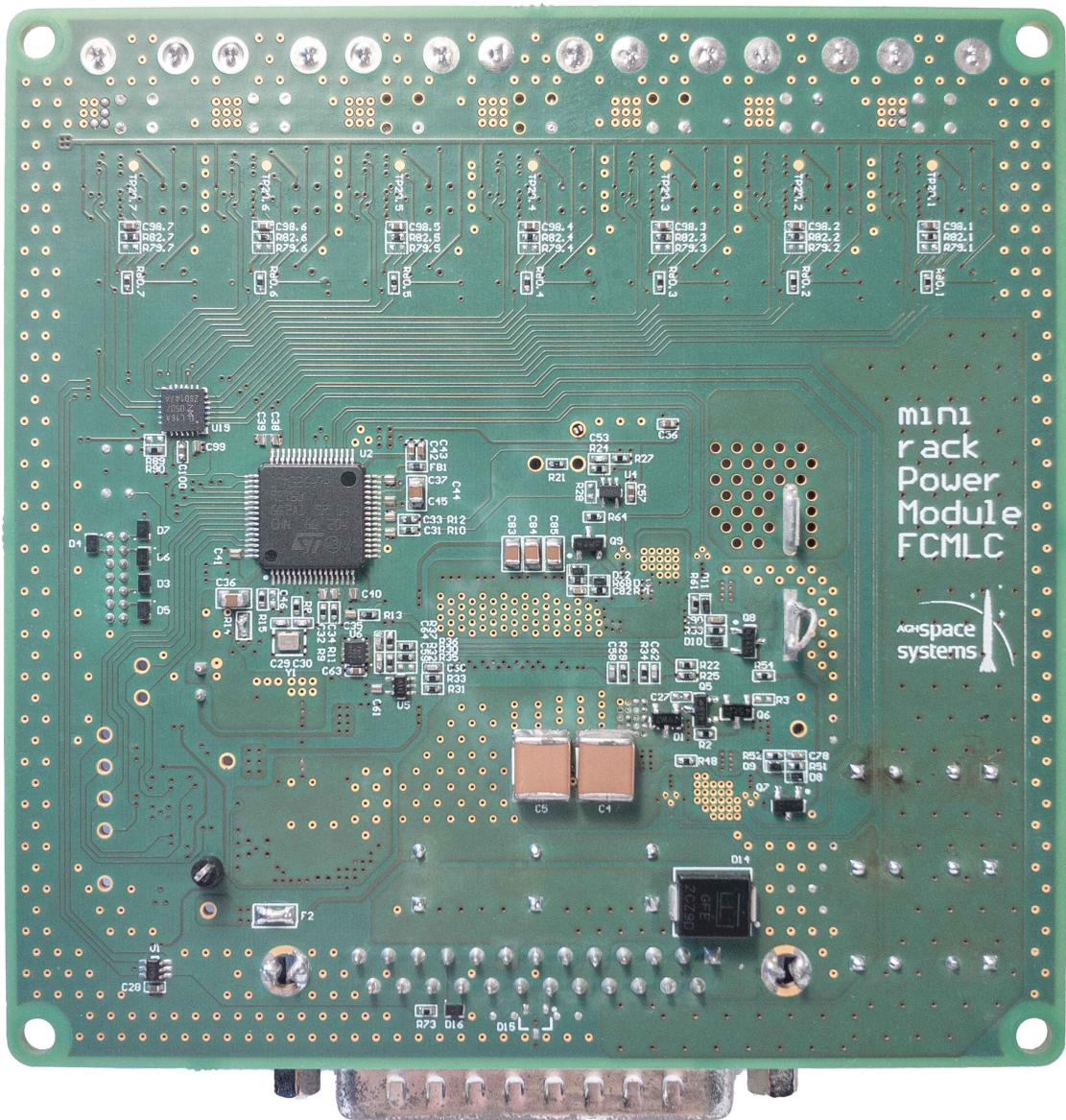
Realizacja projektu PCB

Projekt przekształtnika został zrealizowany za pomocą oprogramowania Altium Designer, który jest zunifikowanym rozwiązaniem do projektowania urządzeń elektronicznych. Obwód drukowany został wyprodukowany w Niemczech przez firmę Aisler.





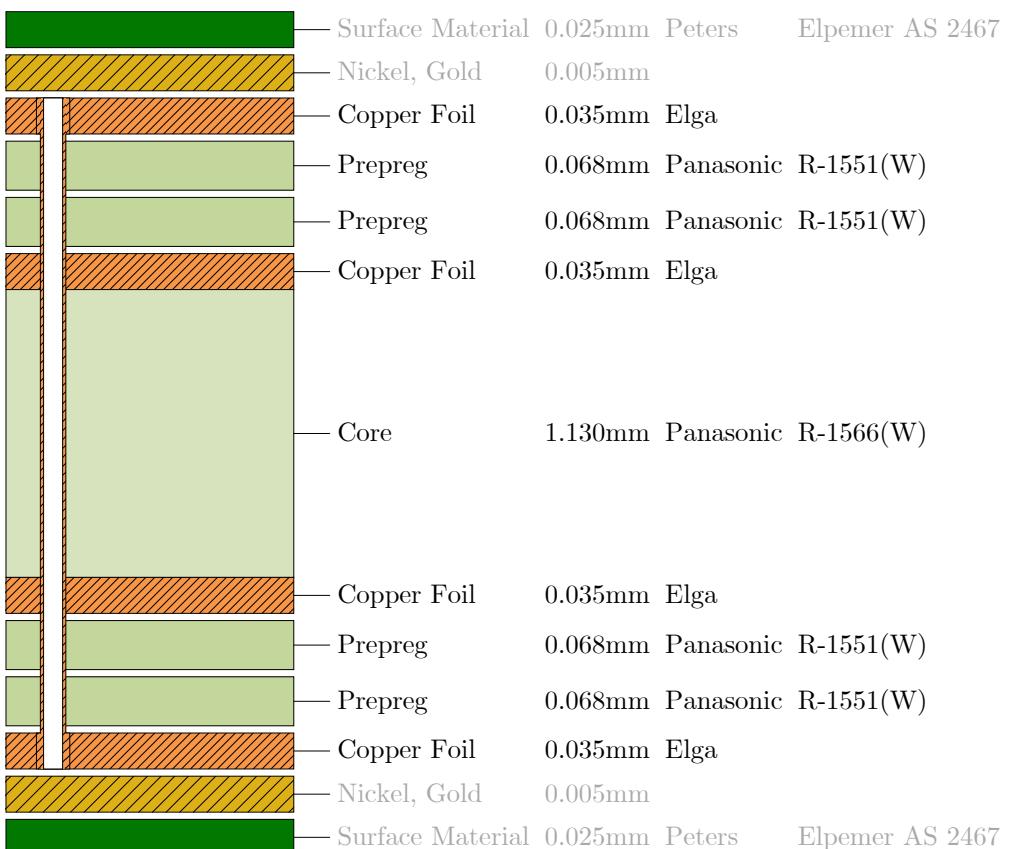
Rys. 4.1: Fotografia górnej strony PCB



Rys. 4.2: Fotografia dolnej strony PCB

4.1 Stos warstw

Jedną z podstawowych rzeczy, które trzeba rozważyć, rozpoczynając projekt obwodu drukowanego, to stos warstw (*stackup*). Określa on między innymi grubość PCB, liczba warstw, odstęp między nimi, czy też jakie materiały zostały wykorzystane w formie dielektryka. W projekcie zaplanowano rozmieszczenie elementów oraz warstw w taki sposób, aby część cyfrowa oraz obwód mocy nie zakłócił pracy części analogowej. W tym celu został wykorzystany *stackup* o 4 warstwach. Przy stosunkowo dużej gęstości upakowania elementów na PCB oraz ich połączeń, była to minimalna ilość warstw, która pozwoliła na poprawne połączenie części analogowej oraz cyfrowej obwodu. W celu zapewnienia ciągłej płaszczyzny referencyjnej dla sygnałów dwie wewnętrzne warstwy zostały wypełnione miedzią połączoną do masy układu. Na górnej warstwie zaplanowano rozmieszczenie najważniejszych elementów obwodu mocy, takich jak tranzystory, kondensatory wejściowe i wyjściowe czy cewka. Na tej samej warstwie zaplanowano również poprowadzenie zasilania oraz części sygnałów. Dolna warstwa sygnałowa została przeznaczona przede wszystkim do rozmieszczenia elementów związanych z układem sterowania — mikrokontroler, wzmacniacze operacyjne oraz sygnały PWM sterujące tranzystorami.

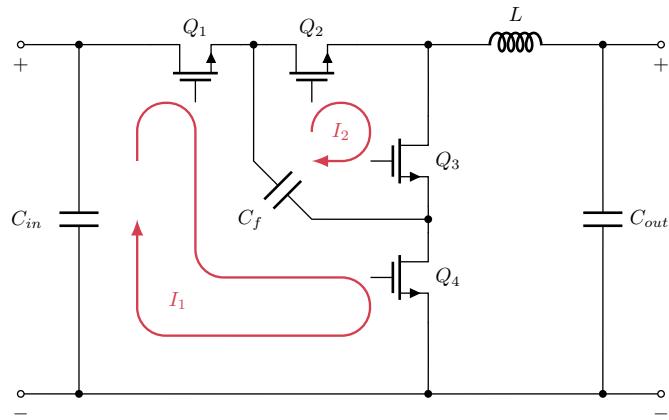


Rys. 4.3: Układ warstw PCB

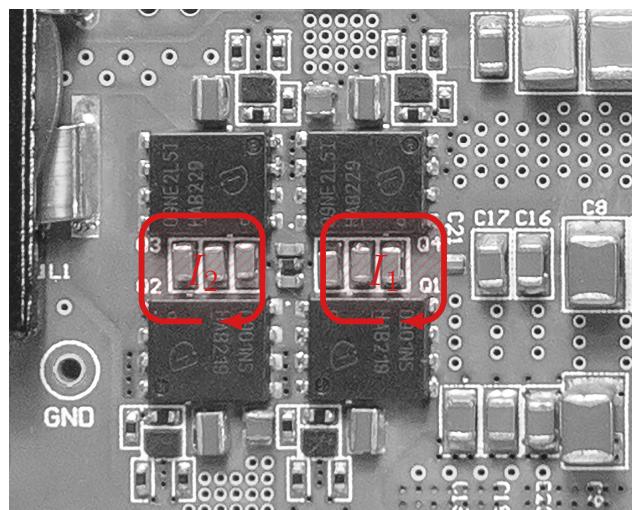
4.2 Rozmieszczenie elementów obwodu mocy

Dla właściwego rozmieszczenia elementów obwodu mocy istotne jest zlokalizowanie krytycznych pętli prądowych. W obwodzie mogą wystąpić duże wartości pochodnej prądu oraz napięcia po czasie związane z przełączaniem tranzystorów. Wraz ze wzrostem powierzchni pętli wzrasta natężenie pola, a co za tym idzie, rosną zakłóczenia elektromagnetyczne emitowane do otoczenia [19]. Skutkiem wadliwie zaprojektowanego obwodu mocy może być pogorszenie pracy innych układów znajdujących się w pobliżu. Problemem mogą być również napięcia wyindukowane w ścieżkach sygnałów analogowych sprzężenia zwrotnego. Mogą one prowadzić do utraty stabilności układu regulacji.

Projektując układ, należy zminimalizować powierzchnie rozpięte na ścieżkach o dużych wartościach $\frac{di}{dt}$. Pętle prądowe, w których będą występować najwyższe prądy chwilowe zaznaczono kolorem czerwonym (Rys. 4.4) (Rys. 4.5).



Rys. 4.4: Schemat topologii *FCML* z zaznaczonymi krytycznymi pętlami prądowymi

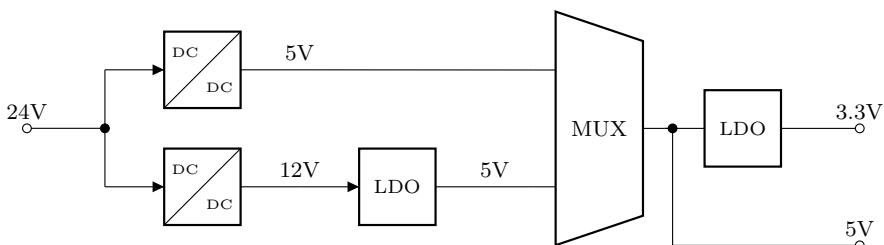


Rys. 4.5: Krytyczne pętle prądowe zaznaczone na projekcie PCB

4.3 Zasilanie sterowników oraz kontrolera

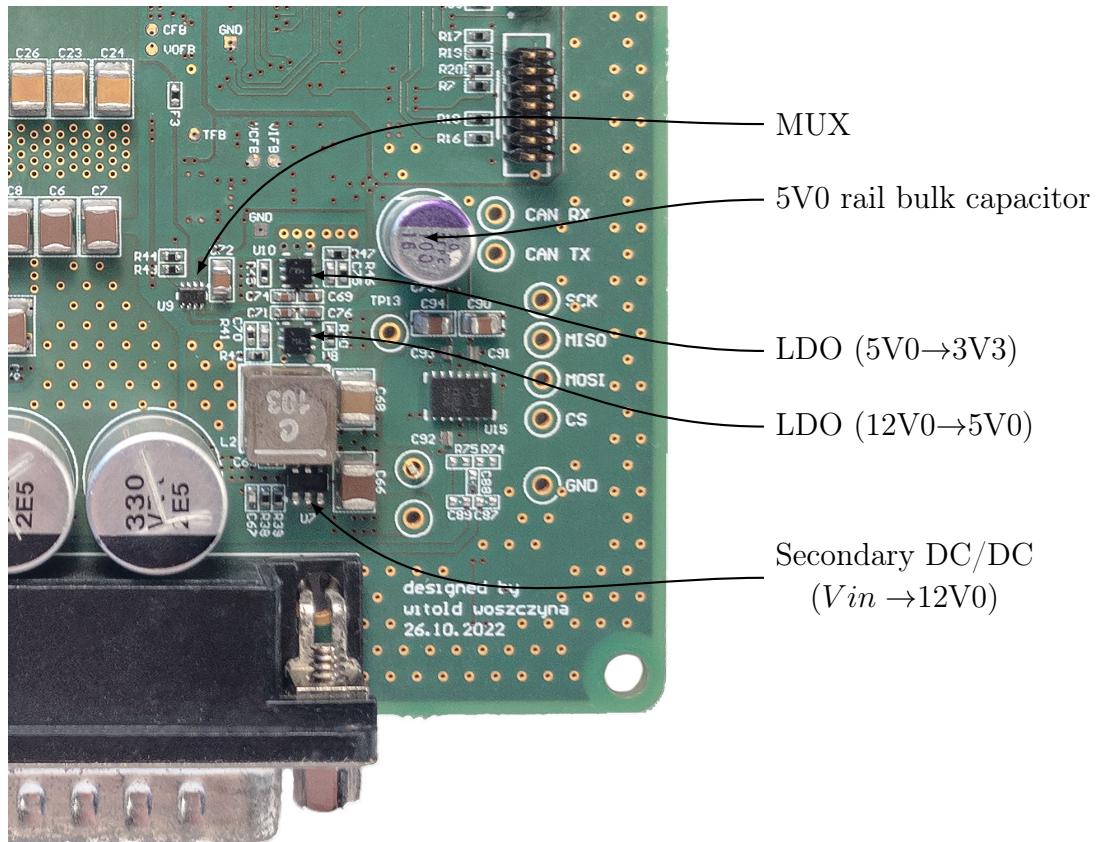
Optymalna praca tranzystorów MOSFET wymaga, aby napięcie V_{gs} wynosiło około 10V do 12V. Dla zapewnienia odpowiedniego poziomu napięcia, projekt przewiduje podrzędny układ przekształtnika obniżającego napięcie. Regulator AP63300 produkcji firmy *Diodes Inc.*, jest synchronicznym kontrolerem przekształtnika ze zintegrowanymi tranzystorami. Układ charakteryzuje się bardzo wysoką sprawnością dla szerokich zakresów prądu wyjściowego, a w szczytowej wartości jest w stanie pracować pod obciążeniem 3A. Zapewnia on wymagane dla sterowników głównego przekształtnika napięcie 12V.

W momencie startu przekształtnika, zasilanie 5V dostarczane jest przez liniowy regulator LDO NCP730 firmy *OnSemi*. Obniża on napięcie z 12V do wymaganego poziomu 5V. W przypadku tak dużej różnicy napięć to rozwiązanie nie jest optymalne. Z zasady działania regulatora LDO, w przyjętych warunkach pracy sprawność konwersji napięcia takiego układu wyniesie jedynie 41%. W celu zwiększenia sprawności, w układzie zostało zaimplementowane multiplekser linii zasilania. W przypadku gdy na wyjściu głównego przekształtnika napięcie przekroczy próg 4.8V, MUX TPS2116 automatycznie przełącza źródło zasilania między wyjściem 5V regulatora LDO a wyjściem 5V z głównego przekształtnika. Schemat rozwiązania został zaprezentowany na (Rys. 4.6). Takie rozwiązanie pozwala zredukować straty mocy generowane w regulatorach liniowych nawet o 450mW.

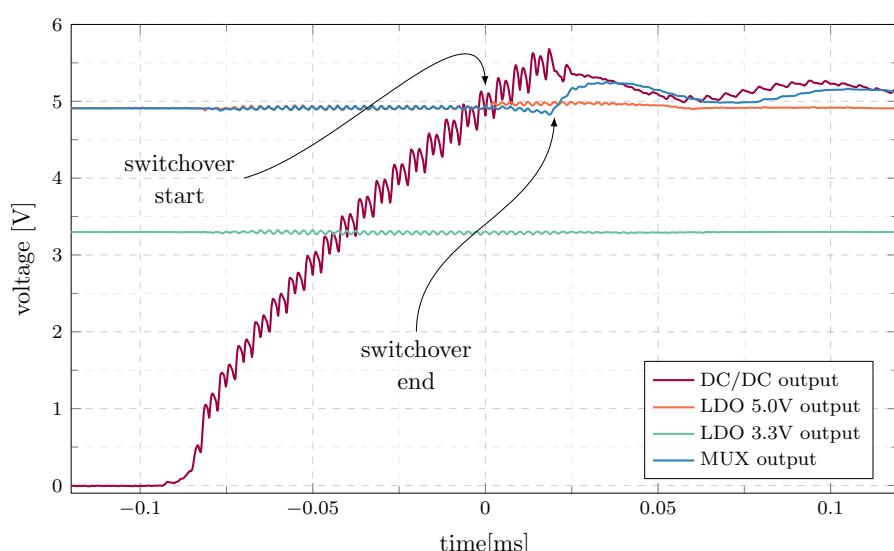


Rys. 4.6: Schemat blokowy układu do przełączania linii zasilania 5V

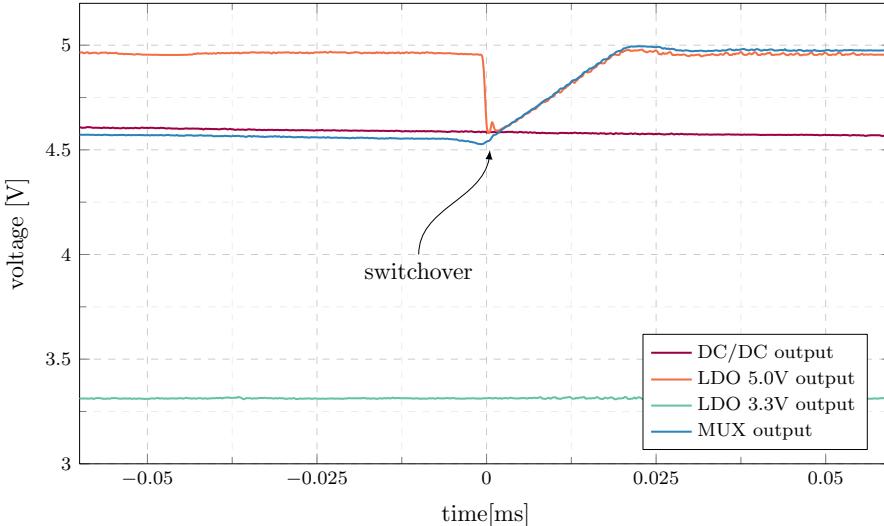
Układ scalony multipleksera działa w trybie "break-before-make", co oznacza, że zanim zostanie dokonane przełączenie, oba kanały wejściowe zostają wyłączone. Funkcja ta zapobiega zwarciu pomiędzy wejściowymi liniami zasilania. W momencie przełączenia wyjście nie będzie podłączone do żadnej linii zasilania, co zaskutkuje chwilowym obniżeniem napięcia za multiplekserem. Aby złagodzić ten efekt, w projekcie został uwzględniony kondensator aluminiowo-polimerowy o dużej pojemności. Dostarczy on niezbędną energię do obwodu, minimalizując tym spadek napięcia. Moment przełączenia, zarówno dla przypadku gdy napięcie V_{out} narasta, jak i opada, został przedstawiony odpowiednio na (Rys.4.8) i (Rys.4.9).



Rys. 4.7: Fragment projektu PCB z sekcją podtrzymującą zasilanie układu regulacji



Rys. 4.8: Moment przełączenia lini zasilania podczas startu przekształtnika

Rys. 4.9: Moment przełączenia lini zasilania podczas zaniku napięcia V_{out}

4.4 Sterowniki tranzystorów

Wykorzystane w projekcie sterowniki tranzystorów to *1EDN7550U* firmy *Infineon*. Charakteryzują się wysokimi prądami ładowania i rozładowywania bramki tranzystora wynoszącymi odpowiednio 4A oraz 8A. Pozwala to na załączenie oraz wyłączenie tranzystora w bardzo krótkim czasie, który według karty katalogowej teoretycznie może wynieść maksymalnie 15ns przy pojemności obciążenia 1.8nF. W rzeczywistości prędkość załączania będzie zależeć również od samego tranzystora oraz poprawnego rozmieszczenia elementów na PCB. Dzięki małym rozmiarom sterownika (1.5×1.1 mm) możliwe jest umieszczenie go bardzo blisko bramki tranzystora. Jest to istotne w celu zmniejszenia pasożytniczej indukcyjności na drodze sygnału sterującego bramką. Duża wartość indukcyjności pasożytniczej wpłynie na szybkość ładowania i rozładowania bramki, jak i przeregulowanie oraz oscylacje. Skutkiem tych efektów będą zakłócenia elektromagnetyczne oraz zwiększenie strat przełączania. W celu zmniejszenia indukcyjności pasożytniczej, zostały podjęte następujące działania podczas projektowania PCB:

- poprowadzono szerokie ścieżki prądowe od sterownika.
- ścieżkę sygnału powrotnego umieszczeno bezpośrednio na sąsiedniej warstwie w formie litego poligona
- połączenie między warstwami zostało wykonane za pomocą licznych przelotek
- kondensator bootstrap został specjalnie dobrany z myślą o możliwie niskiej wartości równoważnej indukcyjności szeregowej

4.5 Mikrokontroler

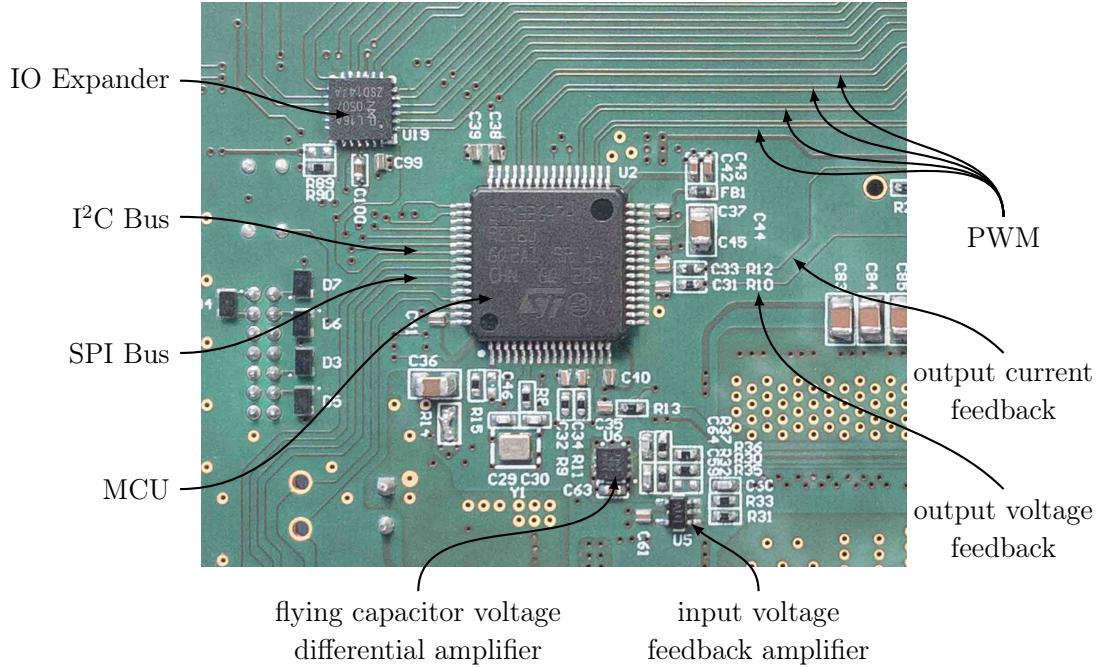
Układem scalonym odpowiedzialnym za regulacje jest mikrokontroler *STM32G474*. Seria mikrokontrolerów G4, firmy *STMicroelectronics* jest oparta na 32-bitowym procesorze Cortex-M4F. Układ został wyposażony przez producenta w niezbędne peryferia, które pozwolą na implementację kontrolera przekształtnika DC/DC.

Powodem, który zadecydował o wyborze właśnie tego modelu jest zegar wysokiej rozdzielczości (*High Resolution Timer*). Peryferium to zostało zaprojektowane z myślą o aplikacjach, w których wymagana jest wysoka precyzaja czasu. Za pomocą pętli DLL (Delay-Locked Loop) częstotliwość zegara systemowego procesora może zostać powielona do 32 razy. W rezultacie peryferium *HRTIM* jest w stanie generować sygnały PWM o rozdzielczości 184ps. Rozdzielcość ta odpowiada sygnałowi PWM taktowanego zegarem o częstotliwości 5.44GHz. Dodatkowo zegar został wyposażony w sprzętową obsługę zdarzeń. Dzięki temu w prosty sposób można zaimplementować zabezpieczenia, które — w razie zajścia takiej konieczności — wykonają sekwencję wyłączającą przekształtnik. Zegar pozwala na jednocześnie generowanie do 12 sygnałów PWM. W przypadku zastosowania drugiego mikrokontrolera, zegary o wysokiej rozdzielczości można ze sobą zsynchronizować. Takie rozwiązanie pozwala na równoległe przyłączenie dwóch przekształtników.

Mikrokontroler wyposażony jest w magistralę CAN FD, która będzie wykorzystana do kontroli przekształtnika oraz dodatkowych kanałów wyjściowych. W przyszłości może również zstać wykorzystana do raportowania napięcia, prądu, czy też mocy wyjściowej z przekształtnika.

4.6 Sygnały analogowe i cyfrowe

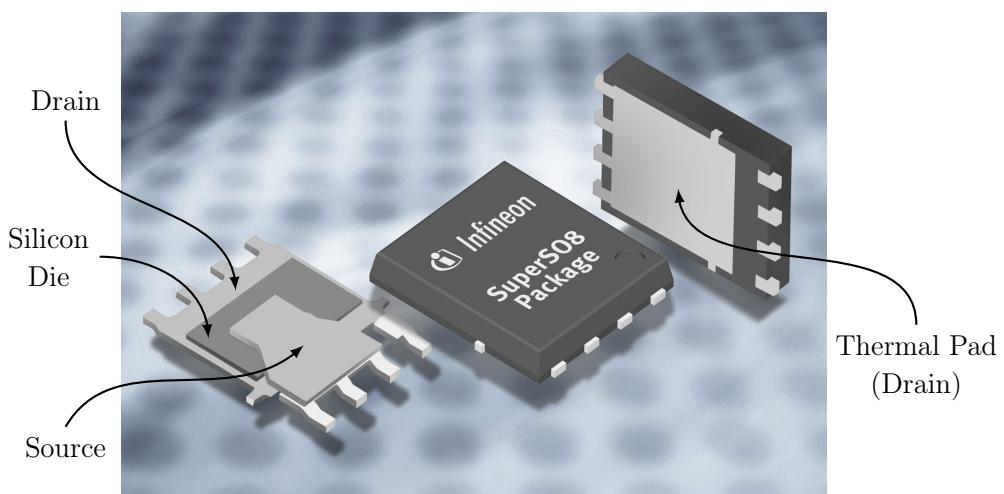
Wyprowadzenie sygnałów z mikrokontrolera zostało dokonane z myślą o rozdzieleniu sygnałów cyfrowych od sygnałów analogowych sprzężenia zwrotnego. Sygnały cyfrowe, a w szczególności PWM idące do sterowników tranzystorów, mogłyby spowodować zakłócenia w sygnałach analogowych o wysokiej impedancji. Aby wyeliminować takie sytuacje, w miarę możliwości obie grupy sygnałów zostały od siebie oddzielone już na poziomie wyprowadzeń mikrokontrolera. Podział na część analogową oraz cyfrową został przedstawiony na (Rys. 4.10).



Rys. 4.10: Podział na część analogową oraz cyfrową. Górnne oraz lewe wyprowadzenia mikrokontrolera stanowią sygnały cyfrowe, dolne oraz prawe — sygnały analogowe

4.7 Przewodniki cieplne

Ciepło, które wydzieli się na tranzystorze, musi zostać odpowiednio odprowadzone z wnętrza obudowy. Konieczne jest to do uzyskania założonej mocy wyjściowej przekształtnika bez narażania tranzystorów na wysokie temperatury. Obudowa wykorzystanych w projekcie tranzystorów to *SuperSO8* (Rys. 4.11). Posiadają one specjalny pad, który cechuje się niską rezystancją termiczną. Jest on



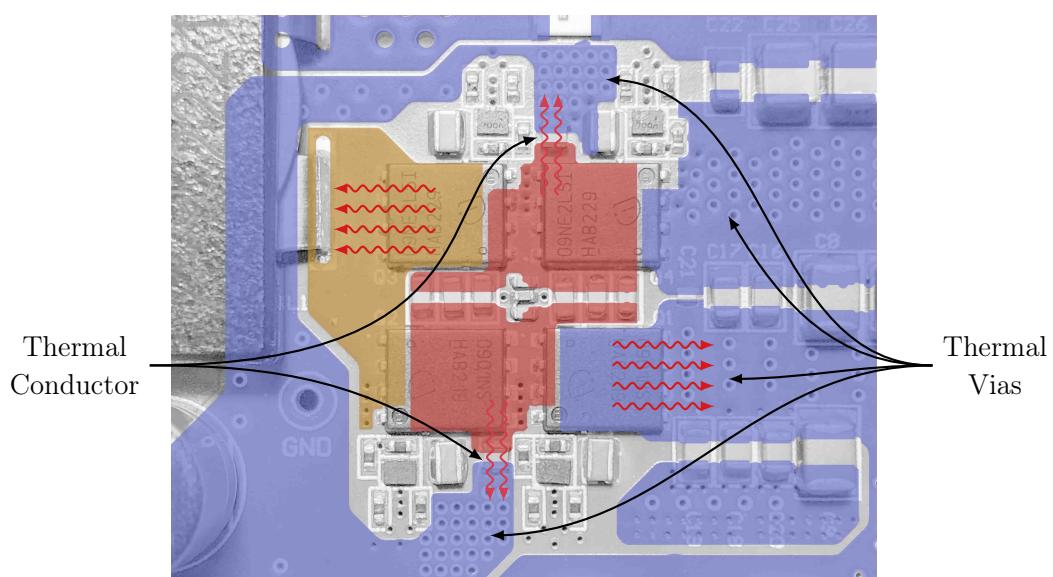
Rys. 4.11: Obudowa tranzystora *SuperSO8*, źródło: www.infineon.com

elektrycznie połączony z drenem tranzystora. W topologii *SBC* dren górnego

tranzystora N-MOS jest połączony do napięcia wejściowego. Daje to możliwość dobrego odprowadzenia ciepła do (zazwyczaj) dużej powierzchni miedzi. Dolny tranzystor ma natomiast dren połączony do węzła LX . Ze względów na duże zmiany napięcia w tym węźle, projektując obwód mocy dąży się to zminimalizowania jego powierzchni. Ciepło wydzielone w wyniku strat na dolnym tranzystorze jest w związku z tym trudniej odprowadzić. Większy problem pojawia się w przypadku topologii *FCML*, gdzie tranzystory są połączone szeregowo zarówno w dolnej, jak i w górnej gałęzi pół-mostka. Sprawia to, że z węzłów, pomiędzy którymi włączono kondensatory poziomujące, nie ma dobrego sposobu odprowadzenia ciepła. Firma Infineon posiada w ofercie tranzystory w specjalnych obudowach "PQFN 3.3×3.3 Source-Down", których pad o niskiej rezystancji cieplnej jest połączony do źródła. Odpowiednie wykorzystanie obu obudów pozwoliłoby na zmniejszenie temperatury tranzystorów podczas pracy przekształtnika. Jednak ze względu na trudną dostępność oraz brak alternatywnych tranzystorów w obudowach typu "Source-Down" — nie zostały one wykorzystane w projekcie.

Aby odprowadzić ciepło z węzłów V_{CP} oraz V_{CN} , zostały zastosowane przewodniki cieplne ("QBridge", "Thermal Jumper"). Są one elementami ceramicznymi o małej rezystancji termicznej ($<25^{\circ}\text{C}/\text{W}$), dużej rezystancji elektrycznej ($>1000\text{M}\Omega$) oraz pomijalnie małej pojemności ($<70\text{fF}$). W ofercie takich producentów jak Vishay, AVX, czy American Technical Ceramics istnieją przewodniki cieplne wyprodukowane z dwóch materiałów. Są nimi Azotek Glinu (AlN) oraz Tlenek Berylu (BeO). Oba te materiały są również wykorzystywane jako podłoże dla obwodów drukowanych.

W projekcie obwodu mocy, przewodniki cieplne zostały zastosowane pomiędzy węzłami V_{CP} i V_{CN} a masą układu. QB0505A25 firmy American Technical Ceramics charakteryzują się rozmiarem $1.27 \times 1.27 \times 0.64\text{mm}$ oraz rezystancji cieplnej równej $10^{\circ}\text{C}/\text{W}$ [20].



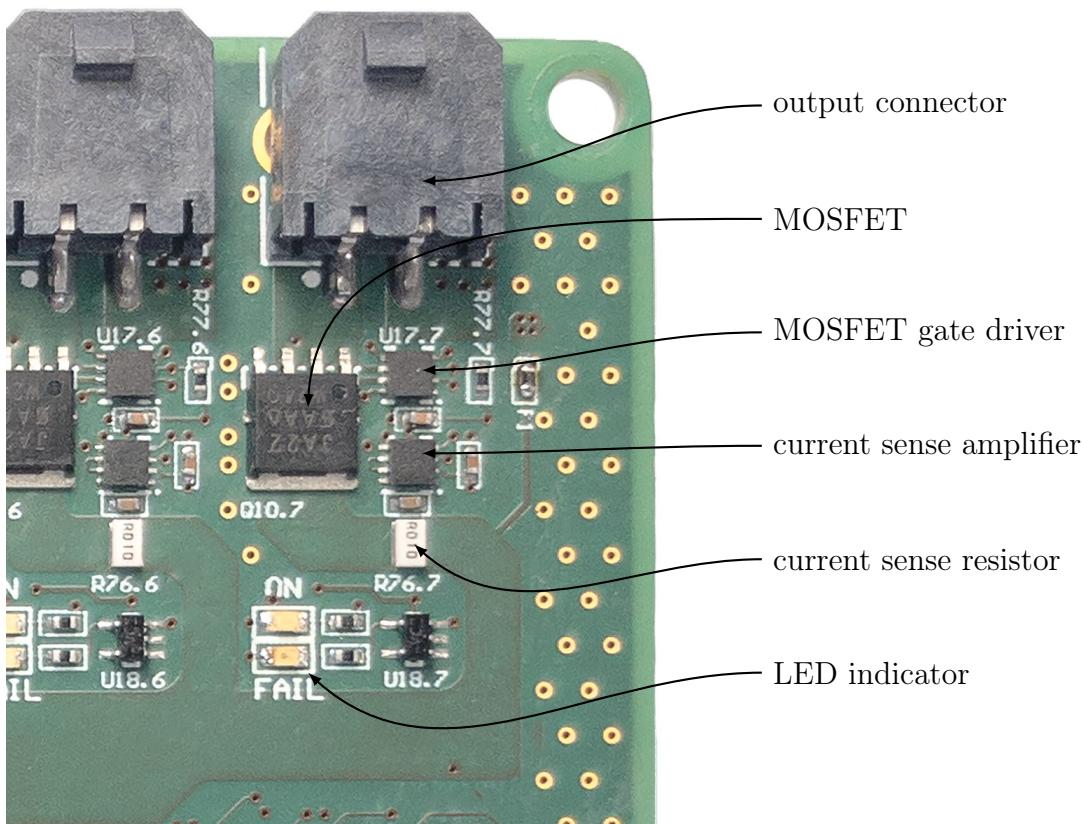
Rys. 4.12: Odprowadzenie ciepła z tranzystorów

4.8 Programowalny układ eFuse

Jednym z głównych usprawnień względem referencyjnego projektu przekształtnika wykorzystanego do zasilenia modułów w magistrali *miniRack* są kanały wyjściowe z programowalnym układem eFuse. W projekcie referencyjnym każdy kanał został wyposażony w bezpiecznik topnikowy oraz LED sygnalizujący jego stan. Po spaleniu bezpiecznika konieczne było przylutowanie nowego.

Nowe rozwiązanie nie tylko pozwala na zabezpieczenie podpiętych urządzeń, ale również umożliwia kontrolę nad załączeniem poszczególnych kanałów. Stwarza między innymi to możliwość zresetowania zasilania wybranego kanału. Rozwiązanie opiera się na układzie wzmacniacza prądowego połączonym z komparatorem *INA381*. W momencie przekroczenia zadanego progu prądowego układ zmienia wartość na wyjściu $\overline{\text{ALERT}}$. Działa on w trybie zatrzaskowym. Oznacza to, że do momentu wyczyszczenia flagi błędu przez mikrokontroler, stan logiczny na wyjściu $\overline{\text{ALERT}}$ pozostaje aktywny. Sygnał ten jest również połączony bezpośrednio do wejścia $\overline{\text{SHDN}}$ sterownika bramki (*SLG55021*), który odpowiedzialny jest za załączenie tranzystora MOSFET (*SIJA22DP-T1-GE3*).

Poziom napięcia referencyjnego dla komparatora może zostać ustawiony na dwa sposoby — za pomocą dzielnika napięcia lub w sposób programowalny, za pomocą sygnału PWM.



Rys. 4.13: Kanał wyjściowy z programowalnym układem eFuse

Rozdział 5

Pomiary

W tym rozdziale zostaną przedstawione oraz skomentowane wyniki pomiarów wykonane na oprogramowanym, a następnie uruchomionym prototypie przekształtnika. Celem będzie zmierzenie parametrów przekształtnika i porównanie ich z założonymi w (Tab. 3.1). Do wykonania pomiarów wartości oraz przebiegów napięć został wykorzystany następujący sprzęt laboratoryjny:

- oscyloskop *Rhode&Schwarz RTC1002*
- multimetru laboratoryjnego *Rhode&Schwarz HMC8012*
- zasilacz laboratoryjny *Korad KA3005D*
- obciążenie rezystancyjne

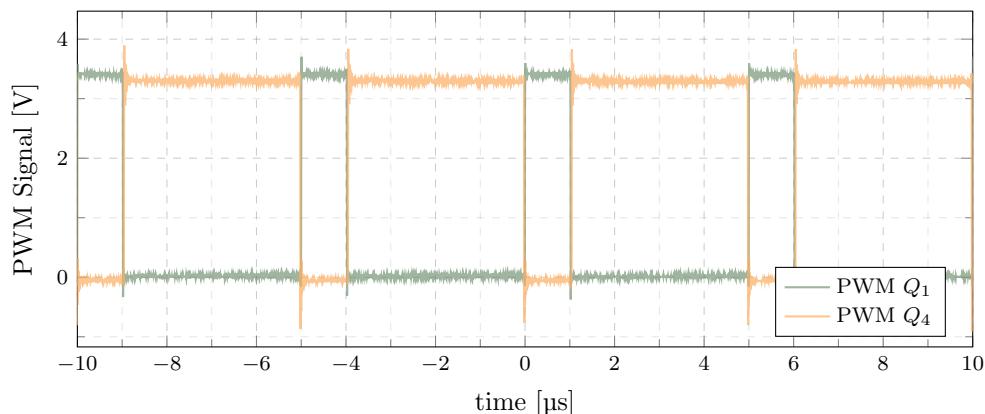
Natomiast pomiary sprawności przekształtnika został zrealizowany z wykorzystaniem

- zasilacz laboratoryjny *Delta Elektronika SM300-10D*
- analizator mocy *Yokogawa WT-1800*
- obciążenie elektroniczne *Statron Type 3227*
- kamera termowizyjna *FLIR E6390*

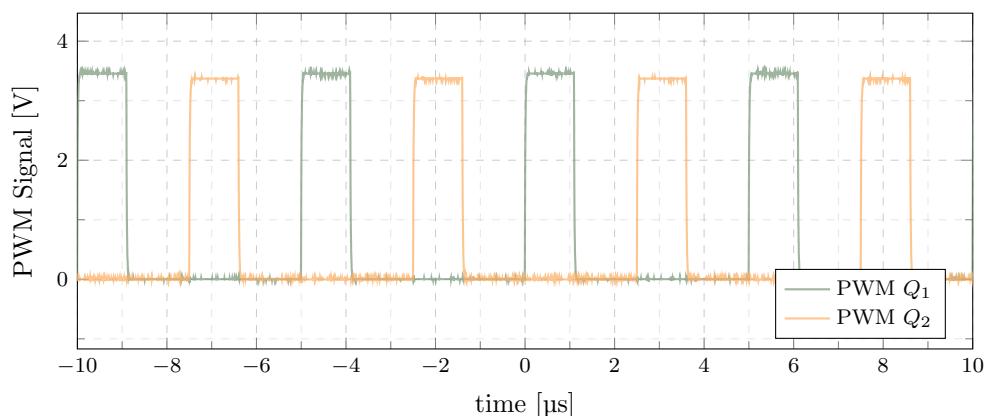
5.1 Pomiar sygnałów sterujących

5.1.1 Pomiar sygnałów PWM

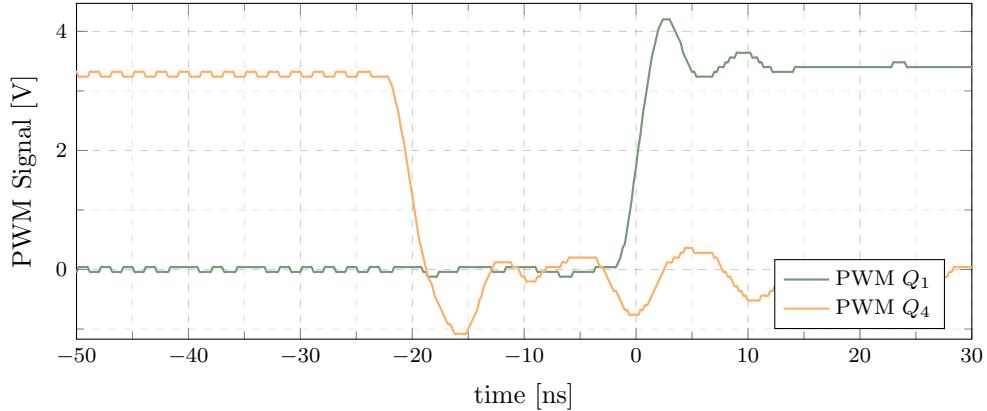
Na uruchomionym urządzeniu, zostały zmierzone sygnały PWM idące do sterowników bramek tranzystorów. W mikrokontrolerze zegar o wysokiej rozdzielczości został zaprogramowany w taki sposób, aby generował dwie pary dopełniających się sygnałów PWM o częstotliwości 200kHz. Przebiegi sygnałów sterujących tranzystorami Q_1 i Q_4 oraz Q_2 i Q_3 powinny charakteryzować się wypełnieniem około 20% i się uzupełniać. Dodatkowo zegar *HRTIM* został ustawiony z uwzględnieniem czasu martwego na obu zboczach. Czas ten został ustawiony dla sygnałów sterujących górnymi tranzystorami na 20ns, dla zbocza narastającego i 25ns dla zbocza opadającego. Rysunki (Rys. 5.3) oraz (Rys. 5.4) przedstawiają zgodność pomiaru z ustawionymi wartościami czasu martwego.



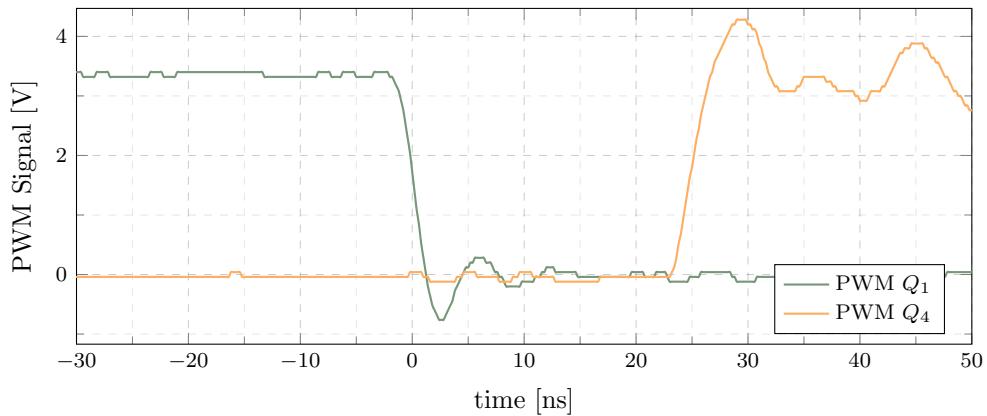
Rys. 5.1: Dopełniające się sygnały PWM



Rys. 5.2: Przesunięte w fazie sygnały PWM



Rys. 5.3: Czas martwy przed zboczem narastającym sygnału PWM sterującego tranzystorem Q_1

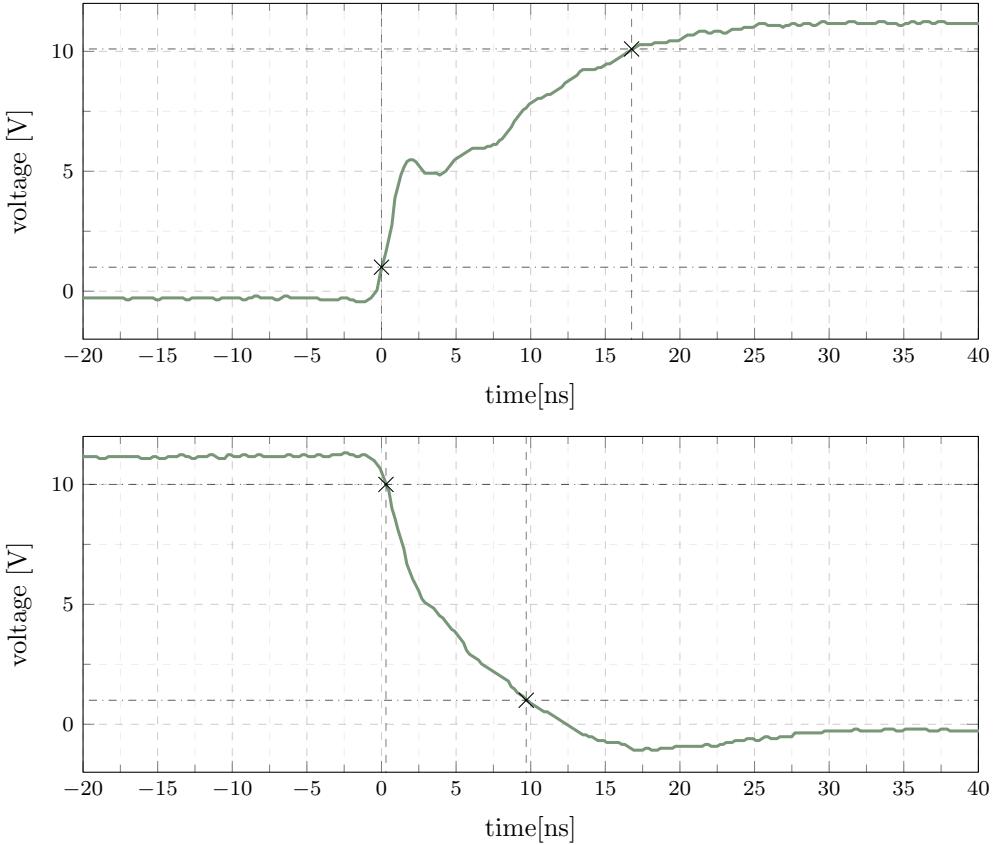


Rys. 5.4: Czas martwy za zboczem opadającym sygnału PWM sterującego tranzystorem Q_1

5.1.2 Pomiar napięcia sterującego bramkami tranzystorów

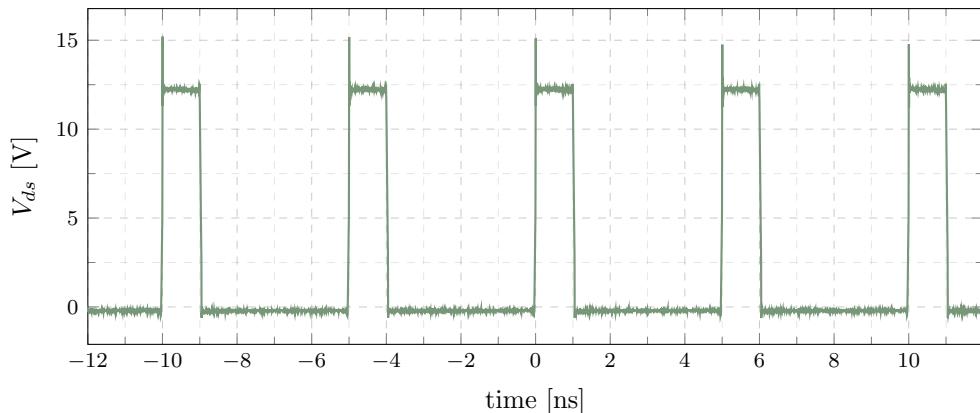
Pomiar napięcia sterującego bramką tranzystora pozwoli ocenić czy układ sterownika został poprawnie rozmieszczony. Jako że ułożenie elementów jest identyczne dla wszystkich czterech sterowników, pomiary zostały dokonane tylko dla jednego wybranego. Sygnał bramkowy został zmierzony

Wykonane pomiary sygnału bramkowego (Rys. 5.5) świadczą o poprawności ułożenia elementów układu sterownika. Czas zbocza narastającego wynosi około 16ns, natomiast czas zbocza opadającego wyniósł 9.5ns. Biorąc pod uwagę, że łączna pojemność bramki tranzystora *BSC009NE2*, którą trzeba naładować wynosi około 2400pF, wyniki pomiarów są adekwatne do wartości podanych przez producenta w karcie katalogowej układu *1EDN7550U*.

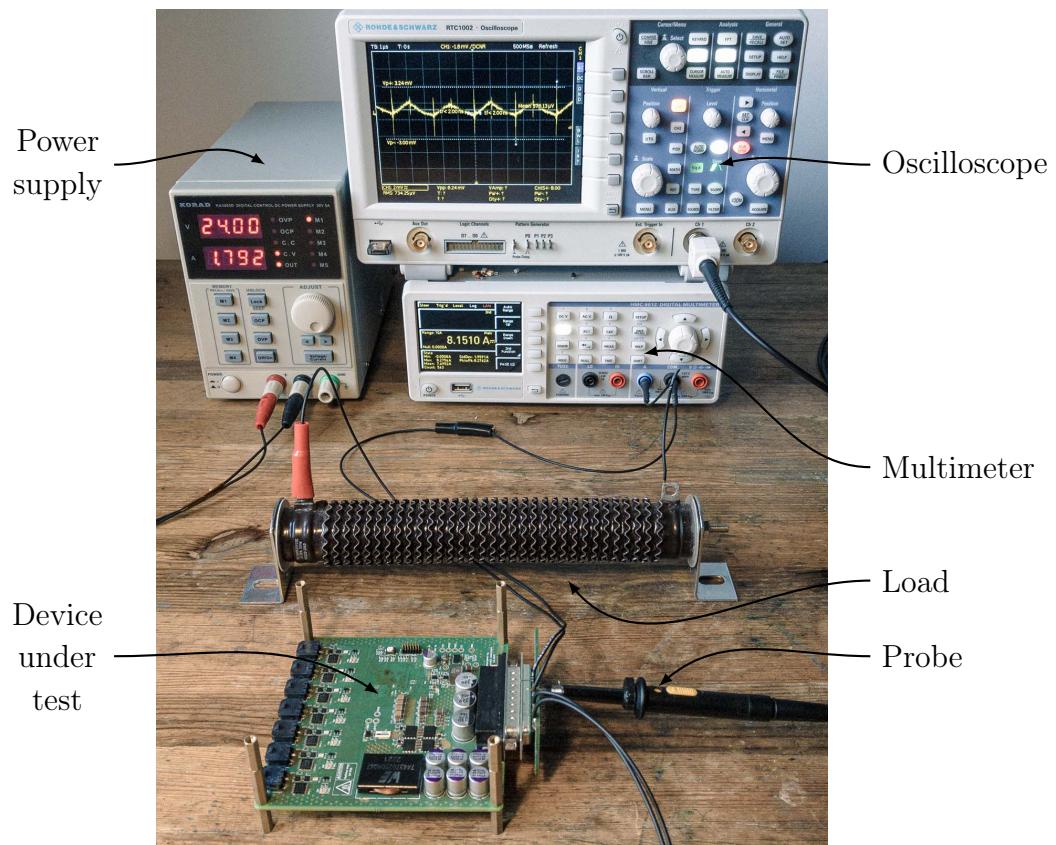
Rys. 5.5: Pomiar czasu narastania oraz opadania napięcia v_{gs} na dolnym tranzystorze

5.1.3 Pomiar napięcia dren-źródło

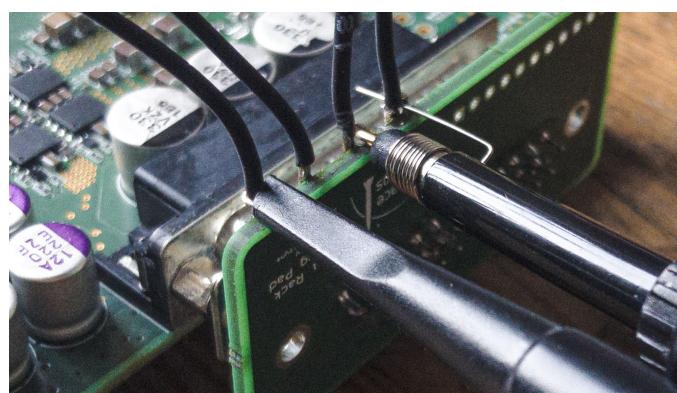
Po dokonaniu pomiarów sygnałów PWM oraz sygnałów sterujących bramkami, w kolejnej kolejności został zbadany przebieg napięcia pomiędzy drenem a źródłem tranzystora. Przebieg załączony na (Rys. 5.6) przedstawia napięcie v_{ds} w trakcie pracy przekształtnika. Amplituda przebiegu napięcia wynosi około 12V, co stanowi oczekiwana wartość, równą połowie napięcia wejściowego.

Rys. 5.6: Przebieg napięcia dren-źródło na tranzystorze Q_4

5.2 Pomiar napięcia regulowanego



Rys. 5.7: Stanowisko do pomiaru parametrów napięcia wyjściowego



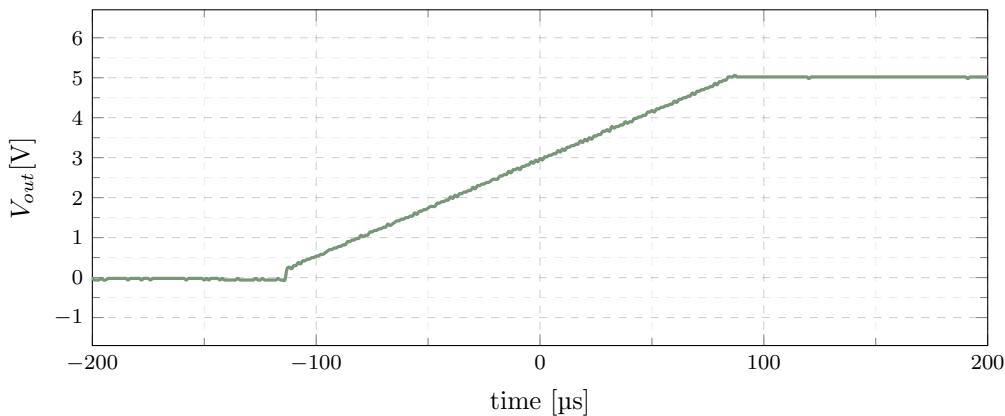
Rys. 5.8: Sposób oraz miejsce podpięcia sond oscyloskopowych dla pomiaru parametrów napięcia wyjściowego

Przed przystąpieniem do wykonywania pomiarów, pasywne sondy oscyloskopowe w ustawieniu zostały skompensowane. Jest to konieczne w celu uzyskania na oscyloskopie przebiegów napięcia wiernie odwzorowujących rzeczywiście mierzone sygnały. Złe skompensowanie sondy spowoduje zniekształcenia sygnału mierzonego.

5.2.1 Soft-Start

Podczas uruchomienia przetwornicy mogą wystąpić duże prądy rozruchowe. Aby uniknąć tego zjawiska, w mikrokontrolerze została zaprogramowana specjalna sekwencja uruchamiająca przekształtnik. W momencie załączania zasilania, układ regulacji jest wyłączony. Współczynnik wypełnienia jest inkrementowany w sposób liniowy od zera aż do momentu, w którym na wyjściu zostanie osiągnięte założone napięcie. W następnej kolejności zostaje uruchomiony regulator.

Czas narastania jest w pełni programowalny. Podczas testów, czas narastania rampy został ustawiony na 200 μ s. Pomiar napięcia wyjściowego podczas załączania został przedstawiony na (Rys. 5.9).

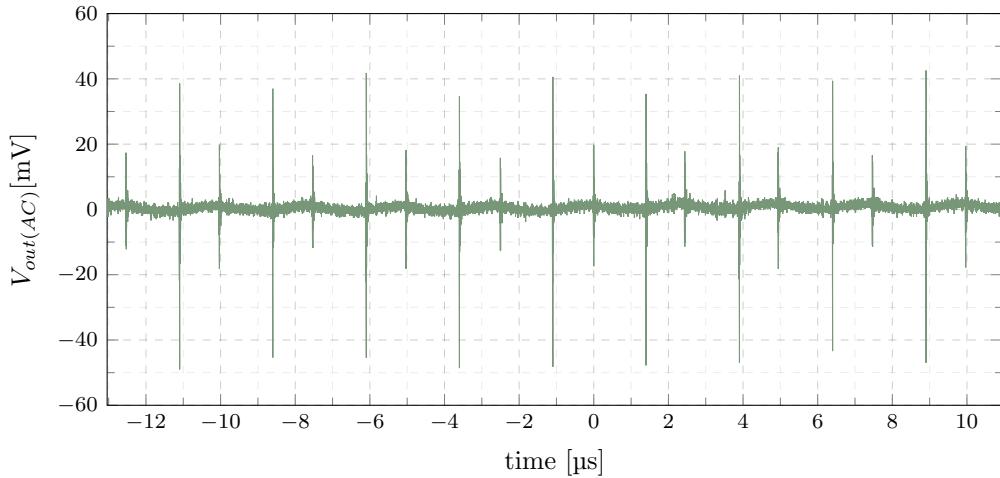


Rys. 5.9: Przebieg napięcia wyjściowego podczas załączania przekształtnika.

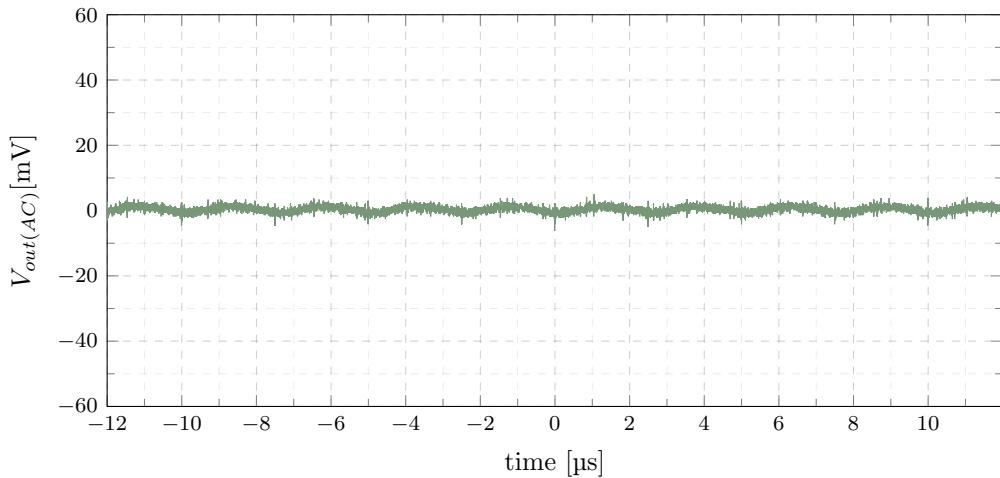
5.2.2 Napięcie wyjściowe w stanie ustalonym

W stanie ustalonym tężnienia napięcia wyjściowego zostały zmierzone dla dwóch wartości prądu obciążenia — 0 oraz 8 amperów. Dla zwiększenia rozdzielczości pomiaru, przebiegi niższych częstotliwości zostały zmierzone sondą w ustawieniu $\times 1$. Pasmo przenoszenia sondy $\times 1$ wynosi 10MHz. Częstotliwości znajdujące się powyżej tej wartości, na przykład te, pochodzące od twardego przełączania tranzystorów, zostały wytłumione. Do sprawdzenia, czy w przebiegu napięcia występują składowe o wyższych częstotliwościach, konieczne było przedstawienie sondy do ustawienia $\times 10$, w którym pasmo przenoszenia wynosi 300MHz.

Sonda $\times 10$ charakteryzuje się dużą impedancją (10M Ω). W związku z tym zacznie ona działać jak antena, zbierając zakłócenia z otoczenia. Do zminimalizowania zakłóceń, masa oscyloskopu została przyłączona bardzo blisko mierzonego sygnału, zmniejszając tym powierzchnię pętli [21]. Dodatkowo pomiędzy punktami przyłączenia sondy zostały przylutowane kondensatory o wartościach 1nF oraz 47pF. Wynik pomiarów przebiegu napięcia źle podpięta sondą oscyloskopową przedstawia (Rys. 5.10). Efekt po zminimalizowaniu pętli masy oraz zastosowaniu dodatkowych kondensatorów prezentuje (Rys. 5.11).



Rys. 5.10: Przebieg napięcia wyjściowego zmierzzonego źle podpiętą sondą $\times 10$. Brak dodatkowych kondensatorów

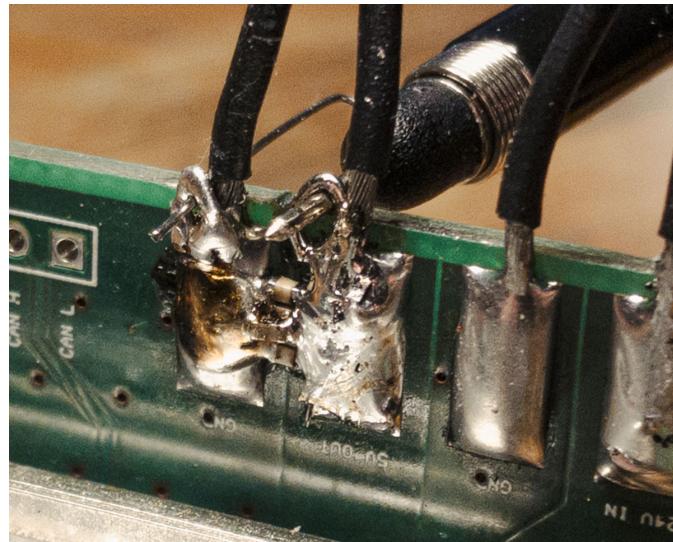


Rys. 5.11: Przebieg napięcia wyjściowego zmierzzonego sondą $\times 10$ po zminimalizowaniu pętli masy oraz zastosowaniu dodatkowych kondensatorów

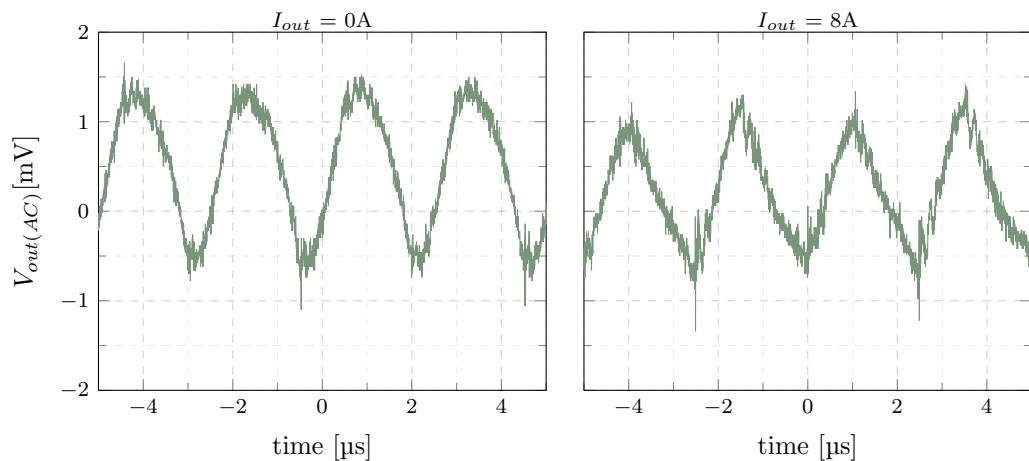
Można stwierdzić, że wyższe częstotliwości, które pojawiły się w sygnale mierzonym (Rys. 5.10) wynikają jedynie z napięć wyindukowanych w obwodzie sondy o wysokiej impedancji.

Dalsze pomiary tętnień zostały wykonane sondą $\times 1$. Wartość międzymierzyczytowa napięcia wyjściowego wyniosła około 2.4mV_{pp} (Rys. 5.13). Jest to ponad dwa razy mniejsza wartość od 7mV_{pp} — wyliczonej w (3.7). Obliczenia teoretyczne tętnień napięcia wyjściowego nie uwzględniały wpływu kondensatorów ceramicznych. W rezultacie wartość uzyskana w (3.7) to faktycznie najwyższa wartość tętnień, której można było się spodziewać w napięciu wyjściowym.

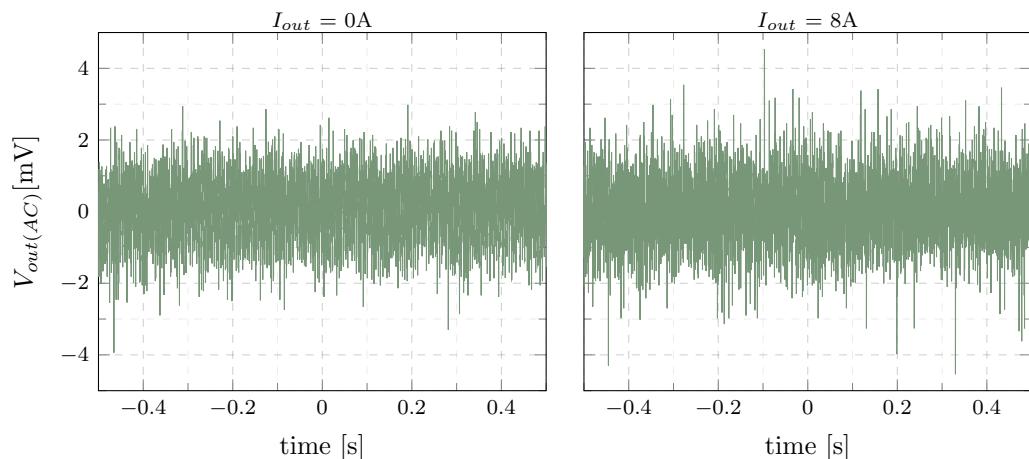
Na (Rys. 5.14) został przedstawiony przebieg tętnień napięcia wyjściowego w przedziale jednej sekundy. Taki pomiar uwzględnia nie tylko tętnienia związane z przełączaniem, ale i również wahania spowodowane działaniem układu regulacji.



Rys. 5.12: Zminimalizowana powierzchnia pętli dzięki zastosowaniu kondensatorów oraz krótkiego połączenia masy.

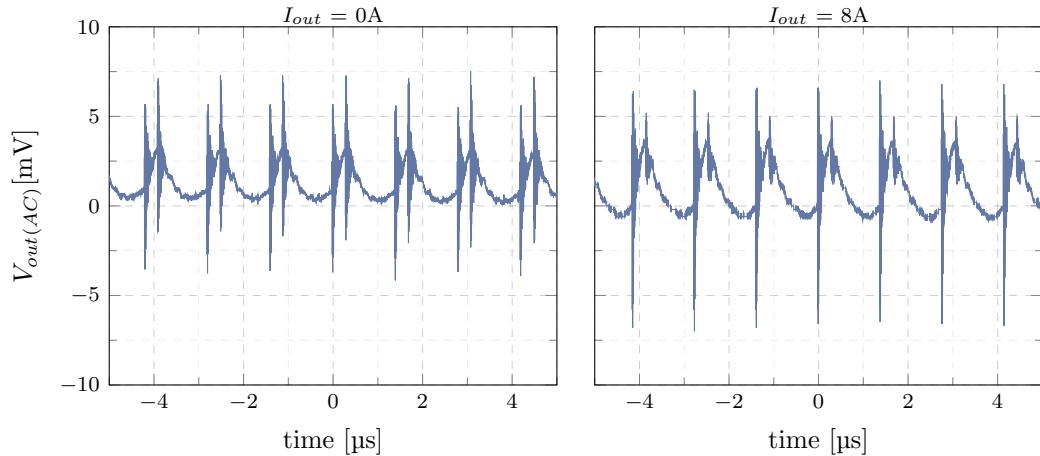


Rys. 5.13: Pomiar tętnień napięcia wyjściowego na krótkim przedziale czasu.

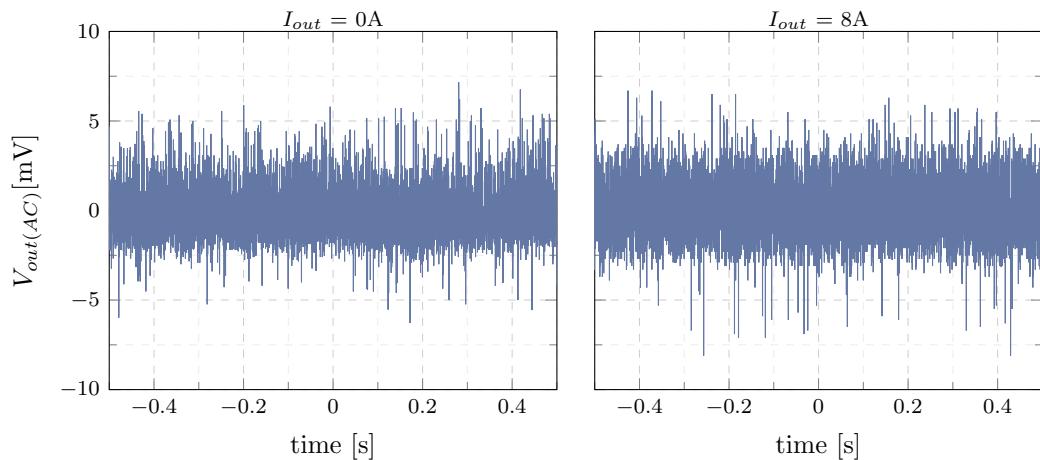


Rys. 5.14: Pomiar tętnień napięcia wyjściowego na przestrzeni sekundy.

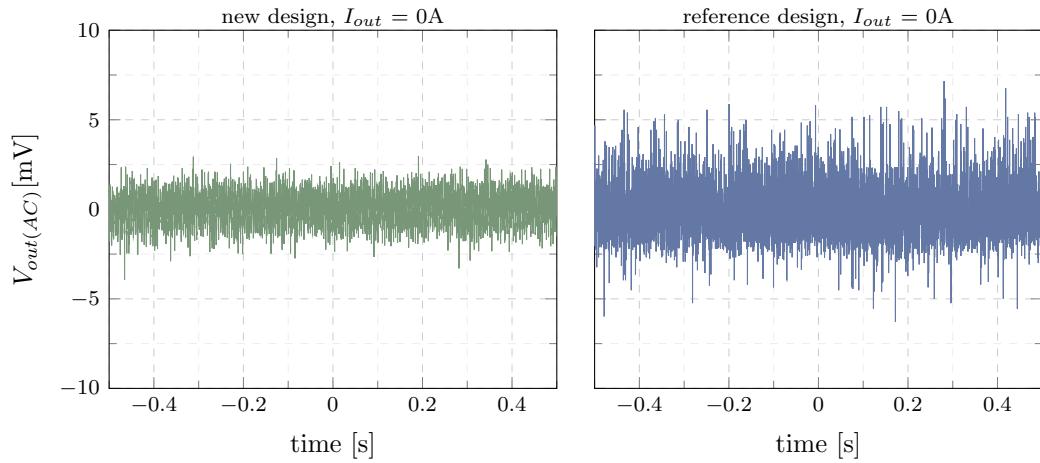
W taki sam sposób został przebadany referencyjny przekształtnik o topologii *SBC*. Wyniki zostały zamieszczone na (Rys. 5.15) oraz (Rys. 5.16). Pomimo wyższej częstotliwości przełączania (660kHz), przekształtnik *SBC* charakteryzuje się większymi wartościami tętnień w porównaniu do *FCML* (200kHz). Na (Rys. 5.17) oraz (Rys. 5.18) zostało przedstawione porównanie tętnień napięcia pomiędzy nowym i referencyjnym projektem przekształtnika.



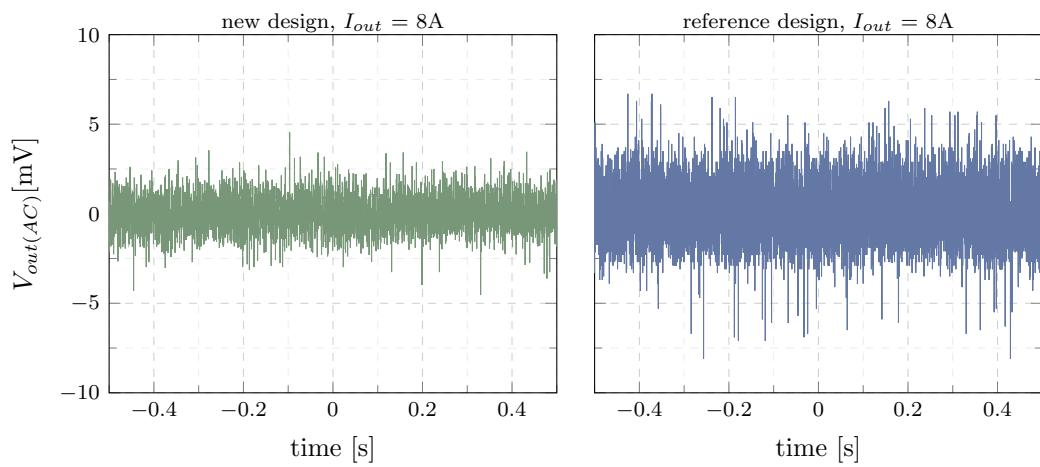
Rys. 5.15: Pomiar tętnień napięcia wyjściowego dla referencyjnego projektu w krótkim przedziale czasu.



Rys. 5.16: Pomiar tętnień napięcia wyjściowego dla referencyjnego projektu w krótkim przedziale czasu.



Rys. 5.17: Porównanie tętnień napięcia wyjściowego przy zerowym obciążeniu dla nowego oraz referencyjnego projektu.



Rys. 5.18: Porównanie tętnień napięcia wyjściowego przy obciążeniu równym 8A dla nowego oraz referencyjnego projektu.

5.2.3 Napięcie wyjściowe w stanie przejściowym

Pomiar napięcia w stanie przejściowym ma na celu sprawdzenie, jaki wpływ na napięcie regulowane ma zmiana obciążenia wyjściowego lub napięcia wejściowego. Gwałtowne zmiany prądu obciążenia lub napięcia wejściowego mogą spowodować niedoregulowanie, lub przeregulowanie napięcia wyjściowego. Niedoregulowanie może sprawić, że napięcie wyjściowe zmaleje poniżej minimalnego poziomu wymaganego do zasilenia układów. Przeregulowanie z kolei może uszkodzić układy, które posiadają małe margines pomiędzy nominalnym a maksymalnym napięciem zasilania.

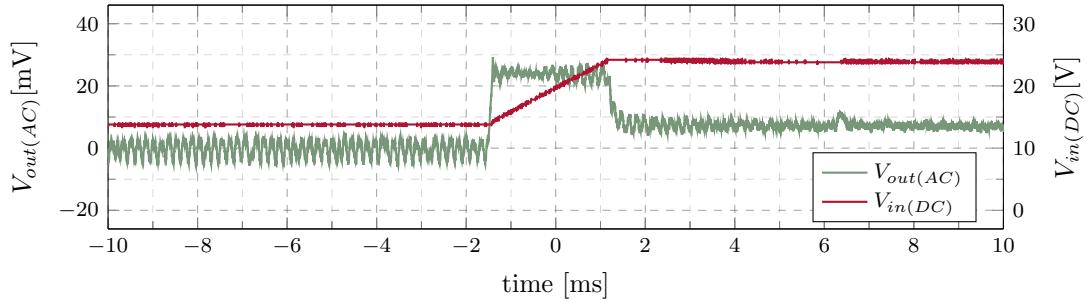
Na dynamikę układu wpływ mają nie tylko elementy pasywne wykorzystane w obwodzie mocy, lecz i sposób implementacji regulatora. W celu uruchomienia nowego układu oraz sprawdzenia poprawności wykonania obwodu mocy został zastosowany prosty regulator PI. Regulacja jest dokonywana na podstawie pomiaru napięcia wyjściowego (voltage-mode control). Dla osiągnięcia lepszych charakterystyk dynamicznych można wykorzystać regulator ze sprzężeniem zwrotnym prądu wyjściowego (current-mode control) [22]. Układy analogowe, konieczne do obsłużenia takiego sprzężenia zostały ujęte w projekcie PCB.

Odpowiedź na skok napięcia wejściowego

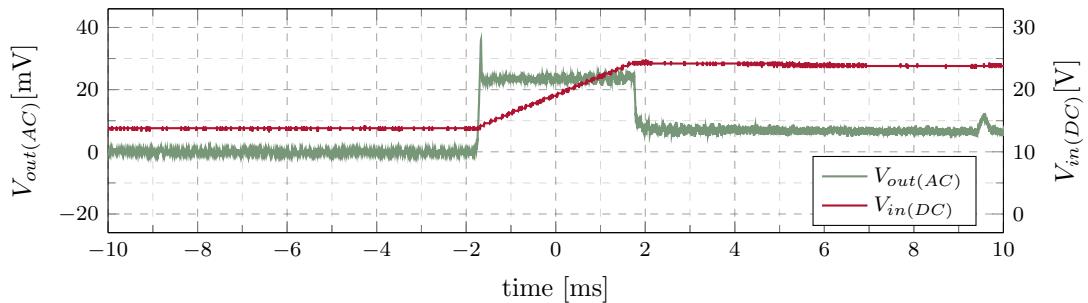
Pomiar zrealizowano za pomocą oscyloskopu. Pierwszy kanał został podłączony do napięcia wyjściowego przekształtnika, natomiast kanał drugi do napięcia wejściowego. Przebiegi napięcia zostały zarejestrowane dla czterech przypadków:

- skokowy wzrost napięcia wejściowego, obciążenie wyjściowe 8A
- skokowy wzrost napięcia wejściowego, obciążenie wyjściowe 0A
- skokowy spadek napięcia wejściowego, obciążenie wyjściowe 8A
- skokowy spadek napięcia wejściowego, obciążenie wyjściowe 0A

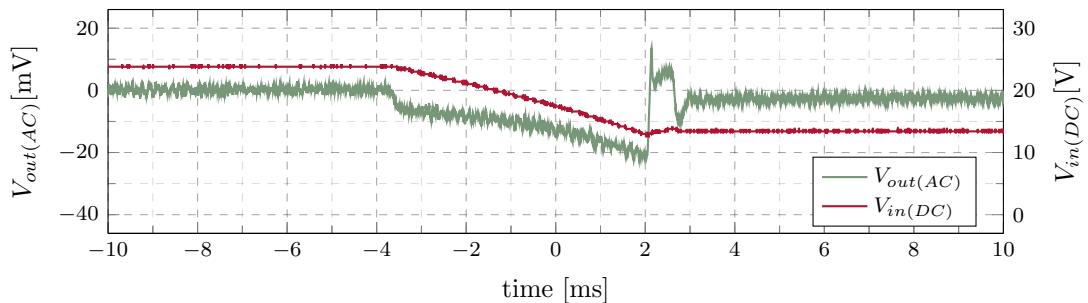
Napięcie wejściowe było zmieniane pomiędzy dwiema wartościami — 14V oraz 24V. Rezultaty pomiarów zostały przedstawione na (Rys. 5.19–5.22) dla nowego projektu oraz dla projektu referencyjnego na (Rys. 5.23–5.26). Wykonane pomiary pozwoliły na porównanie dynamiki obu projektów. Na ich podstawie można stwierdzić, że układ referencyjny lepiej sobie radzi ze zmianami napięcia wejściowego.



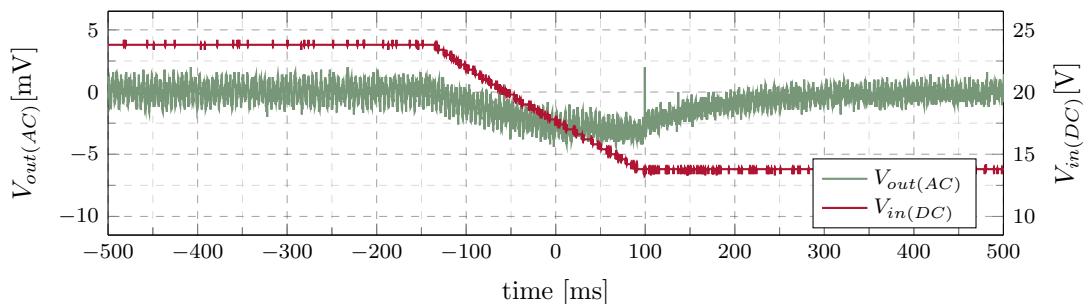
Rys. 5.19: Przebieg napięcia regulowanego w odpowiedzi na skok narastający napięcia wejściowego, obciążenie wyjściowe 8A



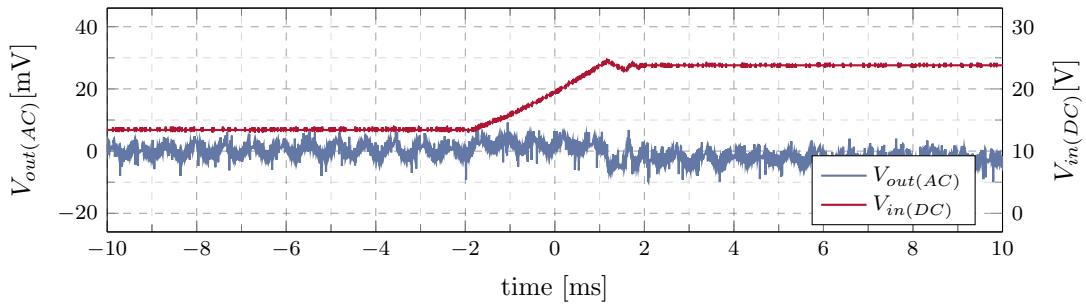
Rys. 5.20: Przebieg napięcia regulowanego w odpowiedzi na skok narastający napięcia wejściowego, obciążenie wyjściowe 0A



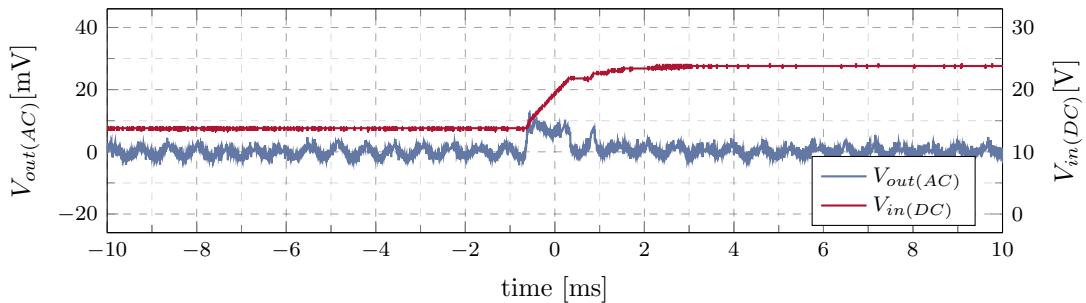
Rys. 5.21: Przebieg napięcia regulowanego w odpowiedzi na skok opadający napięcia wejściowego, obciążenie wyjściowe 8A



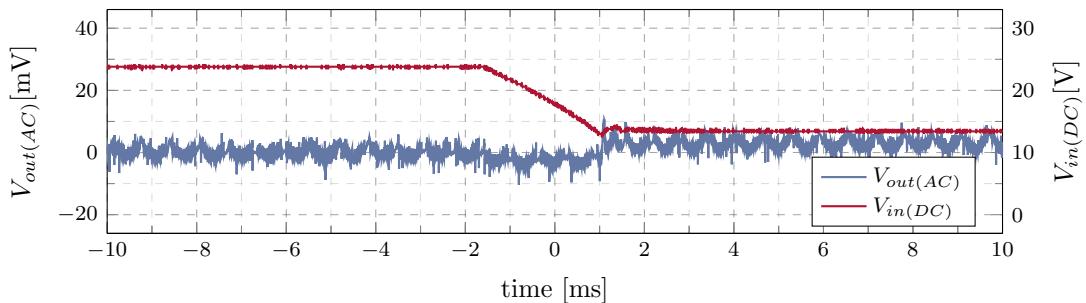
Rys. 5.22: Przebieg napięcia regulowanego w odpowiedzi na skok opadający napięcia wejściowego, obciążenie wyjściowe 0A



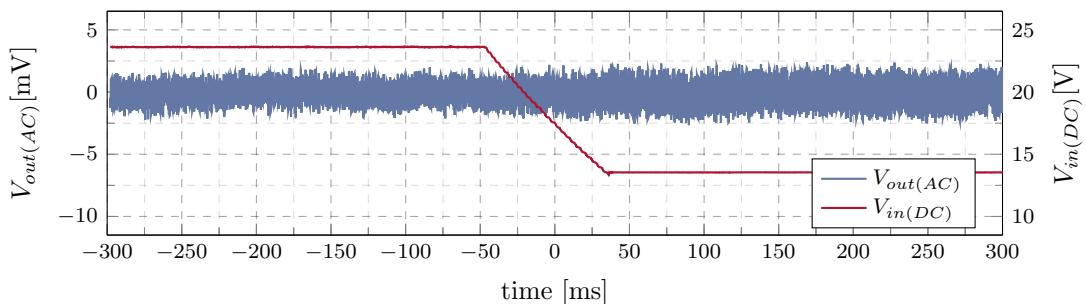
Rys. 5.23: Przebieg napięcia regulowanego w odpowiedzi na skok narastający napięcia wejściowego, obciążenie wyjściowe 8A



Rys. 5.24: Przebieg napięcia regulowanego w odpowiedzi na skok narastający napięcia wejściowego, obciążenie wyjściowe 0A



Rys. 5.25: Przebieg napięcia regulowanego w odpowiedzi na skok opadający opadający napięcia wejściowego, obciążenie wyjściowe 8A

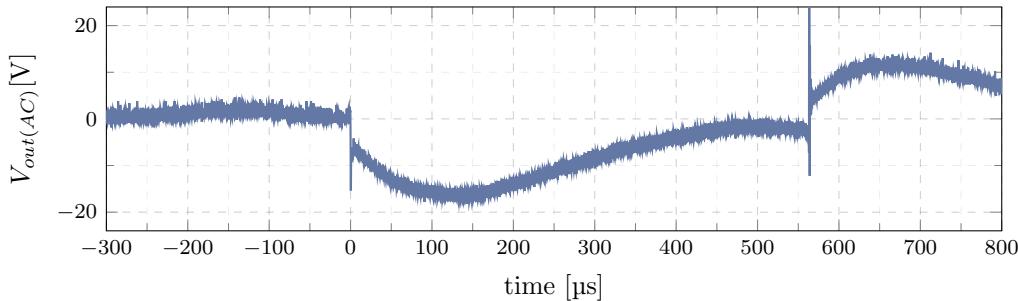


Rys. 5.26: Przebieg napięcia regulowanego w odpowiedzi na skok narastający opadający napięcia wejściowego, obciążenie wyjściowe 0A

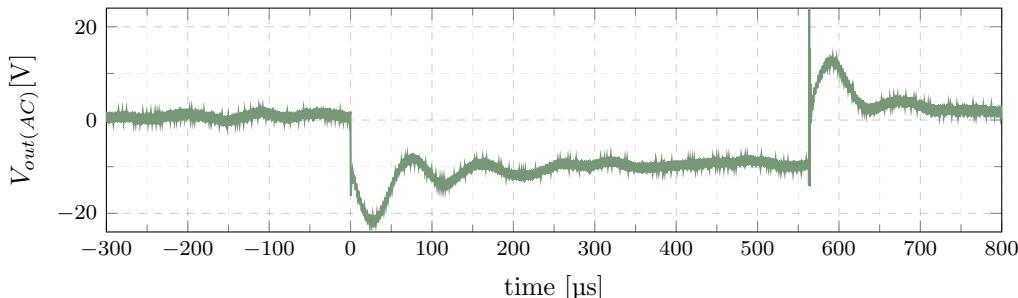
Odpowiedź na skok obciążenia

Kolejnym pomiarem, który pozwoli ocenić jakość regulacji napięcia w stanie przejściowym, jest pomiar napięcia wyjściowego w momencie skokowej zmiany obciążenia. Pomiar został zrealizowany poprzez załączanie i wyłączenia obciążenia rezystancyjnego. Zastosowane obciążenia pozwoliły na uzyskanie skoku prądowego między 0A a 1A oraz 0A a 8A. Wyniki zostały przedstawione na (Rys. 5.27–5.30). Na podstawie wykonanych pomiarów, można stwierdzić, że oba projekty charakteryzują się bardzo zbliżonymi do siebie wartościami przeregulowania, zarówno dla skokowego prądu obciążenia $0A \rightarrow 1A \rightarrow 0A$ jak i $0A \rightarrow 8A \rightarrow 0A$.

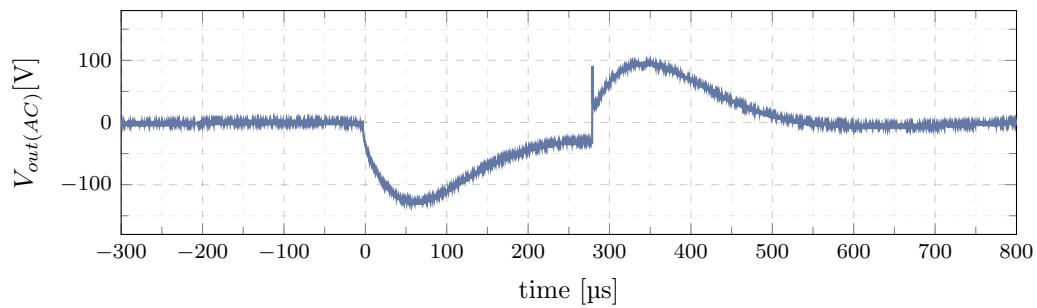
Należy zauważyć, że dla żadnego z projektów napięcie w momencie obciążenia nie zostaje wyregulowane z powrotem do wartości 0mV, natomiast charakteryzuje się ujemnym offsetem. Spowodowane jest to rezystancją ścieżki prądowej oraz złącza. W nowym projekcie sprzężenie zwrotne zostało podpięte zaraz za rezystorem pomiarowym. Duża odległość pomiędzy punktem przyłączenia sprzężenia a złączem, do którego jest podpięte obciążenie, sprawia, że zauważalne jest napięcie na rezystancji ścieżki prądowej. Przebiegi (Rys. 5.31) przedstawiają porównanie napięć w trakcie skoku prądowego, w zależności od punktu, w którym został dokonany pomiar.



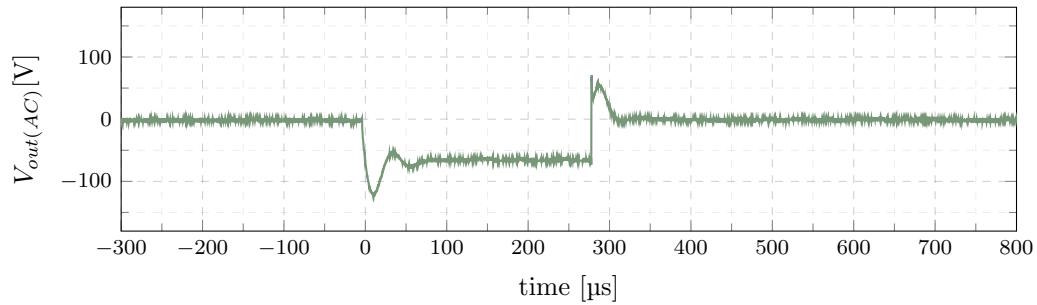
Rys. 5.27: Przebieg napięcia wyjściowego podczas skoku obciążenia z 0A do 1A oraz 1A do 0A. Referencyjny projekt przekształtnika



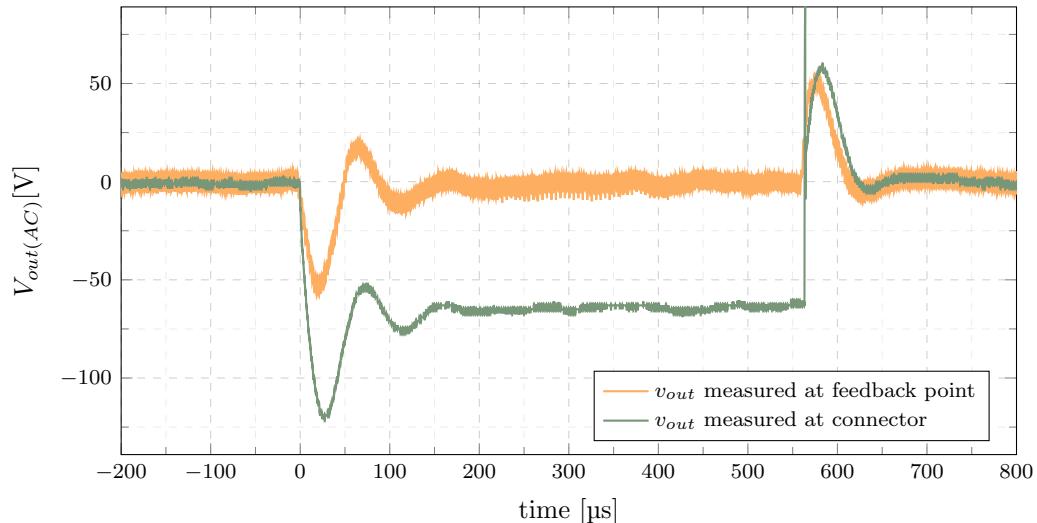
Rys. 5.28: Przebieg napięcia wyjściowego podczas skoku obciążenia z 0A do 1A oraz 1A do 0A. Nowy projekt przekształtnika



Rys. 5.29: Przebieg napięcia wyjściowego podczas skoku obciążenia z 0A do 8A oraz 8A do 0A. Referencyjny projekt przekształtnika



Rys. 5.30: Przebieg napięcia wyjściowego podczas skoku obciążenia z 0A do 8A oraz 8A do 0A. Nowy projekt przekształtnika

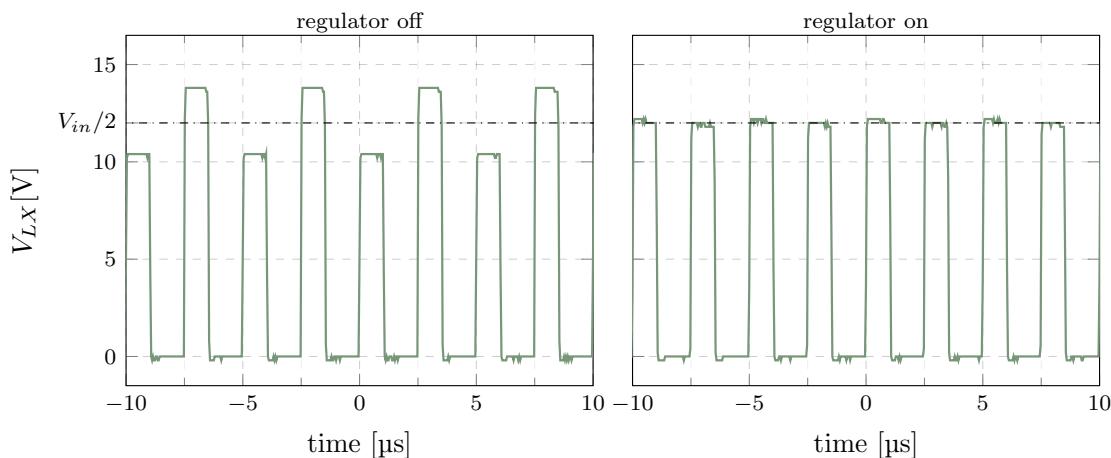


Rys. 5.31: Porównanie przebiegów napięcia na złączu oraz w miejscu przyłączenia sprzężenia zwrotnego. Nowy projekt przekształtnika

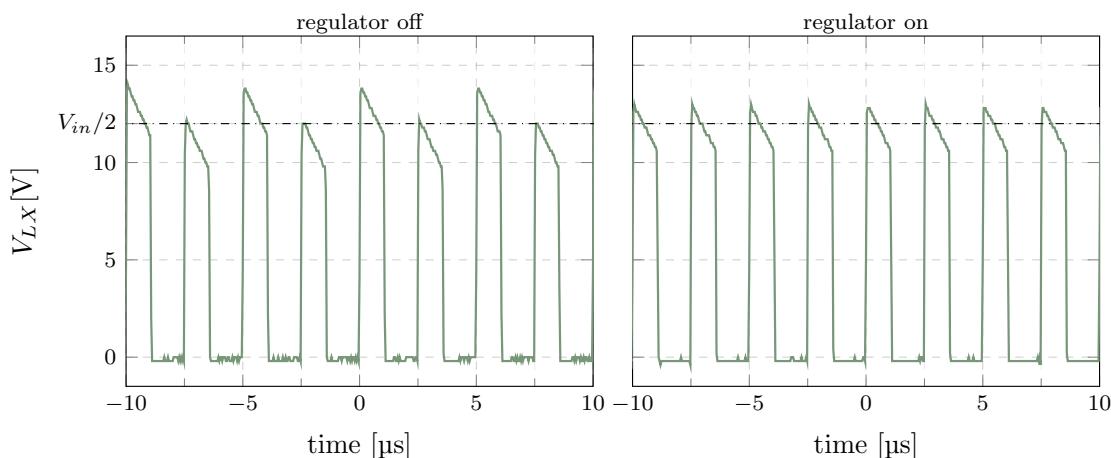
5.3 Pomiar napięcia kondensatorów poziomujących

Poprawność pracy regulatora można sprawdzić, dokonując pomiaru napięcia kondensatora poziomującego. Aby uniknąć użycia sondy różnicowej, pomiar został wykonany pomiędzy węzłem LX a masą układu z wykorzystaniem zwykłej sondy. Działanie regulatora zostało przedstawione na (Rys. 5.32) oraz (Rys. 5.33).

Przy wyłączonym regulatorze, można wyróżnić dwie wartości napięcia szczytowego pulsów. Oznacza to, że kondensator nie jest naładowany do połowy napięcia wejściowego. W rezultacie dwa tranzystory będą pracowały pod większymi stresami napięciowymi. Po załączeniu regulatora, w obu przypadkach, zarówno bez obciążenia, jak i pod obciążeniem, przebieg napięcia w węźle LX charakteryzuje się jedną wartością napięcia szczytowego. W takim przypadku układ będzie pracował w optymalnych warunkach.



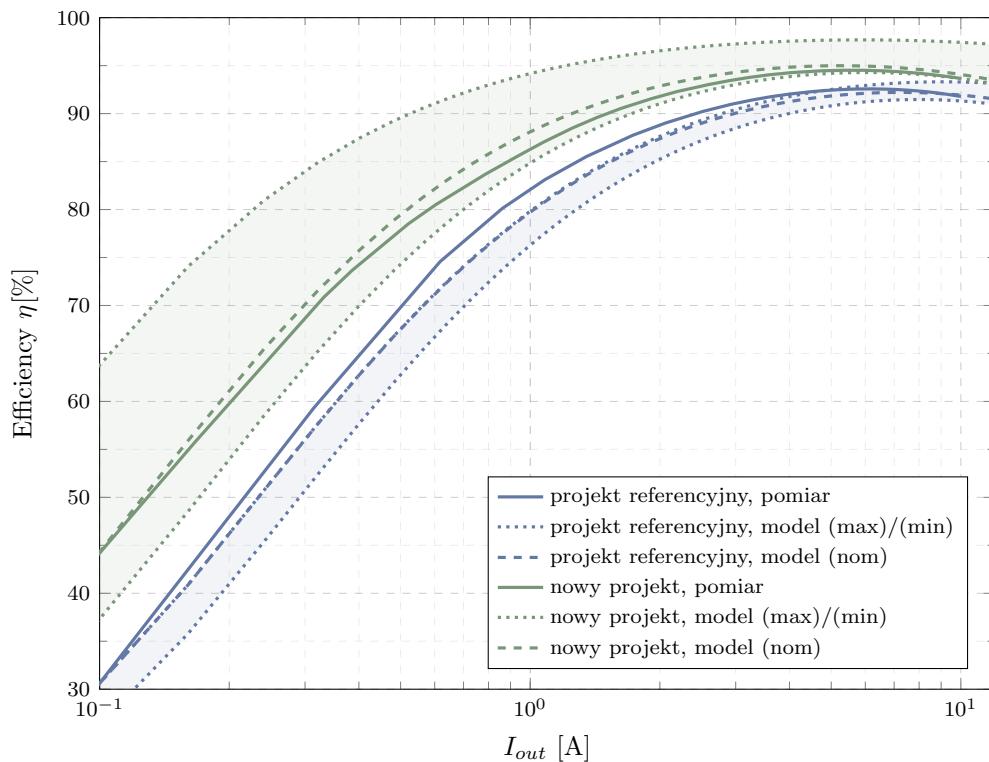
Rys. 5.32: Porównanie przebiegów napięcia w węźle LX w zależności od stanu regulatora, przetwornica nieobciążona



Rys. 5.33: Porównanie przebiegów napięcia w węźle LX w zależności od stanu regulatora, przetwornica pod obciążeniem 8A

5.4 Pomiar sprawności przekształtnika

Pomiar sprawności został zrealizowany za pomocą analizatora mocy *Yokogawa WT-1800*. Badaniu zostały poddane oba projekty, a wyniki zostały naniesione na wcześniej obliczoną charakterystykę sprawnościową. W nowym projekcie nie został jeszcze oprogramowany tryb “*Burst*”, “*PFM*” czy inny tryb pozwalający na zwiększenie wydajności dla małych obciążzeń. Do uzyskania miarodajnych rezultatów, projekt referencyjny został na stałe przełączony w taki sam tryb pracy jak nowy projekt — tryb *PWM*.



Rys. 5.34: Porównanie wyników pomiarów z modelem

Wyniki analizy sprawności układu, przedstawione w rozdziale 3.3, zostały porównane z pomiarami na rzeczywistych układach. Charakterystyka sprawnościowa w nominalnych warunkach pracy obu układów została przedstawiona na (Rys.5.34) i (Rys.5.35). Wykonane pomiary potwierdzają dużą dokładność modeli, a w szczególności modelu dla przekształtnika o topologii *FCML*. Przy nominalnych warunkach pracy układów, udało się uzyskać szczytowe wartości sprawności 94.5% przy prądzie wyjściowym 5.5A dla projektu o topologii *FCML* oraz 92.5% przy prądzie wyjściowym 6A w przypadku przekształtnika *SBC*.

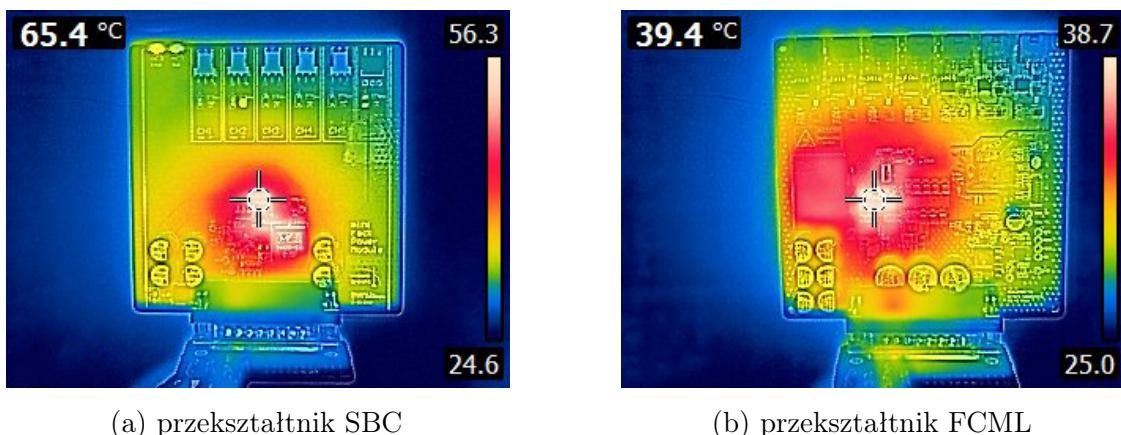
W rozdziale 3.3 na (Rys. 3.13) został przedstawiony przypadek, w którym sterowniki bramek zostały zasilone napięciem obniżonym do 5V. Taki zabieg pozwala na zwiększenie sprawności układu dla obciążzeń poniżej 12A. Projekt został odpowiednio zmodyfikowany, a pomiar powtórzony. W rezultacie udało się uzyskać

szczytową wartość sprawności 95.5% dla obciążenia 4A.

Inny przypadek podczas analizy sprawności, zakładał, że nie istnieją straty na złączu oraz ścieżce prądowej. Taka charakterystyka przedstawia sprawność samego obwodu mocy. Do jej zmierzenia, dodatni zacisk napięciowy analizatora mocy został podpięty nie za złączem, lecz bezpośrednio za rezystorem pomiarowym. Szczytową sprawność układu wyniosła 96.4% przy prądzie obciążenia 4A. Pomiary po modyfikacjach układu zostały zaprezentowane na (Rys. 5.36).

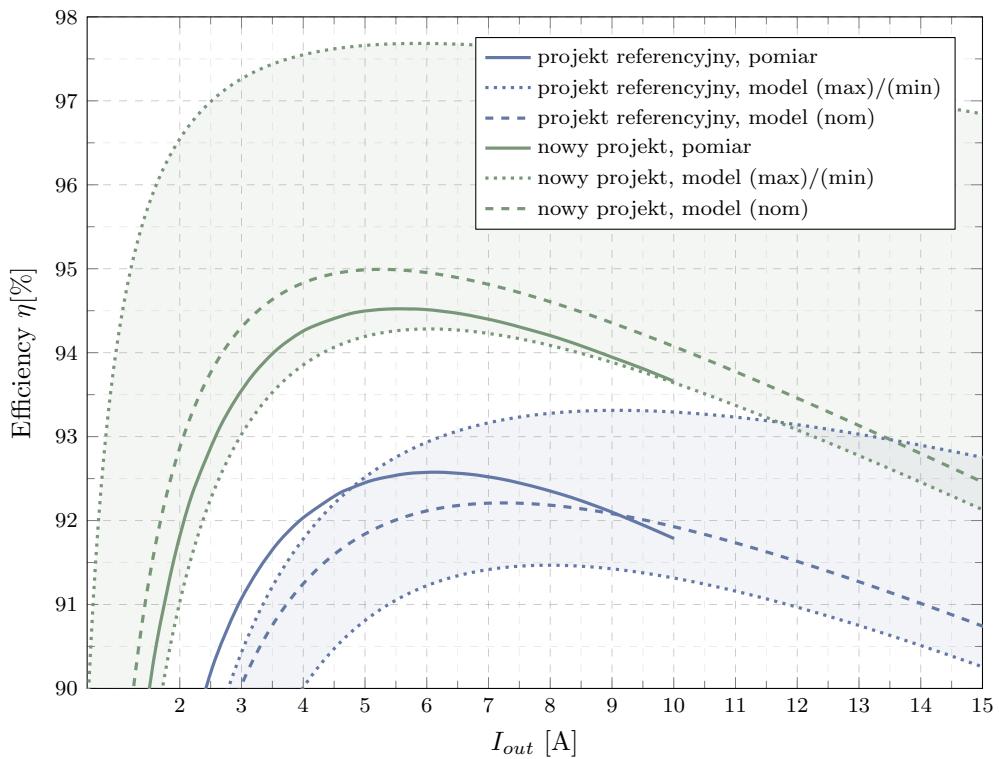
5.5 Pomiar temperatury obciążonego układu

Pomiar temperatury został wykonany za pomocą kamery termowizyjnej *FLIR E6390*. Układy zostały uruchomione oraz podpięte do obciążenia elektronicznego. Prąd obciążenia wynosił 8A dla obu układów. Przedstawione na (Rys. 5.37) zdjęcia z kamery termowizyjnej zostały wykonane po kilku minutach pracy, gdy temperatura obu układów się ustaliła.

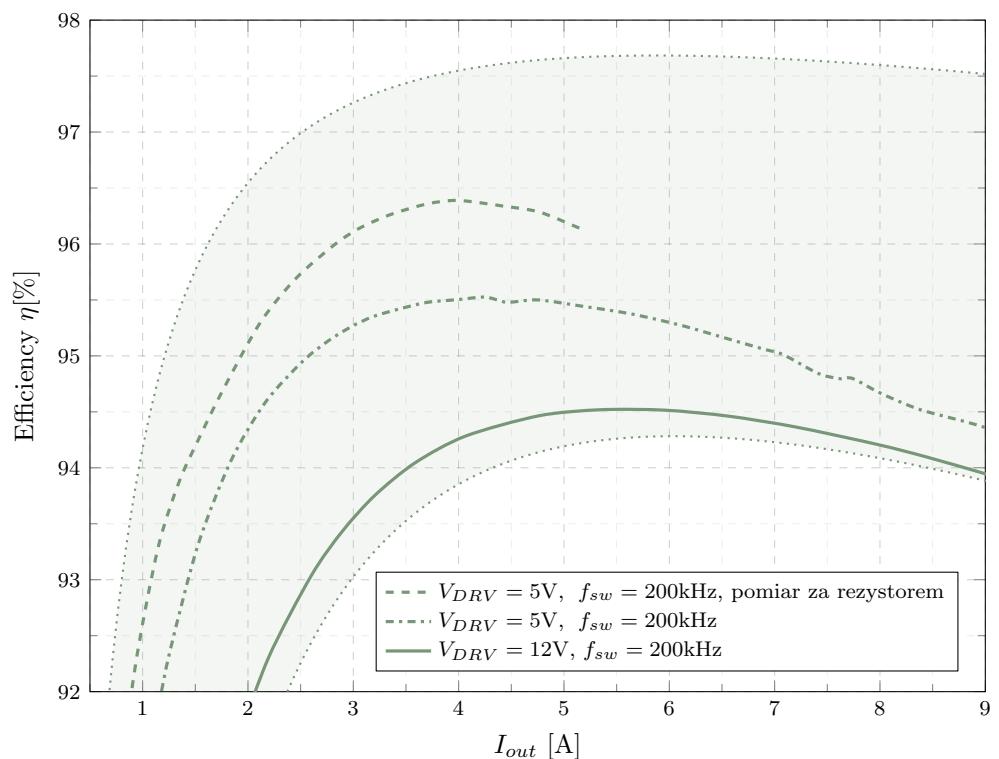


Rys. 5.37: Porównanie temperatury pracy obu projektów pod obciążeniem 8A

Projekt referencyjny po kilku minutach pracy pod obciążeniem osiągnął maksymalną temperaturę 65.4°C. Nowy projekt wniósł znaczącą poprawę termiki, a maksymalna temperatura jaka została zmierzona wyniosła 39.4°C.



Rys. 5.35: Porównanie wyników pomiarów z modelem



Rys. 5.36: Porównanie charakterystyk sprawnościowych dla nowego projektu w zależności od napięcia zasilania sterowników bramek oraz rezystancji ścieżki prądowej

Rozdział 6

Podsumowanie

W ramach pracy dyplomowej został zaprojektowany oraz wykonany obwód mocy w technice PCB dla przekształtnika obniżającego napięcie o topologii wielopoziomowej z kondensatorem poziomującym. Na poszczególnych etapach projektu i pomiarów, przekształtnik porównano z referencyjnym układem o topologii synchronicznego *buck'a*. Celem nowego rozwiązania było osiągnięcie lepszych charakterystyk względem projektu referencyjnego — przekształtnika wykorzystanego w łażiku Kalman w roku 2022. Zaplanowane było również dodanie nowych funkcjonalności urządzenia.

W pierwszej kolejności obliczone zostały wartości elementów obwodu mocy, a następnie dobrane wśród rzeczywistych komponentów dostępnych na rynku. Następnie, za pomocą oprogramowania *Altium Designer*, na czterowarstwowej płytce PCB o wymiarach $100 \times 100\text{mm}$ został zaprojektowany obwód mocy. W nowym rozwiążaniu została wykorzystana topologia wielopoziomowego przekształtnika *buck* z kondensatorem poziomującym. Wykorzystanie tej topologii korzystnie wpłynęło na charakterystyki, co pokazują pomiary omówione w rozdziale 5. Do realizacji układu regulacji został wykorzystany mikrokontroler *STM32G474*. W ramach pracy udało się:

- Przeprowadzić analizę strat w obwodzie mocy.
- Zaprojektować obwód mocy na PCB.
- Zaimplementować regulator napięcia wyjściowego oraz kondensatora poziomującego.
- Zaimplementować zabezpieczenie przepięciowe.
- Poprawić charakterystyki statyczne oraz niektóre charakterystyki dynamiczne układu.
- Uzyskać wysoką sprawność na poziomie 95.5%.
- Poprawić termikę względem projektu referencyjnego.

W planach jest jeszcze oprogramowanie mikrokontrolera do obsługi takich funkcjonalności jak:

- praca przekształtnika z nieciągłym prądem dławika.
- układ regulacji z wykorzystaniem pomiaru prądu wyjściowego.
- obsługa rozkazów po magistrali CAN.

6.1 Wnioski

Mimo, że projekt udało się pomyślnie uruchomić, a założenia nowego układu zostały spełnione, projekt nadal można udoskonalić. Poniżej zostało przedstawionych kilka elementów, które można poprawić w kolejnej wersji projektu.

Rezystancja ścieżki prądowej oraz złącza

Rezystancja ścieżki prądowej oraz złącza nie została uwzględniona na etapie projektowania PCB. Wnosi ona dodatkową rezystancję na poziomie między $10\text{m}\Omega$ a $13\text{m}\Omega$. Dla wyższych obciążzeń, straty mocy na tym oporze sprawiają, że próg 97% sprawności jest nieosiągalny. Problem można częściowo rozwiązać na kilka sposobów:

- ściągnąć warstwę maskującą nad ścieżką prądową, a na odkrytej powierzchni nanieść grubą warstwę cyny. Dodatkowa warstwa przewodnika pozwoli na zmniejszenie rezystancji.
- zmiana stosu warstw PCB. Zwiększenie grubości warstwy miedzi.
- w przypadku kolejnej wersji projektu można rozważyć zastosowanie szyny miedzianej lub płaskownika przylutowanego do odkrytej ścieżki prądowej.

Poziom napięcia bramka-źródło

Dla małych obciążzeń, można uzyskać wyższą sprawność układu, zmniejszając napięcie sterowników do około 5V. W kolejnej wersji projektu można zaimplementować możliwość sterowania podrzędną przetwornicą, z której są zasilone sterowniki bramek. Pozwoli to na dynamiczną zmianę napięcia z 5V do 12V dla dużych obciążzeń.

Podrzędny przekształtnik

Pomimo wysokiej sprawności ($>80\%$), podrzędny przekształtnik generujący napięcie do zasilenia sterowników, mógłby zostać zastąpiony jeszcze sprawniejszym układem. Kontroler AP63300 został wybrany spośród układów, które pozwalały na maksymalny prąd wyjściowy powyżej 300mA. Po uruchomieniu prototypu okazało

się jednak, że podczas poprawnej pracy urządzenia, prąd wyjściowy z podrzędnego przekształtnika nie przekracza wartości 50mA. Kontroler *AP63300* można więc zamienić w kolejnej wersji projektu na *LT8604*, *LTC3638* lub inny konwerter napięcia pozwalający na osiągnięcie wyższej sprawności dla małych obciążzeń.

Dodatkowe zabezpieczenia linii zasilania mikrokontrolera

W trakcie uruchamiania układu, źle zaprogramowane sprzężenie zwrotne kilkukrotnie spowodowało pojawienie się zbyt wysokiego napięcia na wyjściu przekształtnika. Takie sytuacje skutkowały uszkadzaniem elementów, które były bezpośrednio połączone do napięcia wyjściowego lub pośrednio przez wcześniej uszkodzony element.

W kolejnej wersji projektu trzeba zastosować dodatkowe zabezpieczenia na przykład w postaci bezpiecznika oraz diody TVS. W przypadku multipleksera zasilania *TPS2116* można rozważyć wybór innego układu, który będzie charakteryzował się wyższym maksymalnym napięciem pracy.

Pomiar prądu wyjściowego w trybie PWM

Do pomiaru prądu został wykorzystany wzmacniacz prądowy *INA281*. Jest to wzmacniacz operacyjny, który pozwala jedynie na pomiar prądu w jednym kierunku. W przypadku pracy przekształtnika w trybie “Forced PWM” konieczne jest zastosowanie układu pozwalającego na pomiar dwukierunkowy. W kolejnej wersji projektu konieczne będzie przeprojektowanie rozwiązania do pomiaru prądu.

Bibliografia

- [1] N. Mohan, *Power Electronics: A First Course: A First Course*. Wiley Global Education, 2011.
- [2] R. Nowakowski and N. Tang, “Efficiency of synchronous versus nonsynchronous buck converters,” *Texas Instruments Incorporated*, 2009.
- [3] R. W. Erickson and D. Maksimovic, *Fundamentals of power electronics*. Springer Science & Business Media, 2007.
- [4] D. Baba, “Benefits of a multiphase buck converter,” *Texas Instruments Incorporated*, 2012.
- [5] D. Reusch, F. C. Lee, and M. Xu, “Three level buck converter with control and soft startup,” in *2009 IEEE Energy Conversion Congress and Exposition*, pp. 31–35, IEEE, 2009.
- [6] S. da Silva Carvalho, N. Vukadinović, and A. Prodić, “Phase-shift control of flying capacitor voltages in multilevel converters,” in *2020 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 299–304, IEEE, 2020.
- [7] J. Arrigo, “Input and output capacitor selection,” *SLTA055*, 2006.
- [8] K. Kam, D. Pommerenke, F. Centola, C.-w. Lam, and R. Steinfeld, “Emc guideline for synchronous buck converter design,” in *2009 IEEE International Symposium on Electromagnetic Compatibility*, pp. 47–52, IEEE, 2009.
- [9] A. Preswsman, *Switching power supply design*. McGraw-Hill Education, 2009.
- [10] S. P. Singh, “Output ripple voltage for buck switching regulator,” *Application Note (SLVA630A)*, *Texas Instruments*, 2014.
- [11] B. Lynch and K. Hesse, “Under the hood of low-voltage dc/dc converters,” in *Texas Instruments 2002 Power Supply Design Seminar*, 2002.
- [12] S. Havanur, “Power mosfet basics: Understanding the turn-on process,” *VISHAY SILICONIX*, vol. 23, 2015.
- [13] V. Siliconix, “Power mosfet basics: Understanding gate charge and using it to assess switching performance,” *Application Note*, 2016.

- [14] R. L. Boylestad and L. Nashelsky, *Electronic devices and circuit theory*. Prentice Hall, 2012.
- [15] T. C. Hayes and P. Horowitz, *The art of Electronics*, vol. 3. Cambridge University Press, 1999.
- [16] Z. Ye, Y. Lei, W.-C. Liu, P. S. Shenoy, and R. C. Pilawa-Podgurski, “Improved bootstrap methods for powering floating gate drivers of flying capacitor multilevel converters and hybrid switched-capacitor converters,” *IEEE Transactions on Power Electronics*, vol. 35, no. 6, pp. 5965–5977, 2019.
- [17] S. Biswas and D. Reusch, “Gan based switched capacitor three-level buck converter with cascaded synchronous bootstrap gate drive scheme,” in *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 3490–3496, IEEE, 2018.
- [18] Rohm Semiconductor, *Application Note: Efficiency of Buck Converter*, June 2022. Rev.003.
- [19] R. Morrison, *Grounding and shielding: circuits and interference*. John Wiley & Sons, 2016.
- [20] American Technical Ceramics, *ATC Q-Bridge Thermal Conductor*, April 2020. Rev.1.
- [21] O. Nachbaur, “Power tips: Measuring vout ripple in dc/dc converters.” <https://training.ti.com/power-tips-measuring-vout-ripple-dcdc-converters>, 2017. Accessed: 2022-12-30.
- [22] L. Dixon, “Average current mode control of switching power supplies,” in *Unitrode Power Supply Design Seminar Handbook*, pp. 5–1, Unitrode Corporation Merrimack, NH, USA, 1990.