

一、单选题

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
C	D	C	C	B	A	A	B	A	A	C	C	D	C	A

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
C	C	B	D	B	A	B	D	B	A	C	D	D	A	C

二、填空题

1. ① 独立编址 ② 统一编址 （顺序可交换）
2. ① 0x8001
3. ① 16 ② 字位同时
4. ① 运算器 ② 控制器 ③ 寄存器组 （顺序可交换）
5. ① 1024 或 1K 或 2<sup>10</sup>
6. ① FIQ 快中断 ② USR 用户 ③ SYS 系统
7. ① 双工
8. ① SVC 管理 ② 0x00000000 ③ 1
9. ① 字符设备 ② 块设备 ③ 网络设备 （顺序可交换）
10. ① 32 ② 4
11. ① 黑盒测试
12. ① =ULCON0 ② #0x23 （或#0xA3） ③ ①②

三、应用分析题

1. 试说明现代计算机系统中存储器系统是如何分层的？为什么要分层，主要解决了哪些问题？（7分）

答：（1）微机中的存储器子系统一般分为四级，即：寄存器组、高速缓存、内存和外存。（4分）

- 第一级寄存器组位于微处理器的内部，速度最快，但数目较少；
- 第二级高速缓存 Cache 是为了解决 CPU 与主存之间的速度不匹配问题而设置的，其性能是速度快、容量小。
- 第三级内部存储器（即主存）容量大、速度较慢(相对于 Cache)，通常用于存放运行的程序和数据。
- 第四级外部存储器容量巨大，可读可写，单位存储成本最低，且可以脱机保存信息。

（2）现代微机把这些不同容量、不同速度的存储器按一定的体系结构组织起来，形成一个统一的存储系统，主要是为了解决存储容量、存取速度和价格之间的矛盾。（3分）

2. 微处理器设计中采用RISC或CISC架构时，有何根本区别？ARM处理器采用的是何种架构？试例举ARM处理器采用这种架构所具备的一些典型特征。（8分）

答：（1）从设计的各方面比较如下：（5分）

	RISC	CISC
设计重点	降低指令执行的硬件复杂度，但对编译器有更高的要求	侧重指令执行的硬件功能性，控制器的硬件设计复杂
指令集	指令种类少，长度固定，且执行简单，可在单时钟周期完成	指令复杂，长度通常不固定，执行也需要多个周期
流水线	指令处理过程可被拆分成能够被流水线并行执行的规则步骤	指令执行通常需要调用微程序
寄存器	有更多的通用寄存器	专用寄存器较多。
load-store结构	为避免耗时的访存操作，把访存与数据处理分开。	处理器能够直接处理内存中的数据。

（2）ARM 处理器采用了 RISC 架构，具备的典型 RISC 特征有：指令种类少，长度固定；采用多级流水；具有较多的通用寄存器；使用专用的 LDR/STR 存储器访问指令。（3分）

3. 某非流水式处理器时钟周期为4ns，其平均CPI是4。若对此处理器进行升级，引入了5级流水线，但时钟周期增加了1ns。对一典型程序，采用了流水线的新版处理器所实现的加速比是多少？新、旧两版处理器的MIPS各是多少？（7分）

答：（1）对于一个有 N 条指令的典型程序来说：

非流水式处理器的总执行时间  $T_0 = (4 \times N) \times 4ns = 1.6N \times 10^{-9}s$

5 级流水处理器的总执行时间  $T_1 = (N + 5 - 1) \times 5ns = 2(N + 4) \times 10^{-9}s$

加速比 =  $\frac{T_0}{T_1} = \frac{3.2N}{N + 4}$ ，N 很大时加速比  $\approx 3.2$ （3分）

（2）非流水式处理器 CPI=4，则其执行速度 =  $1/(4 \times 4ns) = 625MIPS$ 。（2分）

5 级流水处理器 CPI=1，则其执行速度 =  $1/(1 \times 5ns) = 2000 MIPS$ 。（2分）

4. 在某个以S3C2440微处理器为核心的嵌入式系统中，若采用GPIO来控制单个数码管的显示，可以采用哪种I/O传输方式，有何特点？若同样采用GPIO来构造矩阵键盘，可以采用哪几种I/O传输方式，有何优缺点？（8分）

答：（1）若采用 GPIO 来控制单个数码管的显示，可以采用无条件传输方式。特点：方式简单，CPU 随时可无条件读/写数据，但无法保证数据总是有效，适用面窄。适用于数据变化缓慢，操作时间固定，可以被认为始终处于就绪状态的外设。（2分）

（2）若采用 GPIO 来构造矩阵键盘，可以采用查询方式或中断方式。（2分）

查询方式优缺点：解决了 CPU 与外设间的同步问题，可靠性高，但 CPU 利用率低，低优先级外设可能无法及时得到响应。适用于 CPU 不太忙，传送速度不高的场合。（2分）

中断方式优缺点：CPU 利用率高，外设具有申请 CPU 中断的主动权，可以实现实时故障处理，实时响应外设的处理，但中断服务需要保护断点（占用存储空间，降低速度）。适用于 CPU 的任务较忙，传送速度要求不高的场合，尤其适用实时控制中紧急事件的处理。（2分）

5. 分析如下ARM汇编程序段，并回答相关问题（7分）

```
MOV      R0, #0x01
LDR      R1, =0xFFFFFFFF
CMP      R1, R0
ADDSLT   R0, R0, R1
```

请问：第三条指令CMP执行之后，标志位Z=（ 0 ），C=（ 1 ）。  
整个程序段执行完成后，N=（ 0 ），Z=（ 1 ），C=（ 1 ），V=（ 0 ），R0=（ 0 ）。

6. 分析题意，并回答相关问题。（8分）

某ARM处理器数据总线宽度为32位，地址总线宽度为32位。

（1）如果采用某指标为8K×8bit的SRAM芯片给该处理器扩展64KB的存储器，地址从0x00002000开始，画出存储器扩展示意图。

（2）利用ARM汇编语言编写程序段，对该存储器从最低地址开始的100个字节进行初始化清零操作。

答：

（1）a. 首先计算需要的芯片数量及扩展方法：（1分）

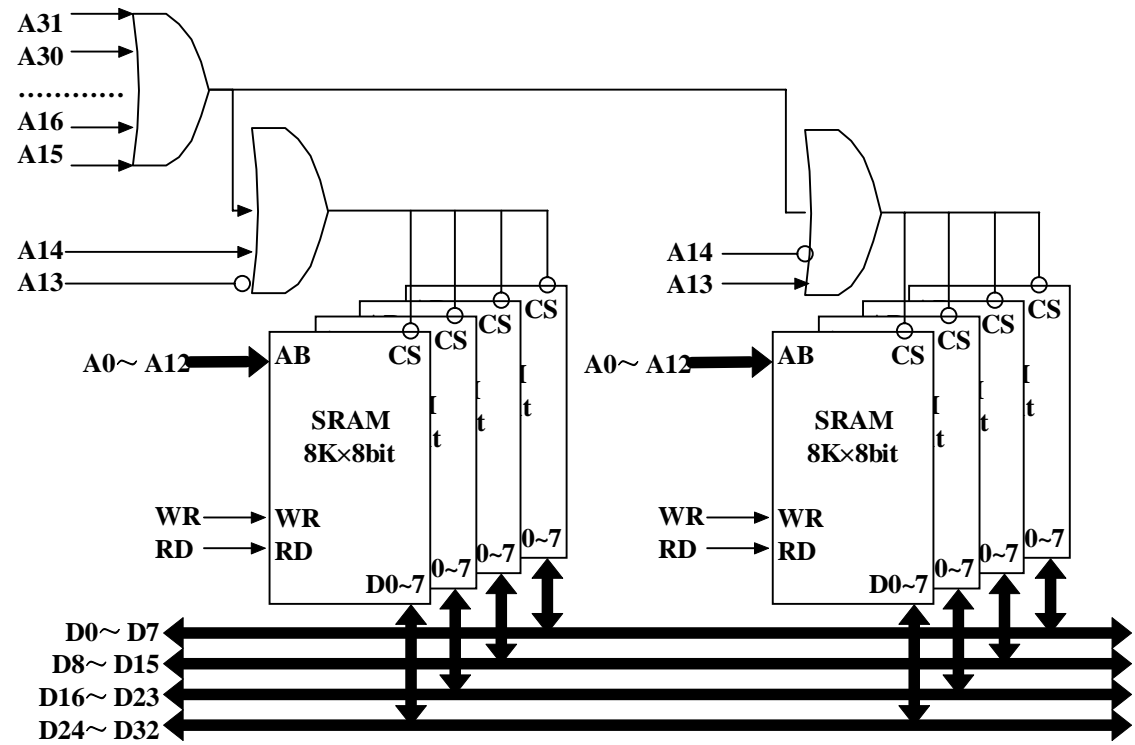
芯片数量 =  $64KB \div (8K \times 8bit) = 8$  片

由于 ARM 处理器数据线为 32 位宽，所以需要  $32 \div 8 = 4$  片该 SRAM 芯片组成一组进行**位扩展**以满足宽度要求；  
然后采用 **2 组**进行**字扩展**以满足容量要求。

b. 写出各芯片地址范围如下表所示：（2 分）

		A31~A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
第一组 4 片地址范围 红色为片选	0x2000~0x3FFF	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
		0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
第二组 4 片地址范围 红色为片选	0x4000~0x5FFF	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1

c. 根据上表画出存储器扩展示意图：（3 分）



(3) 编写程序段：（2 分）

```
MOV    R0, #0
MOV    R1, #25
LDR    R2, =0x2000
LOOP   STMIA R2!, {R0}
SUBS   R1, R1, #1
BNE    LOOP
.....
```

附录：

S3C2440 UART0线路控制寄存器ULCON0（地址：0x50000000）：

ULCONn	Bit	Description	Initial State
Reserved	[7]		0
Infrared Mode	[6]	Determine whether or not to use the Infrared mode. 0 = Normal mode operation 1 = Infrared Tx/Rx mode	0
Parity Mode	[5:3]	Specify the type of parity generation and checking during UART transmit and receive operation. 0xx = No parity 100 = Odd parity 101 = Even parity 110 = Parity forced/checked as 1 111 = Parity forced/checked as 0	000
Number of Stop Bit	[2]	Specify how many stop bits are to be used for end-of-frame signal. 0 = One stop bit per frame 1 = Two stop bit per frame	0
Word Length	[1:0]	Indicate the number of data bits to be transmitted or received per frame. 00 = 5-bits    01 = 6-bits 10 = 7-bits    11 = 8-bits	00