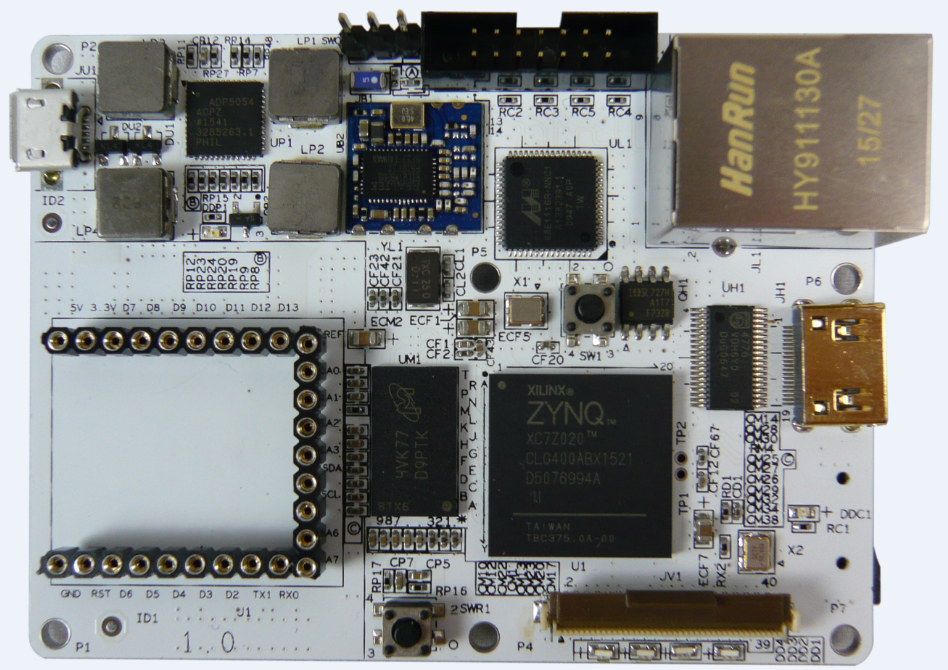


**EagleGo硬件用户手册**

Ver:1.0





修订记录

|  |  |  |
| --- | --- | --- |
| 版本 | 修订日期 | 修订内容 |
| 1.0 | 2016年4月7日 | 用户手册初始版本 |

****

**关于威视锐 http://www.v3t.com.cn/**

北京威视锐科技有限公司一直致力于创新性软件无线电系统设计与研发，同时也提供通用的数字信号处理平台和SoC开发工具，以加快客户的创新步伐。

威视锐科技通过给客户提供射频、中频以及基带相关的模块、板卡、IPcore、算法以及系统等一体化解决方案，大大简化了无线通信系统的设计难度。通过与微软研究院的长期合作，推出了基于多核PC的下一代软件无线电系统SORA，引起了国际无线通信领域专家学者的广泛关注，被北美和欧洲等世界著名高校选为无线通信研究平台。

更多产品信息和技术资料请登录威视锐官方网站查询。



**关于Zing http://ZingSoC.com**

威视锐科技旗下品牌EagleGo是国内最早从事Xilinx ZYNQ SoC技术开发和推广，针对基础学习、教育培训、产品开发和科学研究不同领域，推出了高性价比的ZYNQ SoC开发板产品，已经服务于国内众多高校和近百家企业，成为了国内众多嵌入式培训机构SoC FPGA课程的指定实验平台。

更多产品信息和技术资料请登录**http://www.v3t.com.cn/**官方网站查询。

目录

[修订记录](#_Toc29785)

[目录](#_Toc5136)

[1. 产品概述](#_Toc21144)

[应用领域](#_Toc23525)

[典型客户](#_Toc22401)

[相关文档](#_Toc11151)

[2. 购买信息](#_Toc29295)

[3. 硬件资源](#_Toc19875)

[3.1 核心芯片](#_Toc445)

[3.2 时钟配置](#_Toc21695)

[3.2.1 PS系统时钟源](#_Toc3192)

[3.2.2 PL系统时钟源](#_Toc5884)

[3.3 DDR3内存颗粒](#_Toc22163)

[3.4 USB\_UART接口](#_Toc24024)

[3.5 10/100/1000 MHz的三速以太网口](#_Toc2971)

[3.6 用户IO](#_Toc13962)

[3.6.1 用户led](#_Toc23624)

[3.6.2 用户按键](#_Toc28126)

[3.7 JTAG接口](#_Toc3421)

[3.8 SDIO连接器](#_Toc23563)

[3.9 USB\_UART接口](#_Toc10928)

[3.10 HDMI接口](#_Toc2083)

[3.11扩展接口](#_Toc26454)

[3.11.1 FPC40视频接口](#_Toc10247)

[3.11.2 UP27接口接口](#_Toc15428)

[4. ZYNQ调试与配置](#_Toc26893)

[4.1下载电缆](#_Toc8421)

[4.2 ZYNQ启动方式](#_Toc3764)

[5. 保修条款](#_Toc21877)

[6. 威视锐专业定制服务](#_Toc8217)

1. 产品概述

EagleGo是一款由北京威视锐公司推出的基于赛灵思可扩展处理平台架构的高性能开发平台。该平台采用赛灵思最新推出的Zynq-7000系列XC7Z020-1CLG400C核心芯片，它采用28nm制程工艺，具有高性能、低功耗等特点，其最主要的特色是将双核ARM® Cortex™-A9（处理器系统PS）和赛灵思的可编程逻辑（可编程逻辑PL）集成到一个单独芯片上。从而将ARM®处理系统和与Xilinx 7系列可编程逻辑完美地结合在一起，使用户可以创建独特而强大的设计。

## 应用领域

* 工业控制、工业网络、机器视觉；
* 智能相机；
* 多功能打印机；
* 医疗诊断和成像；
* 汽车驾驶辅助设备和信息娱乐；
* 视频和夜视设备；
* LTE射频和基带。

## 典型客户

**高校客户**：清华大学   北京大学   北京理工大学   北京邮电大学   北京交通大学   上海交通大学   天津大学

南开大学   哈尔滨工业大学   吉林大学   东北大学   大连理工大学 北京航空航天大学

**研究所**：航天一院   航天五院   航天三院   核工业研究所   中科院自动化所   中科院声学所   中科院计算所

 广电总局规划院   兵器工业研究所   高能物理研究所

**公司客户**：通用电气   华为技术有限公司   京东方电子集团   大恒激光   一汽大众   中国移动研究院   神州龙芯

大唐微电子   立林科技集团   法国电信中国研发中心

## 相关文档

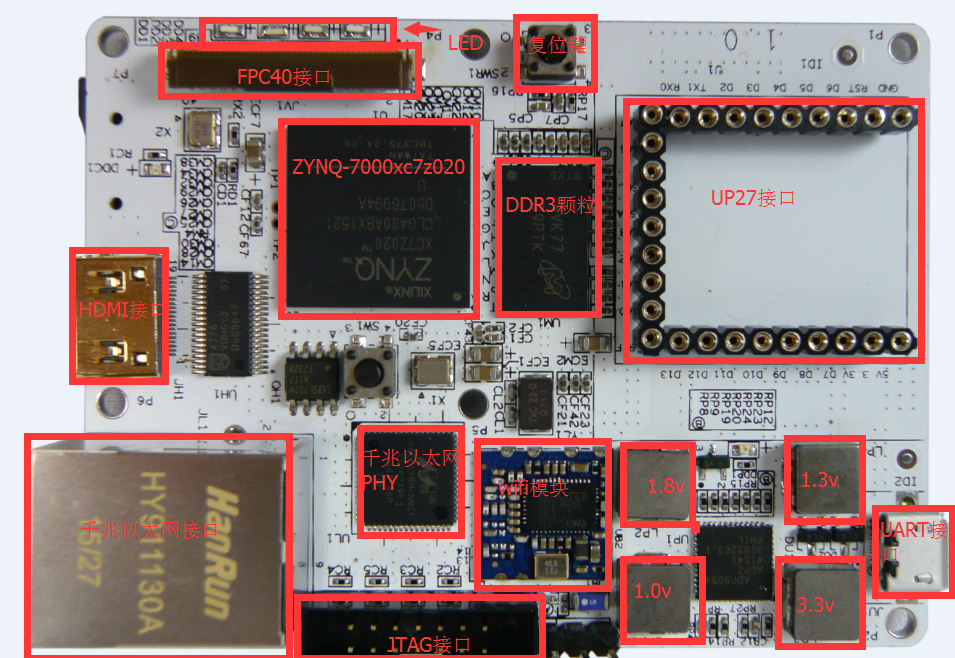
* 《EagleGo开发板硬件手册》
* 《EagleGo开发板快速入门》
* 《EagleGo开发板管脚列表.xls》
* 《EagleGo开发板原理图.pdf》

1. 购买信息

*[http://v3best.com/products/SDSoC/SNOWLeo/EagleGo.html](http://v3best.com/products/SDSoC/SNOWLeo/SNOWLeo2.html)*

1. 硬件资源

EagleGo开发套件具有丰富的硬件资源。其硬件资源分布图如图3.1所示。



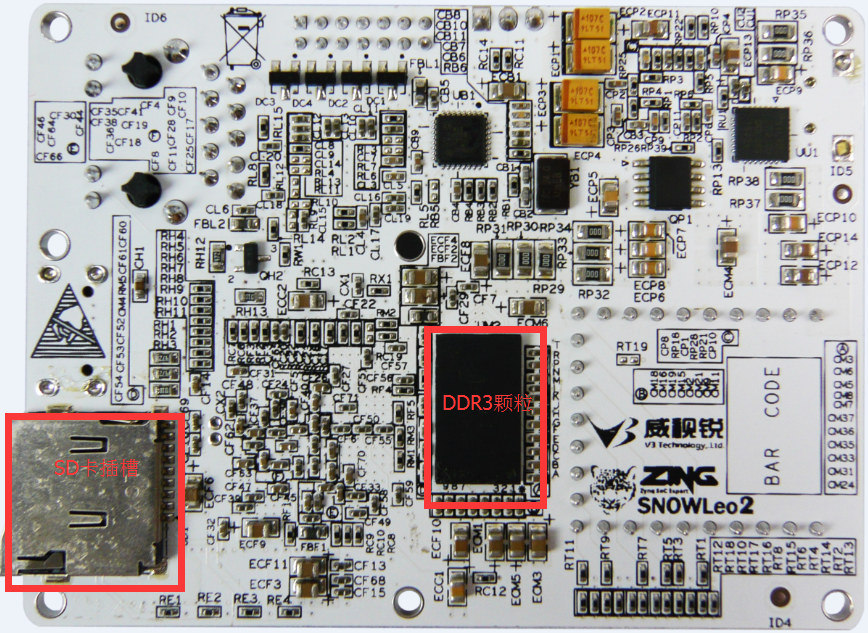


图3.1 EagleGo硬件资源分布图

硬件资源列举如下：

* Zynq-7000 XC7Z020-1CLG400C；
* 512MB的DDR3内存颗粒；
* PS系统时钟源：33.333MHz LVCMOS晶振；
* PL系统时钟源：50MHz LVCMOS晶振；
* SDIO PHY及接口；
* USB\_UART PHY及接口；
* HDMI PHY及接口；
* 千兆以太网PHY及接口；
* 用户IO：复位键、按键SW、LED灯；
* JTAG接口；
* 扩展接口：UP27接口，支持十种传感器模块，FP40，支持高清摄像头，高速ADC/DAC等；
* 电源：3.3V、1.8V、1.3V、1V；

后面我们将详述相关的硬件资源。

## 3.1 核心芯片

EagleGo使用了XC7Z020-1CLG400C Zynq-7000 EPP核心芯片。ZYNQ EPP将SoC集成处理系统（PS）和可编程逻辑器件（PL）包含在单个芯片上。ZYNQ EPP芯片的总体框图如图3.2所示，其中，PS集成了两个ARM®的Cortex™-A9 MPCore的™应用处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括USB总线接口，以太网接口，SD/ SDIO接口，I2C总线接口，SPI总线接口，CAN总线接口，UART接口，GPIO等。PS可以独立运行并在上电或复位下启动。

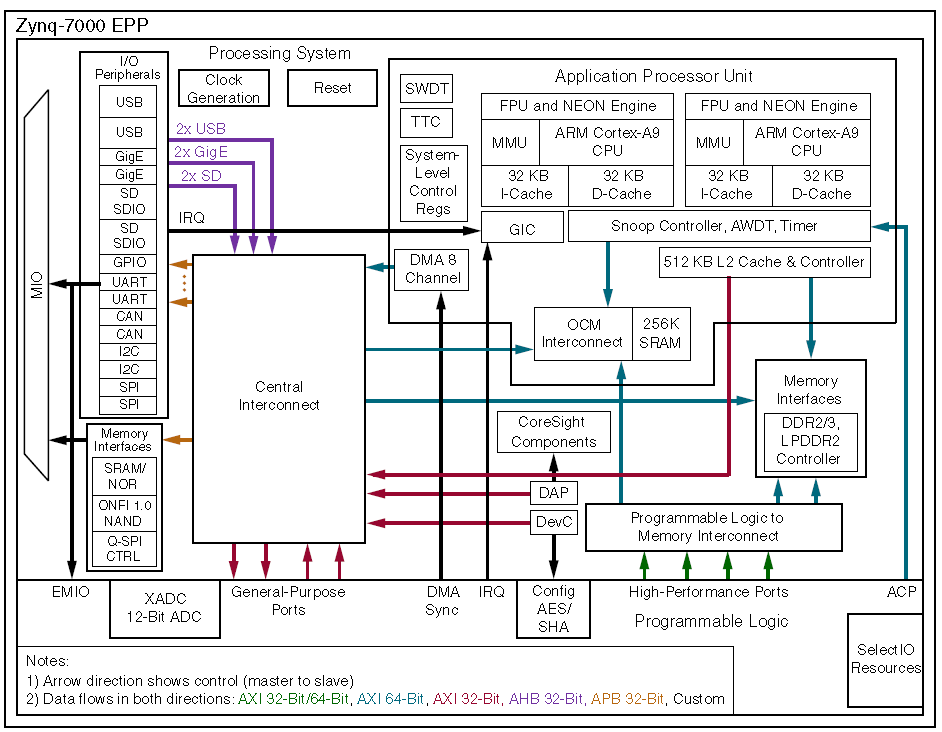


图3.2 ZYNQ EPP芯片的总体框图

## 3.2 时钟配置

### 3.2.1 PS系统时钟源

ZYNQ EPP芯片通过外部的X1晶振为PS部分提供33.333MHz的时钟输入。其原理图如图3.3所示，



图3.3 PS系统时钟

PS系统时钟的管脚分配如表3.1所示。

表3.1 PS时钟源管脚定义

|  |  |  |
| --- | --- | --- |
| PS时钟源 | 信号名称 | ZYNQ管脚名称 |
| X1 | PS\_CLK | E7 |

时钟接入后需要通过PLL锁相环进行时钟的再分配，以满足不同模块的时钟需求。具体时钟分配如图3.4所示，详细信息可参考手册ug585-Zynq-7000-TRM（[download](http://www.xilinx.com/support/documentation/user_guides/ug585-Zynq-7000-TRM.pdf)）。

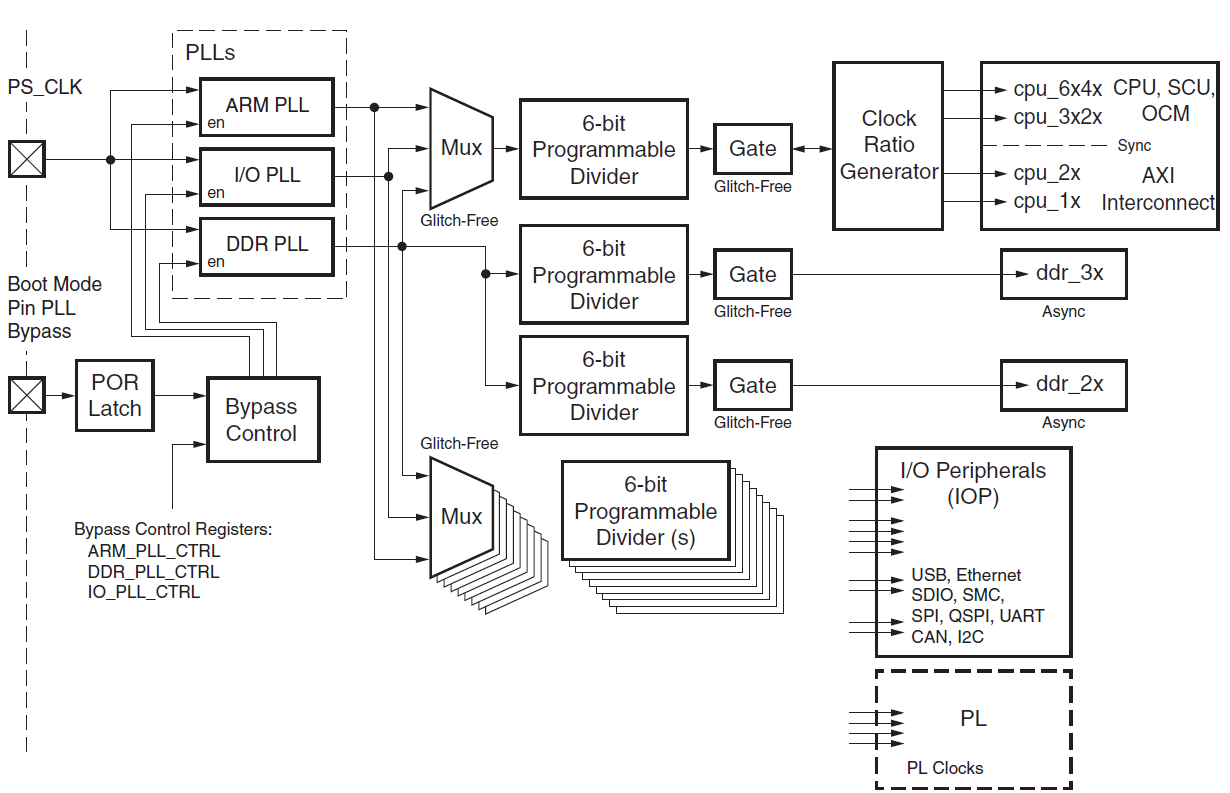


图3.4 PS系统时钟分配图

### 3.2.2 PL系统时钟源

ZYNQEPP提供了单端50MHz的PL系统时钟源，3.3V供电。该时钟源的原理图如图3.5所示，



图3.5 PL系统时钟源

它的管脚分配如表3.2所示。

表3.2 PL系统时钟管脚分配

|  |  |  |
| --- | --- | --- |
| PL系统时钟源 | 信号名称 | ZYNQ管脚 |
| X2 | MCLK | N18 |

## 3.3 DDR3内存颗粒

DDR3是一种内存规格。它属于SDRAM家族的内存产品，提供了相较于DDR2 SDRAM更高的运行效能与更低的电压，是DDR2 SDRAM（四倍资料率同步动态随机存取内存）的后继者（增加至八倍），也是现时流行的内存产品。

EagleGo使用了型号为4VK77D9PTK的DDR3L SDRAM存储系统，供电电压1.35V。它由2片内存颗粒组成（共计512MB），总线宽度为32bit。DDR3SDRAM的最高运行速度可达533MHz。该存储系统直接连接到了ZYNQ EPP处理系统（PS）的BANK 502的存储器接口上。

该DDR3L SDRAM 的具体配置如表3.3所示。

表3.3 DDR3L SDRAM 的具体配置

|  |  |  |  |
| --- | --- | --- | --- |
| 芯片类型 | 容量 | 配置 | 厂家 |
| 4VK77D9PTK | 256MB | 128M x 16bit | Micrel |

DDR3的具体技术参数描述见表表3.4。

表3.4 DRAM的具体技术参数

|  |  |
| --- | --- |
| 参数 | 数值 |
| 存储类型 | DDR3 |
| DRAM 总线宽度 | 32 bit |
| 运行频率 | 533 MHz |
| 单颗颗粒的总线宽度 | 16 bits |
| 单颗存储容量 | 1024 bits |
| 速度等级 | DDR3\_1066 |

DDR3L SDRAM的原理图如图3.6所示。



图3.6 DDR3L SDRAM原理图

DDR3L SDRAM的管脚分配信息见表3.5。

表3.5 DDR3L SDRAM管脚分配

|  |  |  |  |
| --- | --- | --- | --- |
| ZYNQ管脚 | 信号名称 | DDR3管脚名称 | 参考标示 |
| C3 | PS\_DDR3\_DQ0 | DQ0 | UM1 |
| B3 | PS\_DDR3\_DQ1 | DQ1 | UM1 |
| A2 | PS\_DDR3\_DQ2 | DQ2 | UM1 |
| A4 | PS\_DDR3\_DQ3 | DQ3 | UM1 |
| D3 | PS\_DDR3\_DQ4 | DQ4 | UM1 |
| D1 | PS\_DDR3\_DQ5 | DQ5 | UM1 |
| C1 | PS\_DDR3\_DQ6 | DQ6 | UM1 |
| E1 | PS\_DDR3\_DQ7 | DQ7 | UM1 |
| E2 | PS\_DDR3\_DQ8 | DQ8 | UM1 |
| E3 | PS\_DDR3\_DQ9 | DQ9 | UM1 |
| G3 | PS\_DDR3\_DQ10 | DQ10 | UM1 |
| H3 | PS\_DDR3\_DQ11 | DQ11 | UM1 |
| J3 | PS\_DDR3\_DQ12 | DQ12 | UM1 |
| H2 | PS\_DDR3\_DQ13 | DQ13 | UM1 |
| H1 | PS\_DDR3\_DQ14 | DQ14 | UM1 |
| J1 | PS\_DDR3\_DQ15 | DQ15 | UM1 |
| P1 | PS\_DDR3\_DQ16 | DQ16 | UM2 |
| P3 | PS\_DDR3\_DQ17 | DQ17 | UM2 |
| R3 | PS\_DDR3\_DQ18 | DQ18 | UM2 |
| R1 | PS\_DDR3\_DQ19 | DQ19 | UM2 |
| T4 | PS\_DDR3\_DQ20 | DQ20 | UM2 |
| U4 | PS\_DDR3\_DQ21 | DQ21 | UM2 |
| U2 | PS\_DDR3\_DQ22 | DQ22 | UM2 |
| U3 | PS\_DDR3\_DQ23 | DQ23 | UM2 |
| V1 | PS\_DDR3\_DQ24 | DQ24 | UM2 |
| Y3 | PS\_DDR3\_DQ25 | DQ25 | UM2 |
| W1 | PS\_DDR3\_DQ26 | DQ26 | UM2 |
| Y4 | PS\_DDR3\_DQ27 | DQ27 | UM2 |
| Y2 | PS\_DDR3\_DQ28 | DQ28 | UM2 |
| W3 | PS\_DDR3\_DQ29 | DQ29 | UM2 |
| V2 | PS\_DDR3\_DQ30 | DQ30 | UM2 |
| V3 | PS\_DDR3\_DQ31 | DQ31 | UM2 |
| A1 | PS\_DDR3\_DM0 | DM0 | UM1 |
| C2 | PS\_DDR3\_DQS0\_P | DQS0\_P | UM1 |
| B2 | PS\_DDR3\_DQS0\_N | DQS0\_N | UM1 |
| F1 | PS\_DDR3\_DM1 | DM1 | UM1 |
| G2 | PS\_DDR3\_DQS1\_P | DQS1\_P | UM1 |
| F2 | PS\_DDR3\_DQS1\_N | DQS1\_N | UM1 |
| T1 | PS\_DDR3\_DM2 | DM2 | UM2 |
| R2 | PS\_DDR3\_DQS2\_P | DQS2\_P | UM2 |
| T2 | PS\_DDR3\_DQS2\_N | DQS2\_N | UM2 |
| Y1 | PS\_DDR3\_DM3 | DM3 | UM2 |
| W5 | PS\_DDR3\_DQS3\_P | DQS3\_P | UM2 |
| W4 | PS\_DDR3\_DQS3\_N | DQS3\_N | UM2 |
| N2 | PS\_DDR3\_A0 | A0 | UM1，UM2 |
| K2 | PS\_DDR3\_A1 | A1 | UM1，UM2 |
| M3 | PS\_DDR3\_A2 | A2 | UM1，UM2 |
| K3 | PS\_DDR3\_A3 | A3 | UM1，UM2 |
| M4 | PS\_DDR3\_A4 | A4 | UM1，UM2 |
| L1 | PS\_DDR3\_A5 | A5 | UM1，UM2 |
| L4 | PS\_DDR3\_A6 | A6 | UM1，UM2 |
| K4 | PS\_DDR3\_A7 | A7 | UM1，UM2 |
| K1 | PS\_DDR3\_A8 | A8 | UM1，UM2 |
| J4 | PS\_DDR3\_A9 | A9 | UM1，UM2 |
| F5 | PS\_DDR3\_A10 | A10 | UM1，UM2 |
| G4 | PS\_DDR3\_A11 | A11 | UM1，UM2 |
| E4 | PS\_DDR3\_A12 | A12 | UM1，UM2 |
| D4 | PS\_DDR3\_A13 | A13 | UM1，UM2 |
| F4 | PS\_DDR3\_A14 | A14 | UM1，UM2 |
| L5 | PS\_DDR3\_BA0 | BA0 | UM1，UM2 |
| R4 | PS\_DDR3\_BA1 | BA1 | UM1，UM2 |
| J5 | PS\_DDR3\_BA2 | BA2 | UM1，UM2 |
| L2 | PS\_DDR3\_CLK\_P | CK | UM1，UM2 |
| M2 | PS\_DDR3\_CLK\_N | CK\_B | UM1，UM2 |
| N3 | PS\_DDR3\_CKE | CKE | UM1，UM2 |
| M5 | PS\_DDR3\_WE\_B | WE\_B | UM1，UM2 |
| P5 | PS\_DDR3\_CAS\_B | CAS\_B | UM1，UM2 |
| P4 | PS\_DDR3\_RAS\_B | RAS\_B | UM1，UM2 |
| B4 | PS\_DDR3\_RESET\_B | RESET\_B | UM1，UM2 |
| N1 | PS\_DDR3\_CS\_B | CS\_B | UM1，UM2 |
| N5 | PS\_DDR3\_ODT | ODT | UM1，UM2 |
| G5 | PS\_VRN |  |  |
| H5 | PS\_VRP |  |  |
| H6 | VTTVREF |  |  |
| P6 | VTTVREF |  |  |

## 3.4 USB\_UART接口

SNOWLeo包含一个Silicon Labs公司的CP2103GM USB-UART桥接设备，它允许一台主机连接到一个USB端口。主机PC的USB电缆连接到EagleGo中的USB micro端口上时，也就为CP2103GM提供了5V的供电电压。

CP2013GM TX和RX引脚连接到了ZYNQ的EPP PS IO外设集中的UART\_0 IP块上。 ZYNQ EPP支持USB-UART桥接器使用两个信号引脚：发送（TX）和接收（RX）。

Silicon Labs为主机PC提供了虚拟COM端口（VCP）驱动程序。这些驱动程序允许CP2103GM USB-UART桥接设备在通信应用软件（例如，TeraTerm或超级终端）显示为一个COM端口。 VCP设备驱动程序必须在PC主机与Zing开发板板建立通信前进行安装。

CP2103GM 的原理图如图3.17所示。



图3.17 CP2103GM原理图

USB\_UART接口的管脚列表如表3.16所示。

表3.16 USB\_UART管脚分配

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| ZYNQ EPP | | | UART功能 | 信号名称 | CP2103GM | |
| 管脚名称 | BANK | 管脚号 | 管脚 | UART功能 |
| PS\_MIO46 | 501 | B14 | TX,数据输出 | UART0\_TX | 24 | RXD，数据输入 |
| PS\_MIO47 | 501 | D16 | RX,数据输入 | UART0\_RX | 25 | TXD，数据输出 |

## 3.5 10/100/1000 MHz的三速以太网口

EagleGo采用Marvell Alaska的PHY装置（88E1116R），它支持10 MB/ s，100 Mb / s或1000 Mb / s的以太网通讯，通过RGMII接口模式连接到了EPP上。YE1为88E1111 PHY芯片提供了一个25MHz的时钟源。图3.10为以太网口的原理图。



图3.10 以太网口原理图

三速以太网口的管脚分配如表3.10所示。

表3.10 以太网管脚分配

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| ZYNQ EPP | | | 信号名称 | M88E1116R PHY | |
| 管脚名称 | BANK | 管脚号 | 管脚号 | 管脚名称 |
| PS\_MIO53 | 501 | C11 | PHY\_MDIO | 45 | MDIO |
| PS\_MIO52 | 501 | C10 | PHY\_MDC | 48 | MDC |
| PS\_MIO16 | 501 | A19 | PHY\_TX\_CLK | 60 | TX\_CLK |
| PS\_MIO21 | 501 | F14 | PHY\_TX\_CTRL | 63 | TX\_CTRL |
| PS\_MIO20 | 501 | A17 | PHY\_TXD3 | 62 | TXD3 |
| PS\_MIO19 | 501 | D10 | PHY\_TXD2 | 61 | TXD2 |
| PS\_MIO18 | 501 | B18 | PHY\_TXD1 | 59 | TXD1 |
| PS\_MIO17 | 501 | E14 | PHY\_TXD0 | 58 | TXD0 |
| PS\_MIO22 | 501 | B17 | PHY\_RX\_CLK | 53 | RX\_CLK |
| PS\_MIO27 | 501 | D13 | PHY\_RX\_CTRL | 49 | RX\_CTRL |
| PS\_MIO26 | 501 | A15 | PHY\_RXD3 | 55 | RXD3 |
| PS\_MIO25 | 501 | F15 | PHY\_RXD2 | 54 | RXD2 |
| PS\_MIO24 | 501 | A16 | PHY\_RXD1 | 51 | RXD1 |
| PS\_MIO23 | 501 | D11 | PHY\_RXD0 | 50 | RXD0 |

## 3.6 用户IO

### 3.6.1 用户led

EagleGo硬件设计上共有4位led灯。PL部分有4位。原理图如图3.11所示，



图3.11 用户led原理图

表3.11为4位led灯的详细描述信息。

表3.11 led管脚分配

|  |  |  |
| --- | --- | --- |
| 设备名称 | 信号名称 | ZYNQ管脚 |
| DDU1 | LEDG0 | G20 |
| DDU2 | LEDG1 | G18 |
| DDU3 | LEDG2 | J20 |
| DDU4 | LEDG3 | H20 |

### 3.6.2 用户按键

EagleGo共有3位用户按键。其中，1位用户按键，2位复位按键。原理图如图3.12所示。



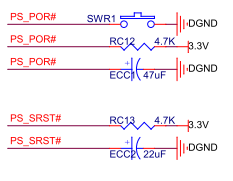


图3.12 用户按键原理图

用户按键的管脚列表如表3.12所示。

表3.12 用户按键管脚分配

|  |  |  |
| --- | --- | --- |
| 设备名称 | 信号名称及简述 | ZYNQ管脚名称 |
| SW1 | PUSH（用户按键） | T19 |
| SWR1 | PS\_POR#（上电复位键） | C7 |

## 3.7 JTAG接口

ARM和FPGA的JTAG接口同时连接到一个JTAG链上。通过这个JTAG接口可以同时配置ARM处理器和FPGA逻辑。如图3.13所示。

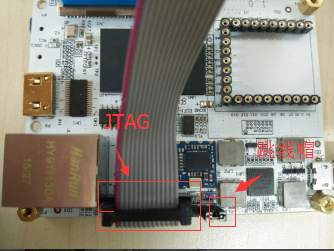


图3.13 JTAG及其接口

我们通过xilinx提供的开发工具下的vivado可以扫描到这两个核，见图3.14，

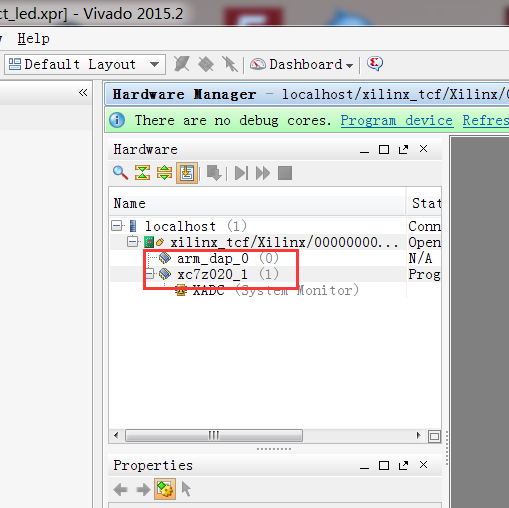


图3.14 xilinx vivado工具扫描ZYNQ核

JTAG的原理图如图3.15所示，

图3.15 JTAG接口原理图

具体的管脚分配见表3.13.

表3.13 JTAG管脚分配

|  |  |
| --- | --- |
| 信号名称 | ZYNQ管脚号 |
| JTAG\_TCK | F9 |
| JTAG\_TMS | J6 |
| JTAG\_TDI | G6 |
| JTAG\_TDO | F6 |

## 3.8 SDIO连接器

EagleGo包含了安全数字输入/输出（SDIO）接口，以提供用户逻辑访问通用的非易失性SDIO存储卡和外围设备。SDIO信号经TXS02612电平转换器与ZYNQ EPP 的PS 501BANK信号相连，该BANK的VCCMIO设置为1.8V。

SDIO连接器的原理图如图3.16所示，



图3.16 SDIO连接器原理图

其中SDIO电平转换器的管脚分配列表如表3.14所示。

表3.14 SDIO电平转换器管脚分配

|  |  |  |
| --- | --- | --- |
| UD2管脚名称 | 信号名称 | ZYNQ管脚 |
| CLKA | SD\_CLK | D14 |
| CMDA | SD\_CMD | C17 |
| DAT0A | SD\_DAT0 | E12 |
| DAT1A | SD\_DAT1 | A9 |
| DAT2A | SD\_DAT2 | F13 |
| DAT3A | SD\_DAT3 | B15 |

电平转化器与SDIO接口的信号说明见表3.15。

表3.15 电平转化器与SDIO接口信号说明

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 信号名称 | UD2电平转换器 | | SDIO连接器 | |
| 管脚号 | 管脚名称 | 管脚号 | 管脚名称 |
| GND | N/A | N/A | 9 | CD |
| SDIO\_CMD | 20 | CMDB0 | 3 | CMD |
| SDIO\_CLK | 19 | CLKB0 | 5 | CLK |
| SDIO\_DAT2 | 23 | DAT2B0 | 1 | DAT2 |
| SDIO\_DAT1 | 16 | DAT1B0 | 8 | DAT1 |
| SDIO\_DAT0 | 18 | DAT0B0 | 7 | DAT0 |
| SDIO\_DAT3 | 22 | DAT3B0 | 2 | DAT3 |

## 3.9 USB\_UART接口

EagleGo包含一个Silicon Labs公司的CP2103GM USB-UART桥接设备，它允许一台主机连接到一个USB端口。主机PC的USB电缆连接到EagleGo中的USB micro端口上时，也就为CP2103GM提供了5V的供电电压。

CP2013GM TX和RX引脚连接到了ZYNQ的EPP PS IO外设集中的UART\_0 IP块上。 ZYNQ EPP支持USB-UART桥接器使用两个信号引脚：发送（TX）和接收（RX）。

Silicon Labs为主机PC提供了虚拟COM端口（VCP）驱动程序。这些驱动程序允许CP2103GM USB-UART桥接设备在通信应用软件（例如，TeraTerm或超级终端）显示为一个COM端口。 VCP设备驱动程序必须在PC主机与Zing开发板板建立通信前进行安装。

CP2103GM 的原理图如图3.17所示。



图3.17 CP2103GM原理图

USB\_UART接口的管脚列表如表3.16所示。

表3.16 USB\_UART管脚分配

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| ZYNQ EPP | | | UART功能 | 信号名称 | CP2103GM | |
| 管脚名称 | BANK | 管脚号 | 管脚 | UART功能 |
| PS\_MIO46 | 501 | B14 | TX,数据输出 | UART0\_TX | 24 | RXD，数据输入 |
| PS\_MIO47 | 501 | D16 | RX,数据输入 | UART0\_RX | 25 | TXD，数据输出 |

## 3.10 HDMI接口

HDMI ，全称为高清晰度多媒体视频输出接口。Zing SK2底板上使用了有HDMI接口。没有HDMI芯片，所以在HDMI数字视频/音频传输解决方案上，我们是通过fpga做这方面的处理。但是用了一个4776芯片作为防静电作用。

其原理图如图3.18所示。

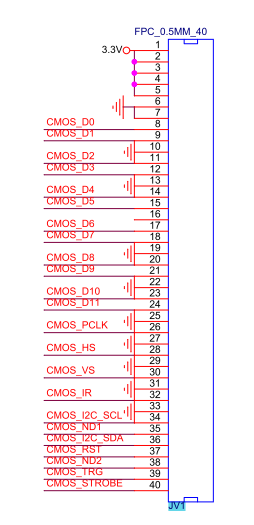


图3.18 HDMI接口原理图

## 3.11扩展接口

EagleGo上分了两种扩展接口，包含别是FPC40接口，可以支持高清摄像头、高速ADC和DAC等和UP27接口,支持数十种传感器和外设模块。

### 3.11.1 FPC40视频接口



### 3.11.2 UP27接口接口

EagleGo采用了27pin的UP27扩展接口实现子卡和载卡之间的高速通信。

接口的其原理图如图3.21所示，

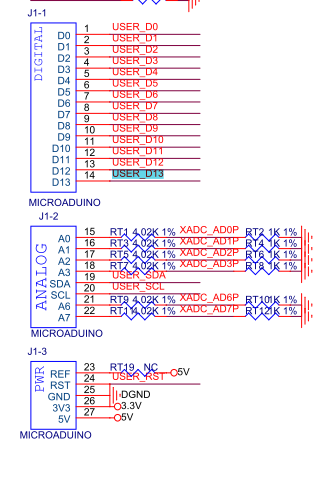
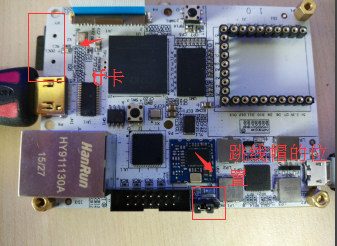
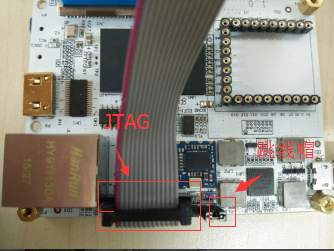


图3.21 UP27接口原理图

1. ZYNQ调试与配置

在此章节主要介绍平台的使用方法，主要是ZYNQ的调试与配置。ZYNQ支持JTAG调试模式和两种启动模式。这三种启动模式分别是NAND\_FLASH和TF卡启动模式。ZYNQ使用独立的JTAG接口，下载电缆采用redcable for xilinx。ZYNQ的JTAG下载接口调试方式与普通FPGA相同。图4.1为ZYNQ配置接口图。



JTAG接口配置 TF卡配置

图4.1 ZYNQ配置接口图

## 4.1下载电缆

FPGA下载电缆是redcable for xilinx。使用下载电缆可以对FPGA进行调试和flash固化。下载电缆一端通过USB-A电缆连接到PC，另一端通过14pin jtag接口连接到板卡的下载接口。如图4.2为JTAG下载电缆和JTAG接口实物图。

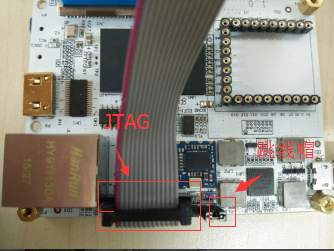


图4.2 JTAG下载电缆和JTAG接口实物图

下面主要介绍如何通过JTAG接口配置ZYNQ芯片的方法。

第一步，设置启动方式跳线和给板卡供电，如图4.3所示。

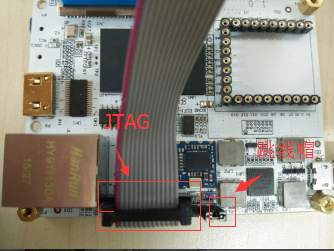
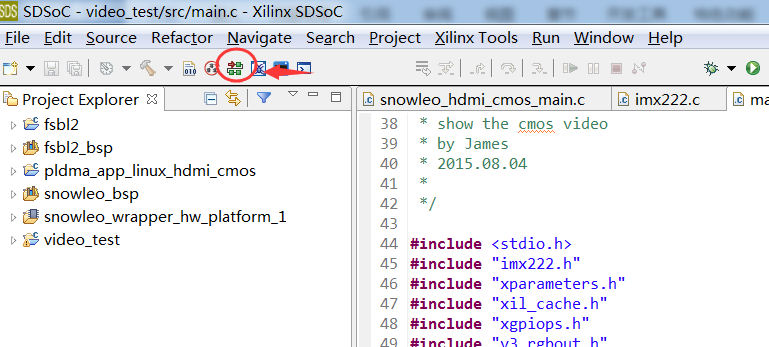
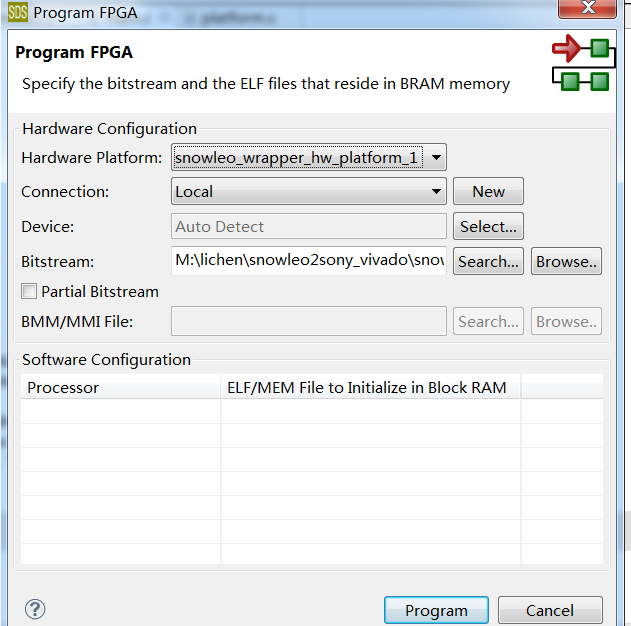


图4.3 JTAG跳线配置和板卡上电

第二步，用SDK软件打开ZYNQ的软件工程后，确保通过JTAG接口可以扫描到两个核，可参看[3.8 JTAG接口](#_3.8_JTAG接口)，然后配置FPGA的bit文件，如图4.4所示。



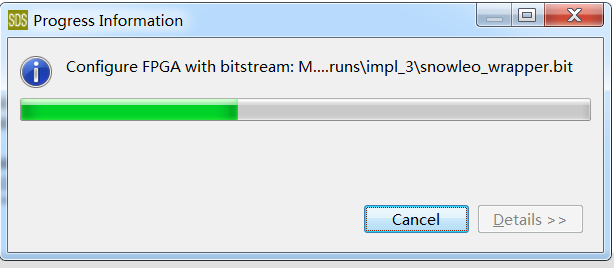


图4.4 配置FPGA bit文件

当bit文件配置完毕后，FPGA\_DONE信号会被拉高，DC1灯熄灭。

第三步，下载ARM应用程序，如图4.5所示。

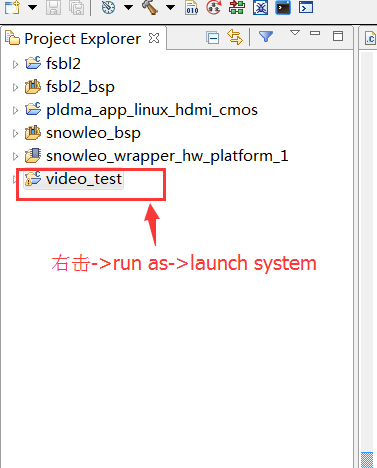


图4.5 下载ARM应用程序

第四步，ARM应用程序的运行和现象，如图4.6所示。



图4.6 ARM程序运行和实验现象

## 4.2 ZYNQ启动方式

ZYNQ支持启动镜像从TF卡启动，通过MIO3~MIO4选择，在平台上通过SWC1两个跳线选择。默认启动模式TF卡，其它启动模式可参考图4.7所示。

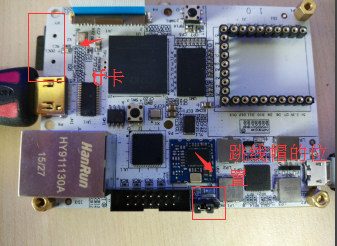
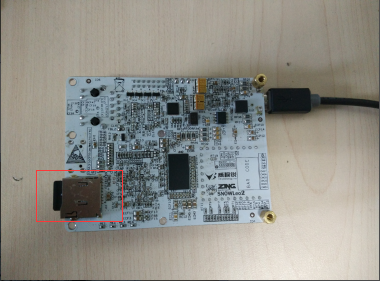


图4.7 ZYNQ镜像启动模式选择

实物图可参考图4.8。



TF卡作为启动设备，它的固化和启动比较简单。主要是用户需要将启动镜像拷贝到TF卡内，然后

将TF插入EagleGo TF卡插槽中，选择TF卡启动模式后，给板卡上电启动即可。

1. 保修条款

1．我公司承诺，对开发板产品提供自售出之日起三个月的免费保修服务。若用户在使用开发板产品期间，由于该产品的质量问题而出现故障，可在保修期内凭购买单据与销售商或我公司联系，我公司负责为您维修产品或更换新机。

2．为下列情况之一的产品，不实行免费保修：

􀁺超过保修服务期的；

􀁺无有效购买单据的；

􀁺进液、受潮或发霉；

􀁺由于购买后跌落、强烈振动和擅自改造、误操作等非产品质量原因引起的故障和损坏；

􀁺因为不可抗力造成损坏的。

3．我公司承诺，对开发板产品提供为期1年的BBS技术支持服务，终身维修服务。

4．我公司保留所有开发板中自主开发的相关的软、硬件技术资料的知识产权；用户仅能将它们作为教学、实验、科研使用，不得从事任何商业用途，也不能将它们在网络上散发，或者通过截取、修改等方式来篡改它们的著作权。

5．其它相关服务：为院校、企业提供嵌入式系统应用设计解决方案，提供最为专业、周到的嵌入式系统ODM服务，欢迎您与我们联系！

1. 威视锐专业定制服务

威视锐的定制服务包括产品设计服务和批量生产服务。

产品设计服务方面，威视锐在高性能信号处理产品设计和FPGA应用方面累积了多年经验，擅长基于FPGA与DSP系统平台的信号处理系统的定制与算法开发。威视锐设计过的成熟产品有，智能安防摄像机、高速数据采集卡、医疗图像分析仪、各种软件无线电系统、CPCI工控板卡等，目前已经大量投入到了实际应用现场。威视锐提供的解决方案都是建立在这些成熟的架构上，包括模型产品、标准模块和开发平台，这样能够有效缩短客户产品向市场投放需要的时间，并降低在软硬件移植方面的风险，为客户确保产品开发的速度和成熟度。

批量生产服务方面，威视锐电子投资控股成立的“北京飓风深红科技有限公司”，定位于专业从事精密型SMT贴片加工和批量电子产品的OEM服务，同时为威视锐科技提供所有相关产品的配套服务。

威视锐是一个恪守品质和诚信的设计制造公司，我们已经跟很多公司合作过各种OEM/ODM项目，并保持多年的合作关系。对每一次合作，从产品构思到最后的量产，我们在整个过程中都会持续地与客户沟通、为客户设想、不断改善直到客户满意为止。合作双赢可能是一个长期的过程，我们ODM服务会促进这一理想的实现，为客户赢得更快的上市速度、更优的性能和更低的成本。

作为微软公司全球供货商，威视锐科技的产品遵循严格的设计规范和测试流程，产品出口到美国，日本和欧洲多个国家。依托于清华大学和中科院等科研机构，威视锐科技坚持不断创新，产品赢得中国移动、法国电信和华为技术等众多知名公司的认可。