

디지털회로설계 Test#1

배점) 1(H28), 2(H21), 3(H30), 4(10), 5(10)

1. 십진수 -19.6 과 $+13.875$ 이 있다. (a) 각각을 이진수로 바꾸되 소수점 4 째 자리까지만 제시하라. 단, 그 이하 자리는 버린다. (b) (a)에서 구한 결과를 각각 8 진수와 16 진수로 변환하라. (c) 첫 번째 수에서 두 번째 수를 빼는 연산을 수행하되 반드시 강의에서 다룬 방식으로 행하라. 결과값은 소수점 이하 4 째 자리까지만 제시하되 연산을 행할 때는 강의에서 다룬 대로 bit 수를 확장하는 것으로 출발하라. (d) (a)에서 구한 수를 소수점 이상/이하가 각각 7 자리가 되도록 자릿수를 확장하라.

2. 다음의 2 진수 또는 16 진수는 모두 signed number 이다. 단, 1 과 0 으로만 표기된 수는 2 진수로 가정하라. A. 이들과 크기는 같고 부호는 반대인 수를 구하라. B. a 에 주어진 수를 16 진수로 바꿔라. C. a 에 주어진 수를 8 로 나눈 수를 가정하고, 이 수를 소숫점 이상/이하 각각 7 자리인 수로 바꿔라(bit extension).

a. 010101.01

b. 101001100

c. A0.E

3. 회로에 대한 다음 질문에 답하라. 시스템의 초기 상태는 타이밍 도에 표시된 것을 기준으로 하라. 타이밍도에서 A 를 MSB 로 가정하였다.

- 회로의 입력신호를 모두 말하라
- 회로의 동작을 분석하고, 그 결과를 상태로 나타내라
- 타이밍도서 빈 곳을 채워라.

4. 다음은 어떤 회로를 Verilog HDL 로 코딩한 것이다. 잘못된 것을 3 종류 이상 찾고(이유와 함께), 고쳐라.

```
module 2to4_decoder (a,b,d);
```

```
    output [3:0] d;
```

```
    input a, b;
```

```
    wire a, b;
```

```
    d(3) = a & b,
```

```
    d(2) = a & ~b,
```

```
    d(0) = ~a & ~b,
```

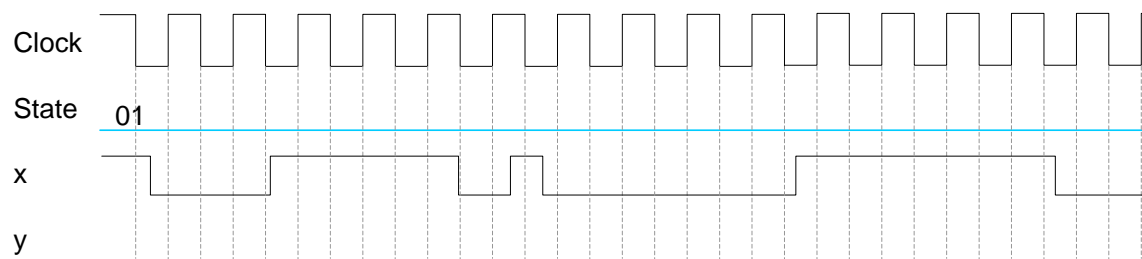
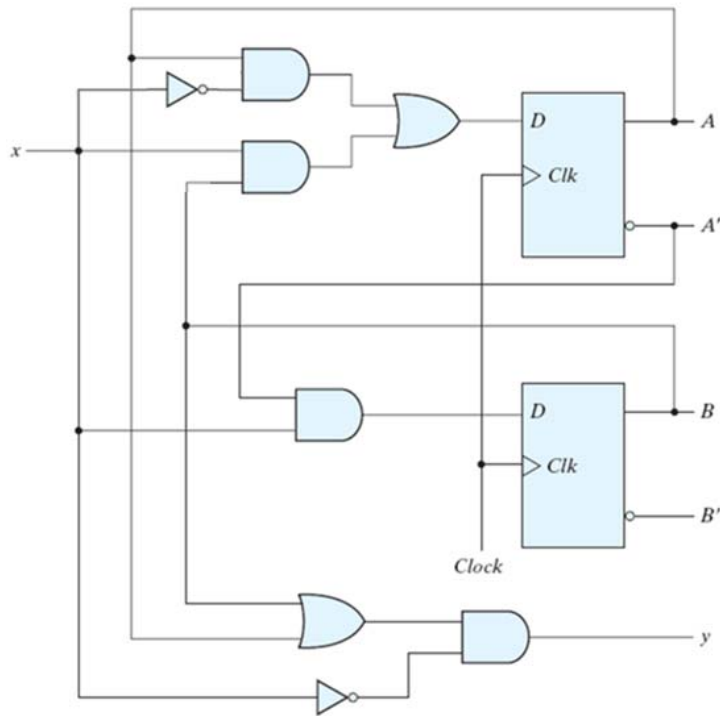
```
    d(1) = ~a & b,
```

```
end module;
```

5. HDL modeling 기법 중 대표적인 3 가지의 이름을 영어로 쓰라

이름:

학번:



```

module 2to4_decoder (a,b,d);
    output [3:0] d;
    input a, b;
    wire a, b;
    d(3) = a & b,
    d(2) = a & ~b,
    d(0) = ~a & ~b,
    d(1) = ~a & b,
end module;

```