디지털회로설계 및 언어 Final Test

Dec. 3, 2018

1. 그림 1에 보인 chart를 참고하여 아래 질문에 답하라. 여기서 rst\_bar 는 rst\_bar=0일 때 “참”이 입력되었슴을 의미한다. Verilog HDL code에 대한 질문은 “문제1에 대한 Verilog HDL code” 부분을 참고하여 답하되 code내의 comments를 잘 읽고 이를 반영하여라.
2. chart 에 대한 적합한 이름을 원어와 함께 말하라. 단, 수업에서 사용한 용어이어야 한다.
3. rst\_bar는 강의에서 다룬 POR(power-on-reset)과 같은 개념, 즉 해당 입력이 “참”으로 입력되는 순간 클럭과 무관하게 시스템의 상태는 초기상태로, 시스템 내 모든 register는 리셋하는 입력신호인 것으로 가정하여 HDL code를 작성하거나 수정하되 다음 지시에 따르라.

* **A1**에서는 시스템에 사용된 입출력신호를 자세히 기술하고 있다. **A2**부분은 시스템에 사용되는 레지스터를 자세히 기술하는 곳으로 이 부분을 꼭 필요한 내용으로 채워라.
* **B**에 적절한 code를 채워라.
* **Procedure NS**에서 **C**와 **D**에 적절한 표현을 채우고, 이 procedure내 procedural statements중에서 틀린 것을 모두 찾아 고쳐라.
* **code K**에는module의 동작에 필요한 신호를 모두 생성하는 **Procedure OUT**에 대한 내용이 기술되어야 한다. **code K** 부분을 적절한 내용으로 채워라. **- 삭제**
* **code L**에는레지스터 전송 연산(register transfer operation)과 관련된 내용을 기술하는 부분이다. rst\_bar입력이 POR 기능을 하여야 하는 것으로 가정하여 적절한 내용을 채워라.

1. 그림1의 시스템이 정상적으로 동작하던 중 rst\_bar=0이 입력되었다가 해제(rst\_bar=1로 바뀌었음)된 시점(클럭의 변화시점과 일치하지 않음)부터 처음 5 클럭동안 state, cnt, K, F의 값을 추적하라. 단, Stt=1이 유지되어 온 것으로 가정하라.
2. 그림1의 시스템이 정상상태(steady-state)에서 동작하는 과정에서 시스템의 상태가 T\_0로 진입한 직후 시점부터 첫3 클럭동안 state, cnt, K, F의 값을 추적하라. 단, Stt=1이 유지되어 온 것으로 가정하라.
3. 그림1의 시스템이 정상상태(steady-state)에서 동작하던 중 T\_2 상태에 진입한 직후부터 2주기 동안의 state, cnt, K, F의 값을 말하라.

**(문제1에 대한 Verilog HDL code)**

module Test\_RTL (K, F, Stt, clk, cnt, rst\_bar);

// Define i/o and others- ***A1***

input Stt,clk,rst\_bar;

output K,F;

output [5:1] cnt;

//Specify system registers

***A2***

// Encode the states

parameter T\_0 = 2'h0, T\_1 = 2'o1, T\_2 = 2'b11;

// State transition for control logic -- control sequence

always ***B***

if (~rst\_bar) ps <= T\_0;

else ps <= ns;

// Code next\_state logic- **Procedure NS**

always ***C***

case (ps)

T\_0: if(Stt) ns = T\_1;

T\_1:***D***

T\_2: ns <= T\_0;

endcase

// Code output logic- **Procedure OUT**

***code K***

// Code register transfer operations- **Procedure register transfer**

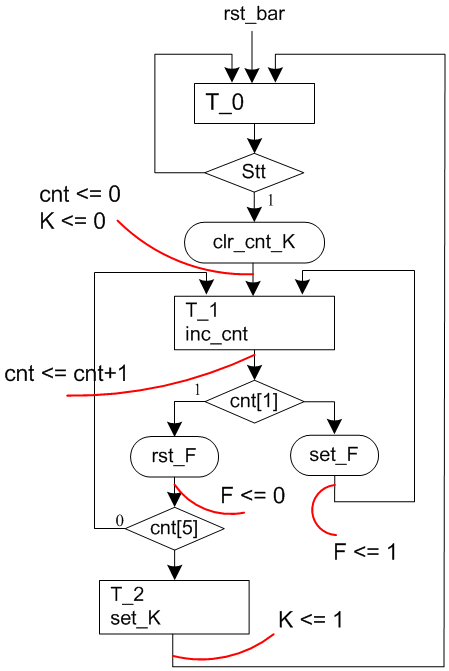
***code L***

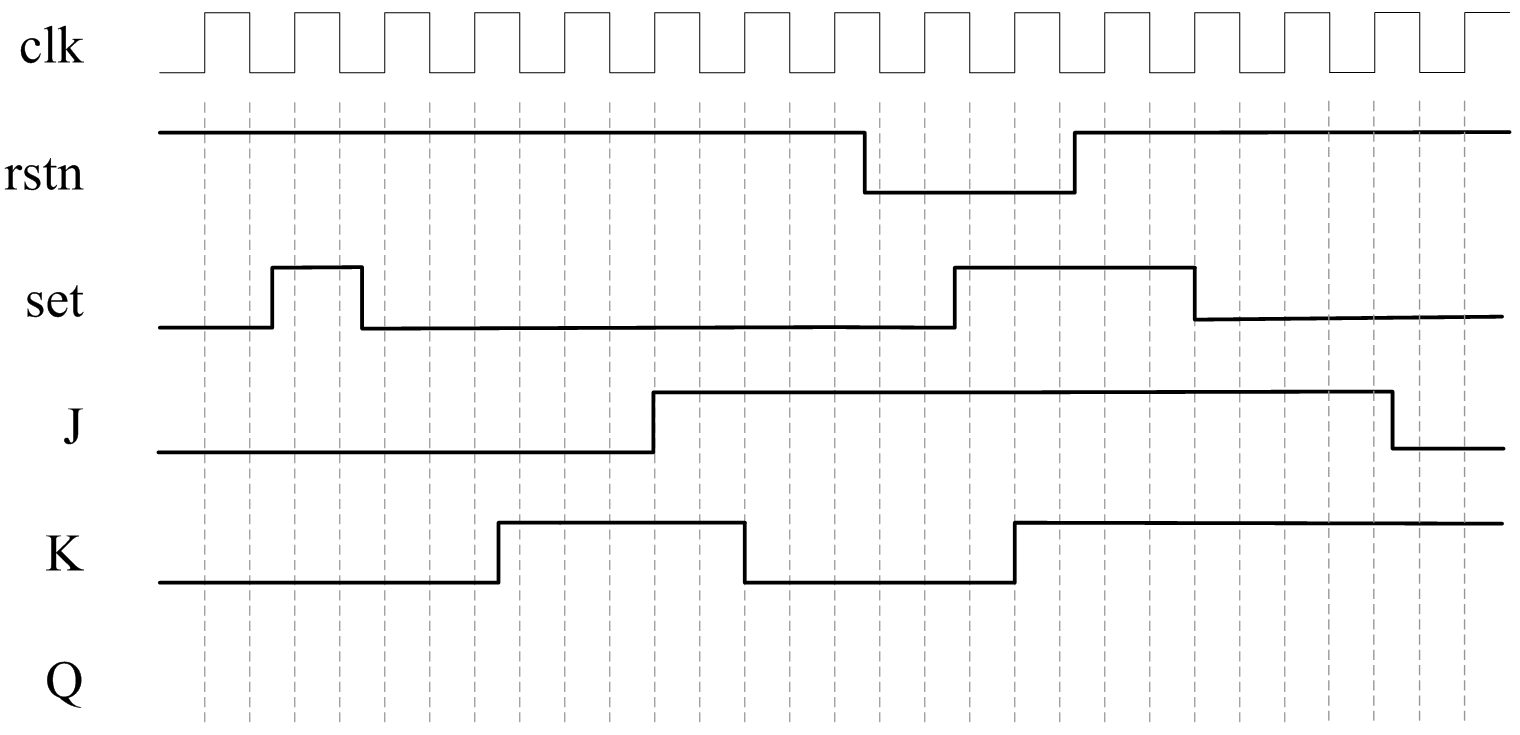
endmodule

1. 그림1의 시스템에서 Mealy 출력과 Moore 출력을 구분하여 모두 찾아라.
2. Negative-edge triggered JK flipflop with asynchronous reset and synchronous set을 case 문을 사용하여 coding하라. 단, rstn, set 각각을reset, set 신호의 이름으로 하되, rstn은 active low, set입력은 active high로 가정하고, reset이 set보다 우선순위가 높은 것으로 가정하라.
3. 문제3의 입력이 그림4와 같을 때 플립플롭의 출력, Q를 구하라.
4. A=12’h9cb, B=2’b01, C=5’o31이다. 다음 질문에 답하라.
5. A와 B를 2진수 표현으로 바꿔 쓰라.
6. D={C,2{B}, 1’b0,A}를 16진수로 답하라.

배점 1a(5), 1b(5,5,10,10), 1c-1e(각10), 2(5), 3-5(각 10).

학번 ( ) 이름 ( )

 그림 1

 그림 4.