

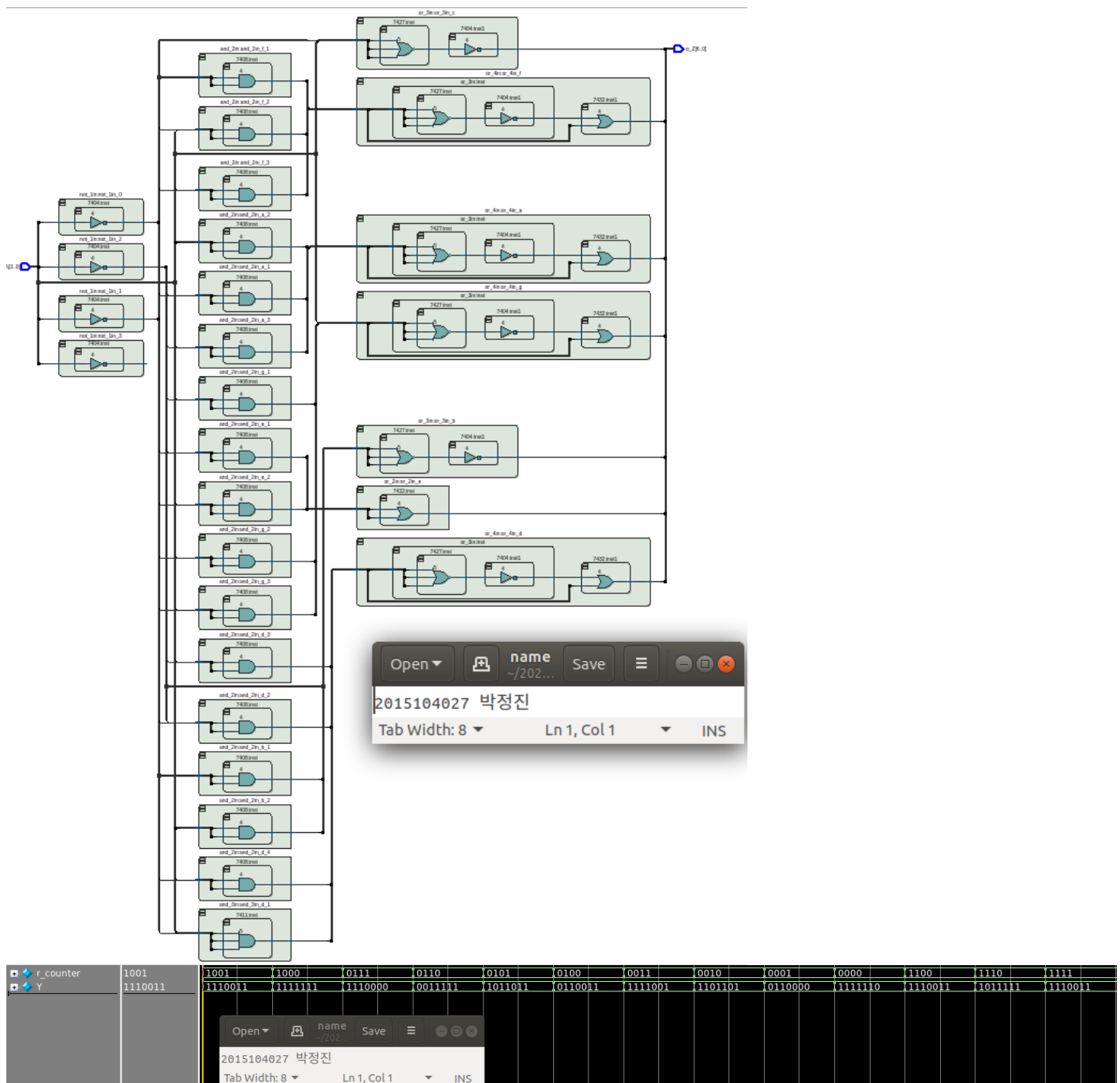
디지털회로실험 보고서

-4 주차-

전자공학과
2015104027
박정진

실험 결과

Lab06 - 1 7Segment Decoder

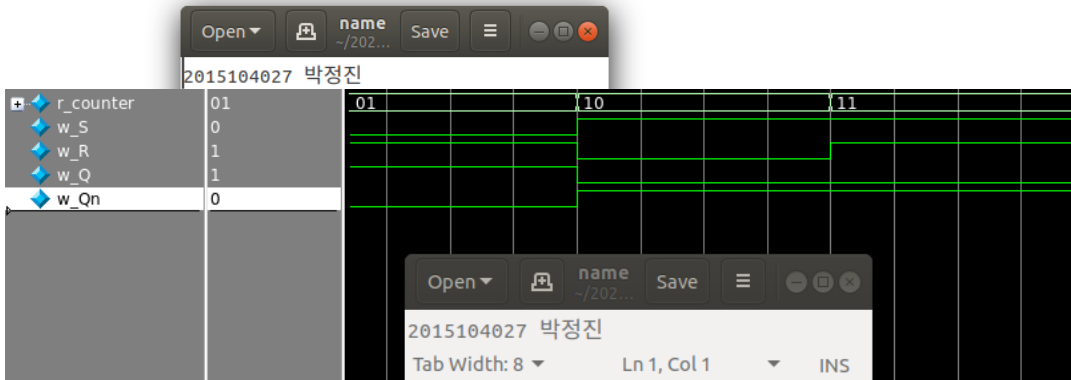
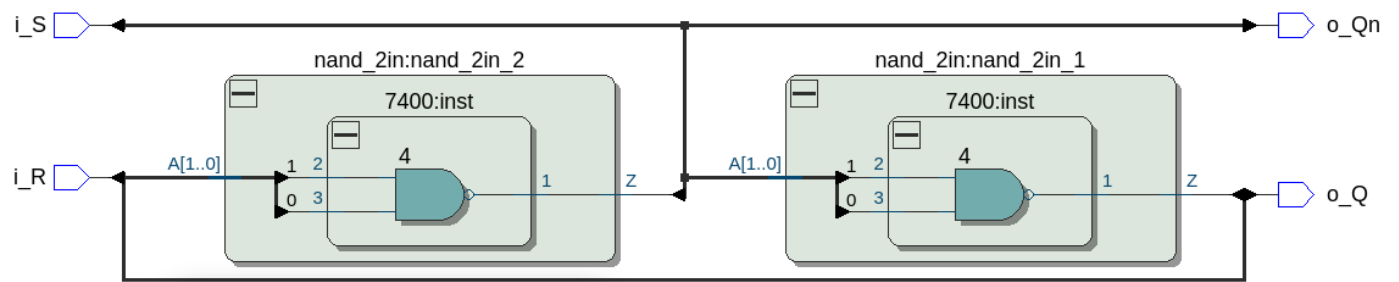


Truth Table

D	C	B	A	a	b	c	d
1	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1
0	1	1	1	1	1	1	0
0	1	1	0	0	0	1	1
0	1	0	1	1	0	1	1
0	1	0	0	0	1	1	0
0	0	1	1	1	1	1	1
0	0	1	0	1	1	0	1
0	0	0	1	0	1	1	0
0	0	0	0	1	1	1	1
1	1	0	0	1	1	1	0
1	1	1	0	1	0	1	1
1	1	1	1	1	1	1	0
e	f	g					
0	1	1					
1	1	1					
0	0	0					
1	1	1					
0	1	1					
0	1	1					
0	0	1					
1	0	1					
0	0	0					
1	1	0					
0	1	1					
1	1	1					
0	1	1					

7segment decoder 로 1 이 들어 온 곳에 불이 켜졌다고 생각하면 숫자의 형태가 나오는 것을 확인할 수 있다.

Lab07 - 1 SR_Latch (NAND)

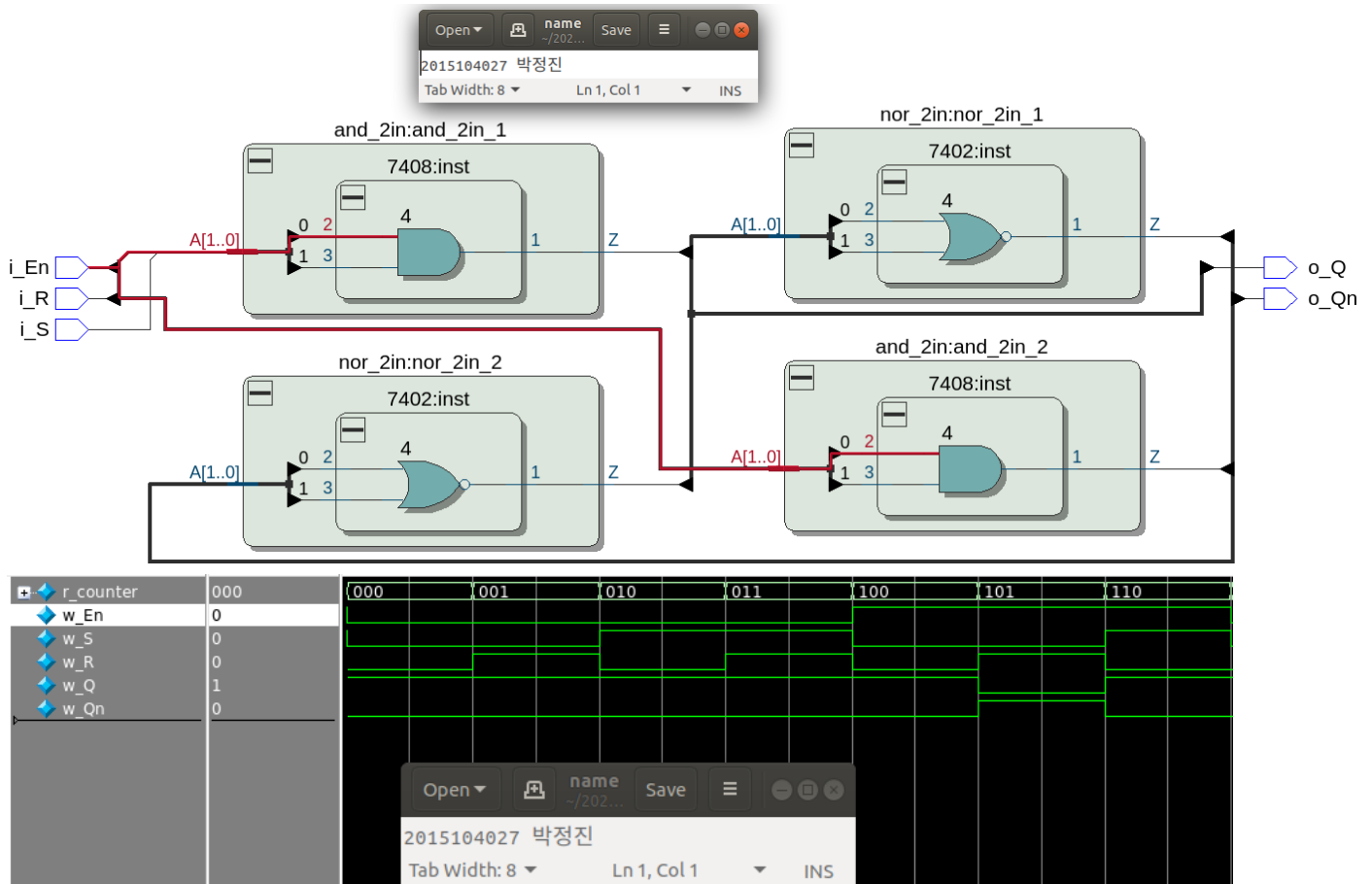


Truth Table

S	R	Q	Qn	
0	0	Forbidden	Forbidden	
0	1	1	0	Set
1	0	0	1	Reset
1	1	No Change	No Change	

NAND 로 구성된 Latch 이므로 S, R 이 Activation in Low(0)이다.

Lab07 - 2 SR_Latch_Enable (NOR)

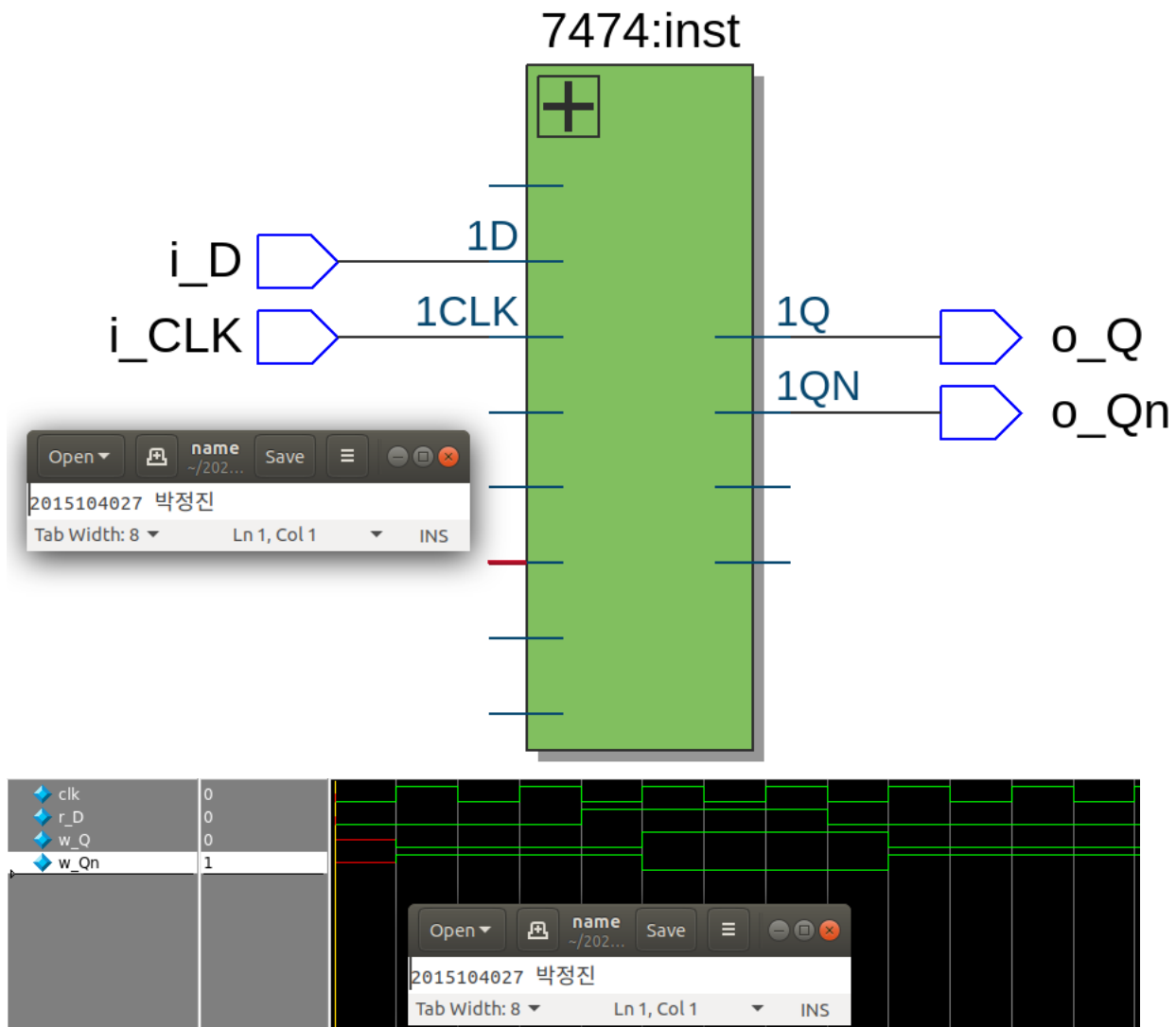


Truth Table

E	S	R	Q	Qn	
0	0	0	No Change	No Change	Not Active
0	0	1	No Change	No Change	Not Active
0	1	0	No Change	No Change	Not Active
0	1	0	No Change	No Change	Not Active
1	0	0	No Change	No Change	
1	0	1	0	1	Reset
1	1	0	1	0	Set
1	1	1	Forbidden	Forbidden	

NOR 게이트로 구성된 Latch 이므로 S, R 이 High Activation 이다. 또한 Enable 신호도 High(1)일 때 래치가 동작하므로 En 신호가 0 일 때는 동작하지 않음을 확인 할 수 있다.

Lab07 -3 4 TTL7474 (DFF)

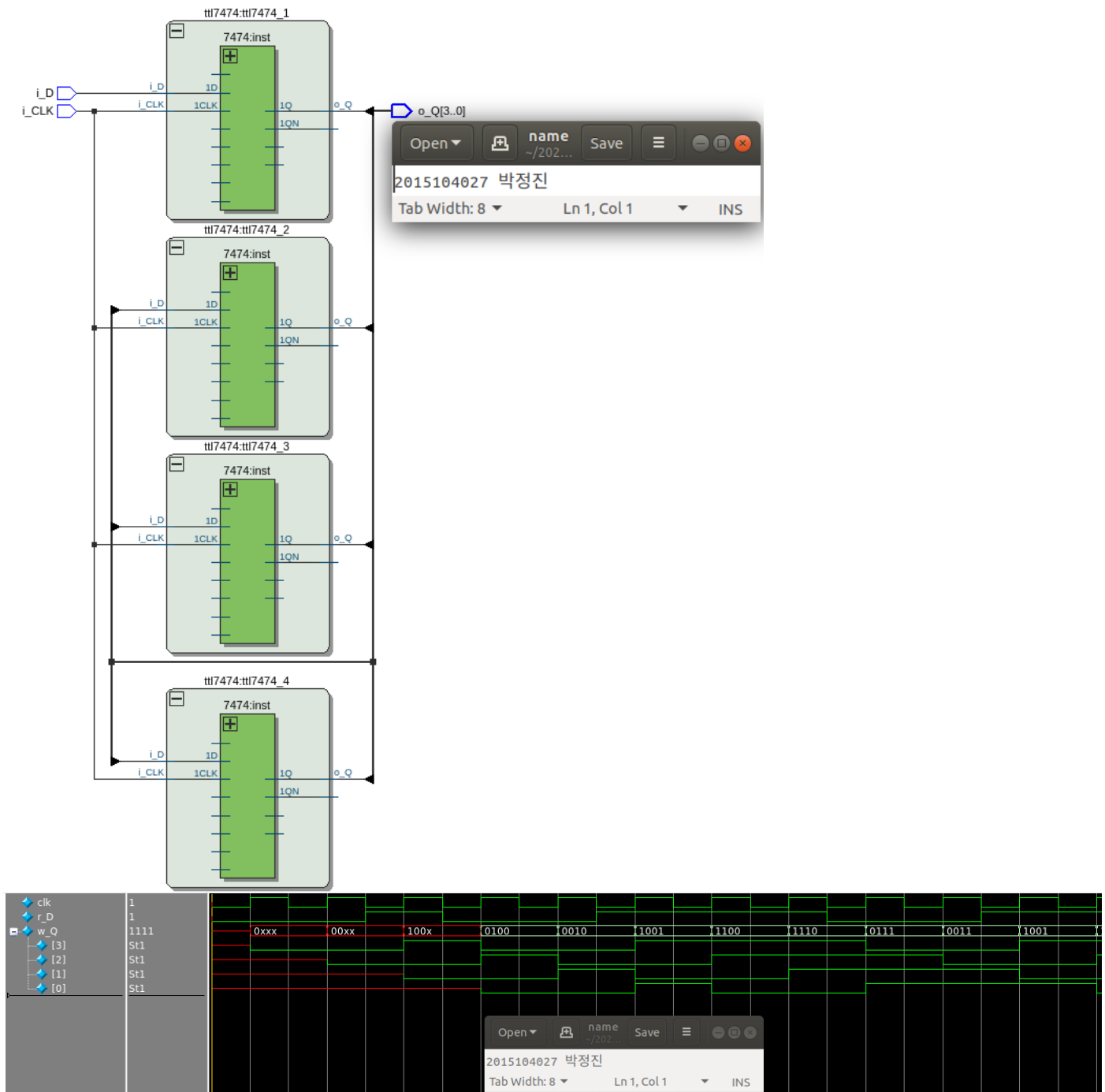


Truth Table

D	Q
0	0
1	1
1	1
0	0
0	0

Flip-Flop 의 Setup, Hold Time 을 확실히 하기 위해 Falling Edge 일 때 Input 값을 바꾸었다. Vector 에서 보이는 것 과 같이 FF 는 Rising Edge 에서 Q 의 값이 바뀌는 것을 확인 할 수 있다. 처음 posedge 를 보기 전까지는 TTL7474 는 1'bx 의 Output 을 내보낸다.

Lab07-4 TTL 4bits Register



Truth Table

D	Q1	Q2	Q3	Q4
0	0	0	0	0
1	1	0	0	0
0	0	1	0	0
0	0	0	1	0
1	1	0	0	1
1	1	1	0	0
1	1	1	1	0
0	0	1	1	1
0	0	0	1	1
1	1	0	0	1

TTL7474 실험 때 와 마찬가지로 Falling edge 일 때 Input 값을 바꾸었고, 첫번째 ttl7474_1 의 Output 이 MSB 이다. 이 기준으로 보았을 때, Positive edge 일 때 이 레지스터들은 1bit Shift Right 를 행하는 것 처럼 보여진다. 벡터폼을 보았을 때 Output 값이 x condition 이 되는 것은 위에서 언급했던 것 과 같이 input 값이 초기에는 정해지지 않았기 때문에 그렇고 ttl7474_1 ~ 4 의 순서대로 값이 들어 가는 것을 확인할 수 있다.