

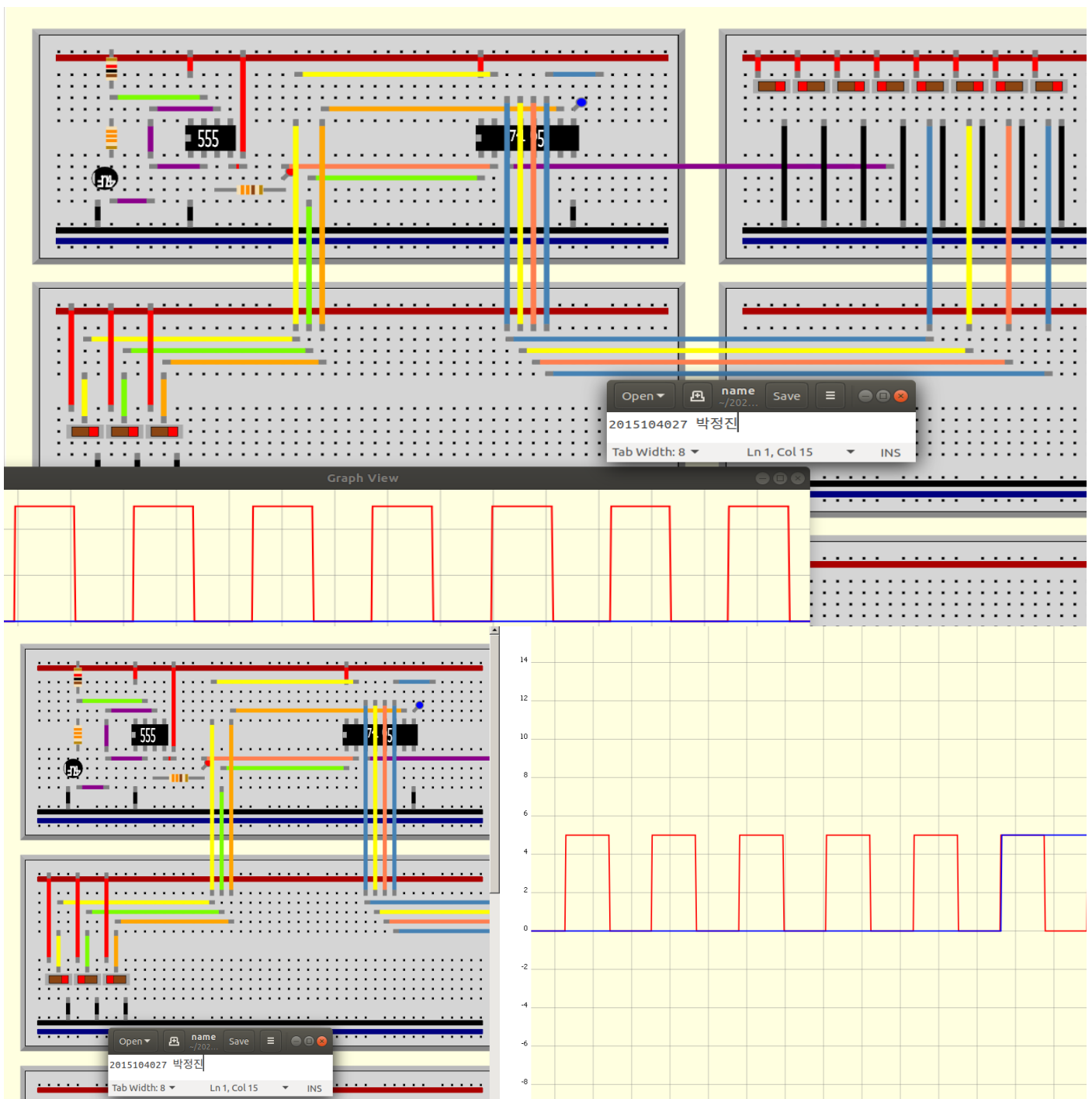
디지털회로실험 보고서

-6 주차-

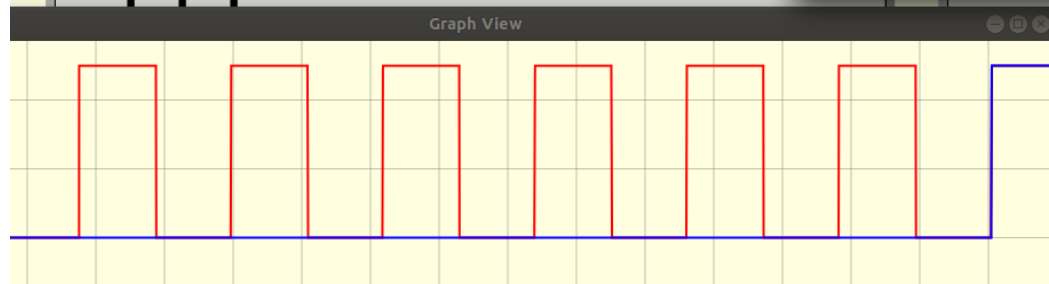
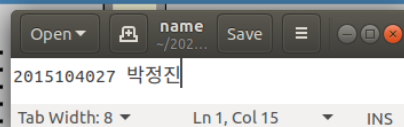
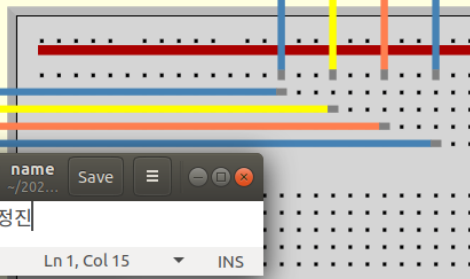
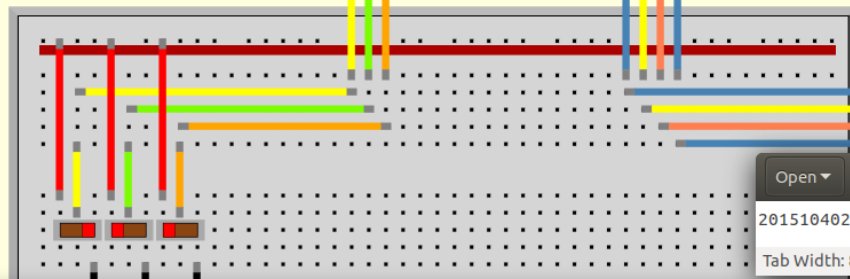
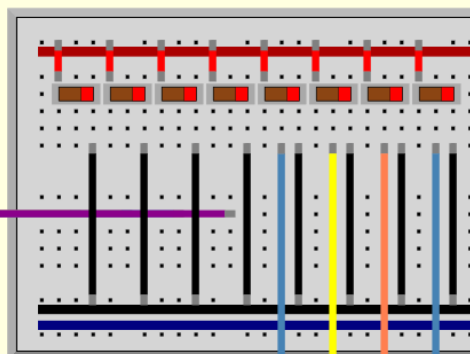
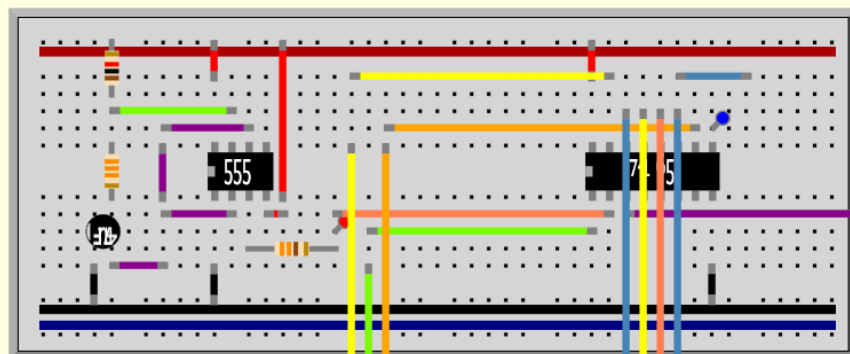
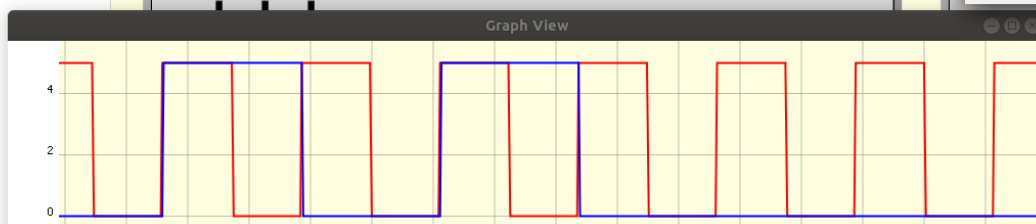
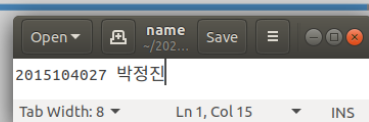
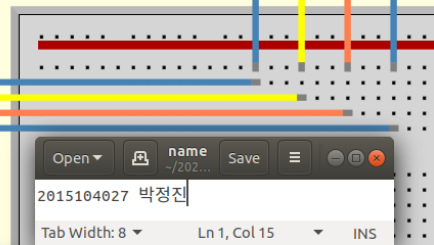
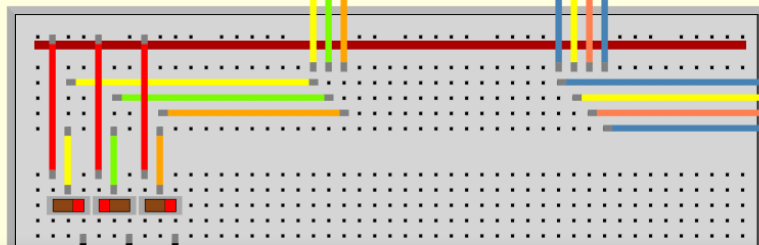
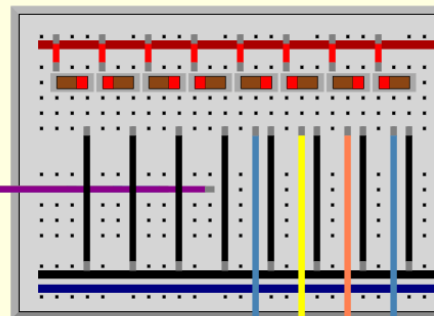
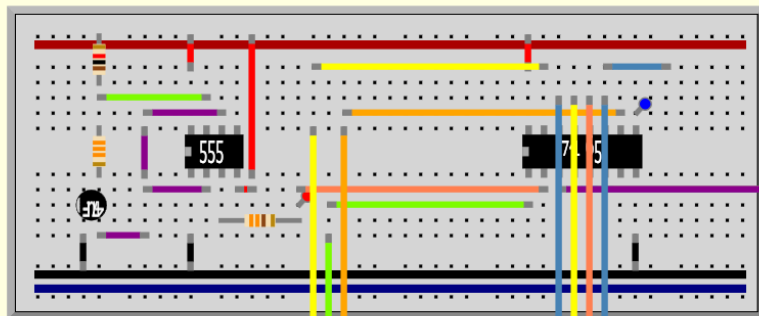
전자공학과
2015104027
박정진

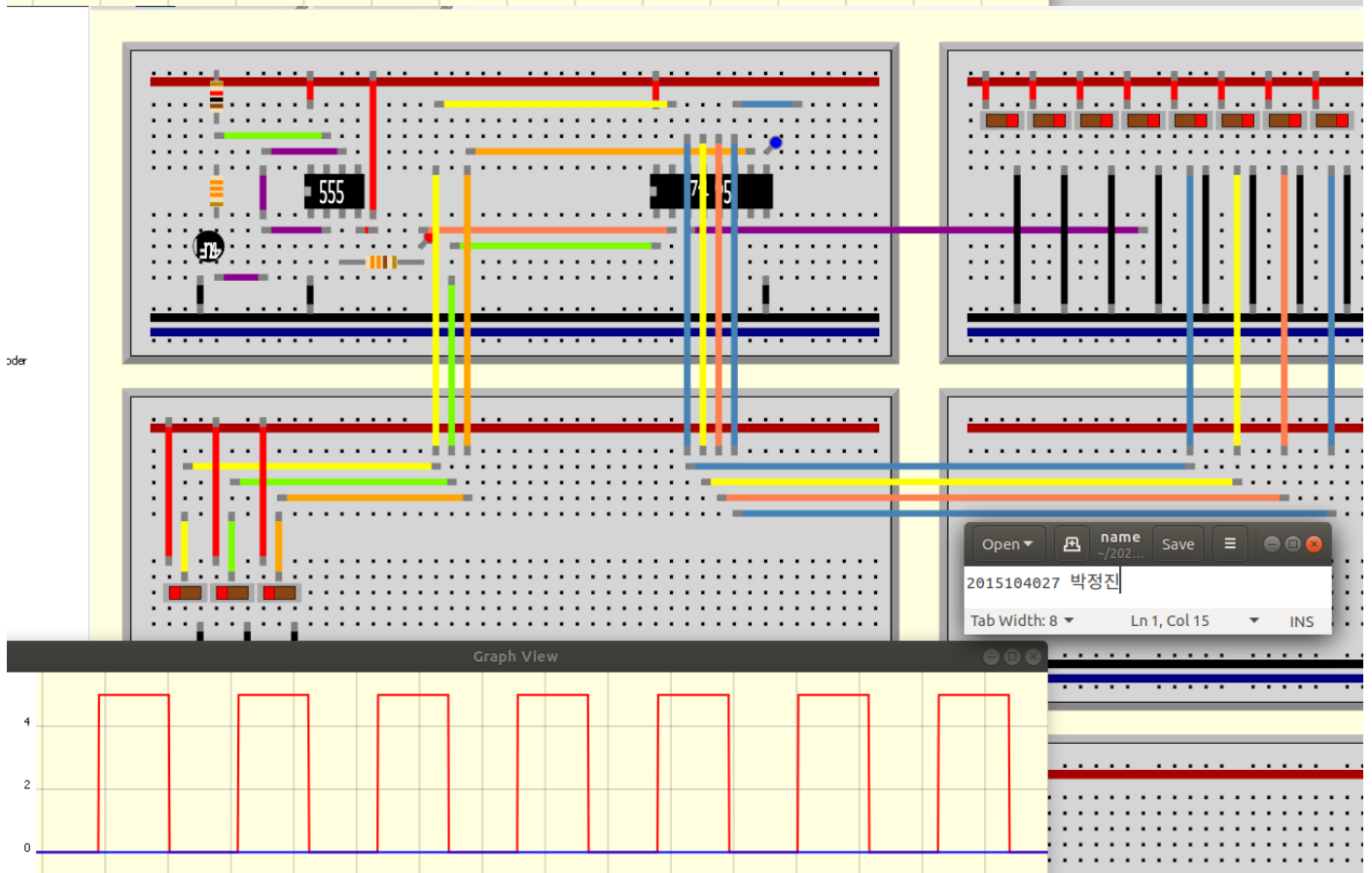
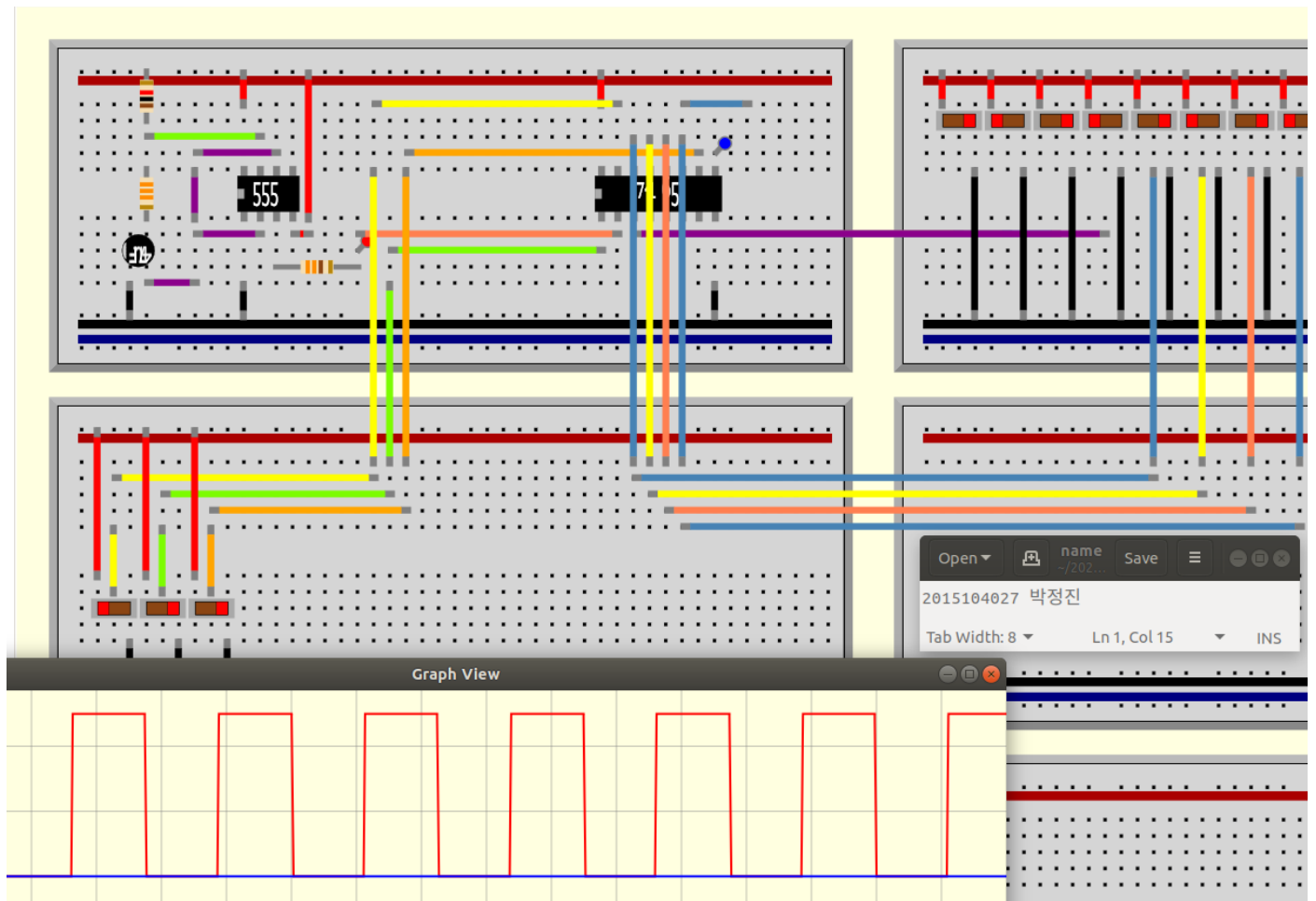
실험 결과

Lab10 - 1 TTL74165



to BCD encoder
: counter





Truth Table

CP1	CP2	PLb	DS	P[7..0]	Q7	Q7b	
x	x	0			P[7]	~P[7]	Parallel Load
↑	0	1					Shift Right
↑	1	1					No Change

PLb : asynchronous load(STLD, Load 는 activate Low)

CP1 : Clock (CLK)

CP2 : Clock Inhibit(CLKIH)

DS : Serial Input(SER)

1 번째 결과 CP2 : 0 PLb : 0 (Parallel Load) P[7:0] = 8'b01010101

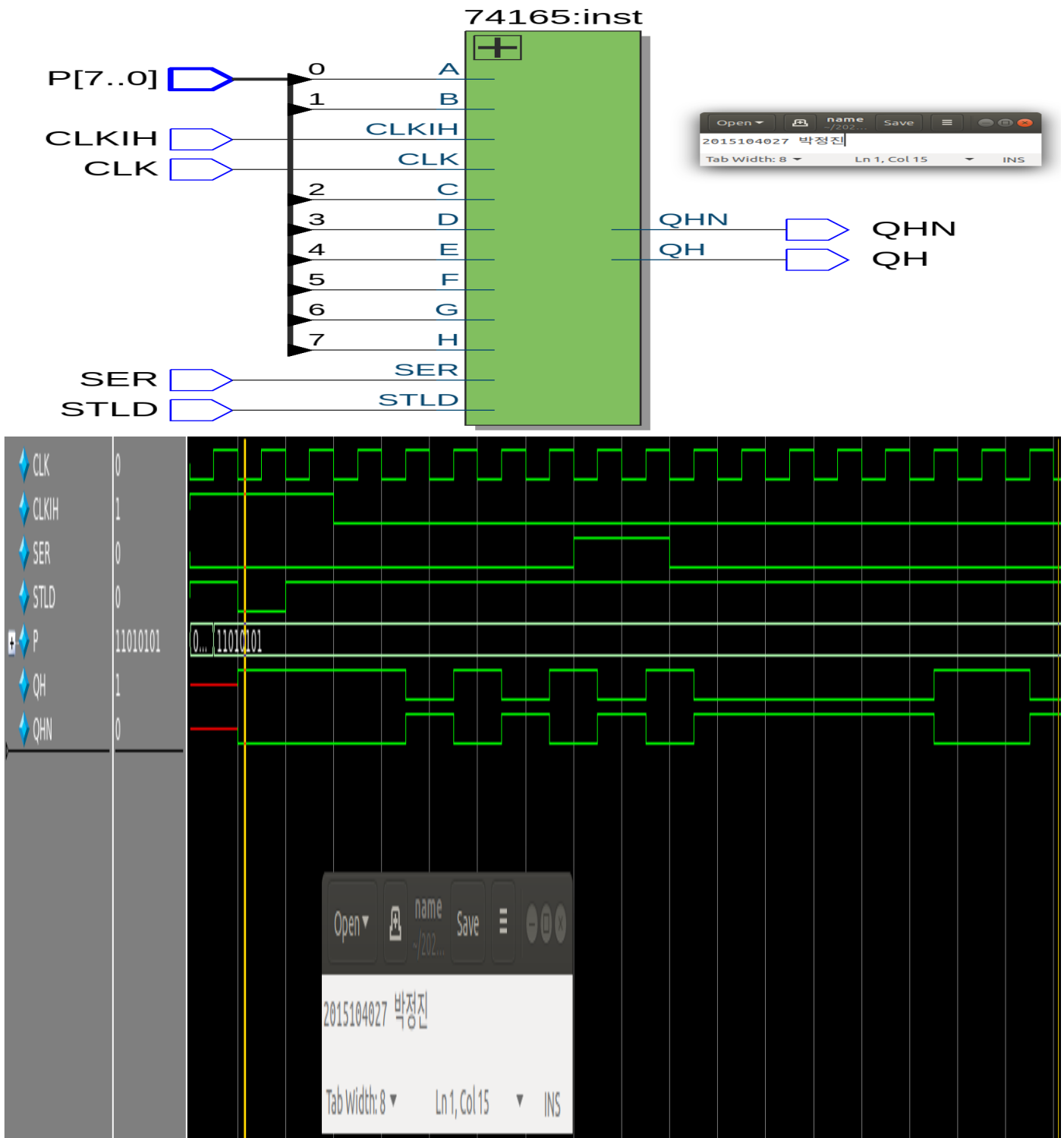
2 번째 결과 CP2 : 0 PLb : 1 (Shift Right) P[7:0] = 8'b01010101 을 로드 했으므로 바로 다음 클락에서 Q7 이 1 이 나오는 것을 확인 할 수 있다.

3 번째 결과 CP2 : 0 PLb : 1 (Shift Right) P[7:0] = 8'b01010101 을 로드 했으므로 그 이후 나오는 결과들이 0101.. 순서로 rising edge trigger 에 맞춰서 나오는 것을 확인 할 수 있다. (스크린 샷으로 찍을 때 걸리는 시간이 있어 사진은 마지막 [1:0]의 값이다)

4 번째 결과 CP2 : 0 PLb : 1 DS : 1 (Shift Right) P[7:0] = 8'b01010101 을 모두 shift 한 후 DS 값을 1 로 올린 결과인데 보는 것과 같이 8 번 째 rising edge 에서 Q7 값이 1 이 되는 것을 확인 할 수 있다.

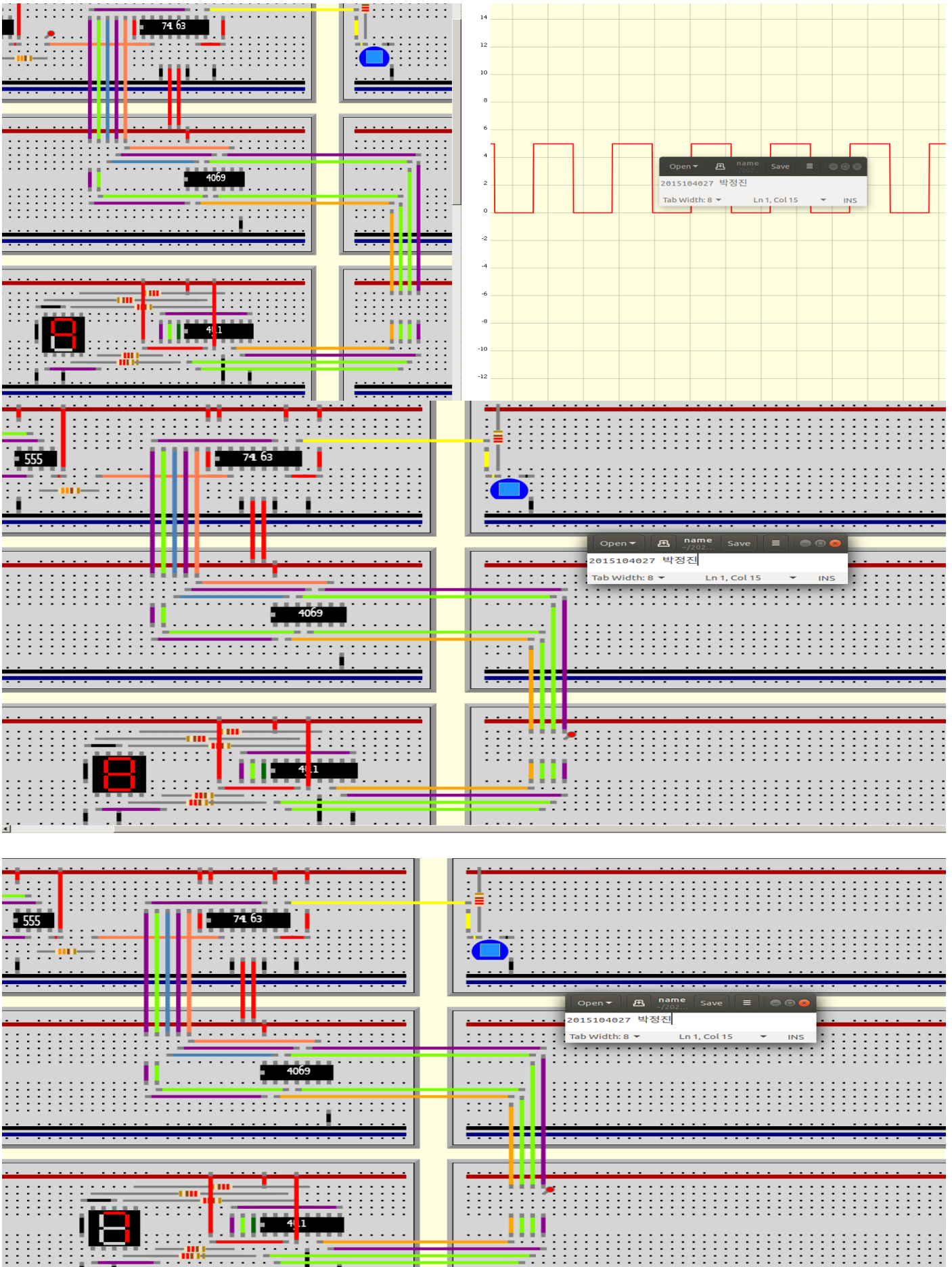
5 번째 결과 CP2 : 1 PLb : 0 (Parallel Load) P[7:0] = 8'b01010101

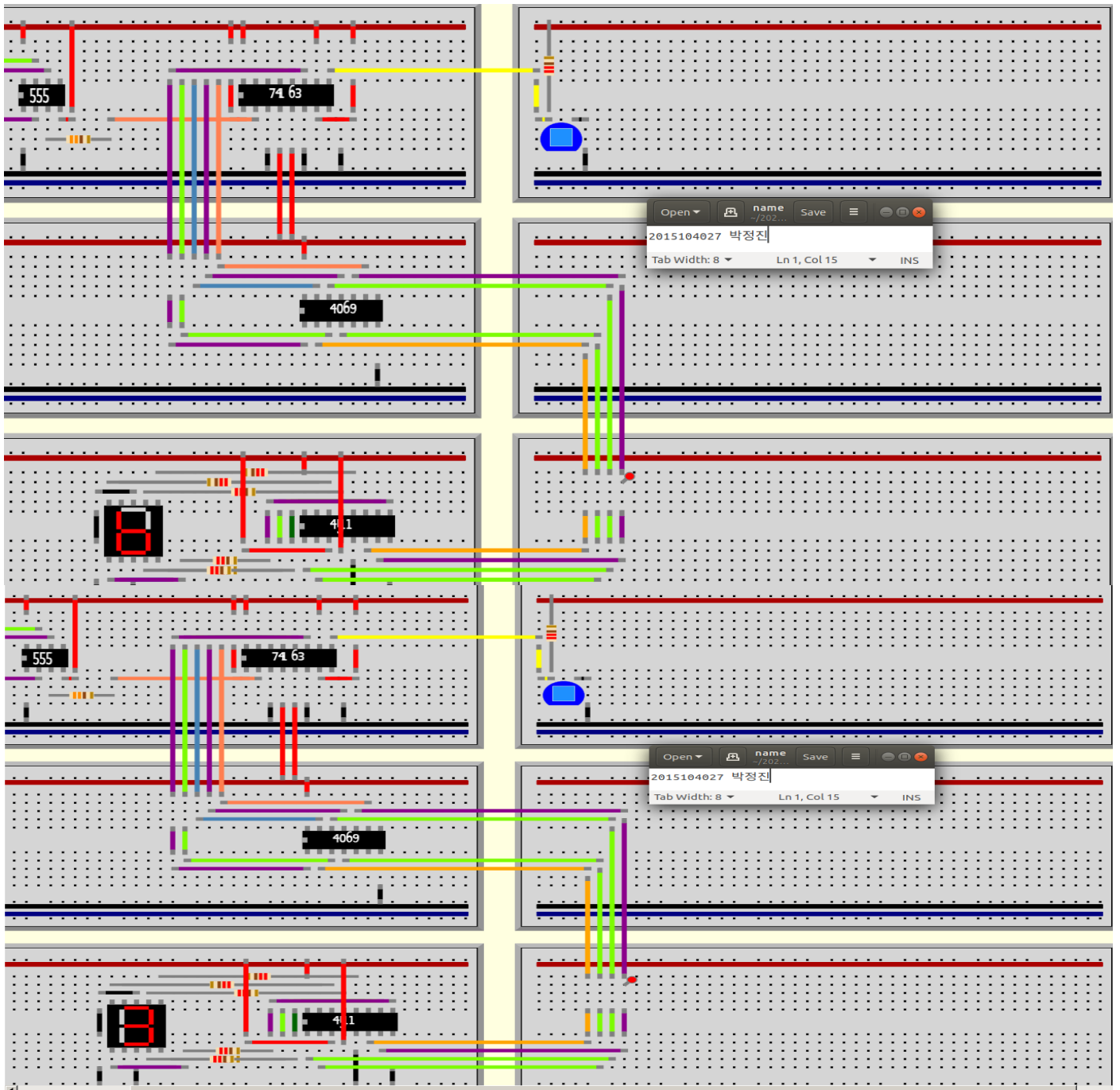
6 번째 결과 CP2 : 1 PLb : 1 (No Change) No change 상태로 Rising edge 를 만나도 shift 하지 않고 가만히 있는 결과를 확인 할 수 있다.

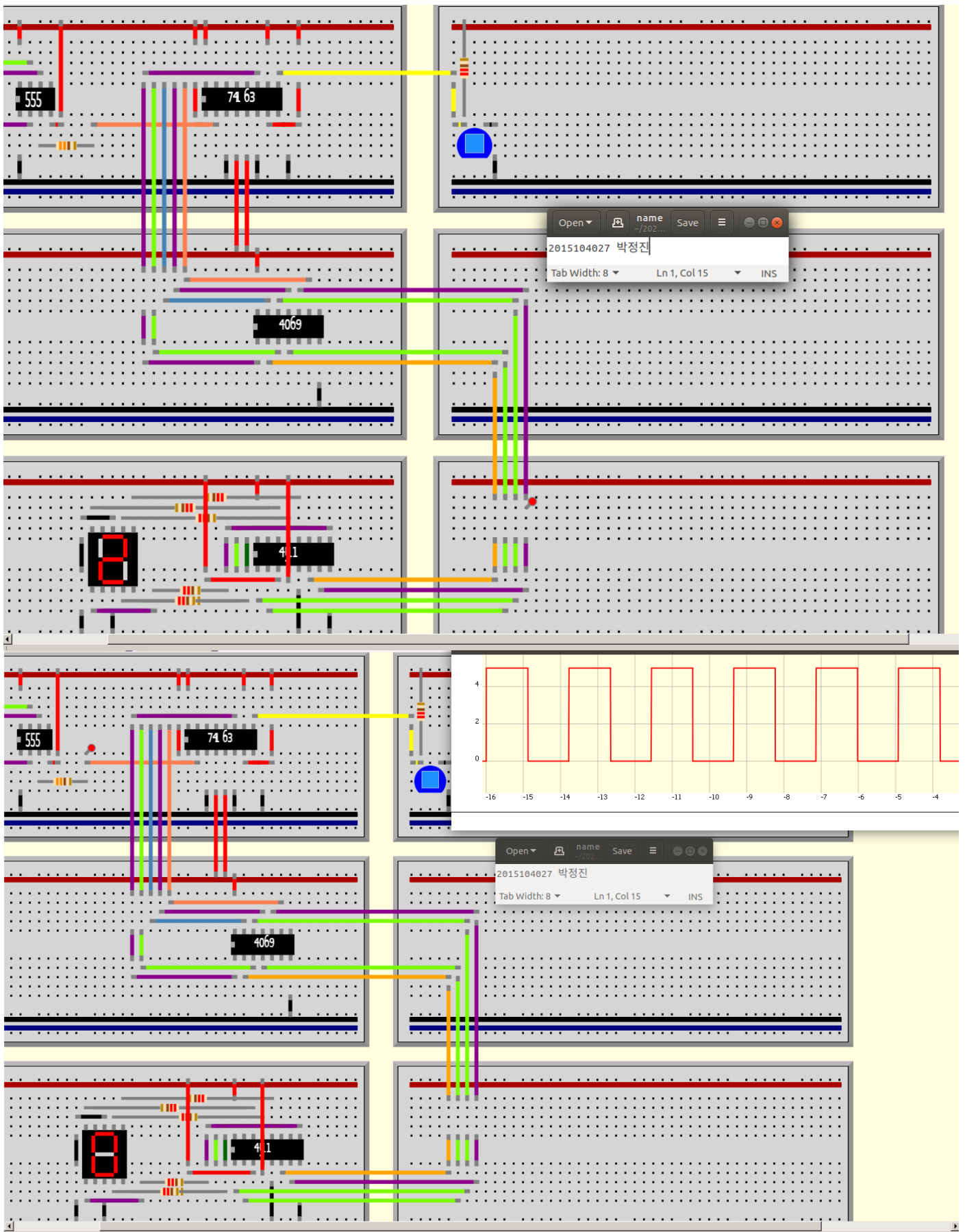


위에서 핀에 대해 언급 하였고, CLKIH 가 High 일땐 inhibition 상태로 아무것도 변화하지 않는다. 대신 asynchronous 인 STLD 는 clock 에 관계 없이 로드가 되는데 이를 확인하기 위해 P[7:0] = 8'b11010101 을 넣고 확인 해본 결과 STLD 가 Low 가 되자마자 P[7] = 1'b1 이므로 QH 도 High 가 되는 것을 확인 할 수 있다. 이후 CLKIH 가 Low 일 때 rising edge 에 따라 shift left(MSB P[7])하므로 QH 가 edge 마다 순서대로 11010101 순서대로 나오는 것이 보여진다. 그 이후 Serial Input 값인 SER 값을 1 로 넣은 이후 정확히 8 클럭 이후 QH 가 1 이 나오는 것도 볼 수 있다.

Lab10 - 2 ttl74163 count down with synchronous reset

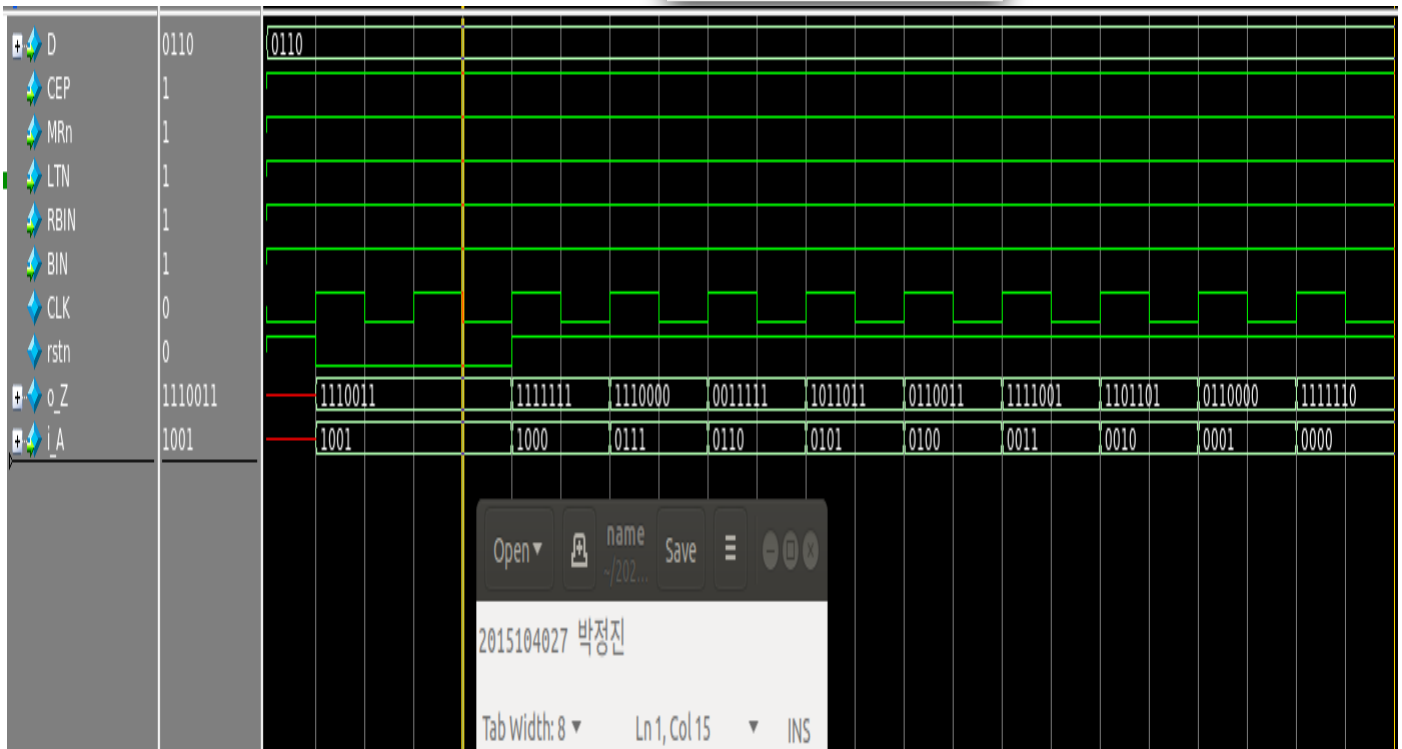
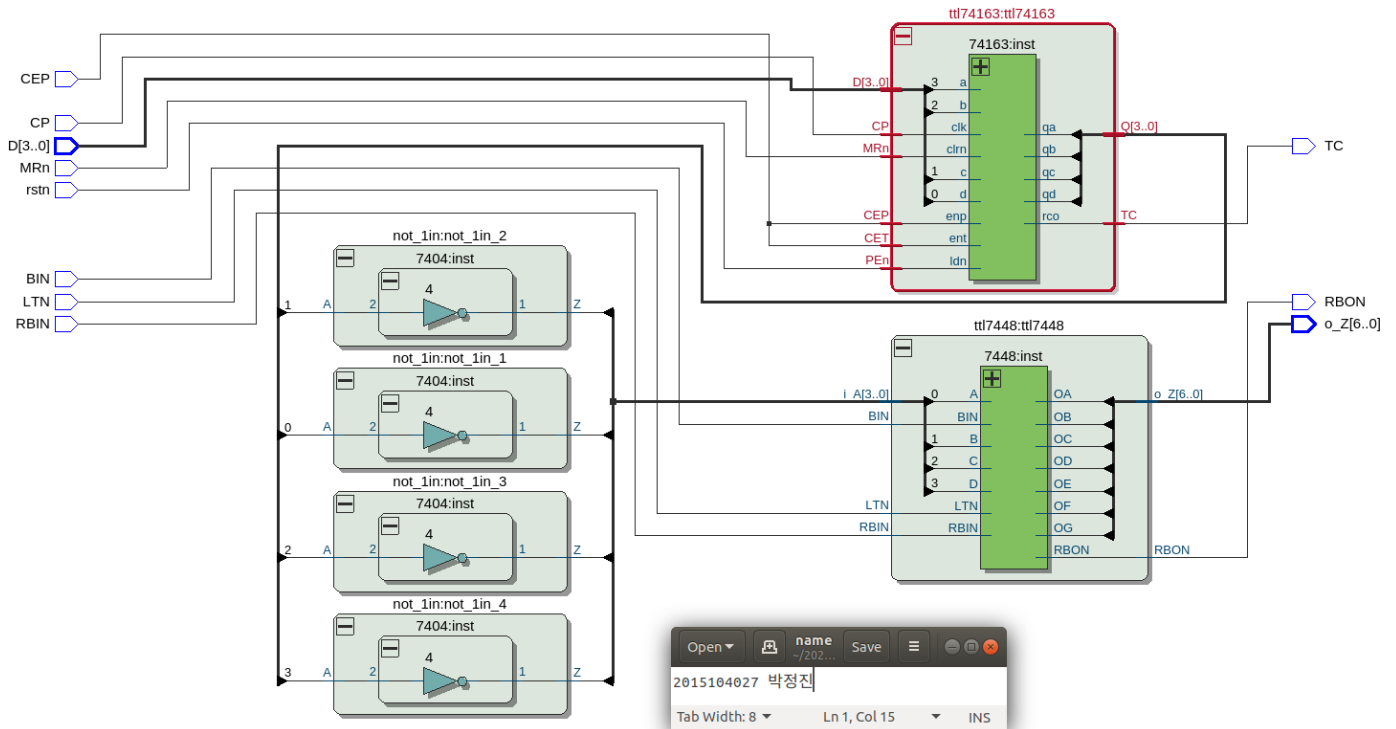






리셋 버튼은 푸쉬 버튼으로 구현했고 해당 전압이 0 일때 rising edge 를 만나야 동작한다. reset 을 로드와 연결 시켰으며 parallel load 값을 4'b0110 으로 맞췄다. 이후 Not gate 를 통해 1's complement 를 취하므로 해당값은 4'b1001 = 9 로 바뀐다. 그 값을 4511 display decoder 를 통과시켜 7segment 에 디스플레이 해보면 9 가 나오는 것을 확인 할 수 있다. 이후 rising edge 를 만나면 카운터는 1 을 증가시키지만 위에 언급했듯 not gate 를 만나므로 최종 디코더에

들어가는 비트는 감소하는 것으로 나타나져 segment 는 9, 8, 7, ... , 0 순으로 디스플레이 된다. 그이후는 카운터 값이 0000 이 되어 즉 디코더에 1111 이 들어가 segment 의 값이 제대로 출력되지 않고 더 기다리다 카운터 값이 다시 0110 즉 디코더에 1001 이 되는 순간 segment 에 9 가 다시 찍히는 것을 확인 할 수 있다.



TRUTH TABLE
SN54/74LS48

DECIMAL OR FUNCTION	INPUTS						OUTPUTS								NOTE
	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	D	C	B	A	$\overline{\text{BI/RBO}}$	a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L	1
1	H	X	L	L	L	H	H	L	H	H	L	L	L	L	1
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	L	H	L	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	L	2
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	L	3
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	H	4

쿼터스에는 4511 디코더가 없어 해당 기능과 똑같은 기능을 하는 ttl7448 칩을 이용했다. 위의 그림은 7448의 truth table이다. 쿼터스에서는 segment가 존재하지 않아 빵판과 똑같은 조건으로 High일 때 불이 들어오는 것으로 하는 것으로 하면 위의 ttl7448이 제 기능을 잘 하고 있는 것을 확인 할 수 있다. 시뮬레이션 결과, 리셋과 로드를 연결하였으므로 리셋이 로드 기능을 하여 Low일 때 처음 값으로 9가 들어오는 것을 확인 할 수 있고, 1110011로 나오는 것을 볼 수 있다. 이후 0까지 점차적으로 감소하는 것과 함께 디코더의 값을 비교해보면 모두 같은 것을 알 수 있다.