**디지털회로실험 보고서**

-6주차-

전자공학과

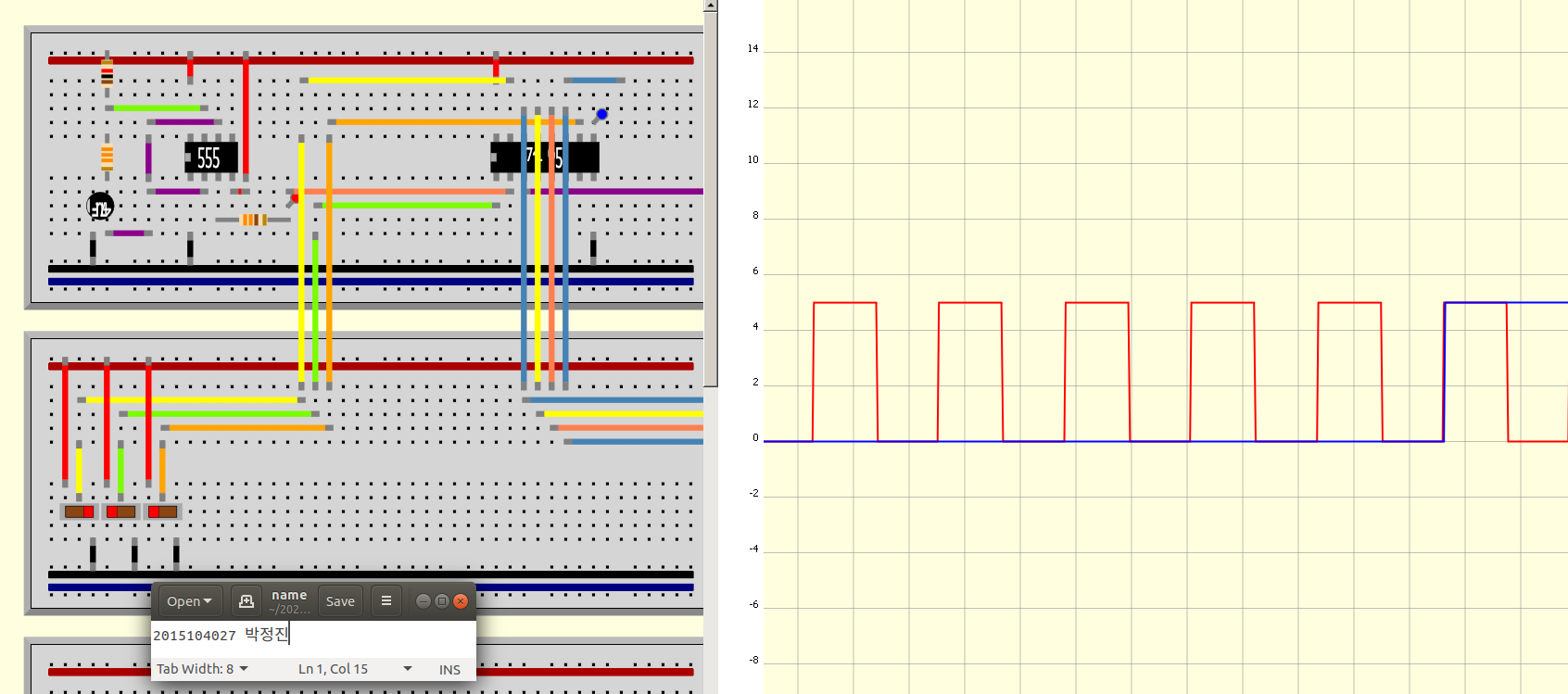
2015104027

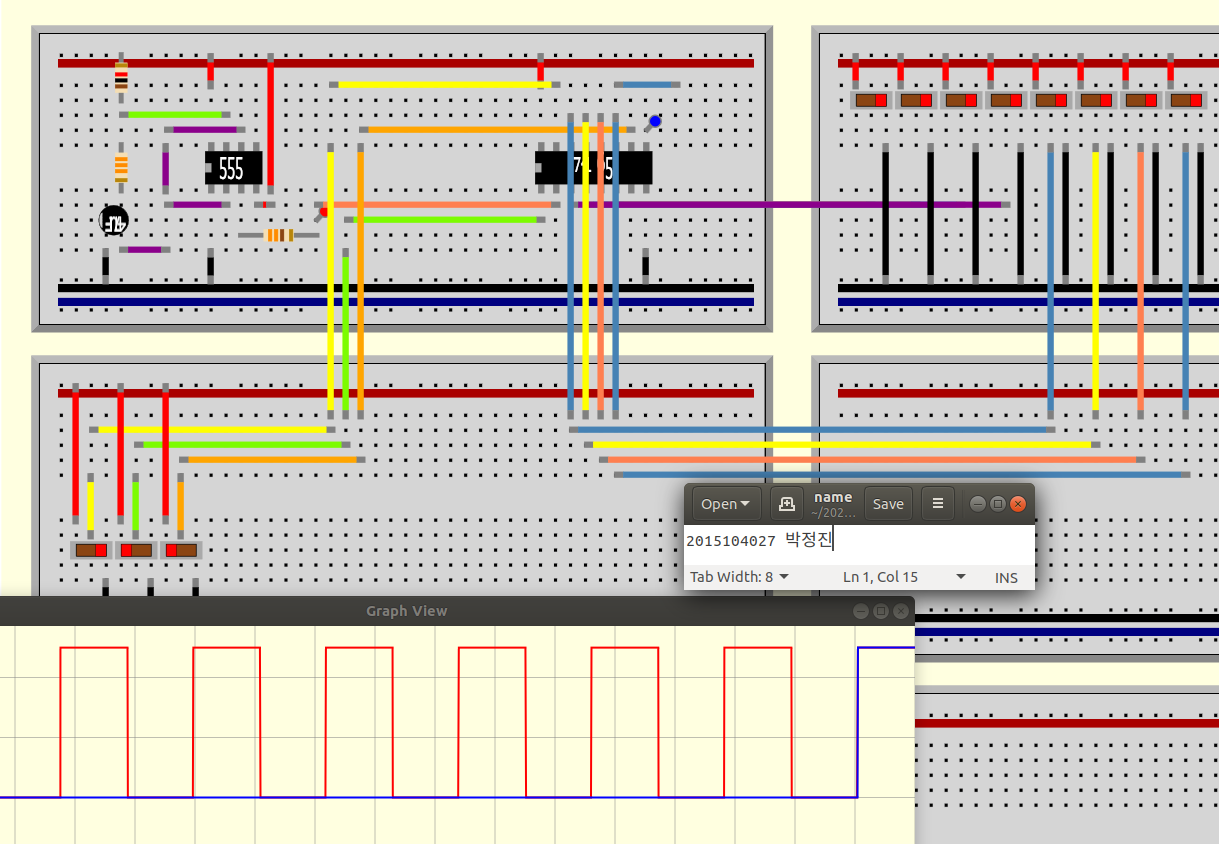
박정진

**실험 결과**

**Lab10 - 1 TTL74165**

A picture containing screenshot

Description automatically generatedA picture containing screenshot

Description automatically generatedA picture containing screenshot

Description automatically generatedA picture containing screenshot

Description automatically generated

Truth Table

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| CP1 | CP2 | PLb | DS | P[7..0] | Q7 | Q7b |  |
| x | x | 0 |  |  | P[7] | ~P[7] | Parallel Load |
| ↑ | 0 | 1 |  |  |  |  | Shift Right |
| ↑ | 1 | 1 |  |  |  |  | No Change |

PLb : asynchronous load(STLD, Load는 activate Low)

CP1 : Clock (CLK)

CP2 : Clock Inhibit(CLKIH)

DS : Serial Input(SER)

1 번째 결과 CP2 : 0 PLb : 0 (Parallel Load) P[7:0] = 8'b01010101

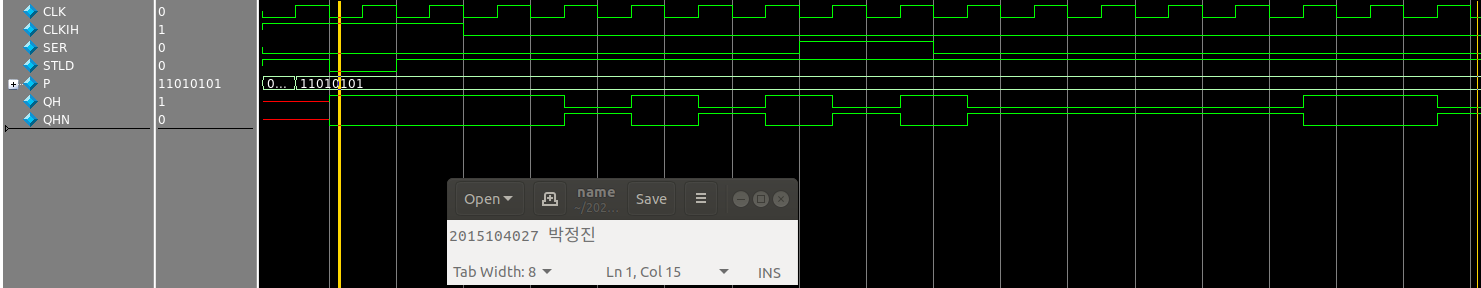
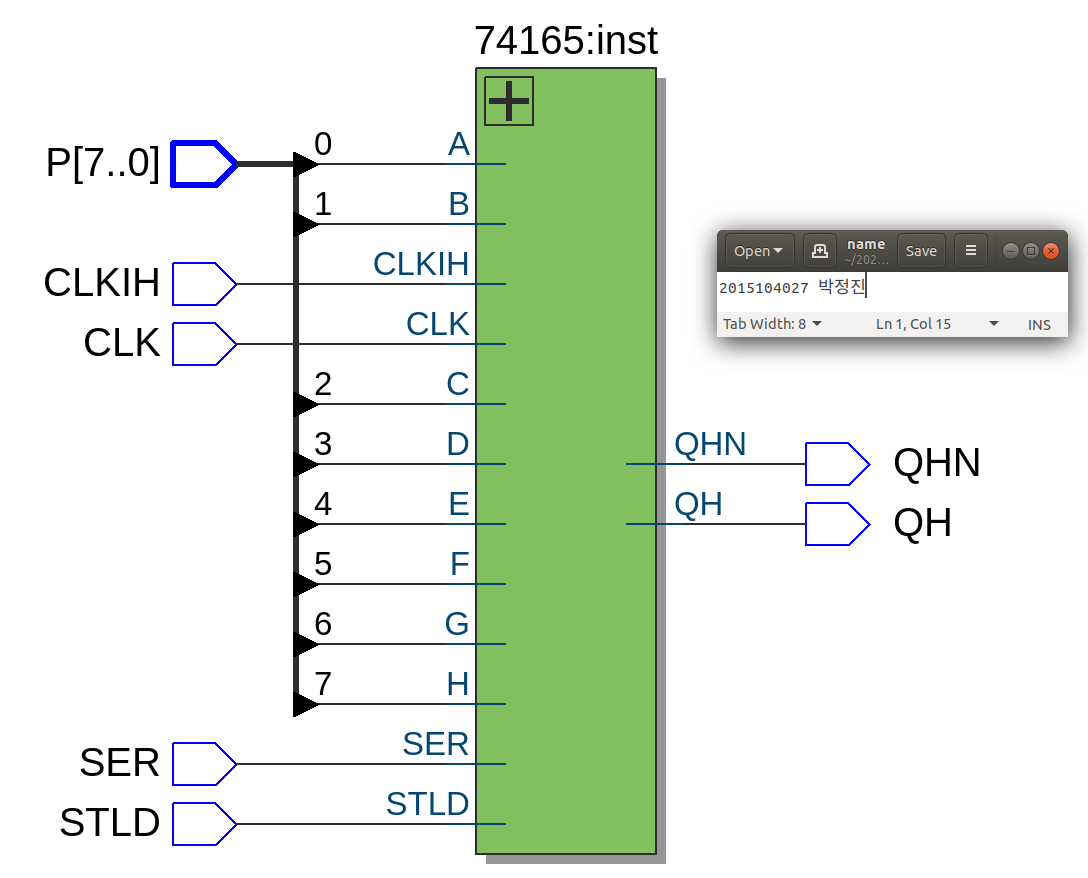
2 번째 결과 CP2 : 0 PLb : 1 (Shift Right) P[7:0] = 8'b01010101을 로드 했으므로 바로 다음 클락에서 Q7 이 1이 나오는 것을 확인 할 수 있다.

3 번째 결과 CP2 : 0 PLb : 1 (Shift Right) P[7:0] = 8'b01010101을 로드 했으므로 그 이후 나오는 결과들이 0101.. 순서로 rising edge trigger에 맞춰서 나오는 것을 확인 할 수 있다. (스크린 샷으로 찍을 때 걸리는 시간이 있어 사진은 마지막 [1:0]의 값이다)

4 번째 결과 CP2 : 0 PLb : 1 DS : 1 (Shift Right) P[7:0] = 8'b01010101을 모두 shift한 후 DS 값을 1로 올린 결과인데 보는 것과 같이 8번 째 rising edge에서 Q7 값이 1이 되는 것을 확인 할 수 있다.

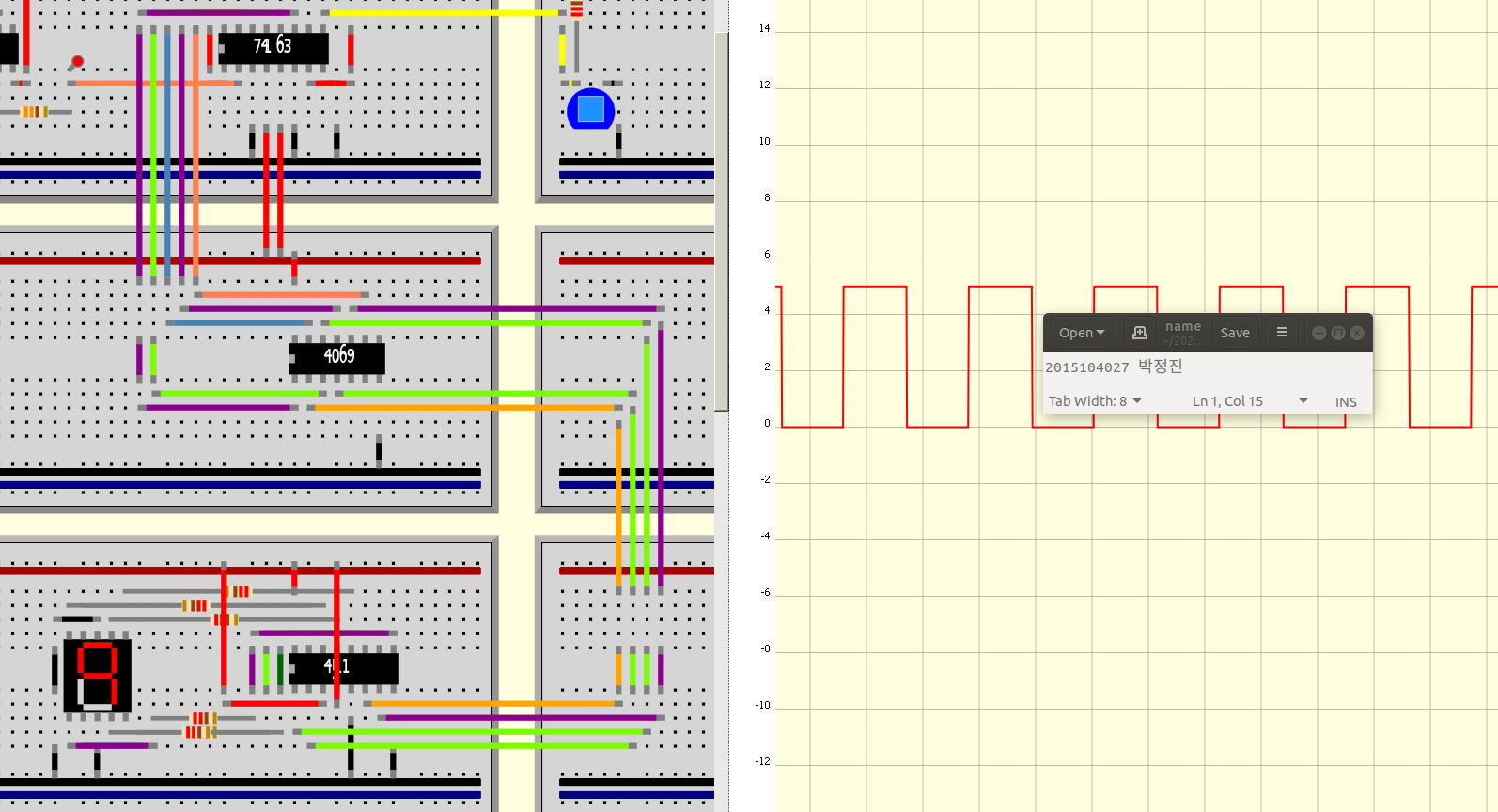
5 번째 결과 CP2 : 1 PLb : 0 (Parallel Load) P[7:0] = 8'b01010101

6 번째 결과 CP2 : 1 PLb : 1 (No Change) No change 상태로 Rising edge를 만나도 shift 하지 않고 가만히 있는 결과를 확인 할 수 있다.



위에서 핀에 대해 언급 하였고, CLKIH가 High일땐 inhibition 상태로 아무것도 변화하지 않는다. 대신 asynchronous 인 STLD는 clock에 관계 없이 로드가 되는데 이를 확인하기위해 P[7:0] = 8'b11010101을 넣고 확인 해본 결과 STLD가 Low가 되자 마자 P[7] = 1'b1이므로 QH도 High 가 되는 것을 확인 할 수 있다. 이후 CLKIH가 Low일 때 rising edge에 따라 shift left(MSB P[7])하므로 QH가 edge마다 순서대로 11010101 순서대로 나오는 것이 보여진다. 그 이후 Serial Input 값인 SER값을 1로 넣은 이후 정확히 8클락 이후 QH가 1이 나오는 것도 볼 수 있다.

**Lab10 - 2 ttl74163 count down with synchronous reset**



A picture containing screenshot

Description automatically generated

A picture containing screenshot

Description automatically generated

A picture containing screenshot

Description automatically generated

A picture containing screenshot

Description automatically generated

A picture containing screenshot

Description automatically generated

A picture containing screenshot

Description automatically generated

리셋 버튼은 푸쉬 버튼으로 구현했고 해당 전압이 0 일때 rising edge를 만나야 동작한다. reset을

로드와 연결 시켰으며 parallel load값을 4'b0110으로 맞췄다. 이후 Not gate를 통해 1's complement를 취하므로 해당값은 4'b1001 = 9 로 바뀐다. 그 값을 4511 display decoder를 통과시켜 7segment에 디스플레이를 해보면 9가 나오는 것을 확인 할 수 있다. 이후 rising edge를 만나면 카운터는 1을 증가시키지만 위에 언급했듯 not gate를 만나므로 최종 디코더에 들어가는 비트는 감소하는 것으로 나타나져 segment는 9, 8, 7, ... , 0 순으로 디스플레이 된다. 그이후는 카운터 값이 0000이 되어 즉 디코더에 1111이 들어가 segment의 값이 제대로 출력되지 않고 더 기다리다 카운터 값이 다시 0110 즉 디코더에 1001 이 되는 순간 segment에 9가 다시 찍히는 것을 확인 할 수 있다.

A close up of a device

Description automatically generated

A close up of a computer

Description automatically generated

A close up of text on a screen

Description automatically generated

쿼터스에는 4511 디코더가 없어 해당 기능과 똑같은 기능을 하는 ttl7448 칩을 이용했다. 위의 그림은 7448 의 truth table이다. 쿼터스에서는 segment 가 존재 하질 않아 빵판과 똑같은 조건으로 High일때 불이 들어오는 것으로 하는 것으로 하면 위의 ttl7448이 제 기능을 잘 하고 있는 것을 확인 할 수 있다. 시뮬레이션 결과, 리셋과 로드를 연결하였으므로 리셋이 로드 기능을 하여 Low일 때 처음 값으로 9가 들어오는 것을 확인 할 수 있고, 1110011로 나오는 것을 볼 수 있다. 이후 0 까지 점차적으로 감소하는 것과 함께 디코더의 값을 비교해보면 모두 같은 것을 알 수 있다.