

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

# ASTRO

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

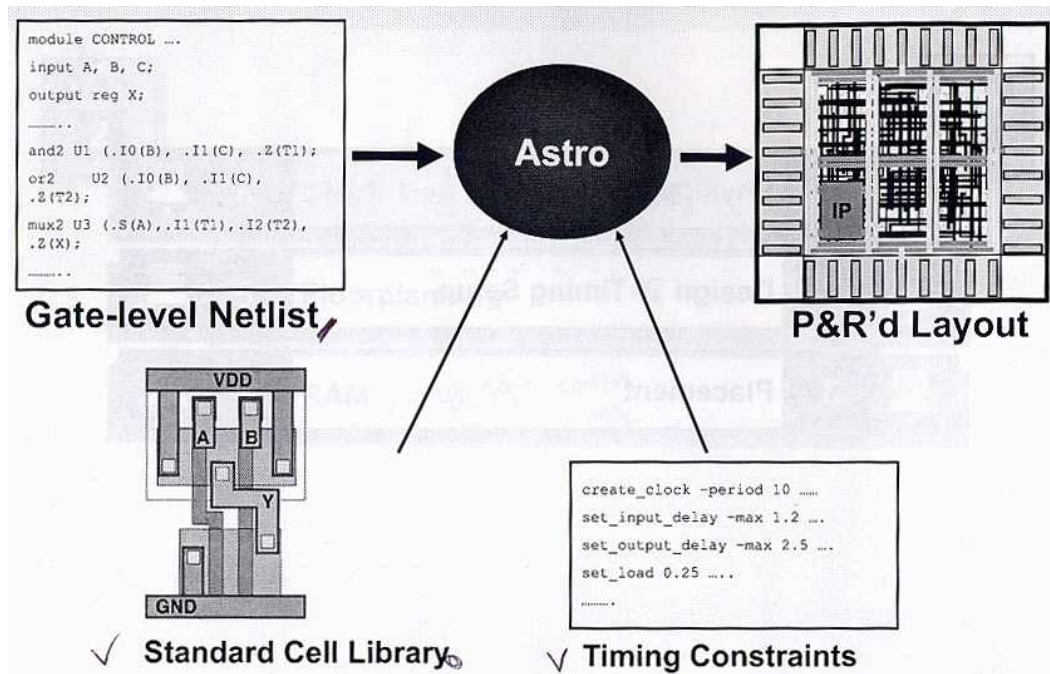
## 목 차

Introduction to Astro	-----	1
Lab1. Design and Timing Setup	-----	6
Lab2. Floorplanning	-----	12
Lab3. Placement	-----	19
Lab4. Clock Tree Synthesis	-----	22
Lab5. Routing	-----	50
Lab6. Design for Manufacturing	-----	82

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## Introduction to Astro

### ※ ASTRO 기능 및 역할



Astro 기능 및 역할

### ※ Standard Cell Library?

- A Standard Cell is a pre-designed layout of one specific basic logic gate.
- 각 cell은 height 가 같음.
- A Standard Cell Library 다양한 종류의 standard cell을 가지고 있음
- Libraries은 ASIC vendor Library grup에서 제공.

### ※ Place and Routes?

- Layout은 세 types의 reference cells이 있음  
: Macro cells(ROMs, RAMs, IP vlocks), Standard cell(nand2, inv, dff,...) Pad cells(input, output, Vdd, Vss pads)
- Placement and Routing을 하기 전 Macro와 Pad cell locations을 정하는 Floorplanning stage가 있음.
- all Standard Cells의 Location은 Placement 중에 routability와 timing에 따라 자동으로 결정됨.
- Pins 은 Routing 중 phsically 연결됨.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

※ Astro - Input/Output Files

- Input Files

File type or format	File content
Technology .tf	Design rules, net resistance and capacitance, units of measurement.
GDSII	Physical layout information.
Synthesis library .lib or .db	Cell timing and functionality. For information about using .db, see the application note.
Verilog netlist .v, VHDL netlist .vhd, or EDIF netlist .edf	Connectivity information.
Timing constraints .sdc	Timing constraints, clock definitions.
Design .def or .pdef	Floorplan information, including core size, placement sites, port locations, RAM locations, and routing and placement obstructions.

Astro Input Files

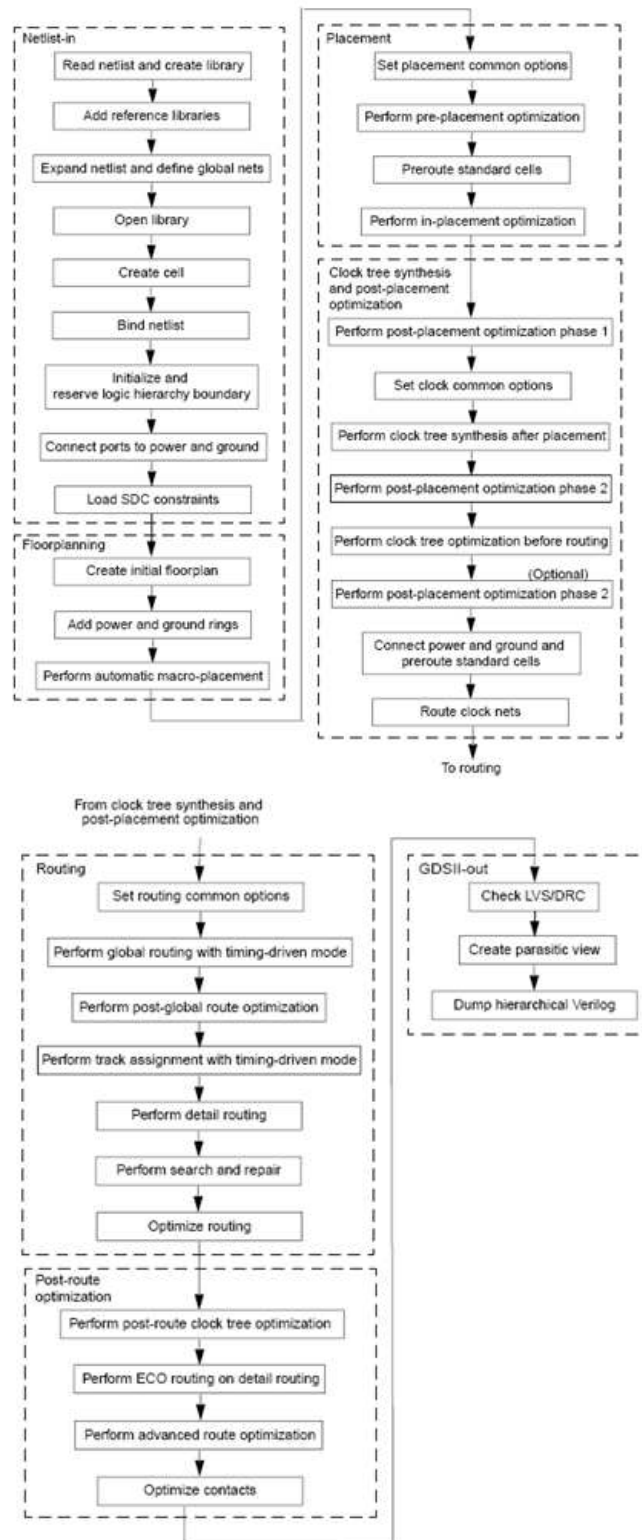
- Output Files

File type or format	File content
Design .sdf	Post-floorplanning timing
Parasitic .spef or .spf	Parasitic information
Verilog .v (flattened) or .hv (hierarchical)	Optimized netlist
GDSII	Updated physical layout information
(Optional) Updated design .pdef	Cell placement locations
(Optional) Updated design .def	Netlist and floorplan (cell placement) information

Astro Output Files

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

※ Astro Design Flow



Astro Design Flow

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

must need to files for P&R : .v(netlist file), .sdc(constrain file), .tdf(pad 위치정보파일), 공정제공 라이브러리(L18CB.zip)

1. Xshell 3.0 실행 후 본인 계정으로 Dell(163.180.118.163)에 접속
2. Astro의 License 및 Path 설정이 완료되었다고 가정 함.
3. Astro 작업을 수행하기 위한 디렉토리를 생성  
: mkdir 디렉토리명 + ↵ (Enter)  
*ex) mkdir [폴더명] + ↵ (Enter)*
4. 공정에서 제공하는 라이브러리 복사 및 압축해제 설치  
: 공정 라이브러리 설치 시 반드시 라이브러리에서 제공하는 설치 방법을 숙지하여 설치해야 하며 라이브러리를 부분적으로 복사해서 사용할 수 없다.
5. 입출력 패드의 위치를 결정하는 tdf 파일(공정에서 제공)과 techgen을 통해 변환된 TECH 파일을 준비한다. (기본적으로 라이브러리에 포함)  
변환된 TECH 파일의 경우 다음 경로에 복사한다 : samsung/Prim\_phantom/TECH  
※ TECH 파일을 변환하는 이유는 해당 TECH 파일의 메탈 수가 다를 경우 맞춰주기 위함.
6. Astro를 수행하기 위한 작업 디렉토리 내에 design\_data 폴더를 생성한다. 이 폴더에 디자인 컴파일러를 통해 합성된 netlist 파일과 sdc 파일을 복사해 둔다.
7. 다시 Astro를 수행하기 위한 작업 디렉토리로 이동 후 Astro 명령을 실행  
※ Astro&
9. ASTRO가 정상적으로 실행되어졌다면 그림 1과 같은 화면을 볼 수 있을 것이다. 만일 License 관련 경고 문구가 보인다면 Astro 창을 종료한 후 라이선스 문제를 해결 후 재 실행 한다.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

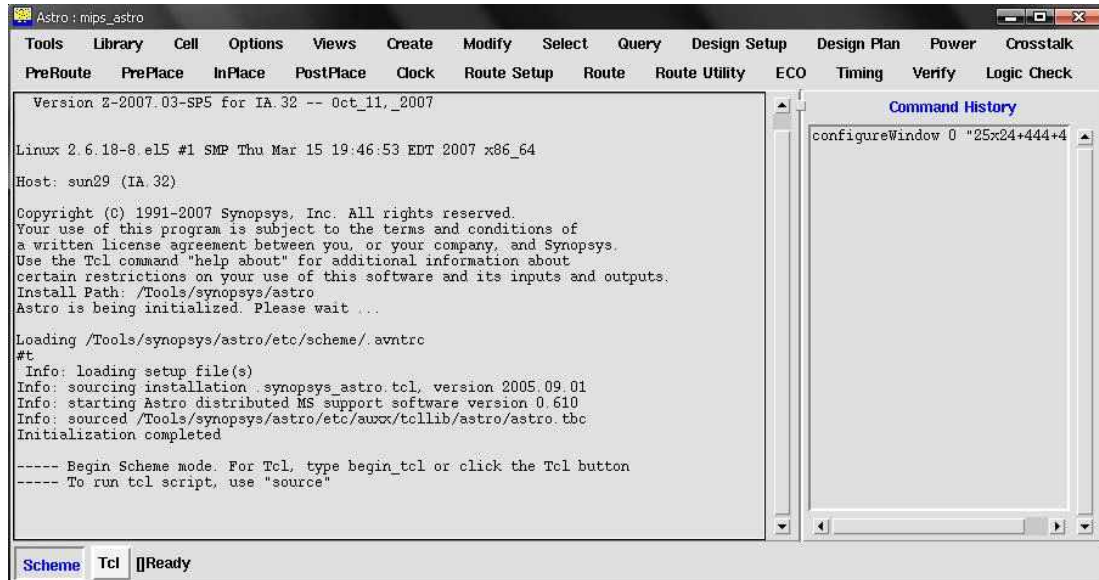


그림 1. 정상적인 Astro 실행 화면

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## Lab1. Design and Timing Setup

1. Select **Tool -> Data Prep** to make the "Data Prep" pull-down menus visible

2. Select **Netlist In -> Verilog To CEL...**

: 디자인컴파일러를 통해 생성된 Netlist 파일과 공정 라이브러리 및 TECH파일을 이용하여 P&R용 CEL을 생성하는 첫 번째 과정이다.

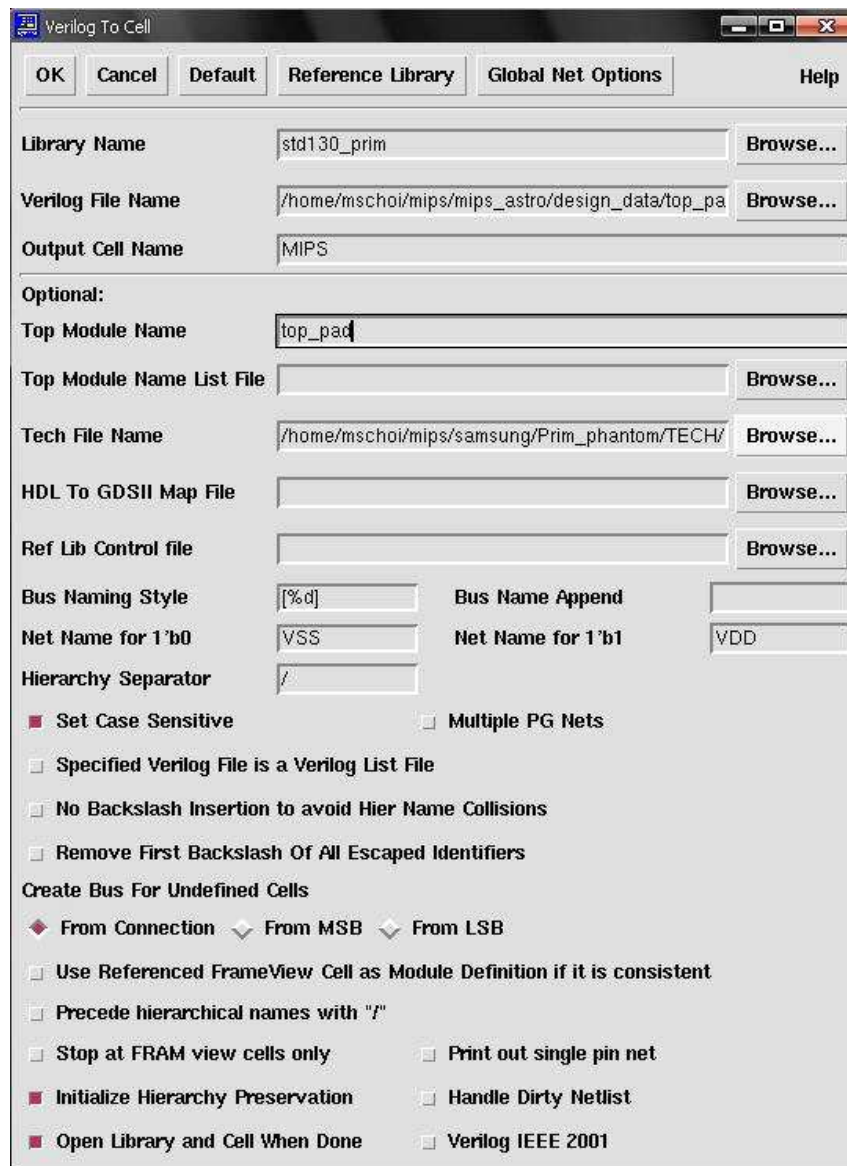


그림 2. Verilog To Cell



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 2.1 Library Name

P&R 작업을 하기 위해 Directory 생성. P&R 작업의 모든 결과물은 여기에 설정한 이름의 Directory 밑에 저장된다.

## 2.2 Verilog File Name

Design의 gate-level netlist를 loading 하기 위해 file 위치 설정 (Browse...이용)  
/home/본인계정입력/mips/mips\_astro/design\_data/top\_pad.v

## 2.3 Top Module Name

Design 의 top module name  
mips의 top module name은 top\_pad 이다.

## 2.4 Tech File Name

공정에서 제공한 technology file(.tf file) loading 하기 위해 file 위치 설정  
/home/본인계정입력/mips/samsung/Prim\_phantom/TECH/std130\_prim\_4m\_v2.techgen.tf

## 2.5 Reference Library

공정에서 제공한 Cell(Standard cell, I/O cells)과 Memory compiler에서 compile 되어 만들어진 Memory Cell을 위한 Reference Library를 Loading 하기 위해 위치 설정

Select Reference Library button. -> Browse... (해당 Cell 및 Memory Lib 선택)

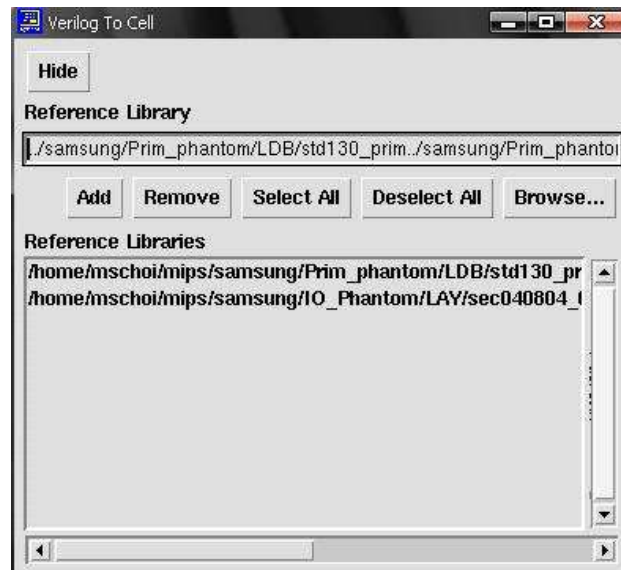


그림3. Reference Library

모든 라이브러리를 추가하였다면 Hide 버튼을 누른 후 빠져나온다.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 2.6 Global Net Options

Chip의 Global Power/Ground를 설정하는 단계이다. VDD와 GNDVD를 하나의 Global Net으로 연결하는 작업이다.

예를 들어 VDD를 설정할 경우 그림 4의 Net Name 과 Port Pattern에 VDD를 입력하고 Apply 하면 된다. 이때 Number Defined가 0에서 1로 올라감을 알 수 있다. VSS(Ground)에 대해서도 같은 방법으로 수행하라.

Select Global Net Options button.

```
=====
Net Name      VDD      VSS
Port Pattern  VDD.*    VSS.*
=====
```

VDD와 VSS에 대해 위와 같은 방법으로 입력한 후 각각 Apply 버튼을 클릭한다. Mode 는 반드시 Add로 설정되어 있어야 한다.

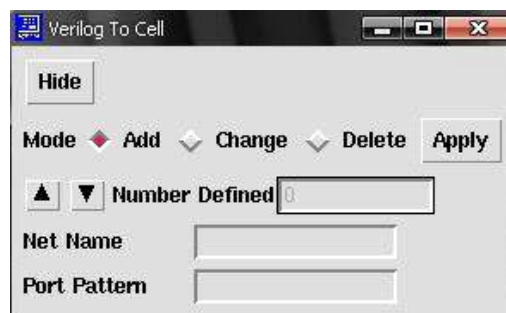


그림 4. Global Net Options

### ※ VDD/VSS의 종류

VDD/VSS : core에 공급되어지는 전원

VDDO/VSSO : pad에 공급되어지는 전원

VDDQ/VSSQ : pad에 공급되어지는 전원

삼성 Lib의 경우 Pad filler를 삽입할 경우 VDDO와 VDDQ는 자동으로 연결되어지므로 이 과정에서는 core전원인 VDD와 VSS만을 고려한다.

**Ensure that the following options are ON.**

- Set Case Sensitive
  - : When the option is not selected(default is selected), Astro will convert all names to upppercase which can lead to problems with other tolls downstream.
- Initialize Hierarchy Preservation
  - :This options is selected to preserve the design's logical hierarchy.
- Open Library and Cell When Done
- ※ Leave all other potions at their default setting.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

Verilog To Cell의 모든 과정을 마쳤다면 OK 버튼을 눌러 CELL을 생성한다. 그림 5는 생성된 Cell을 보여준다.

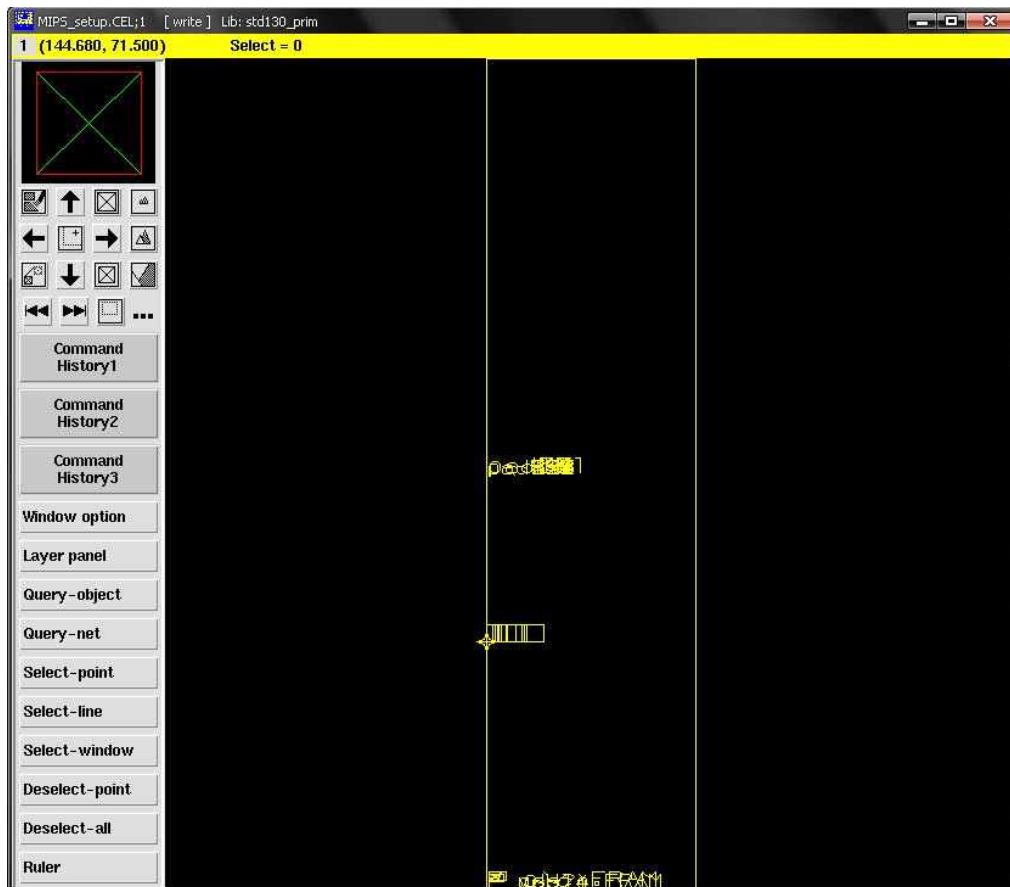


그림 5. Verilog To Cell을 통해 출력된 Cell

### 3. Select **Cell** -> **Mark Module Instances Preserved ...**

: Click the Default button.

Enter "Cell Name(MIPS)" for Flattened Cell Name

Click OK

이 작업은 logical 레벨의 계층적 특징을 지속시켜 주기 위해 사용한다.

### 4. Perform a Timing Data Check

: Go back to the Astro menu set with : **Tools -> Astro**

#### 4.1 Load the SDC file : Select **Timing -> Constraints : Load SDC...**

※ Astro SDC 파일에서 제거되어야 할 것

: set\_area, wire\_load, operation condition

set\_ideal\_network -> set\_propagated\_clock [get\_clocks clk]

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

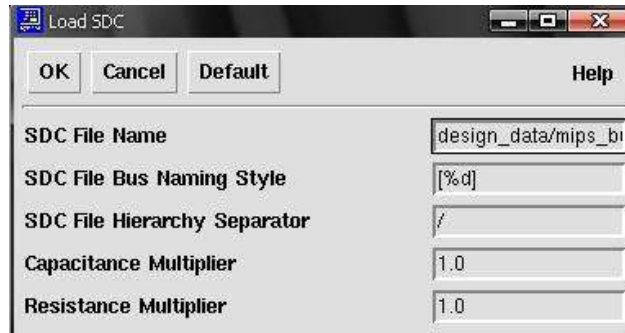


그림6. Load SDC

SDC File Name : 해당 SDC 파일이 있는 경로와 파일명을 입력한 후 OK버튼 클릭

4.2 Timing Data Check : **Select Timing -> Astro Time : Timing Data Check...**  
: Netlist와 SDC 파일이 제대로 만들어 졌는지 확인하는 과정임.

## 5. Perform a Timing Sanity Check

### 5.1 Timing Setup

: Select **Timing -> Astro Time : Timing Setup**

5.1.1 Select "Model" tab : Change Net Delay Model Medium Effort to **Low Effort**

This will have no effect on the timing sanity check;

it is, however, a recommended setting for pre-CTS optimization

5.1.2 Select the Environment tab : Turn the **Ignore Interconnect option ON**

아직 Placement 전이기 때문에 net delay는 무시  
이 옵션은 timing sanity check 이후 반드시 OFF  
로 변환해야한다

Turn the **Ignore Propagated Clock option ON**

Turn the **Include Non Propagated Nets ON**

: CTS 수행 전이므로 Propagated clock, net 무시

<참고그림> 참조

5.1.3 Select the Optimization tab : Change Optimization Max Capacitance value 0

Change Optimization Max Transition value 0

Max Capacitance, Transition 값을 무시

and Apply.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	



참고그림. Option in environment Pre-CTS

## 5.2 Generate a Timing Report

: Select **Timing** -> **Timing Report ...** -> Report Constraints : Max Trans and Max Cap ON -> Click "OK"

실행 후 그림 7과 같은 결과를 얻을 수 있다.

Setup/Hold/MaxTrans/MaxCap 가 Slack임을 확인하자.

```

ASTSUM: Summary of timing analysis (w/o xtalk)
ASTSUM:      Setup (Target=0.0000)      Hold      Num      Num
ASTSUM:      Slack  Num      Total      Slack  Num  MaxTrans  MaxCap
ASTSUM:      16.264    0      0.0      0.115    0      0      0
@@@ Total CPU      Time =    0:00:04
@@@ Total Elapsed Time =    0:00:06
@@@ Peak  Memory  Used =   153.27 MB
Timing Report OK

```

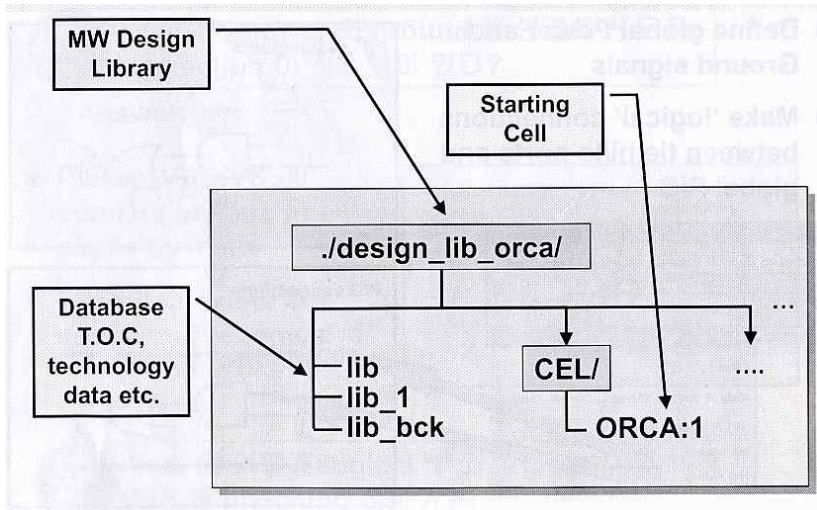
그림7. Timing Report 결과

## 6. Save the cell as Setup

Select Cell -> Save As...

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

#### ※ Astro Database 구조



: Astro database의 구조는 위의 그림과 같다. Netlist to CEL을 통해 변환된 CELL은 변환과정 중 지정한 Library명에 따라 해당 작업폴더에 MW Design Library 가 생성된다. 생성된 MW Design Library 안에는 lib\_\* 폴더들이 존재하는데 이는 technology data가 CELL로 변환되어 생성된 디렉토리이며 각 Lab마다 작업 후 Cell을 Save As 할 경우 CEL 폴더에 지정하는 이름으로 저장되어진다. Astro 작업도중 컴퓨터 이상으로 인해 작업이 중단되었을 경우 해당 Cell은 Lock mode로 변환되며 Cell이 lock 모드일 경우 다시 불러들여 작업할 수 없다. 이 경우 MW design Library 폴더안에 CEL폴더로 들어가서 .lock라고 명시되어 있는 가장 최근에 작업한 파일을 삭제하기 바란다.

## Lab2. Floorplanning

: Floorplanning 작업을 하기 위해서는 공정에서 제공하는 .tdf 파일이 필요하다. TDF파일은 I/O Pad의 위치정보를 갖는 파일이다.

1. Load the tdf file

: Select **Design Setup** -> **TDF : Load TDF...**

Leave the Cell Name field blank

TDF File Name에 해당 TDF 파일의 경로와 파일명을 쓴 후 OK 버튼 클릭

2. Set up Floorplanning

: Select **Design Setup** -> **Floorplan : Set Up Floorplan ...**

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

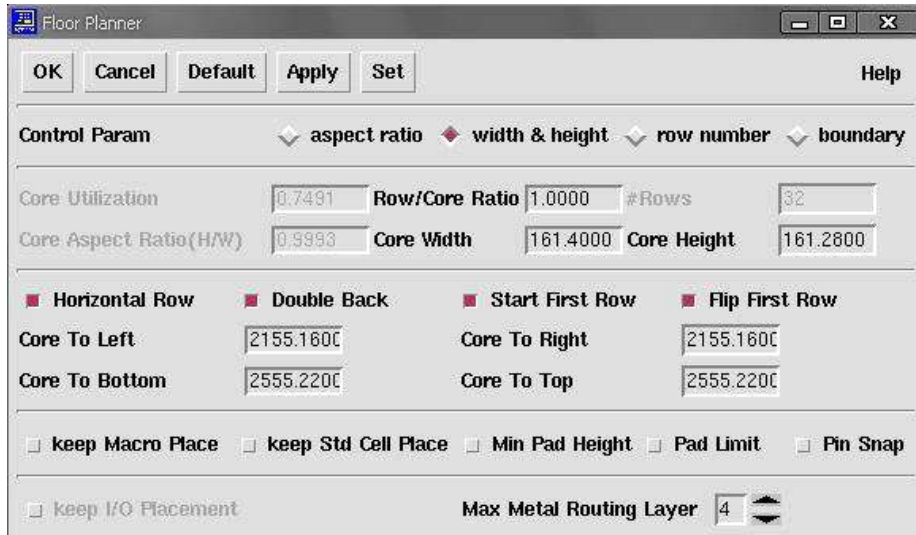
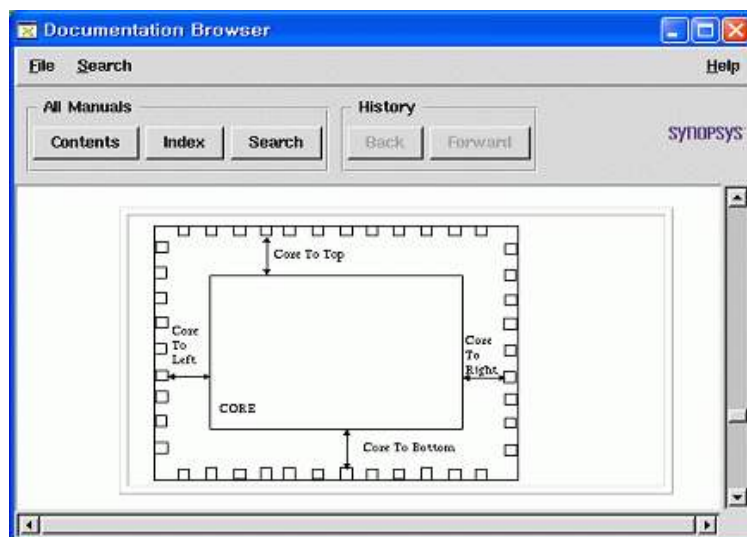


그림8. Floor planning

Core region(cell 들이 들어갈 영역의 한계 지정, pad cell 제외)을 직접 지정하기 위해 Control Param 의 width & height를 선택한다. 그러면 비활성화 되어 있는 Core Width 와 Core Height가 활성화 되었음을 확인할 수 있다.

그리고 Double Back, Start First Row, Flip First Row를 선택한다. 이에 대한 자세한 사항은 상단 오른쪽의 Help를 참조하라. (Row/Core Ratio는 반드시 1로 하라)

Core To Left는 core region과 왼편 Pad 사이의 거리를 나타낸다. (아래그림참조)



이를 사용자가 직접 지정해 줄 수 있다. Size를 고려하여 각 field에 적당한 크기를 기입한 후 Apply를 누르면 그림9와 같이 floorplan된 결과를 볼 수 있다.

(반드시 Core Utilization 은 0.6 ~ 0.65 정도 되게 할 것)



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

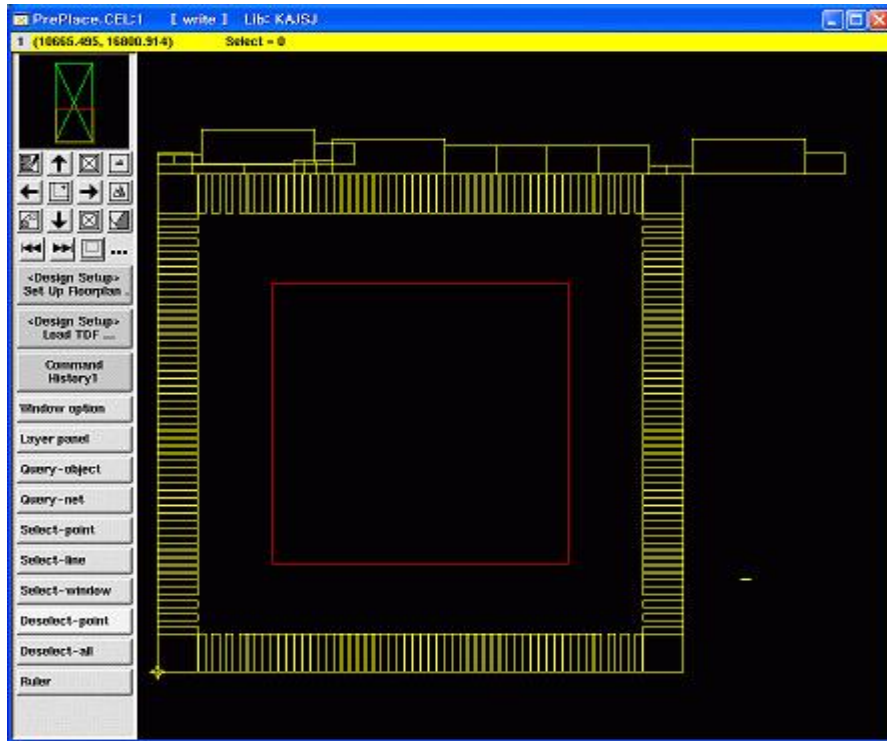


그림9. Floorplan 결과

전체 Chip Size를 정확히 맞추기 위해 Core To Left, Right, Bottom, Top을 적당히 조절하며 끝점 좌표를 확인한다. 그림 10과 같이 끝점 좌표가 공정에서 제시한 size와 맞는지 꼭 확인하길 바란다. 맞지 않는 경우에 계속 조절.

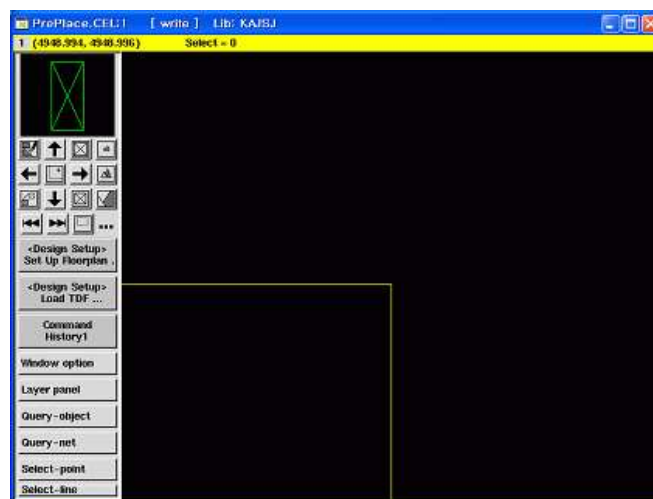


그림 10. Floorplan 끝점좌표 조절



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

### 3. Pad filler 삽입

: Pad와 Pad 사이에 빈공간은 Filler 삽입을 통해 채워준다. 단 삼성에서 사용하는 라이브러리는 Filler 자체에 Pad 전원이 연결되어 있어 Filler 삽입만으로 pad Ring작업을 따로 하지 않아도 되는 이점이 있다.

Select **PostPlace -> Filler Cell : Add Pad Fillers ...**

Filler name을 작성시 큰것부터 작은 것 순서로 적는다. 그러면 Astro는 빈 공간에 크기가 큰 필러부터 채우기 시작하여 남은공간에는 작은 필러를 사용하여 필러의 수를 줄일 수 있다.

### 4. Port Logical Power/Ground의 연결

: 각 Port들의(PAD만을 의미하는 것이 아님) logical 상의 P/G 연결을 수행한다.

Select **PreRoute -> Connect Ports to P/G...**

Click "Default"

Select Pad to add to Cell Types

Select Update Tie Up/Down option : logical상의 연결을 물리적인 연결로 변환

#### 4.1. Net Name = VDD

Port Pattern = VDD.\*

Net Type = Power

Click Apply

#### 4.2 Net Name = VSS

Port Pattern = VSS.\*

Net Type = Ground

Click OK

// 옵션에 패드가 체크되어 있는지 반드시 확인할 것

### 5. Place Macros

: Astro에서는 Macro block (IP)의 자동 Placement를 지원하지 않기 때문에 수동배치

**Queay -> Flyline : Show Net Connections... 연결정보 표시**

**"Ignor Connection to Standard Cells"**

**Modify -> Move..**

**Modify -> Transform..을 이용하여 직접 배치**

### 6. Blockage

: 부품 배치 시 특정 영역에 부품이 배치되지 않도록 영역을 설정하는 것.

Hard/Soft blockage : Hard의 경우 어떠한 경우도 배치되지 않음, Soft의 경우 추가되는 버퍼가 간혹 포함될 수 있음

**PrePlace -> Placement Blockage Create Hard/Soft...**

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 7. Create Rectangular Rings

: Core의 모든 cell들이 전원을 얻기 위해 Core power pad로부터 직접 routing될 수는 없다. 그렇기 때문에 cell 들이 어디서나 전원을 뽑아 사용할 수 있도록 core 주위에 power ring을 만들어 줘야 한다.

Select PreRoute -> Rectangular Rings ...

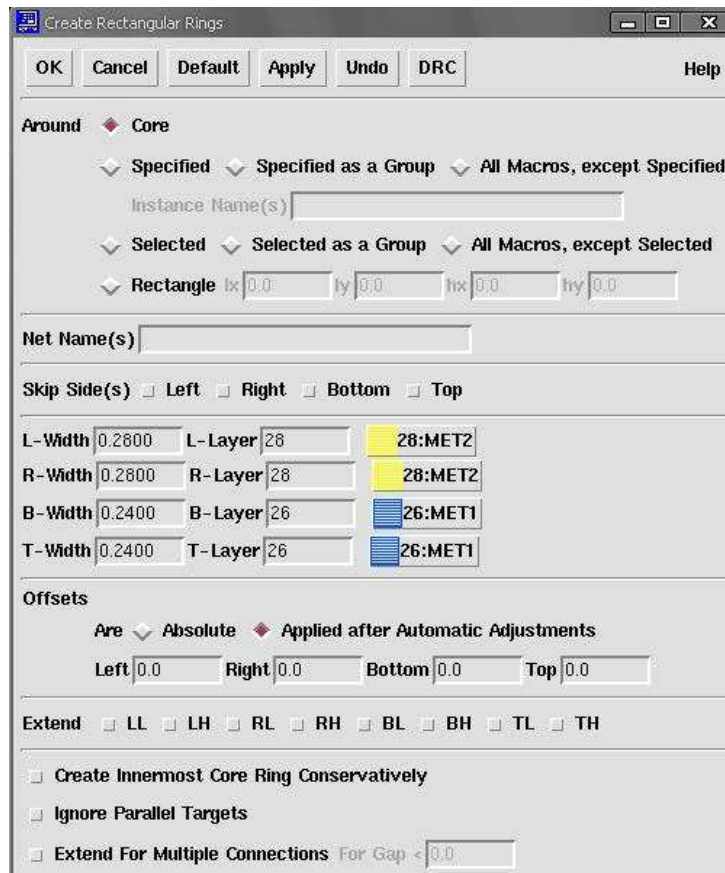


그림11. Rectangular Rings

Around : Core를 선택했을 경우.. (Core 주위에 ring을 만들겠다는 의미)

Net Name(s) : 만들고자 하는 P/G net의 이름을 기입 (ex, VDD, VSS)

L/R/T/B : Power Ring의 두께 설정

Offsets : Core로부터 떨어져있는 거리를 나타냄

※ 매크로 블록 파워 링의 경우 Around의 All macros, except Specified 선택

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 8. P/G Line Drawing

: Select **PreRoute** -> **Custom Wires**

그림 12에서 사용자가 조정해야 하는 부분은 우선 Specify Nets를 by Net Name 으로 선택하고 Net Name에 그리고자 하는 Power net의 이름을 기입한다. 그리고 원하는 두께를 Horizontal Width, Vertical Width에 입력한다. 그런 다음 Lay out 창에 마우스의 왼쪽 버튼을 클릭하여 선을 그린다. 턴을 하고 싶은 지점에서 왼쪽 버튼을 한 번 클릭한 후 턴을 한다. 그리고 선을 그리는 것을 끝내고 싶은 위치에서 마우스 오른쪽 버튼을 누른다. 단, Horizontal metal 과 Vertical metal을 구분하여 사용하여야 함을 명심하라. 만약 잘못 그렸다면 Select Point를 이용하여 Line을 선택하고 설정 창의 modify -> Delete를 이용하여 지운다.

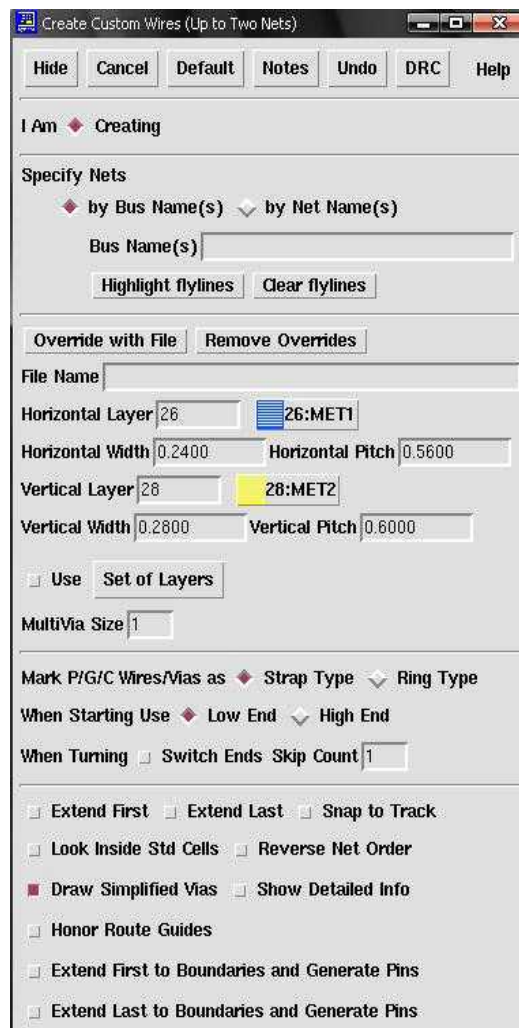


그림 12 Custom Wires

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

9. Power pad와 Core의 Ring 간의 연결

: Select **PreRoute -> Macros/PAds**

Instance type(s) : pad 선택

Primary Routing Layer : Pin 선택 -> Apply

10. Pre Route the Standard cells

: Select **PreRoute -> Standard Cells...**

Click Default

**Select Fill All Empty Rows** option (옵션을 통해 해당 지역만 선택 가능, 지역외의 곳에는 배선하지 않는 것도 선택 가능)

Click OK

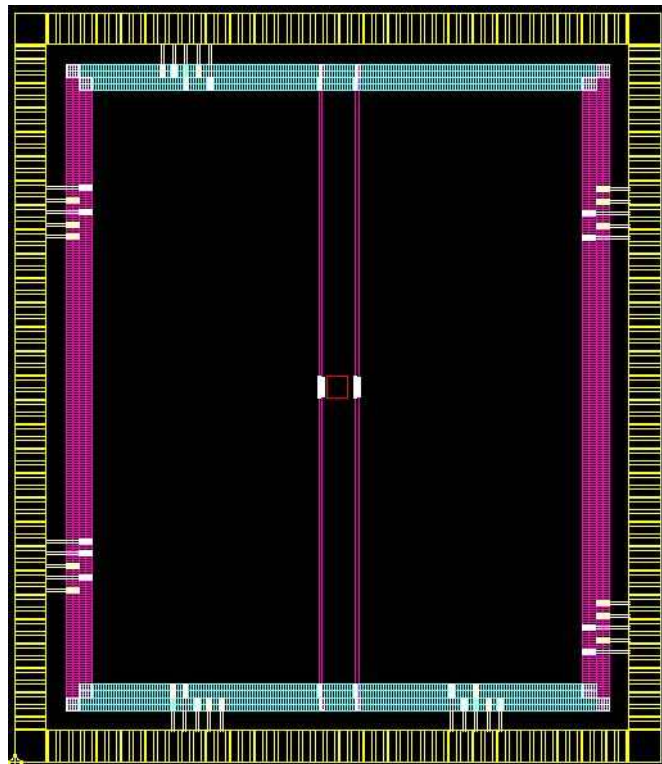


그림13. 완성된 Floorplan

11. Save the cell as Setup

Select Cell -> Save As...

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## Lab3. Placement

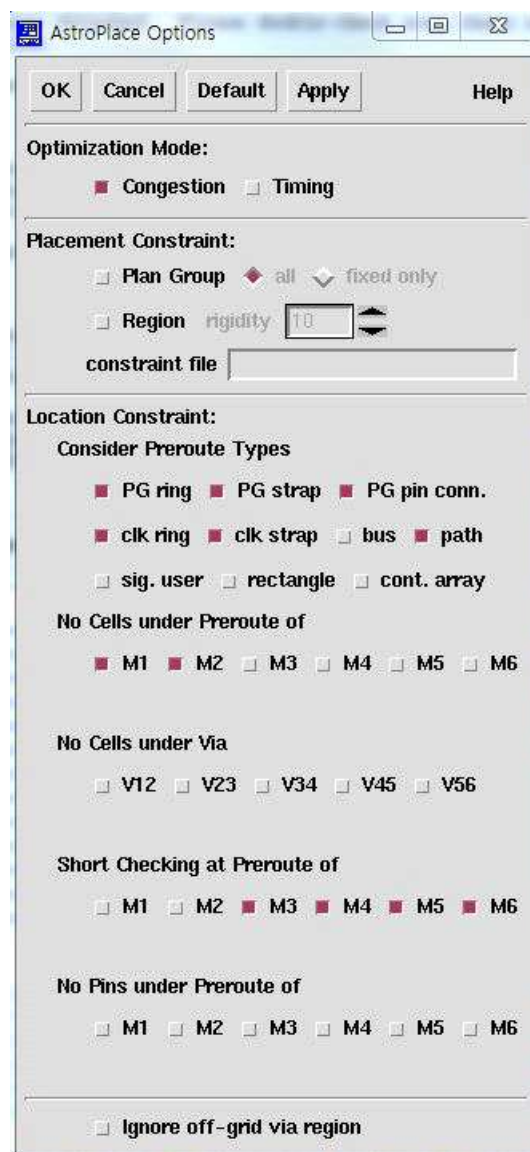
### 1. Scan Chain remove

: Placement로 인해 스캔체인이 연결이 복잡해 질 수 있으므로 제거 한 후 CTS 이후에 최적화를 수행한다.

PrePlace -> ScanChain:Optimize/Delete Scan Chain... mode : Delete only

### 2. set placement option

: Placement를 위한 option 설정 InPlace -> Placement Common Options



No Cells under Preroute of : 전원을 위한 메탈에 셀 추가 금지

Short Checking at Preroute of : 그 이외의 메탈에 쇼트 체크

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

### 3. Prototype Placement

#### 3.1 Select **Timing** -> **Astro Time : Timing Setup..**

Envionment tab / Optimization tab / Model tab을 그림14, 15, 16과 같이 설정

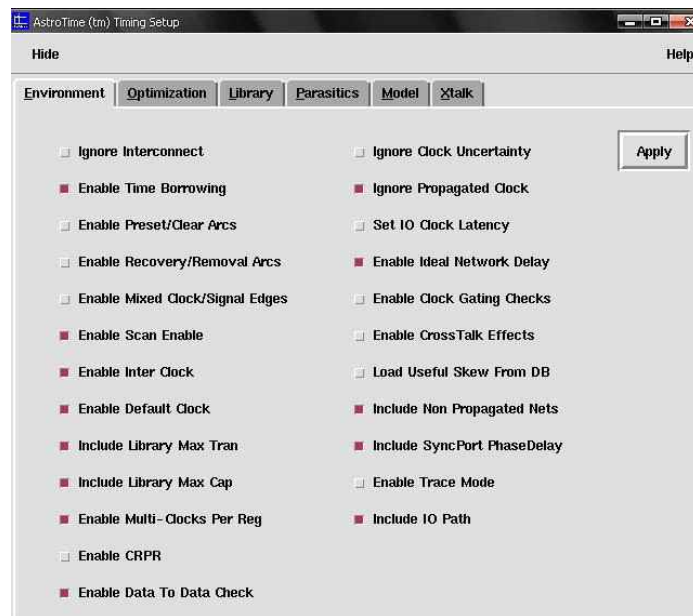


그림 14. Envionment tab

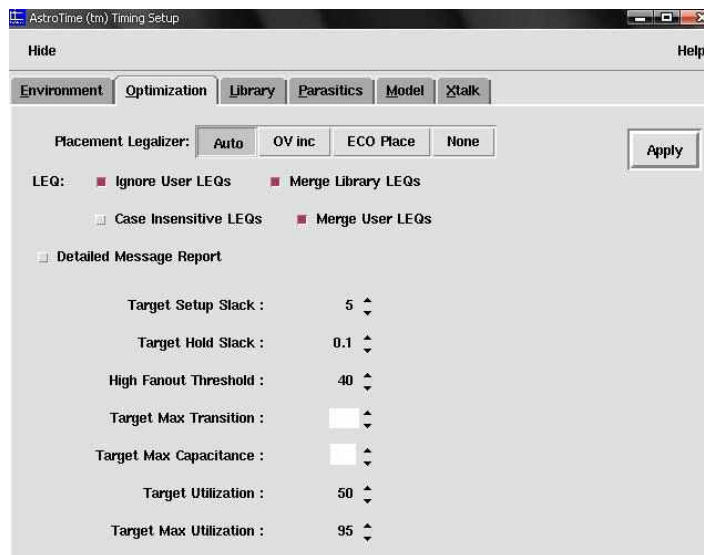


그림 15. Optimization tab

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

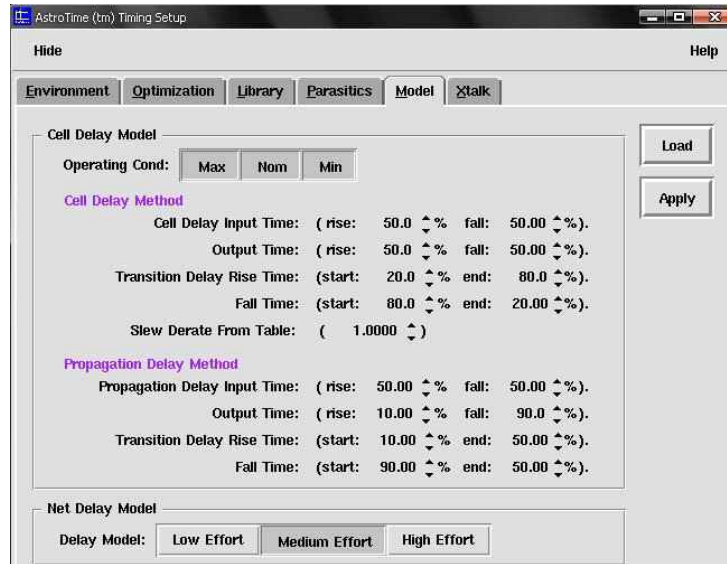


그림 16. Model tab

그림 15의 Max Transition, Max Capacitance 값은 디자인컴파일러의 Constrains 값과 해당 디자인에 맞춰서 값을 넣어준다. A value of 0 tells Astro to ignore this setting.

### 3.2 Select **InPlace** -> **Auto Place ...**

Change the Effort form "Medium" to "Prototype"

Un-select the Pre-Place & Post-Place Stage, Leaving only In-Place selected.

Click OK

### 4. Analyze Congestion

Select **InPlace** -> **Placement Mpas : Display Congestion Map...**

Select **Route** -> **Global Route : Estimate Global Route Congestion!**

Select **InPlace** -> **Placement Mpas : Display Congestion Map...**

Click Clear -> Click Cancel

밀집도 확인.

### 5. Auto Place

Select **InPlace** -> **Auto Place ...**

The Effort should be set to "Medium". The Pre-place, In-place and Post-place Stage buttons should be selected.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

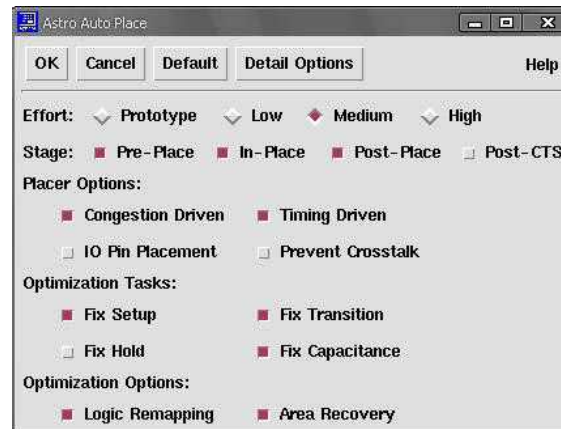


그림17. Auto Place

## 6. Handling Violations after Auto-Place

: Auto-Place 이후 Violation이 발생했을 경우 최적화 실행

6-1 tcl창에 pdsCROptimization을 입력후 Enter

6-2 Select InPlace -> Auto Place..

Click on "Default"

Select the "High" Effort option

DeSelect Pre-Place and In-Place(only the Post-Place stage is selected)

그림 18은 Placement가 완료된 모습이다.

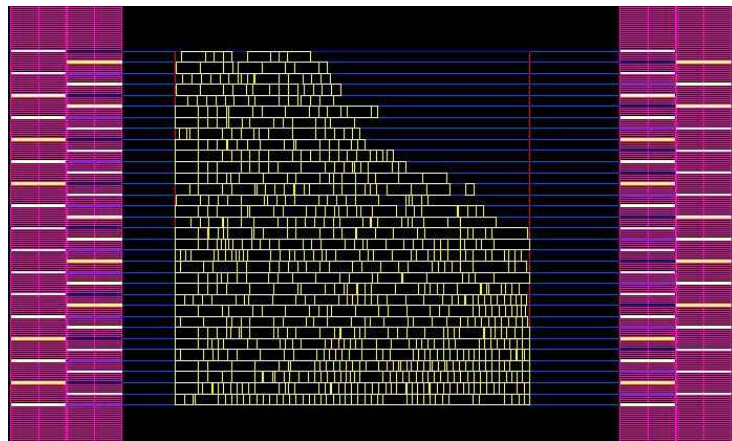


그림18. Placement

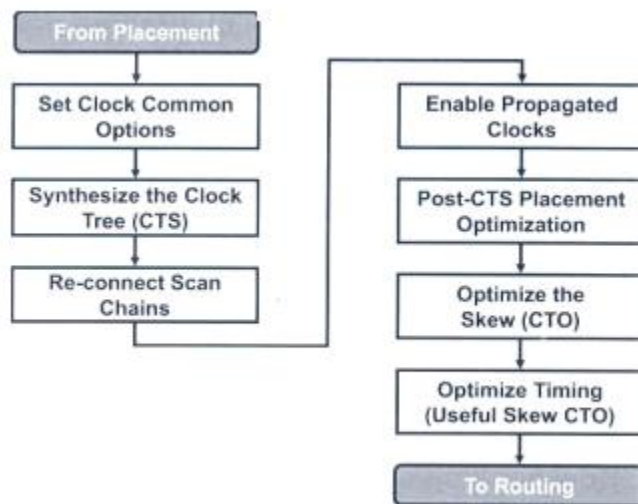
## 5. Save the cell as Setup

Select Cell -> Save As...



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## Total Flow of Clock Tree Synthesis



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 1. CTS 전에 확인 사항

- 1) Placement가 완전히 끝나야 한다.
- 2) Power and ground nets이 prerouted 되어 있어야 한다.  
-> 실행 했다면 P/G connection이 잘되어있는지 검사해야 한다.  
(PreRoute -> Verify P/G Connectivity ...)
- 3) Congestion map 은 적당한지 확인해야 한다.  
-> 4 metal 사용시 Congestion 값이 4이상 나오면 안될것이다.
- 4) Placement가 끝난 직후에 Timing violation 이 없는 것이 좋다.  
(Enter "ataReportSummary" in execution window)

```
Summary of timing analysis (w/o xtalk)
Setup (Target=0.0000)      Hold
Slack   Num    Total    Slack   Num  MaxTrans  MaxCap
15.278   0      0.0     0.213   0      0          0
```

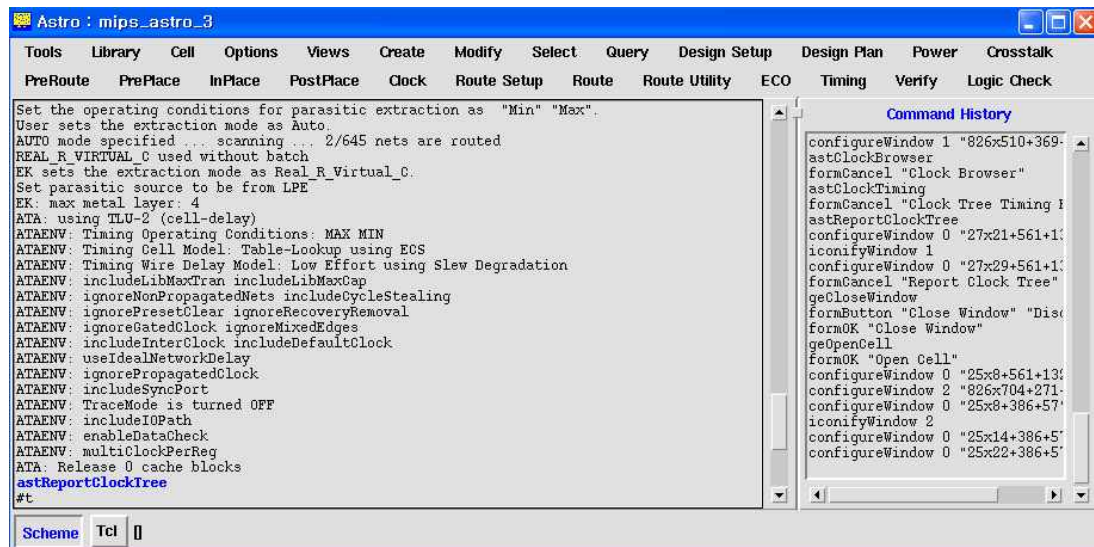
- 5) High fanout nets이 없는가?

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 2. Report Clock Tree

- CTS를 하기전에 실제 clock Tree 가 어떻게 형성되어있는지 확인해야 한다.

-> 실행창에서 **astReportClockTree** 라고 치고 Enter를 누름

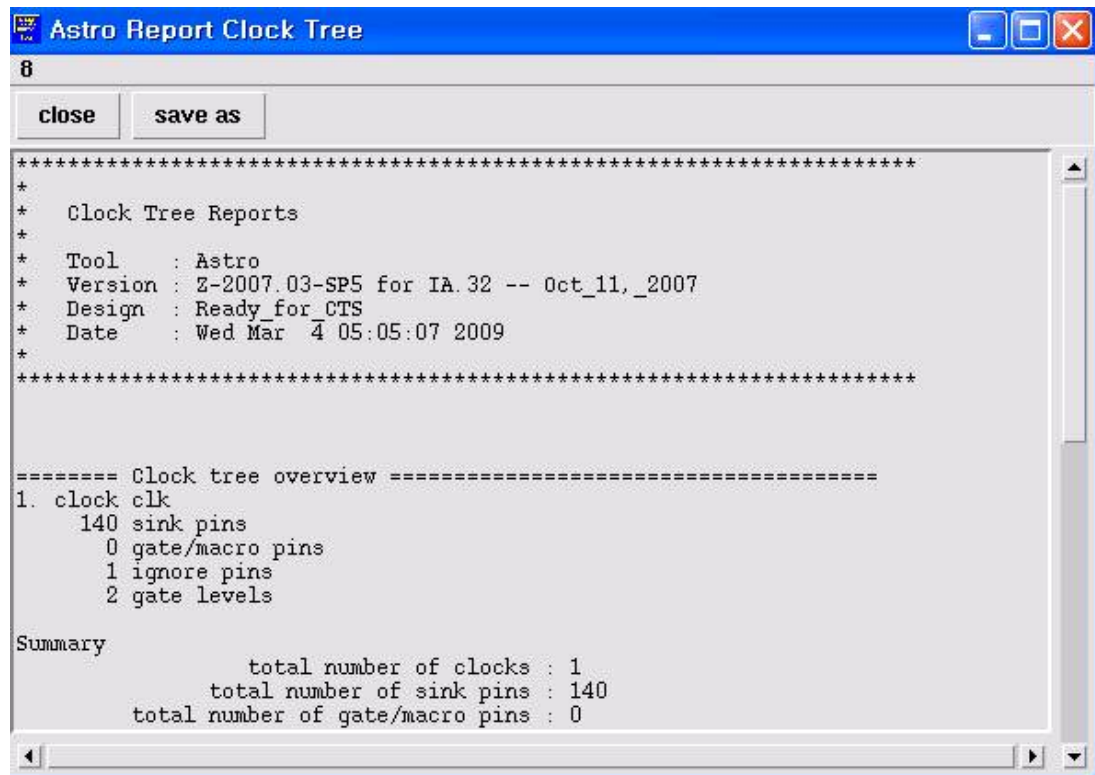


-> Report Clock Tree window에서 **Default** 클릭후에 모든 옵션을 선택후 File Name 은 빈칸으로 남겨 두고 OK 누름



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

Astro Report Clock Tree 창에서 현재 clock tree에 대한 정보가 나타 난다.



```

8
close save as
*****
*
*   Clock Tree Reports
*
*   Tool       : Astro
*   Version    : Z-2007.03-SP5 for IA.32 -- Oct_11,_2007
*   Design     : Ready_for_CTS
*   Date       : Wed Mar  4 05:05:07 2009
*
*****

===== Clock tree overview =====
1. clock clk
   140 sink pins
     0 gate/macro pins
     1 ignore pins
     2 gate levels

Summary
      total number of clocks : 1
      total number of sink pins : 140
      total number of gate/macro pins : 0

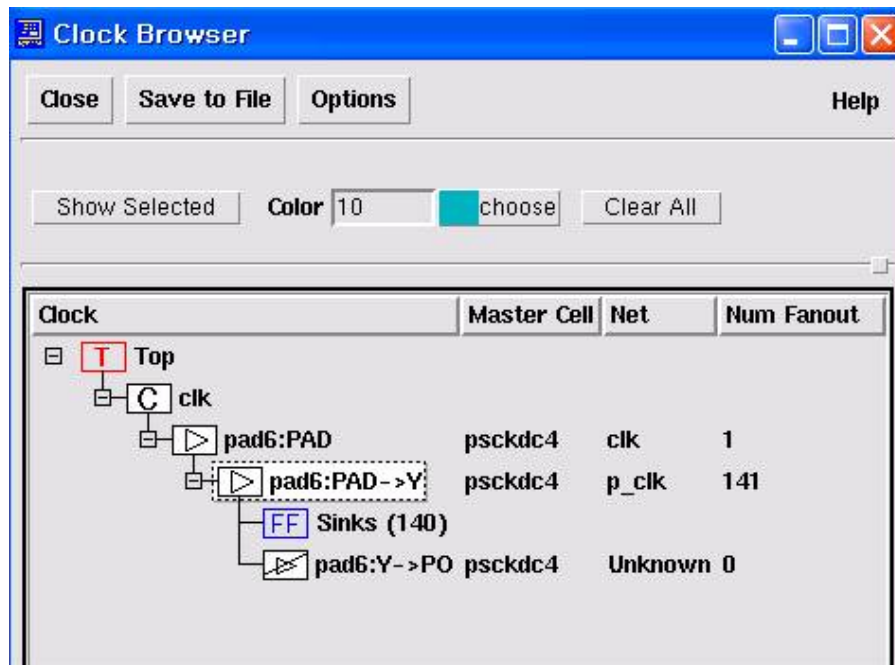
```

위 Report에서 Clock 는 “clk”하나 이며 140개의 cells이 clk를 필요로 하고 있다.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

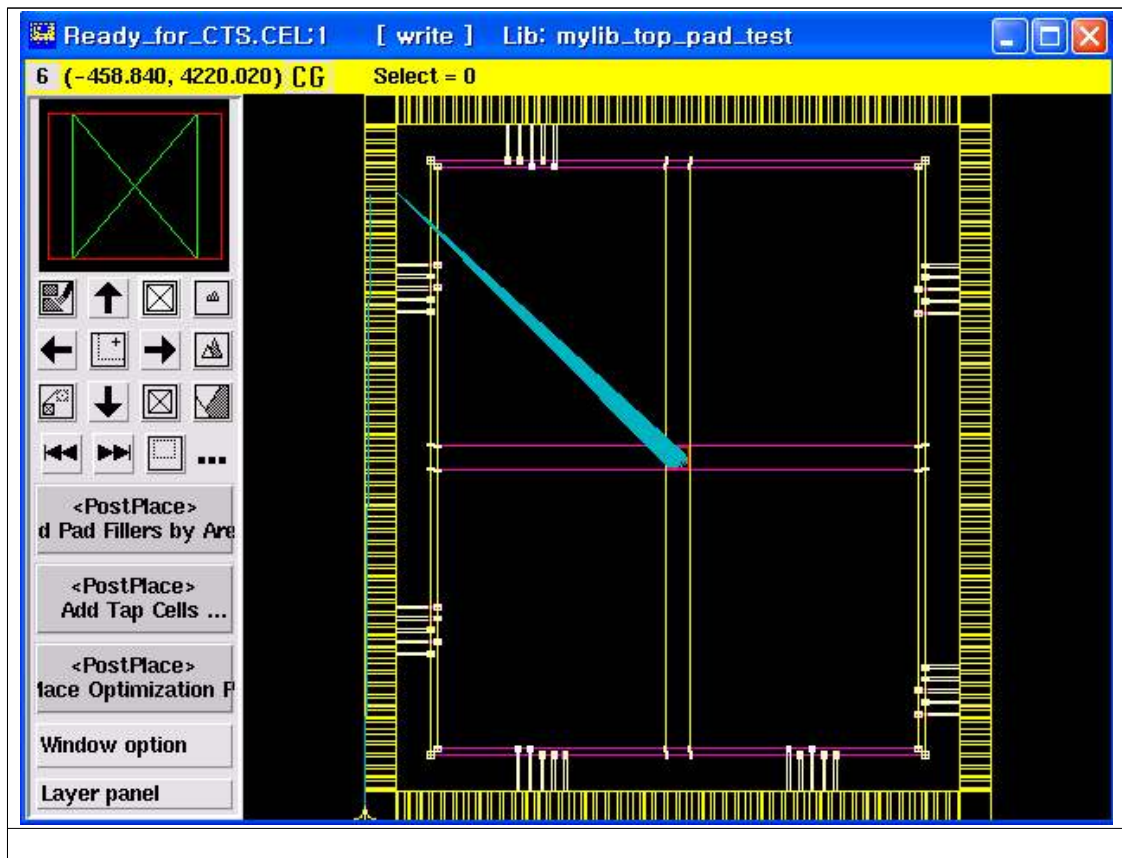
### 3. Clock Browser

- Clock Browser는 실제 칩 외부에서부터 입력된 Clock이
- Select Clock-> Utilities : Clock Browser...

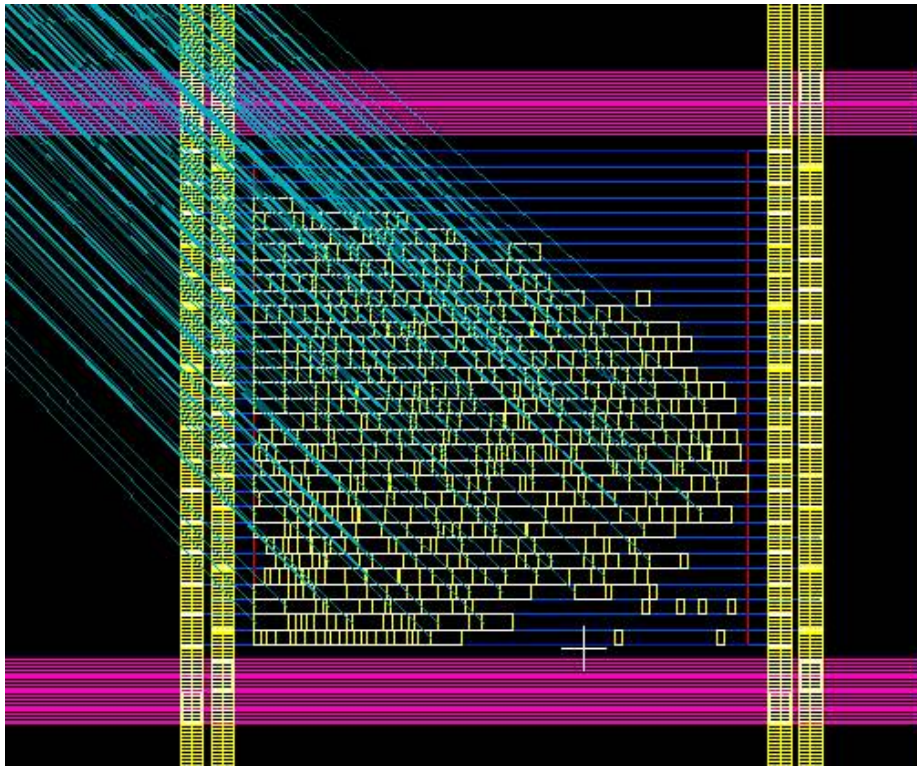


Clock Brower 실행후 clk tree에서 clk를 선택하면 아래와 같이 clk tree가 display된다.

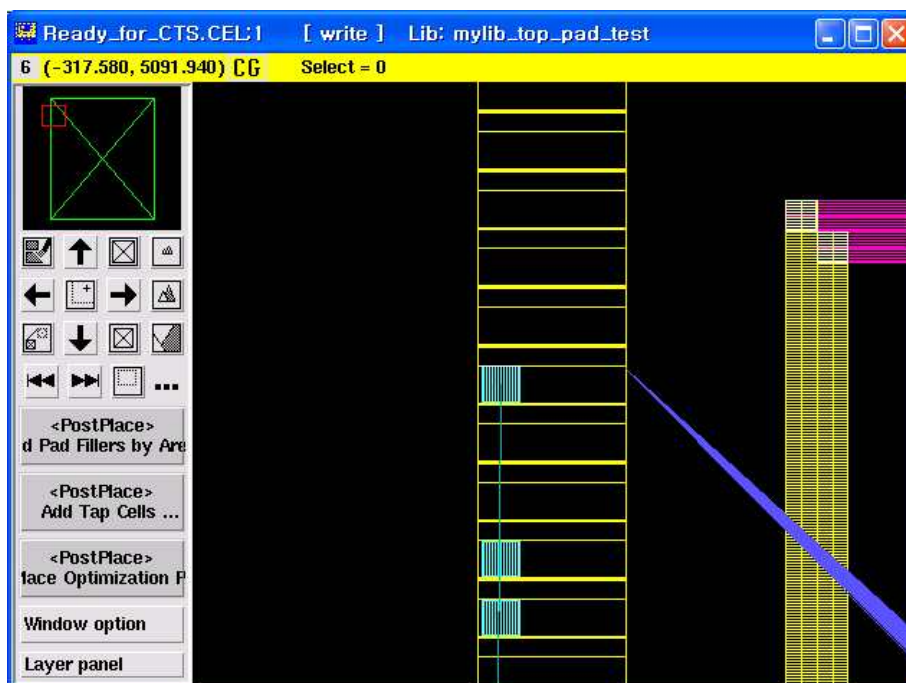
Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	



<core 내부의 clock tree의 모습>



< clock pad 의 모습 >



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

#### 4. Set Clock Common Options

-Select Clock-> Clock Common Options ...

-> Click on "Default" and "Apply"

**Clock Common Options**

OK Cancel Default Apply Constraints Help

Conditions ☒ Worst ☐ Best ☐ Typical

Skew Type ☒ Global ☐ Local ☐ Useful

Synthesis Effort  ☒ Gated Clock Tree

Clock Nets  Search

Buffers/Inverters  Search

Target Skew

Configuration File Read In  Write Out

Optimization Effort

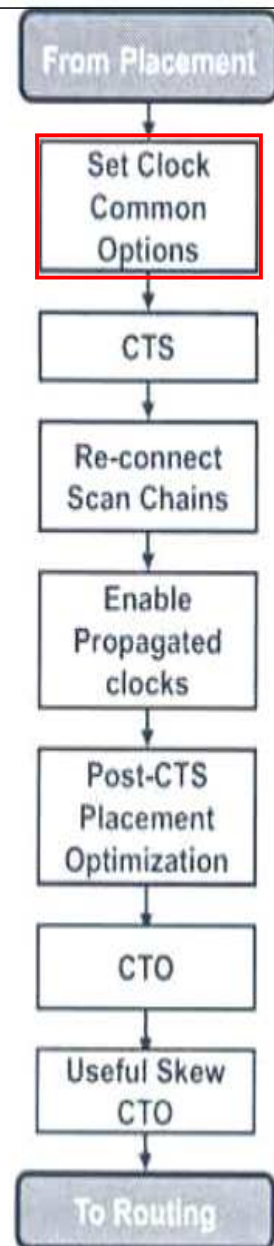
☒ Buffer Relocation ☒ Level Adjustment

☒ Gate Sizing ☒ Gate Relocation ☐ Reconfiguration

☒ Buffer Sizing: LEQ Cells  Search

☒ Delay Insertion: Delay Cells  Search

☐ Dummy Load: Dummy Cells  Search



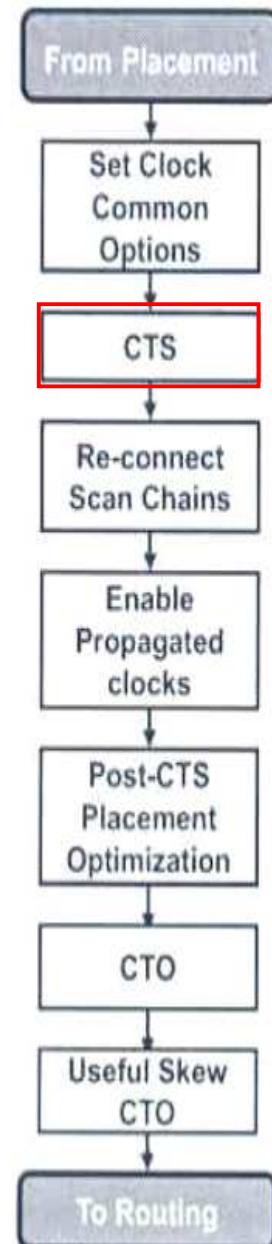
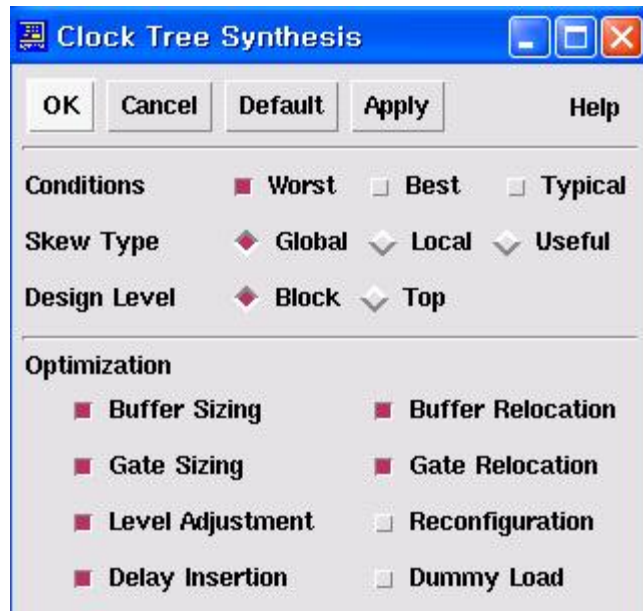


Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 5. Clock Tree Synthesis

Select Clock -> Clock Tree Synthesis : Clock Tree Synthesis ...

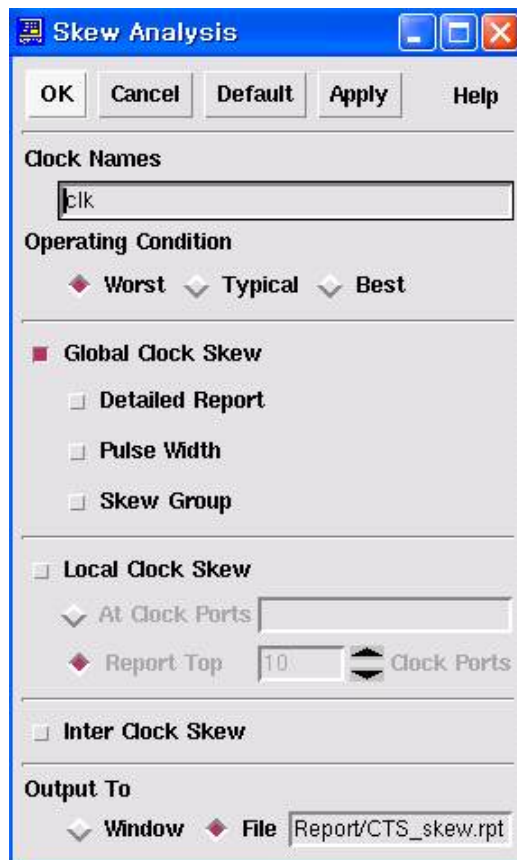
Click on "Default" and "OK"



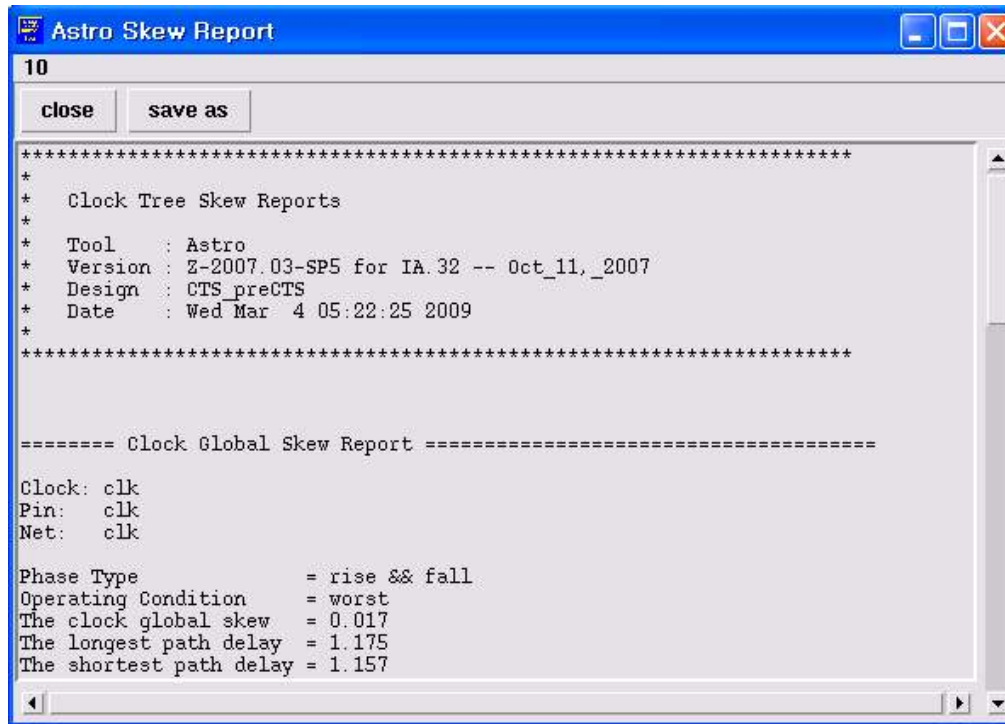
Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 6. Skew Analysis

- Select **Clock->Reports: Skew Analysis ...**
- Click on "Default"
- Enter real clock name as Clock Names (mips의 경우 "clk")
- Click "OK"



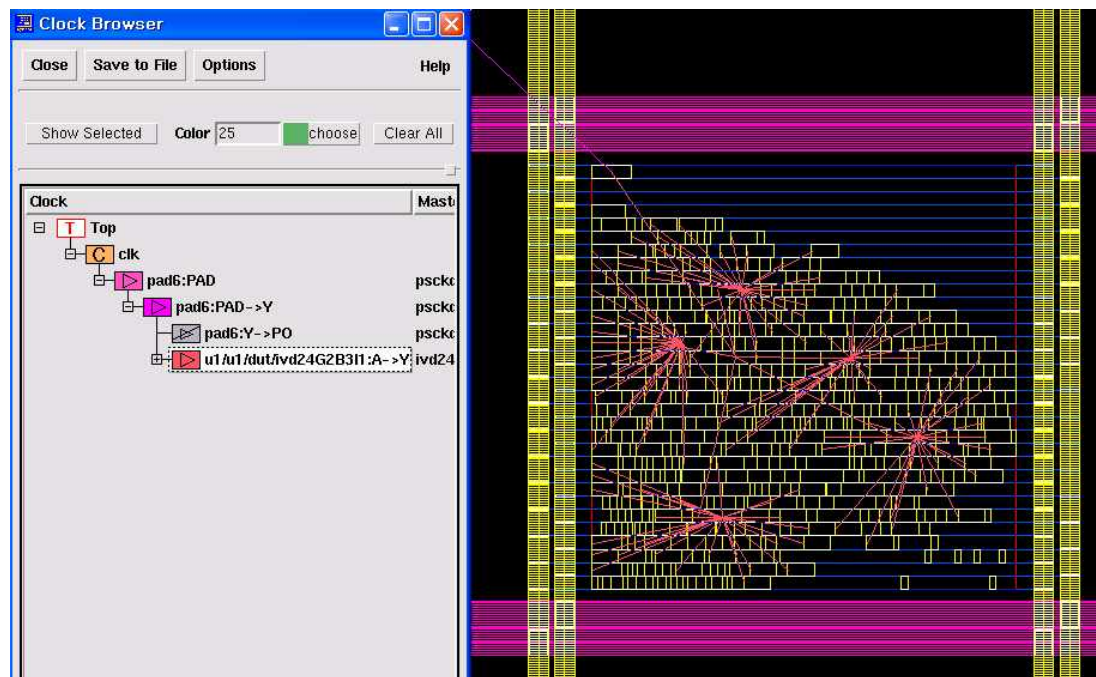
Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 7. Clock Browser

- Select Clock -> Utilities: Clock Browser ...



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

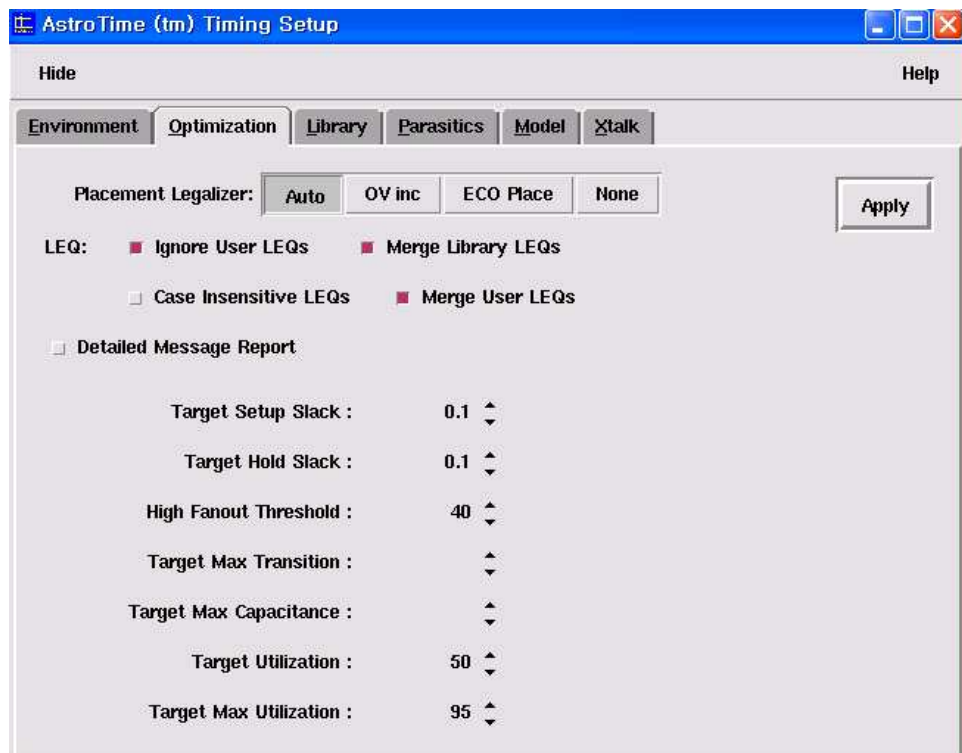
## 8. Post CTS Timing Setup

- Select **Timing** -> AstroTime: Timing Setup ...
- Click on "**Environment**"
- Select options as like the picture below
- Click "**Apply**"



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

- Click on "Optimization"
- Select options as like the picture below
- Click "Apply"



- Click "Hide"

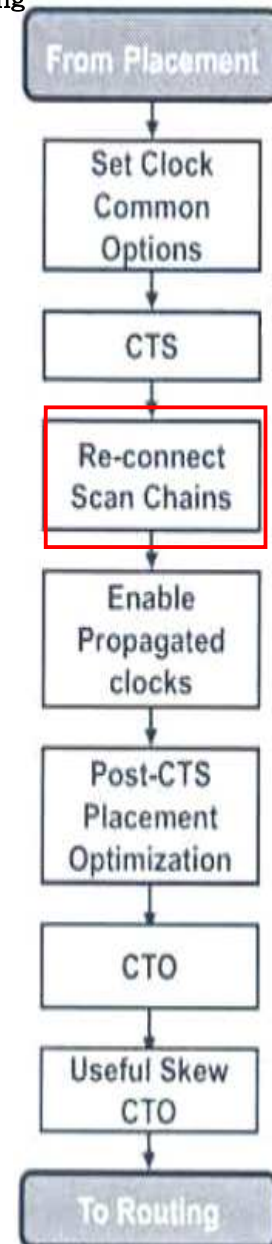
Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 9. Re-connect San Chains

- 끊었던 스캔체인을 최적화

PrePlace -> Scan Chain : Optimize.Delete Scain Chain..

mode : optimize, use the option "Clock Net Based Reordering"

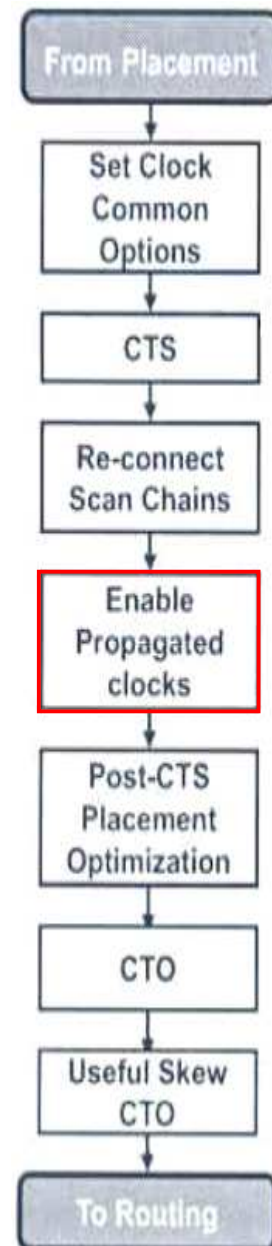


Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 10. Propagated\_clock

- 모든 clock에 대한 SDC file에 있는 Propagated, Unertainty 값을 적용시킨다.

Enter `sdc "set_propagated_clock [all_clocks]"` on execution window





Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 10. Timing Check

Enter **ataReportSummary** on execution window

Select **Timing** -> **Astro Time: Timing Report...**

Click on **Default** and **OK**

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 11. Perform Inter-Clocks Delay Balancing(astCTOInterClocksBalance)

Select **Clock** -> **Clock Tree Optimization: Inter-Clocks Delay Balancing ...**

Enter inter\_clock name in Clock Nets field (mips의 경우 "clk")

Click **OK**

**Astro: Inter-Clocks Delay Balancing**

OK Cancel Default Apply Help

Clock Nets  Search

Buffers/Inverters  Search

**Target:**  
Phase Delay  ☐ Ignore SDC Latency

**Conditions:**  
☒ Worst ☐ Best ☐ Typical

**Report Clock Trees Changes:**  
Nets File   
Delay Cells File

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 12. Timing Check

Enter **ataReportSummary** on excution window

Select **Timing** -> **Astro Time: Timing Report...**

Click on **Default** and **OK**

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

### 13. POST\_CTS Placement Optimization

Select InPlace -> Auto Place ...

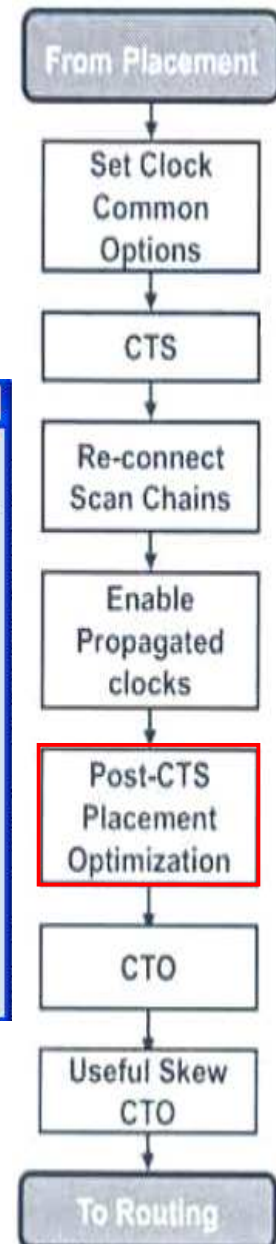
Click on "Default"

Deselect "Pre-Place", "In-Place" and "Post-Place"

Select "Post-CTS"

Select "Fix Hold"

Click "OK"



->Post-CTS 이후에 Timing Check에서 Setup/hold, max tran/Cap에 대한 violation이 여전히 존재한다면?

->Post-CTS Optimization을 다른 옵션으로 다시 실시한다.

ex) High effort, change Optimization Tasks by user's idea.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 14. Timing Check & Congestion map check

### Timing Check

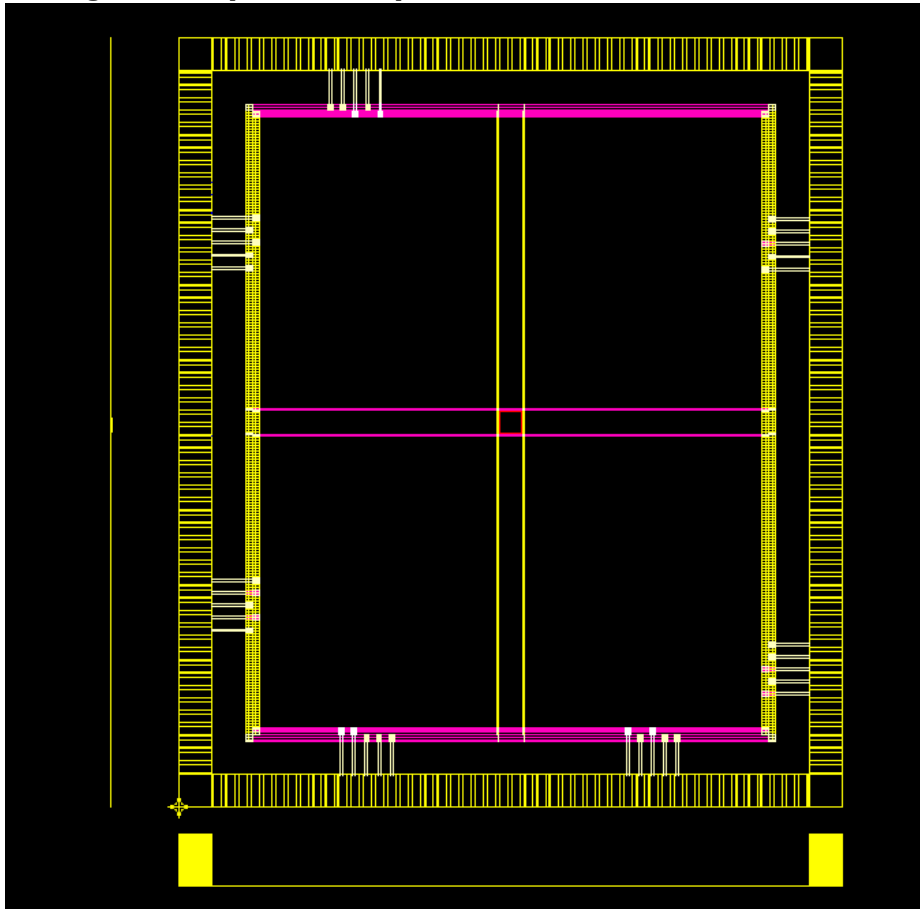
- Enter "ataReportSummary" on excution window

### Check Congestion map

- Select Route->Global Route: Global Route...
- Select the "congestion map only", and the "display congestion map" options
- Click "OK"



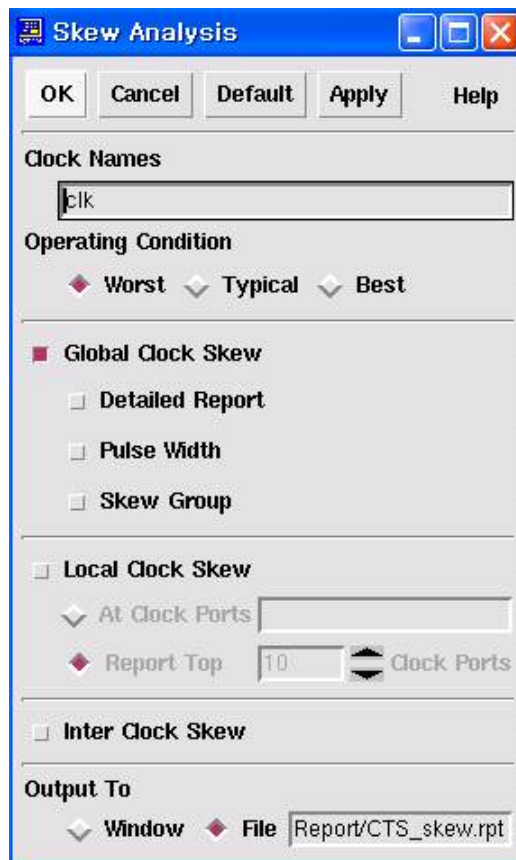
Check Congestion map as like in placement flow.



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 15. Skew Analysis

- Post Clock Tree Optimization 실시 후에 Skew를 분석 후에 CTO 및 Useful Skew CTO를 실시할지 말지를 결정한다.
- Select **Clock->Reports: Skew Analysis ...**
- Click on "Default"
- Enter real clock name as Clock Names (mips의 경우 "clk")
- Click "OK"



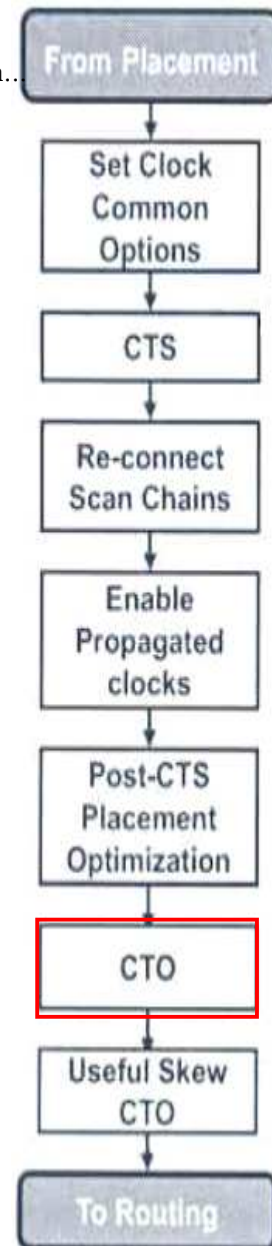
Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 16. Optional : Clock Tree Optimization

-Clock -> Clock Tree Optimization: Clock Tree Optimization..



-> CTO를 한 결과 skew를 분석해 보면 clock skew가 줄어든 것을 확인 할수 있다.



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 17. Optional : Useful Skew Optimization

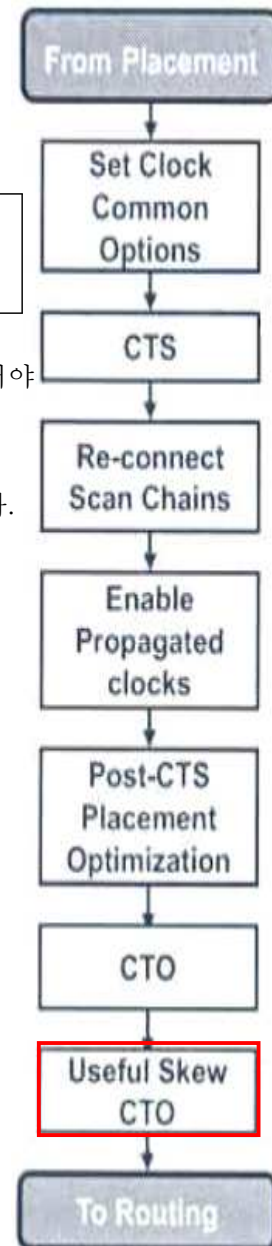
Enter the command in execution window as like below

example

```
tcl "useful_skew_opt -buffer_sizing -hold_target -2.0"
tcl "useful_skew_opt -level_adjustment -hold_target -2.0"
tcl "useful_skew_opt -buffer_insertion -hold_target -2.0"
```

위에 나온 것은 예제이며 사용자가 알맞은 값을 찾아서 넣어 주어야 한다.

-->본 예제에서는 Useful Skew Optimization은 실시하지 않았다.





Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 18. Check after CTS

-> CTS의 모든 단계에서 다음 4가지 항목을 항상 Check 하기를 바란다. 또한 각 단계 별로 **Cell->Save as**로 저장하여야 한다.(Save 하지 말길 바란다.)

- Timing Check
- Check Congestion map
- Clock browser
- analysis Skew

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

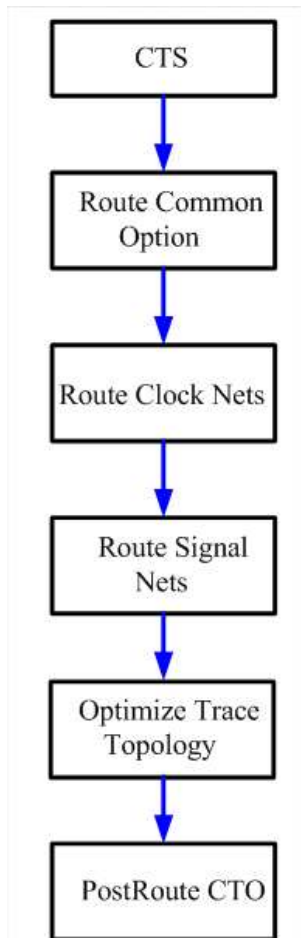
## 19. Tips for CTS

- Design에서 사용하는 정확한 clock의 이름이 어떤것 인지 확인해야 한다.
- Design에서 one clock를 사용하는지, muti-clock를 사용하지에 따라서 CTS가 틀려 질수 있다.
- Clock skew가 어떤 값이 적절한지 알고 있어야 한다.
- SDC 파일에서 Clock에 대한 propageted, unsertainty, delay등의 값이 적절한지 확인할 필요할 필요가 있다.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## Lab5. Routing

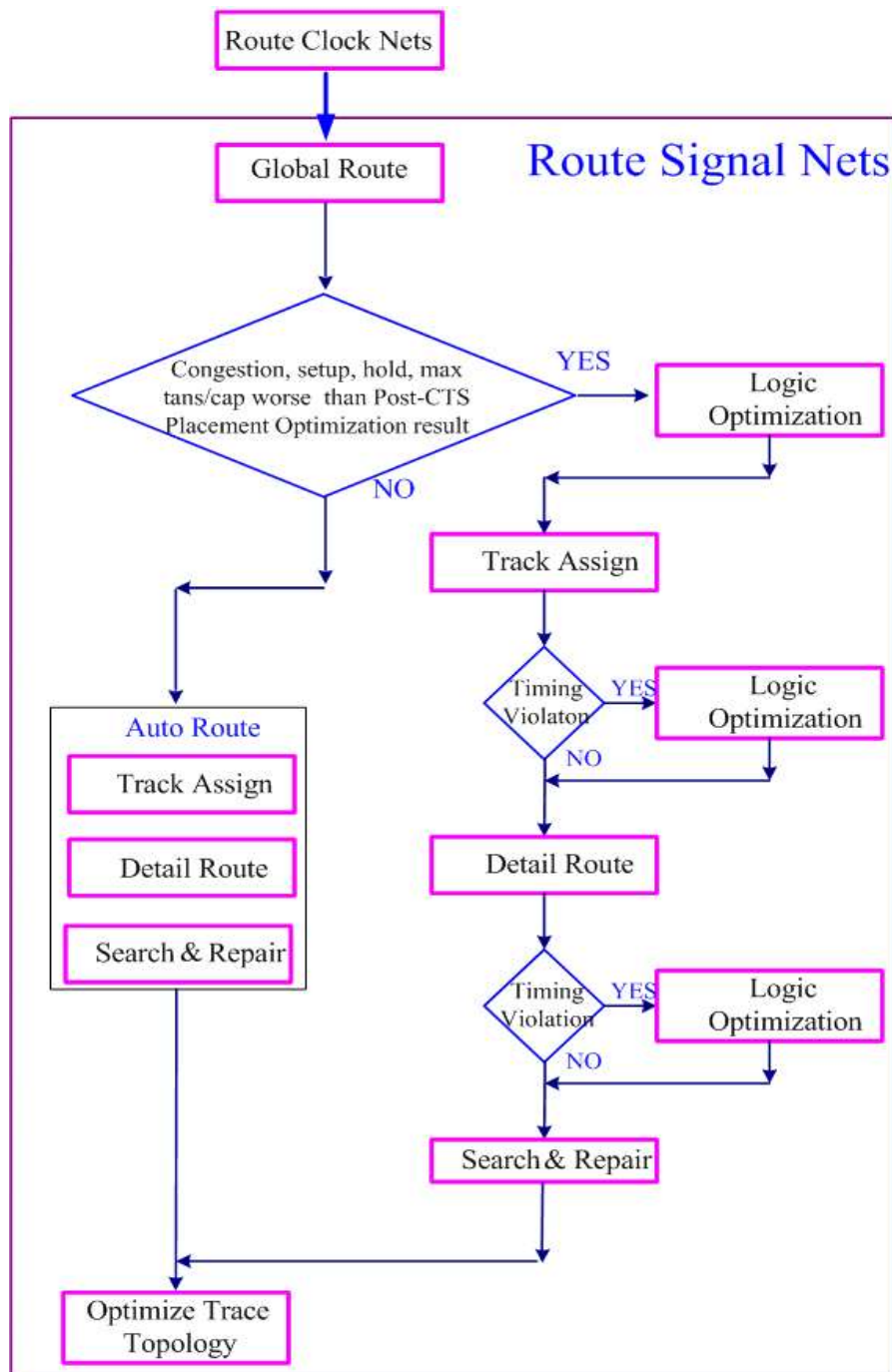
### Total Flow of Routing



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

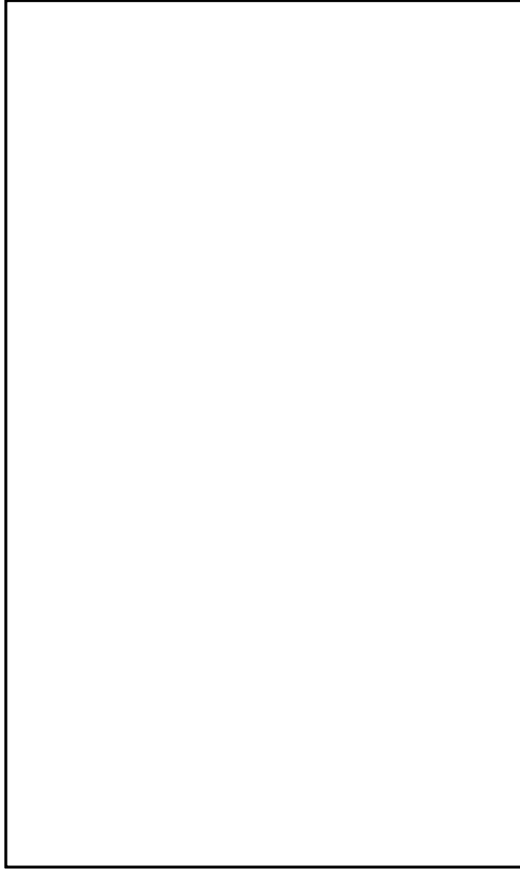
## Detail Flow of Route Signal Nets

- Route Clock Nets를 이 끝난 이후에 Global Route를 실시하고 난후 Congestion 과 Timing check를 실시하여 Post-CTS Placement Optimization 후에 Timing, Consetstion 결과와 비교하여 결과가 더 좋아졌으면 AutoRoute로 Track Assign, Detail Route, Search&Repairf 를 동시에 실시하지만 그렇지 않다면 각각 실시한 이후 violation을 검사하여 logic optimization을 실시해 주어야 한다.



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## Detail Flow of Routing after Route Signal Nets



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

### Check list before Routing

- 1) Placement가 완료 되었는지 확인
- 2) CTS가 완료 되었는지 확인
- 3) Power & Ground nets이 routed 되어있는지 확인
- 4) Congestion map이 용인할 수 있을 정도인지 확인
- 5) no timing violation(setup, hold, max trans, max cap)  
->아주 적은 값일 경우 Routing 중에 없어지는 경우도 있다.
- 6) clock skew가 용인할 수 있을 정도 인지 확인

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 1. Timing Setup before Routing

Select **Timing**-> AstroTime : Timing Setup ...

in Environment

: make sure to keep to option **"Ignore Clock Uncertainty"** unset

in Optimization

: **Target Hold Slack** -> 0.1

-> 여기서 in Optimization 은 사용자가 Design에 따라서 적절한 값을 정해주어야 한다.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 2. Set Routing Options

Select Route Setup -> Route Common Options ...

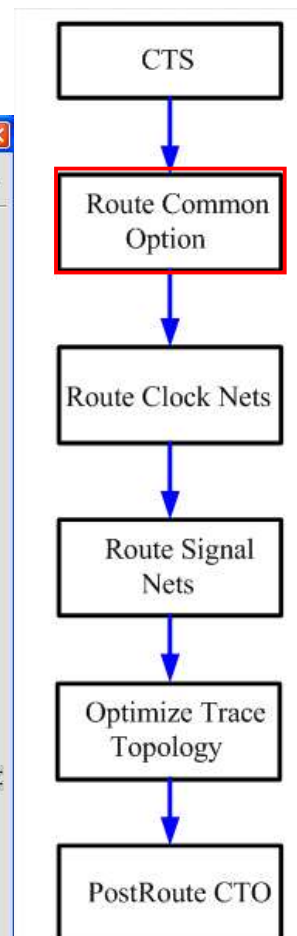
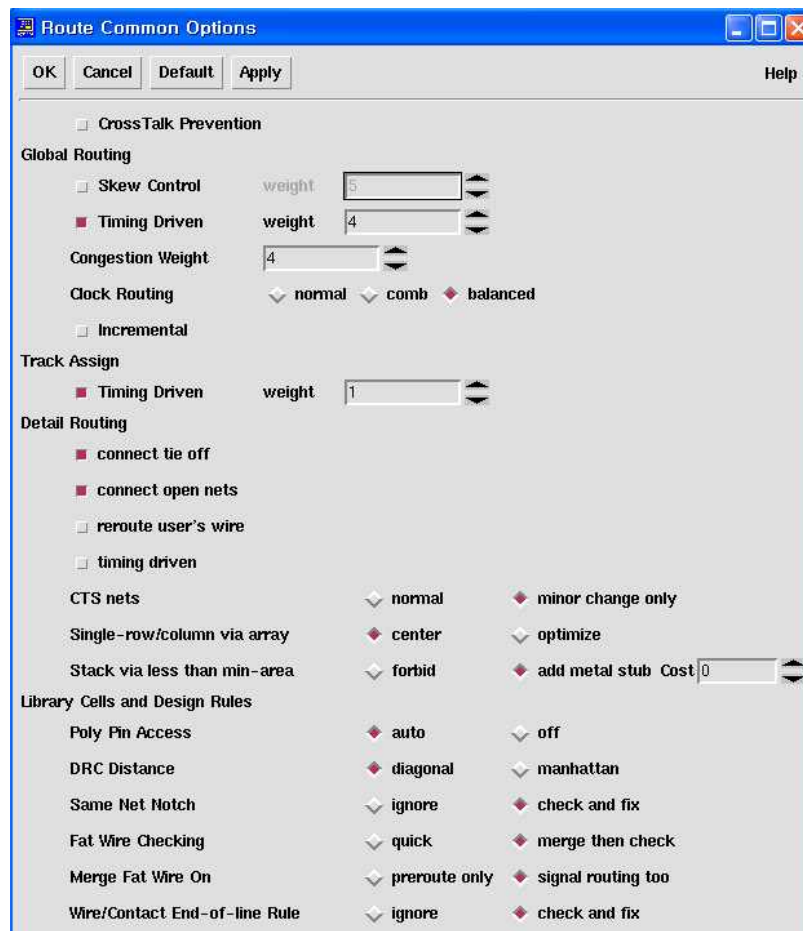
Click "Default"

Select "Timing Driven" under both Global Routing and Track Assign

Select "check and fix" for "Same Net Notch"

Select "check and fix" for "Wire/Contact End-of-line Rule"

Click "OK"





Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

### 3. Route the Clock Nets

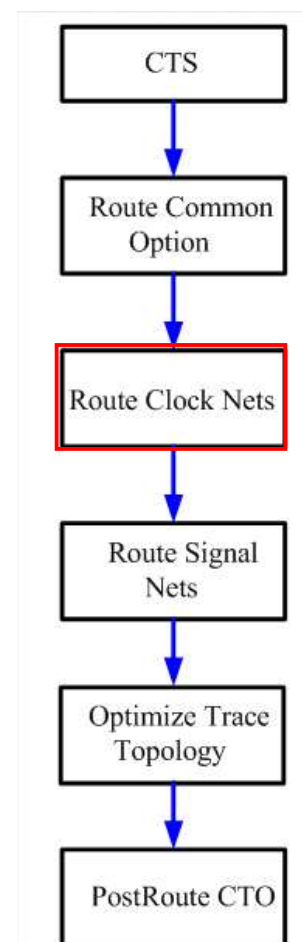
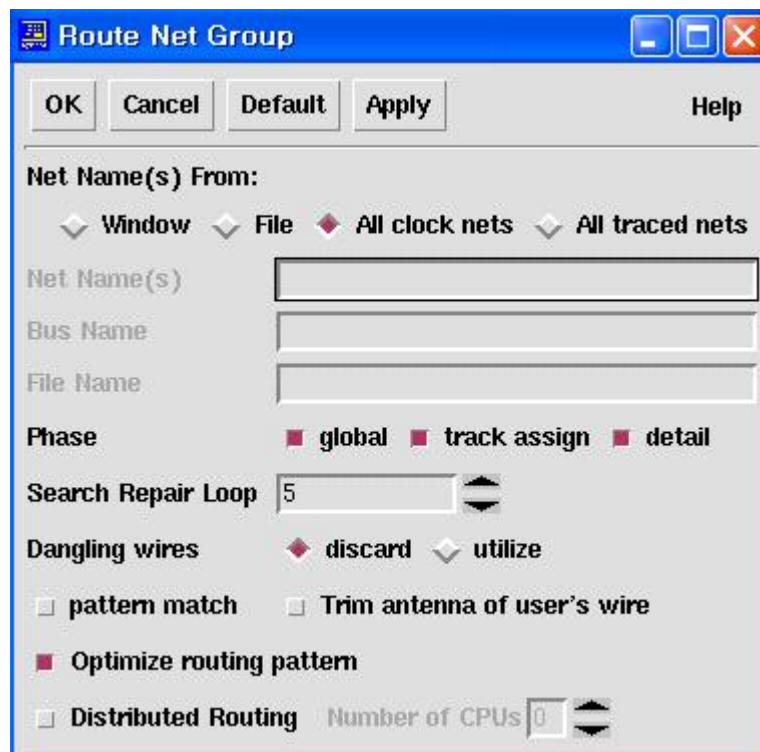
- 지금까지 CTS를 실시하였다. 하지만 실제로 cell에 Clock이 metal로 물리적으로 연결되어진 것은 아니다. 따라서 Routing에서 첫 번째로 실시해야 되는 것이 앞에서 한 CTS결과를 실제로 각 cell에 물리적으로 Routing하는 것이다.

Select **Route->Route Net Group ...**

Click **"Default"**

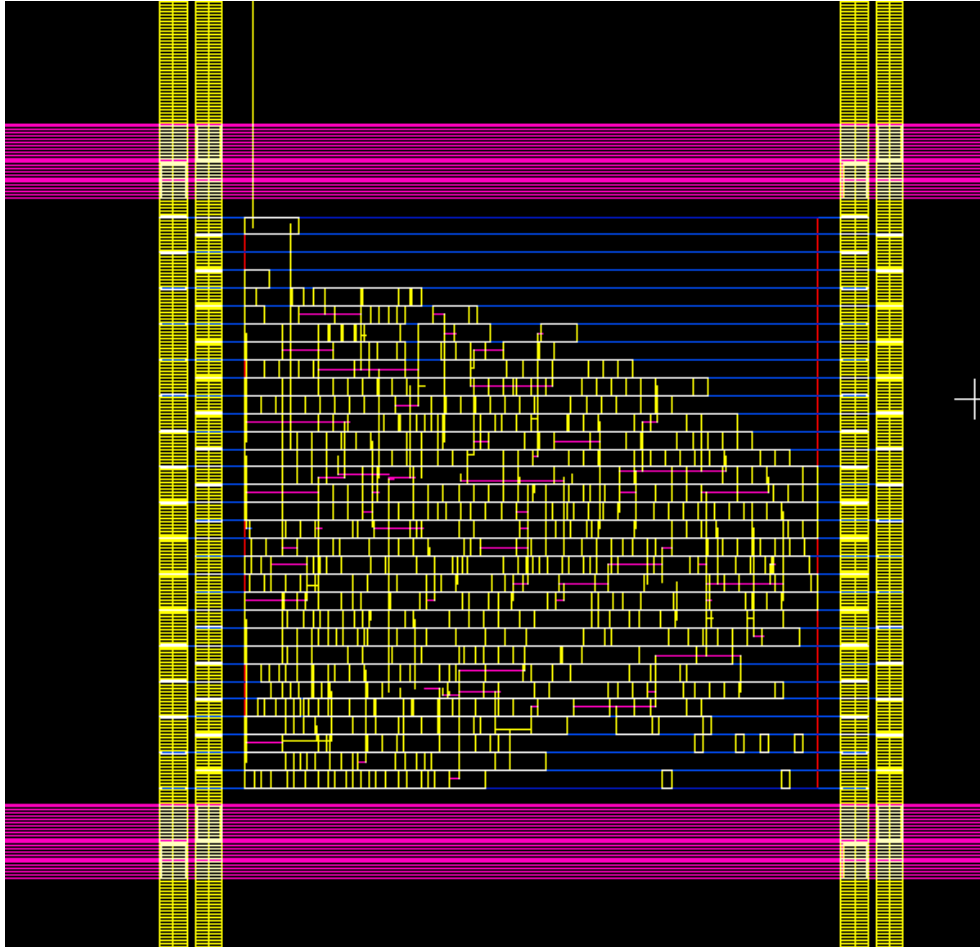
Select **"All clock nets"** under Net Name(s) From to route all clock nets

Click **"OK"**



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

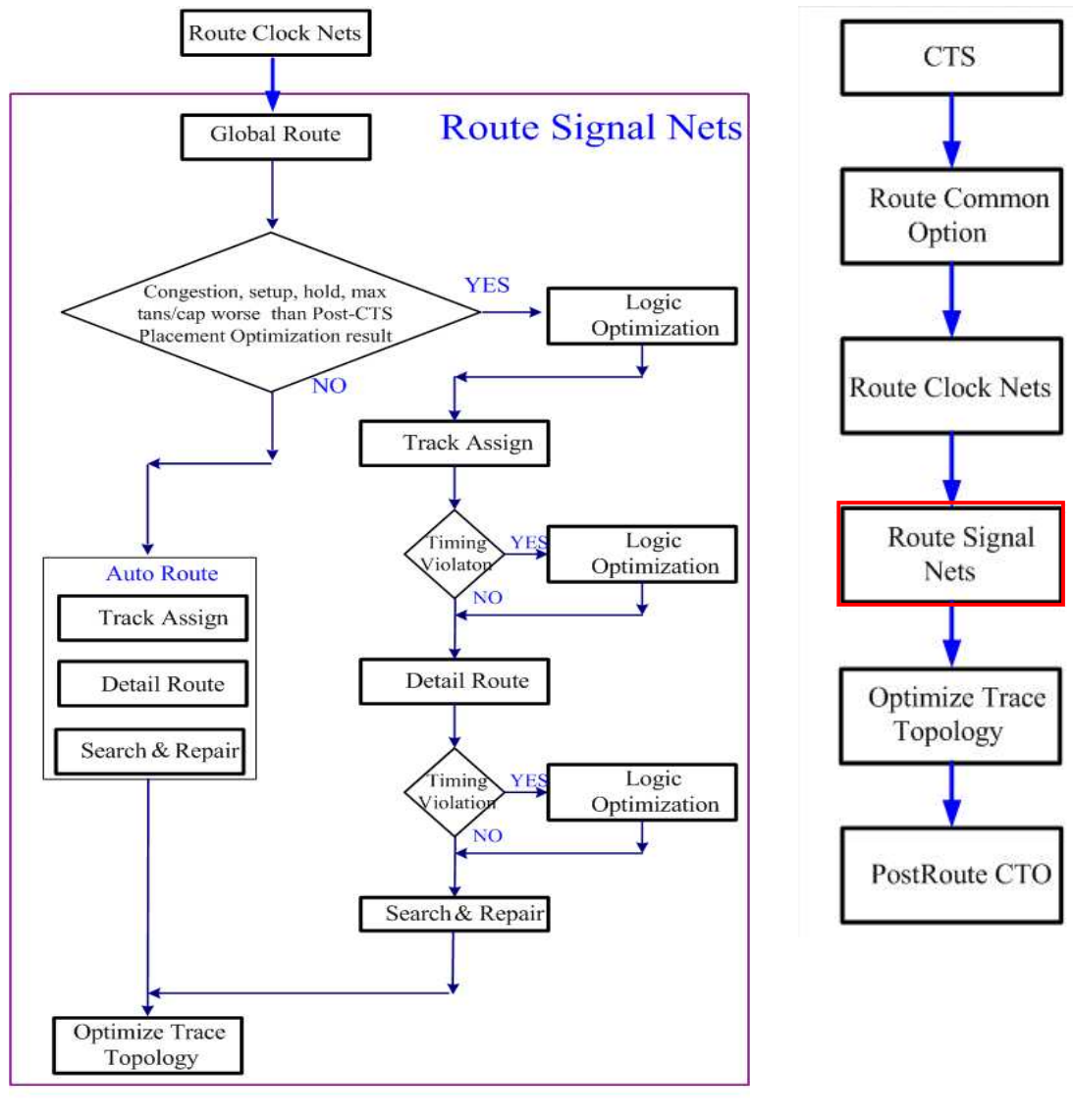
clock Routing 실행후 Core 내부의 모습



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 4. Detail Flow of Route Signal Nets

- Route Clock Nets를 이 끝난 이후에 Global Route를 실시하고 난후 Congestion 과 Timing check를 실시하여 Post-CTS Placement Optimization 후에 Timing, Consetstion 결과와 비교하여 결과가 더 좋아졌으면 AutoRoute로 Track Assign, Detail Route, Search&Repairf 를 동시에 실시하지만 그렇지 않다면 각각 실시한 이후 violation을 검사하여 logic optimization을 실시해 주어야 한다.

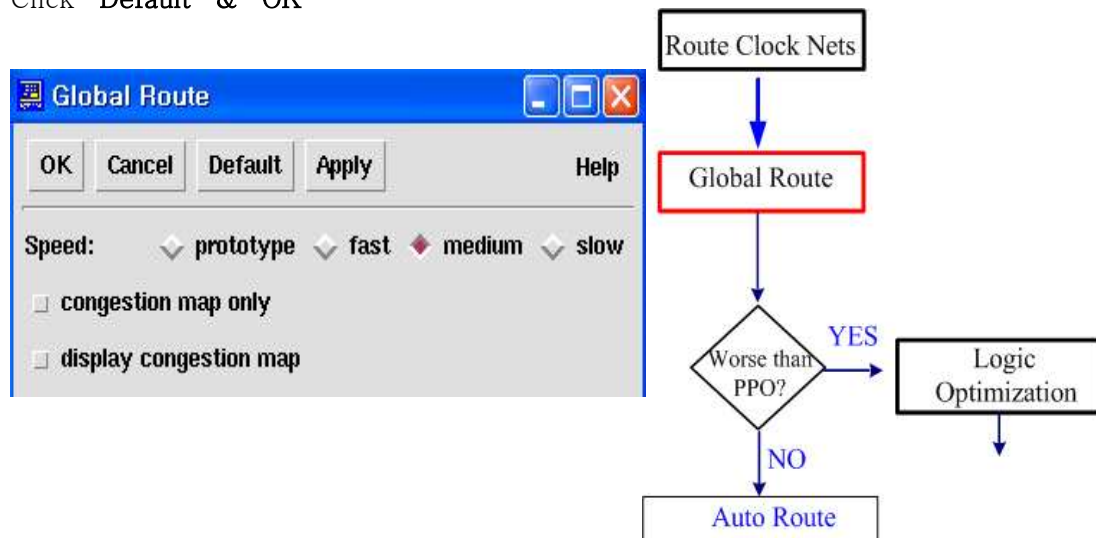


Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 5. Global Route

Select Route -> Global Route: Global Route ...

Click "Default" & "OK"



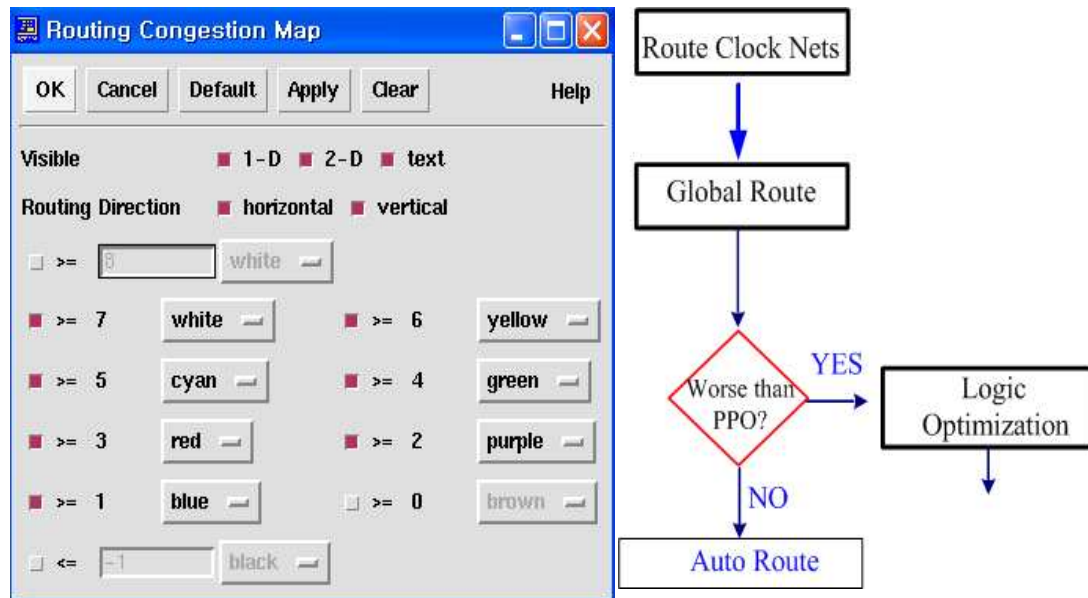
Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 6. Display the Congestion map & Timing Check

-Post-CTS Placement Optimization 결과와 비교해본다. 당연히 CTS에서 Congestion 과 Timing결과를 저장해놓거나 기록해 두어야 한다.

Select **Route** -> **Global Route: Display Congestion Map ...**

Click "**Apply**" on Routing Congestion Map Window



Select **Timing**->**Astro Time: Timing Report**

자 이제 비교 결과에 따라서 Auto Route를 실시할지 아니면 각각 실시하여 logic Optimization을 실시할지 user가 판단해야 한다. 여기서는 두가지 방법 다 소개 한다.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

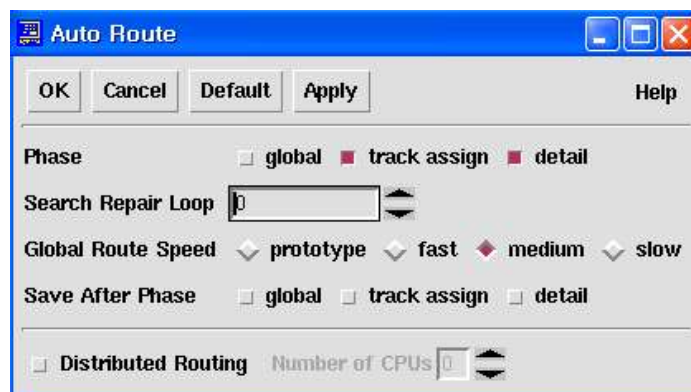
## 6-1. Auto Route

Select Route -> Auto Route ...

De-select the global route phase

Set the Search&Repair loop to 5 loops

Click OK



Route Clock Nets



Global Route



NO



Auto Route

Track Assign

Detail Route

Search & Repair

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 6-2-1. Global Route Optimization

Select Route -> Global Route: Global Route Optimization...  
click "OK"

**Post Route Optimization**

OK Cancel Default Apply Help

**Routing Phase**  
☒ Global Route ☐ Track Assign ☐ Detail Route

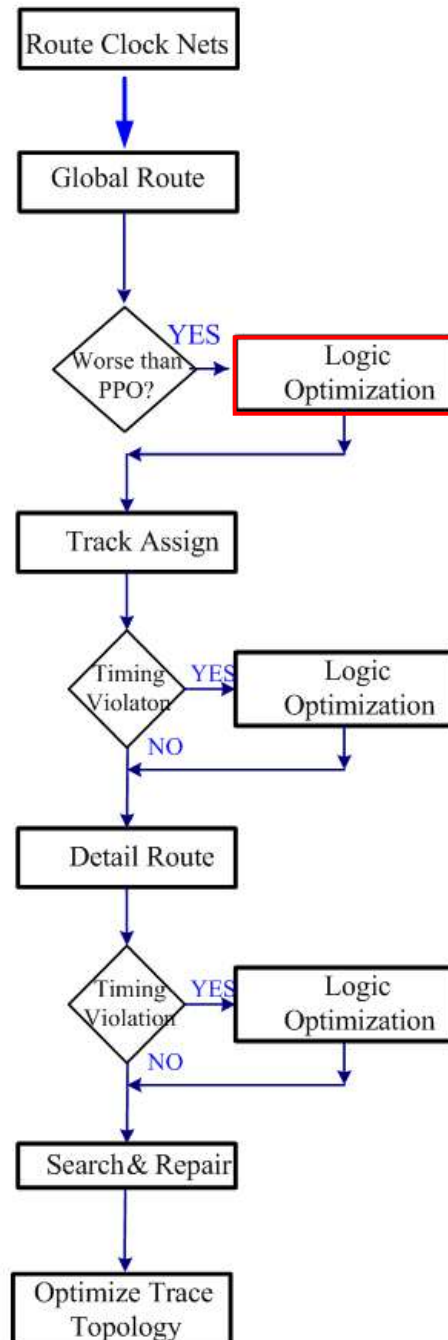
**Optimization Effort**  
☐ LOW ☒ MEDIUM ☐ HIGH

**Optimization Target**  
 Target Setup Slack: 0.1000  
 Target Hold Slack: 0.1000  
 Maximum Transition Time: 0.0000  
 Maximum Capacitance: 0.0000

**Optimization Mode**  
☒ Setup Slack Violations  
☒ Hold Slack Violations  
 Preserve: WNS  
☒ Transition Time Violations  
☒ Max Capacitance Violations  
☐ Max Length Violations: 1000  
☐ Crosstalk Noise Violations

**Optimization Control**  
☒ Netlist Change  
☐ Gate Sizing Only  
☐ R/C Reduction

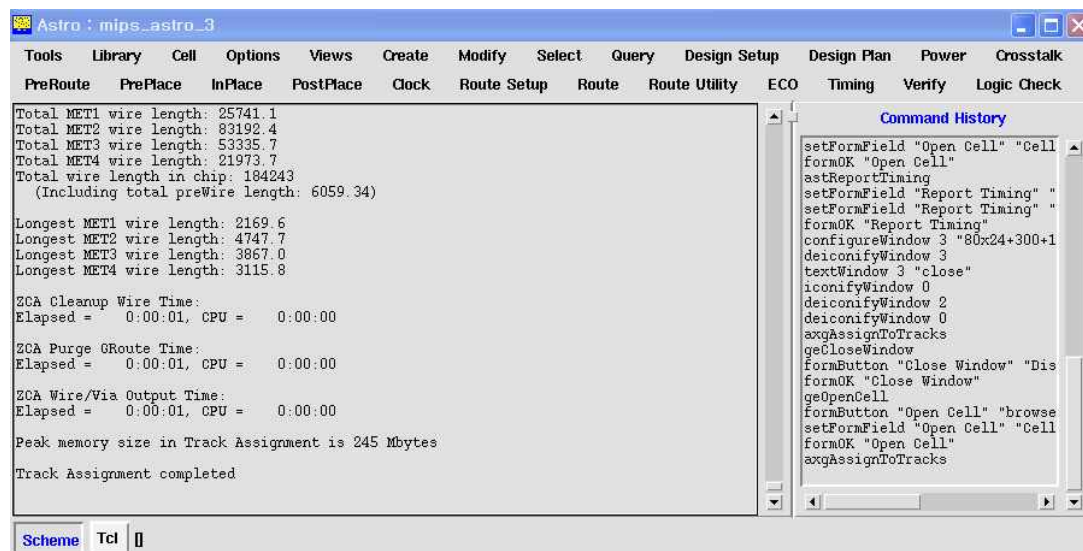
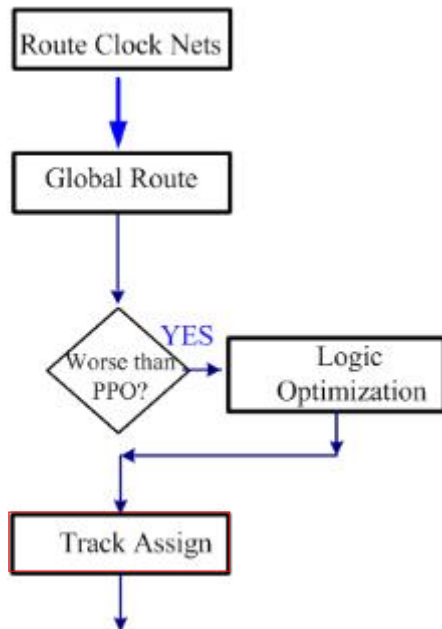
**Flow Control**  
☒ Purge Filler  
☐ Skip ECO Routing  
 Search & Repair Loop: 5  
 Run Time Limit (min): -1  
 Optimization Loops: 1



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 6-2-2. Track Assign

Select Route -> Track Assign !



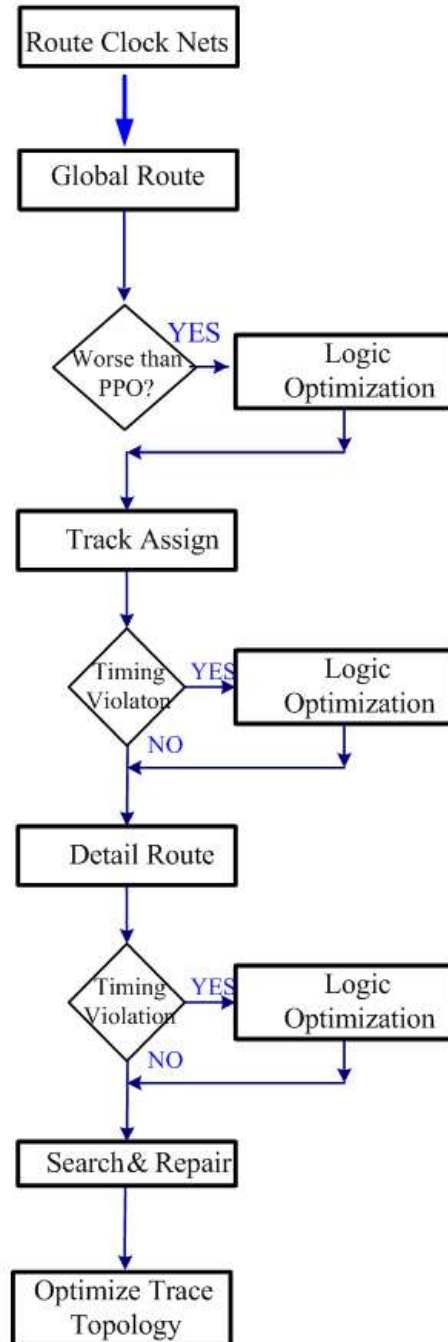


Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

### 6-2-3. Timing Check

Enter "ataReportSummary" on execute window  
or

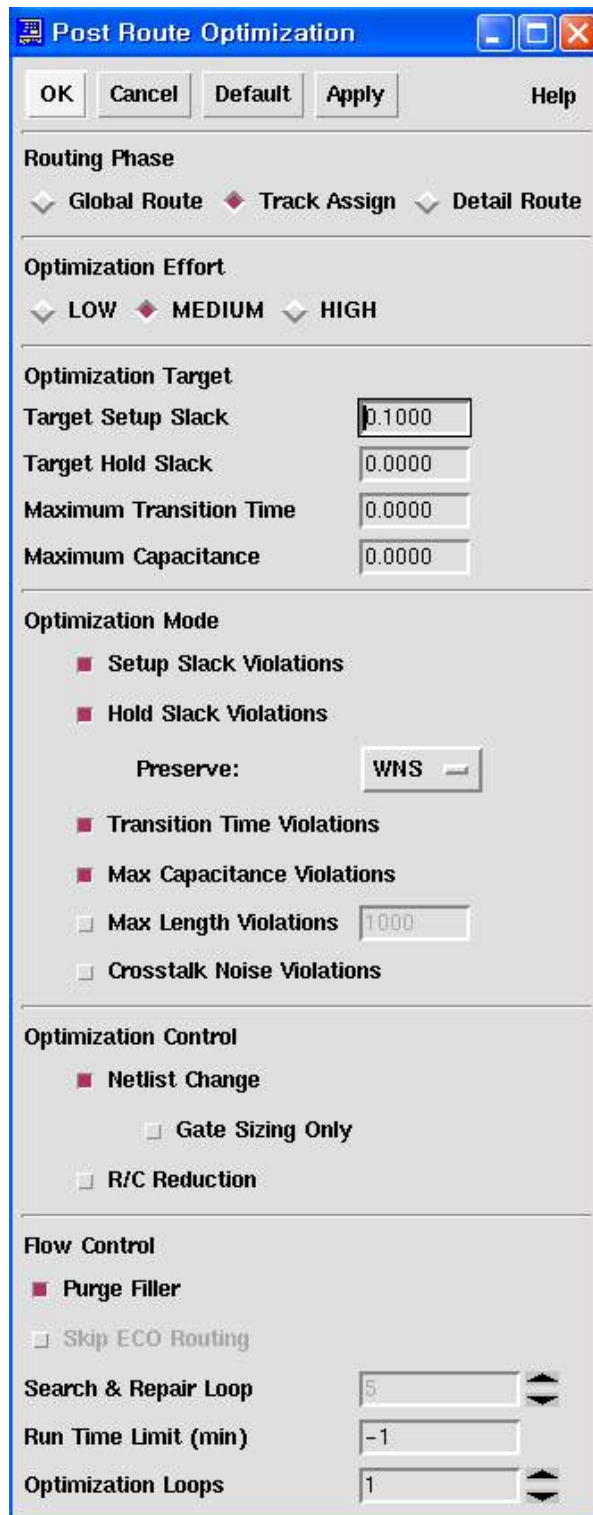
Select **Timing->Astro time: Timing Report**



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 6-2-4. Track Assign Optimization

Select Route -> Track Assign: Track Assign Optimization ...



**Post Route Optimization**

OK Cancel Default Apply Help

**Routing Phase**

Global Route **Track Assign** Detail Route

**Optimization Effort**

LOW **MEDIUM** HIGH

**Optimization Target**

Target Setup Slack 0.1000

Target Hold Slack 0.0000

Maximum Transition Time 0.0000

Maximum Capacitance 0.0000

**Optimization Mode**

Setup Slack Violations

Hold Slack Violations

Preserve: WNS

Transition Time Violations

Max Capacitance Violations

Max Length Violations 1000

Crosstalk Noise Violations

**Optimization Control**

Netlist Change

Gate Sizing Only

R/C Reduction

**Flow Control**

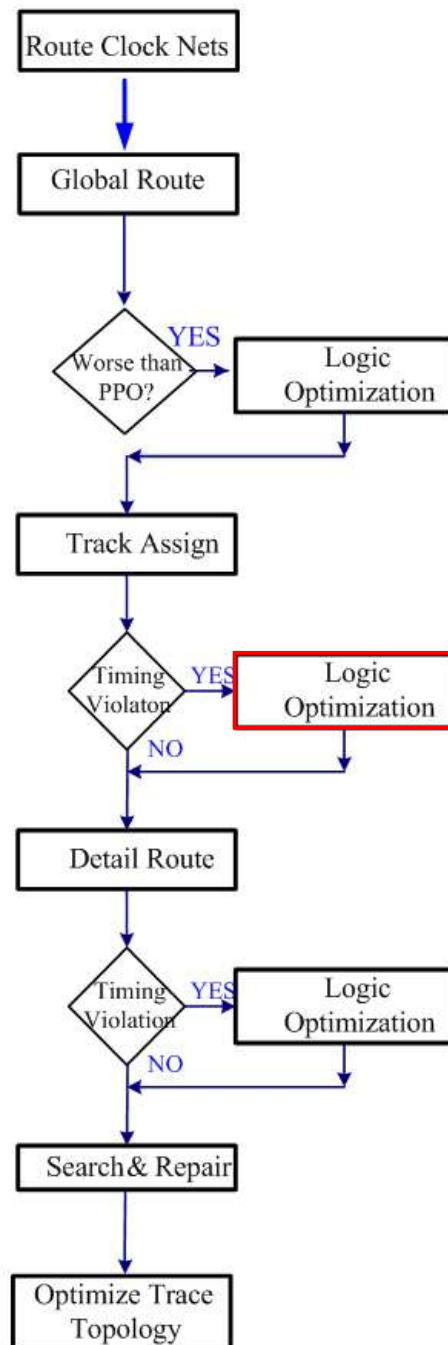
Purge Filler

Skip ECO Routing

Search & Repair Loop 5

Run Time Limit (min) -1

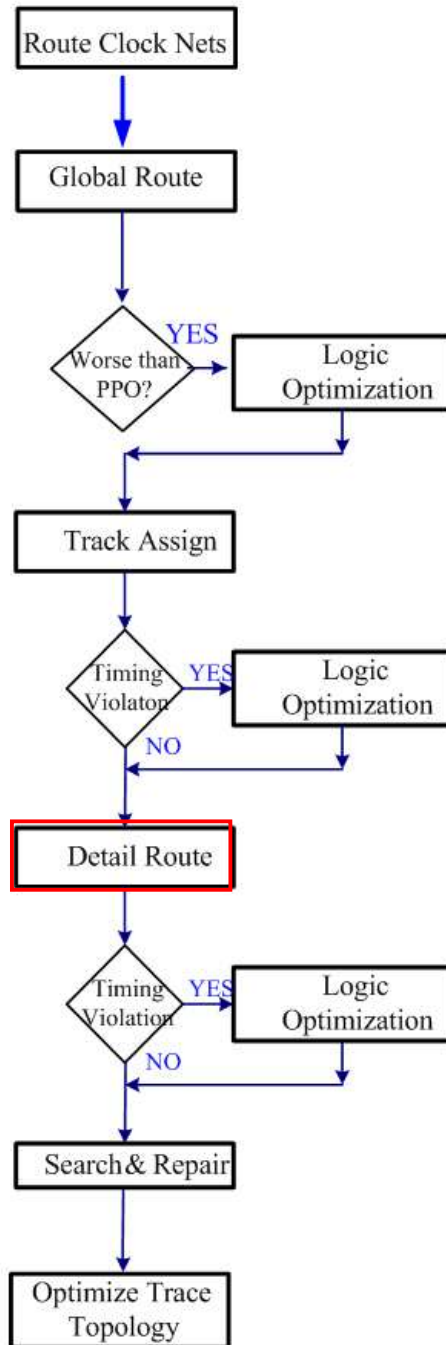
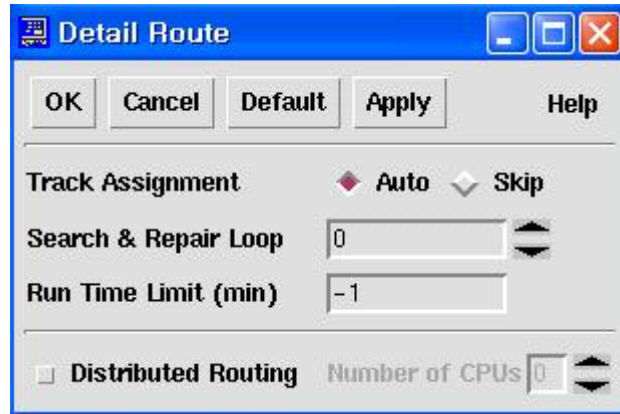
Optimization Loops 1



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 6-2-5. Detail Route

Select Route -> Detail Route: Detail Route ...

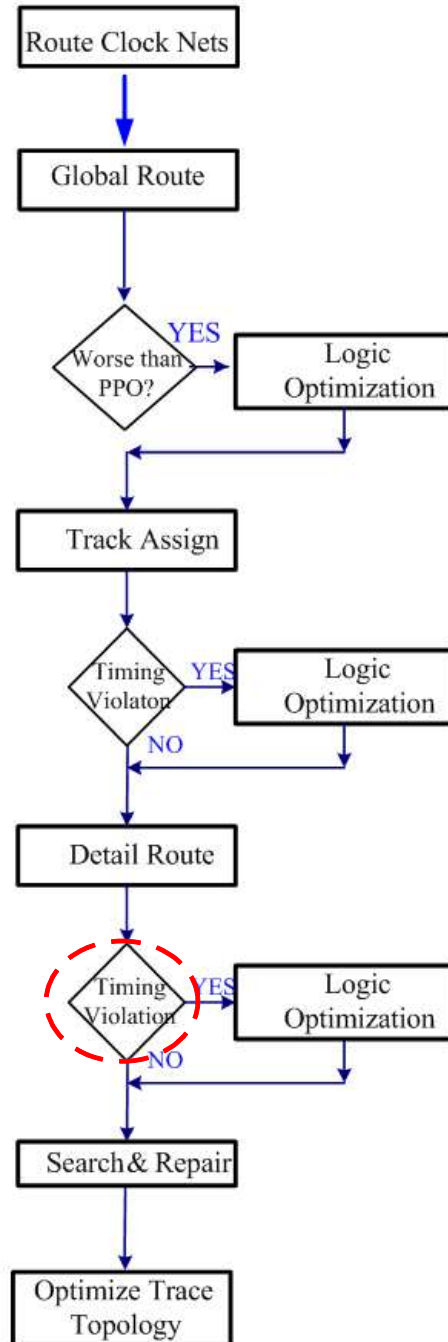


Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 6-2-6. Timing Check

Enter "ataReportSummary" on execute window  
or

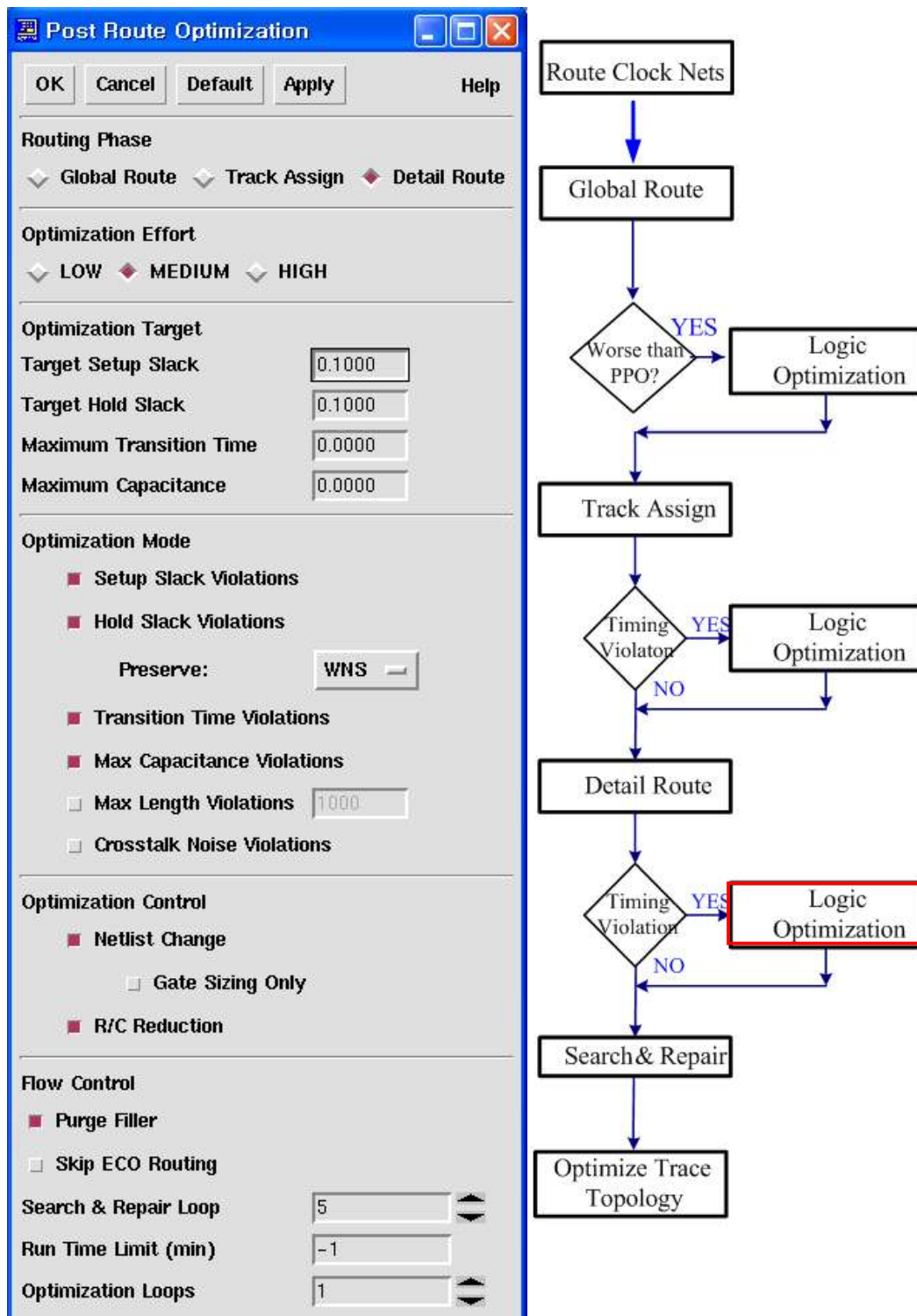
Select **Timing->Astro time: Timing Report**



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 6-2-7. Detail Route Optimization

Select Route->Detail Route: Detail Route Placement/Route Optimization ...

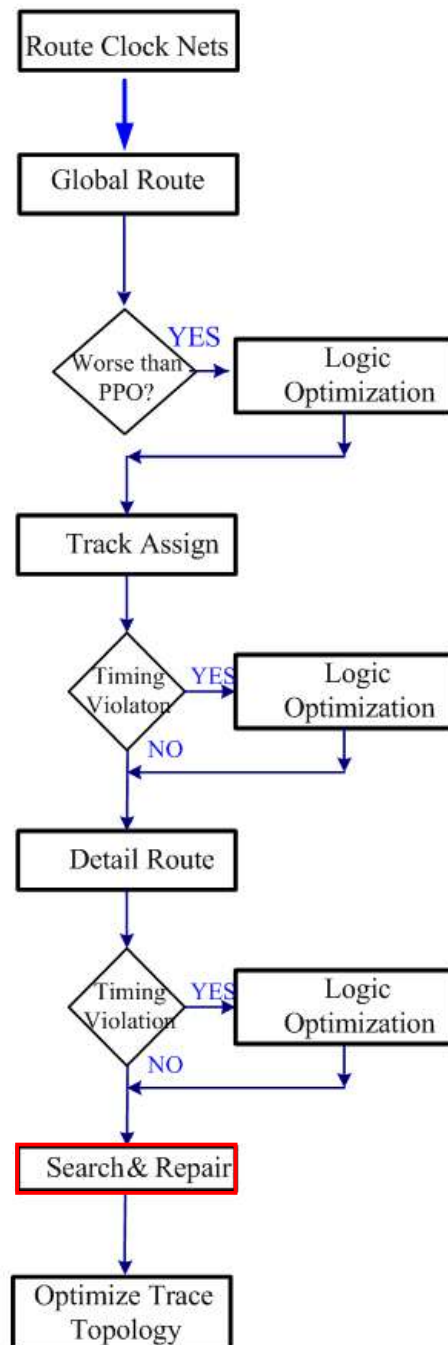
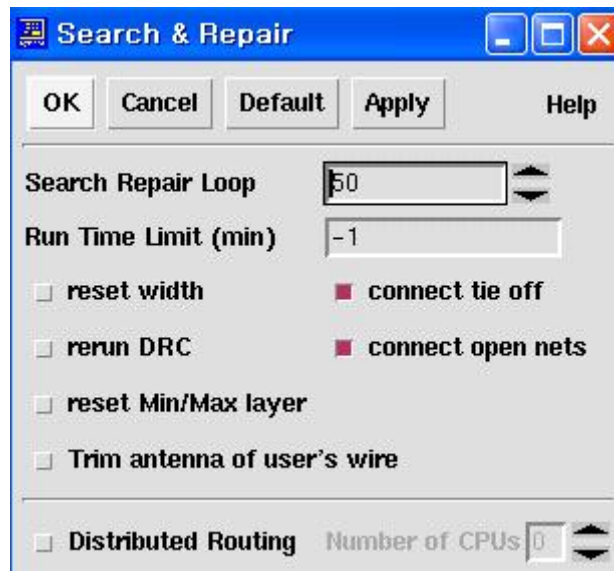


Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 6-2-8. Search and Repair

Select **Route**→**Detail Route: Search and Repair ...**

Enter "50" on Search & Repair Loop



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 7. Change Delay Model

- 지금까지 Delay Model이 low or Middle이였을 것이다. 하지만 실제 Chip 동작을 위해서 Delay Model을 High Effort로 바꾸어서 적용해야 한다.

**Select Timing->AstroTime: Timing Setup ...**

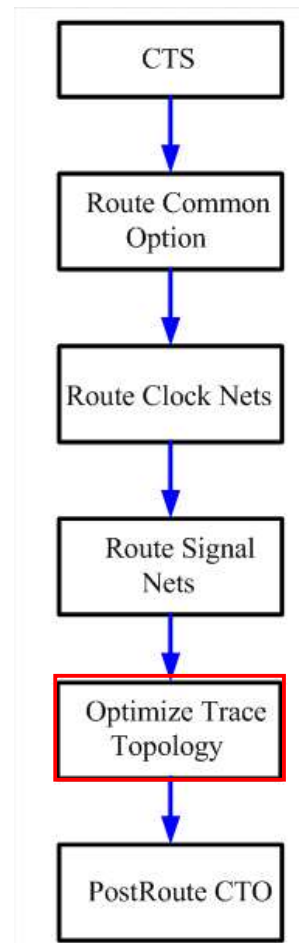
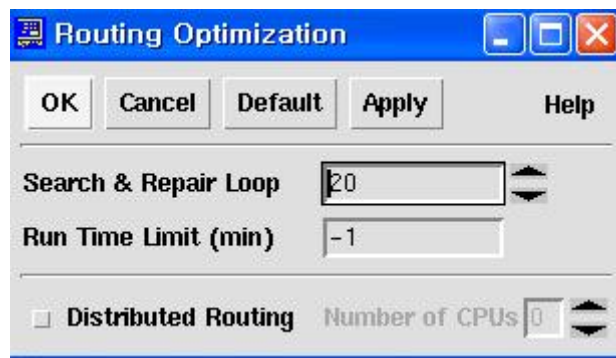
in Model

-change the Delay Model to **High Effort** in Net Delay Model

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 8. Trace Topology Optimization

Select Route -> Detail Route: Detail Route Wirelength Optimization ...



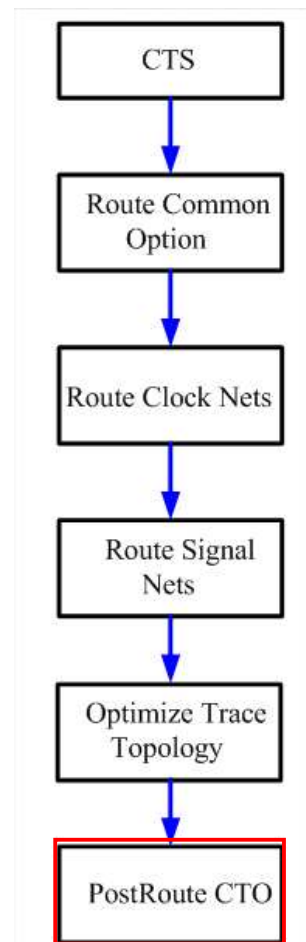
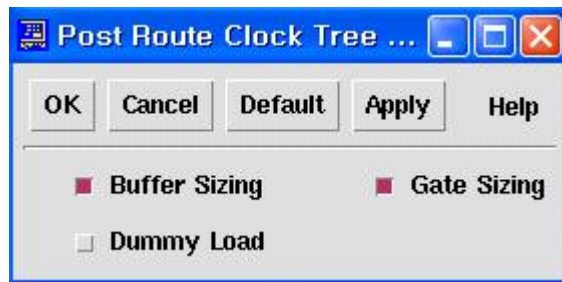


Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 9. Post Route Optimization of Clock Skew

Select Clocks -> Clock tree optimization: Post Route CTO ...

Select buffer sizing and/or gate sizing



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 10. Routing이 끝난 이후 먼저 확인해야 할 항목

1. Timing Report : must be no violation(no minus slack, no max Cap/Trans)
2. DRC, LVS, advaced\_DRC check : should be no violation

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 10-1. DRC&LVS check

- DRC/LVS를 check 하기 전에 기존에 진행하던 Cell를 Save as하고 Close 한 다음에 저장한 Cell을 다시 열어서 실시한다. 그렇지 않을 경우 기존의 Cell에 적용이 되어서 만족스러운 결과가 안나올 수 있다.

또한 Max errors 를 1000~2000이상 입력하고 검사해야 보다 정확한 검사가 이루어진다.

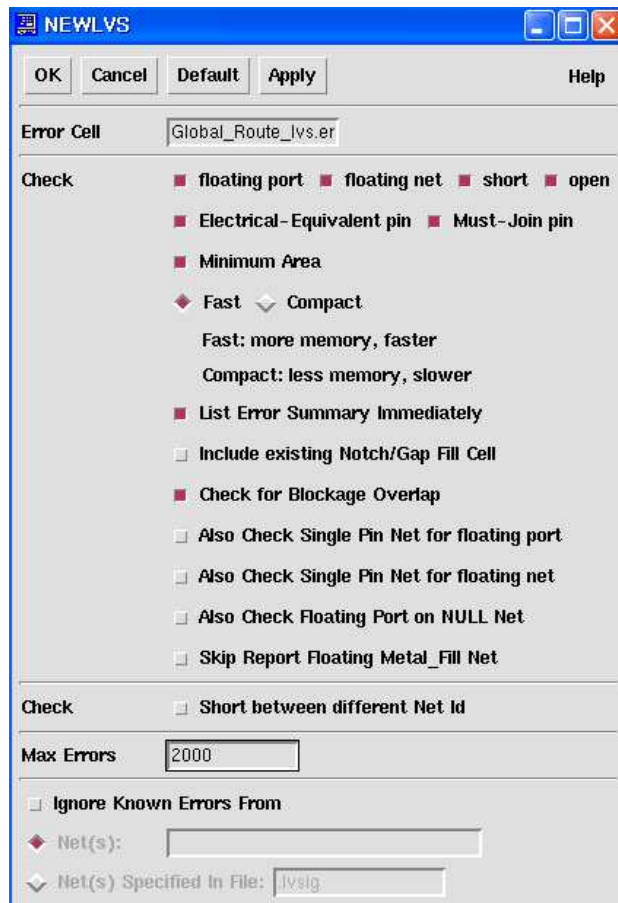
- error 검사시 옵션은 사실 Defaults값을 주고 하였다. 물론 필요에 따라서는 선택해서 검사해야 된다고 본다. 특히 DFM(Design for Manufacture)에서 Top Metal로 전체 chip을 덮어 버리는 경우 수많은 open errors가 발생하므로 이 경우 이런 것은 제외시켜야 할것이다.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

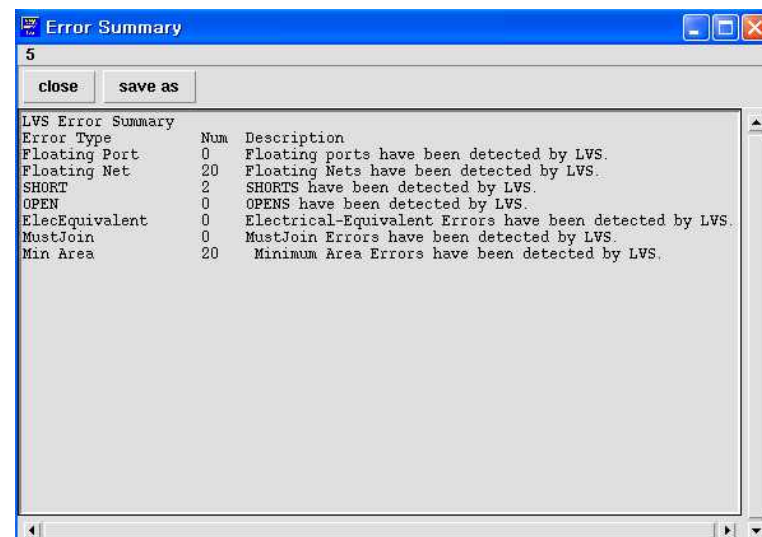
## 10-1-1. LVS

Verify-> LVS ...

select "List Error Summary Immediately"



LVE Error Summary는 필요에 따라서 특정 이름으로 저장하길 바란다.

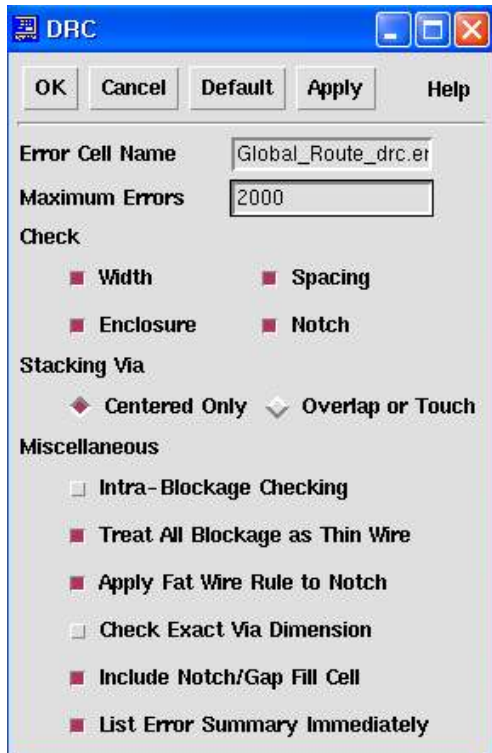


Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

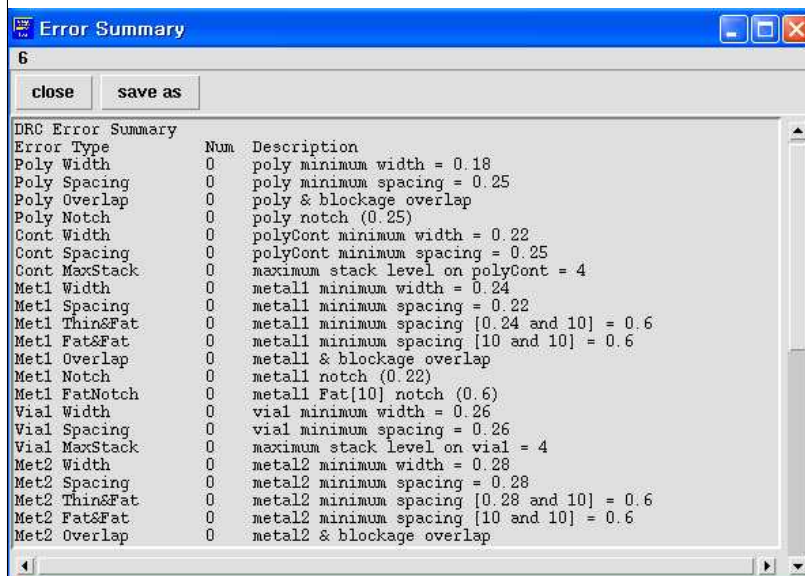
## 10-1-2. DRC

Verify-> DRC ...

select "List Error Summary Immediately"



필요에 따라서 DRC Error Summary도 특정 이름으로 저장 하길 바란다.



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

### 10-1-3. Advanced DRC

Verify-> Advanced DRC ...

- Advanced DRC 같은 경우 Huculus tool에서 검사하는 DRC check를 Astro에서 미리해보는 것으로 알고 있는데 일반 DRC보다 보다 자세히 한다고 생각하면 될듯 하다.

**Advanced DRC**

OK Cancel Default Apply Help

Error Cell Name: Global\_Route\_adrc.t

Runset Directory: adrc

**Check Metal Rules**

- ☒ Width ☒ Spacing
- ☒ Area ☒ Enclosed Area
- ☒ Density ☒ Min Edge Length

**Check Via Rules**

- ☒ Via Size ☒ Via Spacing
- ☒ Adjacent Via ☒ Min Via Number
- ☒ Stack Level ☒ Stackable
- ☒ Enclosure ☒ End of Line
- ☒ Via Farm ☒ fat Poly Contact

**Miscellaneous**

- ☒ Ignore Blockage
- ☒ Ignore Violation in Child Cell
- ☒ Read Cell View
- ☒ Dump Hercules Runset Only
- ☒ List Error Summary Immediately

☐ Area-based Checking Reset

Selected Area Excluded Area

Exclude by Cell Name(s)

Offset Distance: 4.4

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 11. Tip for DRC&LVS

- 반드시 DRC&LVS check 전에 Cell을 저장하고 종료하고 Cell을 다시 새로 open 시킨 상태에서 실시한다.
- LVS & DRC는 일단 0가 나오는 것이 가장 좋고, 그렇지 않을시 원인을 찾을수 없을 시에는(거의 대부분 Astro flow에서 잘못해서 발생한다) 공정Lib를 제공한 회사나 IDEC 혹은 Synopsys 에 문의를 해봐야 한다. 모른다고 넘기면 chip은 절대 나오지 않는다는 것을 명심하길 바란다.

Verify-> LVS ...

Verify-> DRC ...

Verify-> Advanced DRC ...

- DRC/LVS가 발생시 우선 Search&Repair를 다시 실시한다. 대부분의 errors는 사라지게 될 것이다.
- 만약 Search&Repair을 실시해도 errors가 사라지지 않을 시에는 advanced process(추후 첨가할 것임)을 실시해보고, 그래도 없어지지 않으면 일단 Routing의 각 단계별 저장된 Cell을 다시 열어서 실수가 없는지 확인하고 특히 timing setup도 잘 확인해보아야 한다.
- 또 한가지 방법은 사용자가 임의로 판단하여 각 Routing 을 할때 옵션을 추가하거나 빼서 해보는 방법도 있다. 물론 이것은 Routing에서 문제가 해결이 가능할 때 이야기 이다.
- 또한 placement or CTS or Route common option을 어떻게 선택했는지도 확인해보길 추천한다. 어떤 경우 하나의 옵션만 빼고 돌리면 몇천개의 에러가 발생하기도 한다.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 12. Tip for Timing Check

- LVS&DRC가 없다고 해도 Routing후에 timing report에서 slack이 마이너스값 이지만 작은값의 경우 먼저 Routing을 처음부터 다시 실시하는데 각 단계 실행시 search&repair의 횟수도 늘리고 effort도 High로 실시해 본다 또한 Delay model을 처음부터 High Effort로 해보는 방법도 있다. 그래도 사라지지 않거나 slack의 마이너스 값이 크다면 일단 Timing Report에서 이 문제가 발생하는 path를 찾아서 문제가 되는 cell을 찾고 대안을 찾아야 할 것이다.

- Max Cap/Trans이 없어지지 않는 경우 일단 violation type 이 S, C, G중 어떤 것인지 파악을 하고 혹시 Design 상의 문제로 고정이 되어버리는 값이 있지 않는지 살펴보고 그럴 경우 DC 혹은 ASTRO의 사용자 지정값을 수정하면 고쳐질수도 있고 아니면 Design 자체를 수정해야 하는 조치가 필요할수도 있다.

그렇지 않을 경우에는 일단 Search&Rearch를 실시해보고 그래도 안될시 Routing 혹은 CTS 혹은 placement부터 다시 시작하는데 이때 Astro의 target value를 DC constraint보다 더 작게 주어서 실행해 보고 나중에 DRC/LVS검사시에 astro의 Target value를 0으로 만들고 검사해도 violation이 나오는지 확인해보자.

- Timing Check의 경우 CTS까지 violation이 안나왔다고 해서 좋아할게 아니라 Delay model을 혹시 low나 meddle 로 하지 않았는지 확인해봐야 한다. 이런 경우 다시 high effort로 바꿀 경우 violation이 발생하기도 한다.



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## Lab6. Design For Manufacturing (DFM)

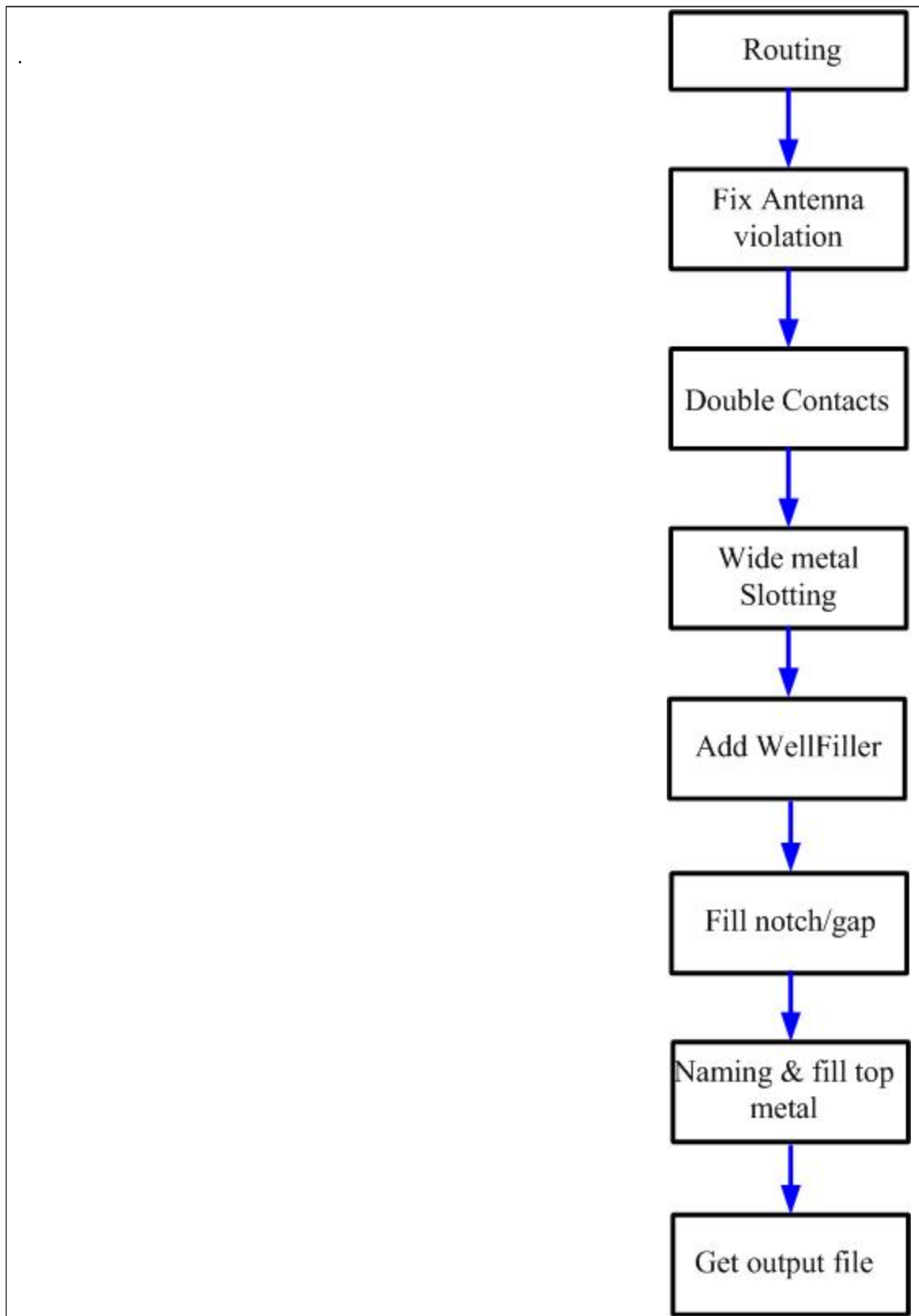
### DFM을 하기전에 알아 두어야 하는 내용

- DFM은 공정Lib에 따라서 혹은 파운드리 업체에 따라서  
각자 다른 기준을 가지고 하는 것으로 알고 있다.  
본 과정은 Samsung 180nm 공정을 기준으로 설명하겠다.

#### \*\*\*\* 기본 DFM flow \*\*\*\*

1. Fix Antenna violation  
(2가지 방법 소개)
2. double Contacts
3. Wide metal slotting
4. Add WellFiller
5. Fill notch/gap
6. 1 chip에 이름 새기기(Naming)  
(실제로 sumsung에선 원하지 않음)
6. 2 top metal로 전체 칩 덮기  
(실제로 sumsung에선 원하지 않음)
7. Get output file
  - PR Summary
  - LVS&DRC error report 저장하기
  - Delay 정보 추출(SDF file)
  - Parasitic Output 추출(.SPEF, .DSPF)
  - Netlist file 추출(.v)->2가지
  - GDS file 추출

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 1. Fix Antenna violation

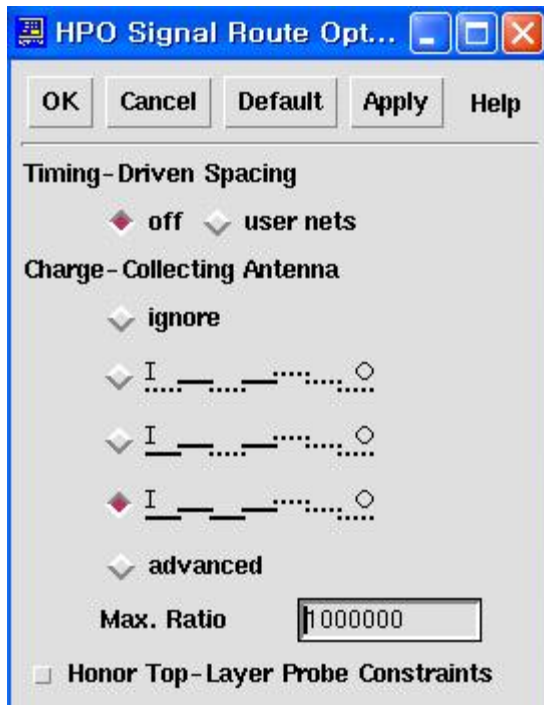
- antenna violation은 계층이 다른 두 메탈이 via로 연결되어 있을시 한 메탈이 접속되어있는 다른 메탈과의 길이 비율 차이가 일정이상 벌어지게 되면 일종의 무선 안테나와 같이 전자기파를 발생하므로써 신호전달에 큰 영향을 줄수 있기에 이런 antenna violation을 없애기 위해서 metal이나 via의 크기를 제한하는 것으로 알고 있다.

이런 Antenna violation이 나는 것을 막기 위해서 크게 두가지 방법이 Astro에서 제안 된다.

먼저 Astro 내에 있는 antenna rule을 적용하는 방법, 두 번째 파운드리 업체에서 제공한 공정에 맞는 antenna rule file을 적용하는 방법이 있다.

본인의 경우 Samsung 0.18um공정에서 제공된 rule file이 없었기 때문에 우선적으로 **첫 번째 방법**을 택하였다.

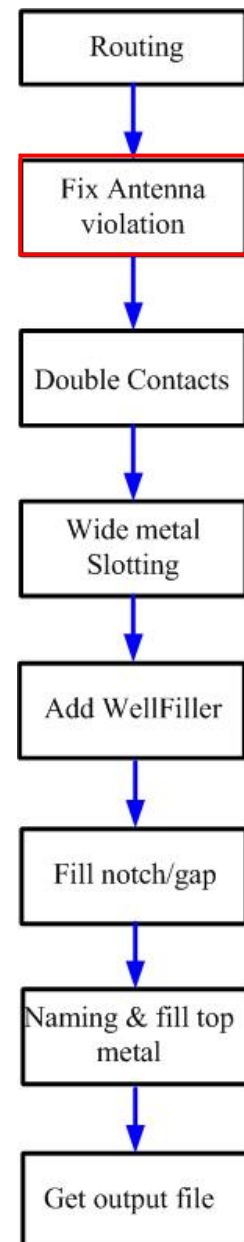
1. Select Route Setup -> HPO Signal Route Options ...



2. Charge-Collecting Antenna에서 위에서부터 4번째("include all lower-layer segments")를 선택하고 "OK"를 누른다.

3. Astro execution window에

"axReportAntennaRatio (geGetEditCell)" 명령어를 입력하고 엔터를 누른다.



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

방금한 것 중에 첫 번째, 두 번째는 어떤 antenna rule을 이 Cell에 적용을 할건지 결정한 것이고 세 번째는 적용된 antenna rule을 기준으로 Cell을 검사하는 것이다.

아래의 검사 결과 특별한 antenna violation이 눈에 띄지 않는다.

```

**** WARNING:Voltage area is ignored
# Masters = 57 , # Instances = 4625 , # Nets = 651
Layer[VIA3] stack with limit
Layer[CNT] stack with limit
    @@@ Total nets not meeting constraints =      0
Total Wire Length =      124048 micron
Total Number of Contacts = 5795
    Layer    MET1 :      11168 micron
    Layer    MET2 :      65287 micron
    Layer    MET3 :      31570 micron
    Layer    MET4 :      16024 micron
    Via      VIA34 :         481
    Via      VIA23 :        2893
    Via      VIA12 :        2421

DRC-SUMMARY:
    Do Notch DRC!
    @@@@ TOTAL VIOLATIONS =      0 (0)

#t
|
  
```

실행결과에서 빨간색으로 표시된 부분이 0이 아니면 고쳐야하는데 이것은 앞서 Detail Routing에서 했던 Search&repair로 기본적으로 고칠 수 있다.

4. Select Route -> Detail Route : Detail Route Search & Repair
5. Click "OK"

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

Search & Repair이 끝나면 다시 한번 Antenna violation을 검사한다.

6. Astro execution window에 “axReportAntennaRatio (geGetEditCell)” 명령어를 입력하고 엔터를 누른다.

검사 결과 violation이 0으로 나오면 상관없지만 만약에 0이 안됐을 경우에는 antenna diode를 삽입해주어야 한다.

7. Select Route Utility->Charge-Collecting Antenna: Insert Diode with Checking ...

8. Select "always" under the Routing section and Click "OK"

9. 다시한번 antenna violation을 검사한다.

어찌 되었던 antenna violation이 없는 경우는

10. Select Route Setup -> HPO Signal Route Options ...

11. Charge-Collecting Antenna 항목에서 "ignore"를 선택후에 "OK"버튼을 누르면 Antenna rule check는 끝난다.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

**Fix Antenna violation의 두 번째 방법**은 아래와 같이 antenna rule 파일이 제공되었을 경우에

1. Write load "경로/antenna rule 파일명" on execution window and Enter  
ex) 여기서 load "scripts/s35\_4m\_antenna.cmd"
2. Select Route Setup -> HPO Signal Route Options ...
3. advanced를 선택하고 OK를 누른다.
4. 뒤의 과정은 앞에서 소개한 첫 번째 과정과 동일하다.

samsung 0.35um 공정에서 사용했던 AntennaRule.cmd 파일 내용(본인이 0.18um 공정에 사용할 수 있도록 약간 수정했다. 틀릴수도 있으니 주의요망됨)

```
define _libId (dbGetCurrentLibId)
dbClearLibAntennaRules _libId

dbDefineAntennaRule _libId 1 2 100 20

dbAddAntennaLayerRule _libId 1 "MET1" 100 '( 0.203 0 400 3700)
dbAddAntennaLayerRule _libId 1 "MET2" 100 '( 0.203 0 400 3700)
dbAddAntennaLayerRule _libId 1 "MET3" 100 '( 0.203 0 400 3700)
dbAddAntennaLayerRule _libId 1 "MET4" 100 '( 0.203 0 8000 50000)

dbAddAntennaLayerRule _libId 1 "VIA1" 5 '( 0.203 0 83.33 75)
dbAddAntennaLayerRule _libId 1 "VIA2" 5 '( 0.203 0 83.33 75)
dbAddAntennaLayerRule _libId 1 "VIA3" 5 '( 0.203 0 83.33 75)
```

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 2. Double Contact

- 말 그대로 metal과 metal, metal과 cell등의 사이를 이어주는 Contact(via)를 한 개가 아닌 두 개로 만든다는 것인데 이유는 공정상 오류로 Contact이 한 개정도는 빠질수도 있고 via가 2배가 되면 그만큼 서로간의 접촉면이 커지기 때문에 data 전송 속도도 빨라져서 delay가 줄어들 것이다.

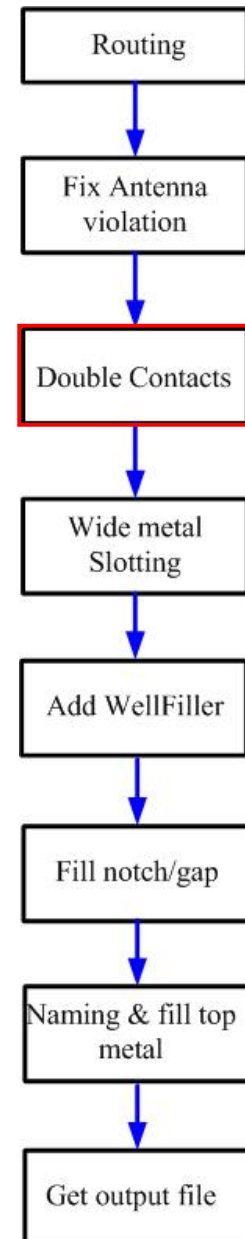
실행방법은

1. Write **load "경로/해당cmd파일명"** on execute window  
여기서는 **load "scripts/optContacts.cmd"**를 치면 된다.

삼성 0.18um 공정에서 쓰이는 double Contact을 위한 cmd 파일 내용

```
;;Optimize Contact
axDrouteOptimizeContact (geGetEditCell) '(
("VIA12" "VIA12" 2)
("VIA23" "VIA23" 2)
("VIA34" "VIA34" 2)
)
```

실행이 완료되면 DRC check를 통해서 실행과정에서 발생한 에러를 찾을 수 있다.



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

### 3. Slotting Wire

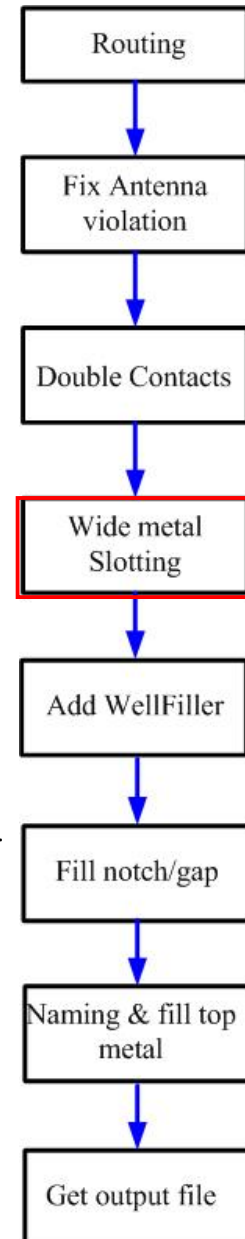
1. write load "경로/해당.cmd 파일" on execution window

여기서는 load "scripts/slotting\_Metal.cmd"

삼성 0.18um에서 Slotting Wire를 하기 위한 cmd file 내용

```
axgSlotWire
configureWindow 4 "650x678+ 507+ 293"
setFormField "Wire Slot" "Net Name" "VDD,VSS"
setFormField "Wire Slot" "CutWidth 0" "2"
setFormField "Wire Slot" "CutWidth 0" "20"
setFormField "Wire Slot" "CutLength0" "1"
setFormField "Wire Slot" "CutLength0" "10"
setFormField "Wire Slot" "CutLength0" "100"
setFormField "Wire Slot" "Width 0" "5"
setFormField "Wire Slot" "Length 0" "50"
setFormField "Wire Slot" "SideSpace 0" "5"
setFormField "Wire Slot" "EndSpace 0" "5"
setFormField "Wire Slot" "SideClearance0" "5"
setFormField "Wire Slot" "EndClearance0" "5"
formApply "Wire Slot"
formCancel "Wire Slot"
```

만약 수동으로 실행하고 싶다면 Select PreRoute -> Slot Wires ...





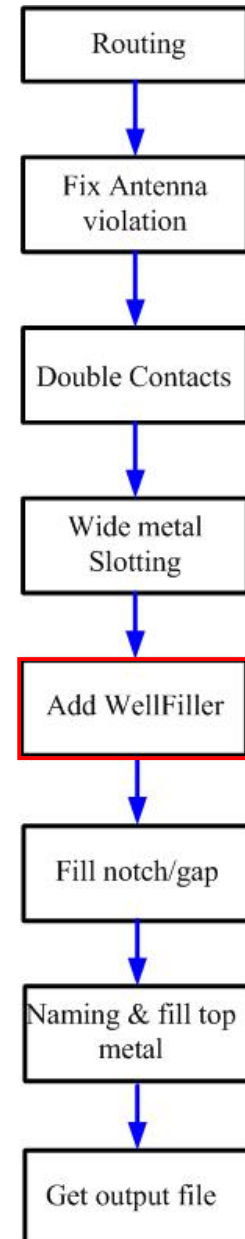
Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 4. Fill WellFiller

axgAddWellFiller

setFormField "Add Well Filler (IntraCell)" "Layer" "6"

formOK "Add Well Filler (IntraCell)"

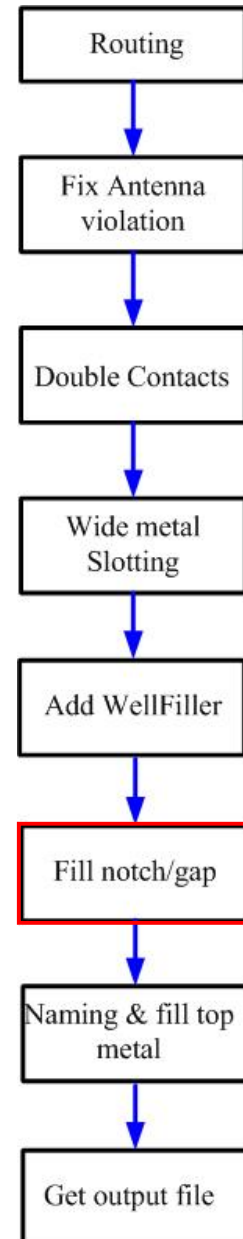


Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 5. Fill Notch/Gap

geNewFillNG

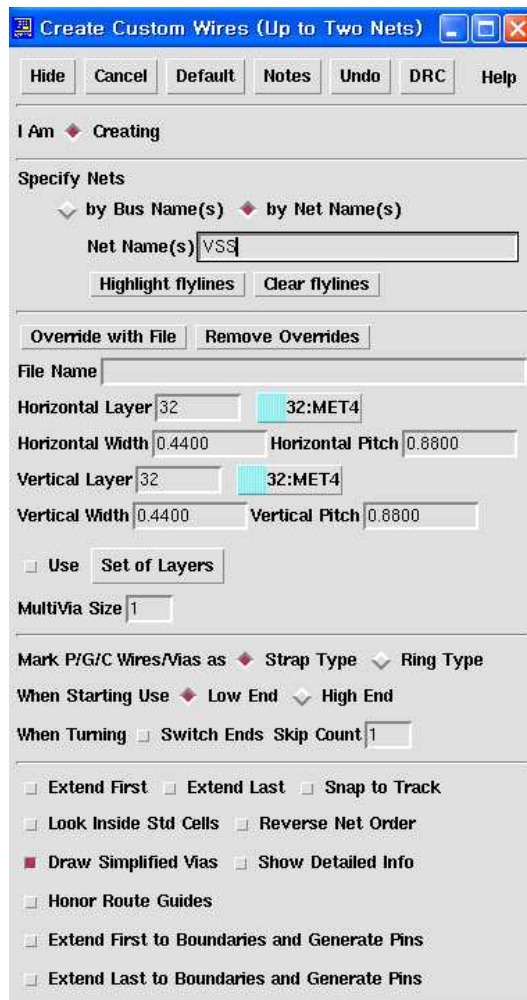
formOK "New Fill Notch and Gap"



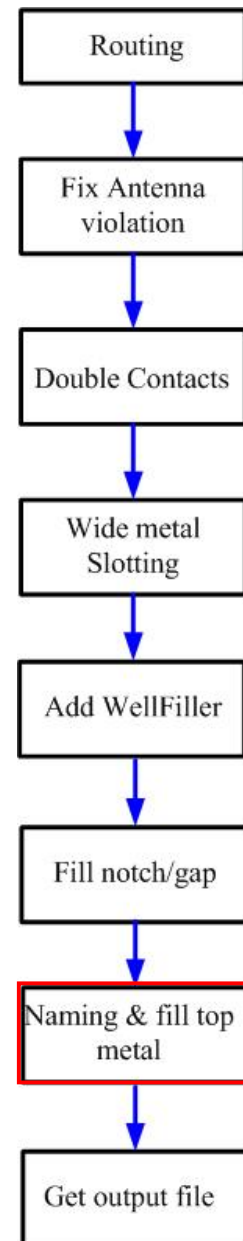
Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 6-1. Naming

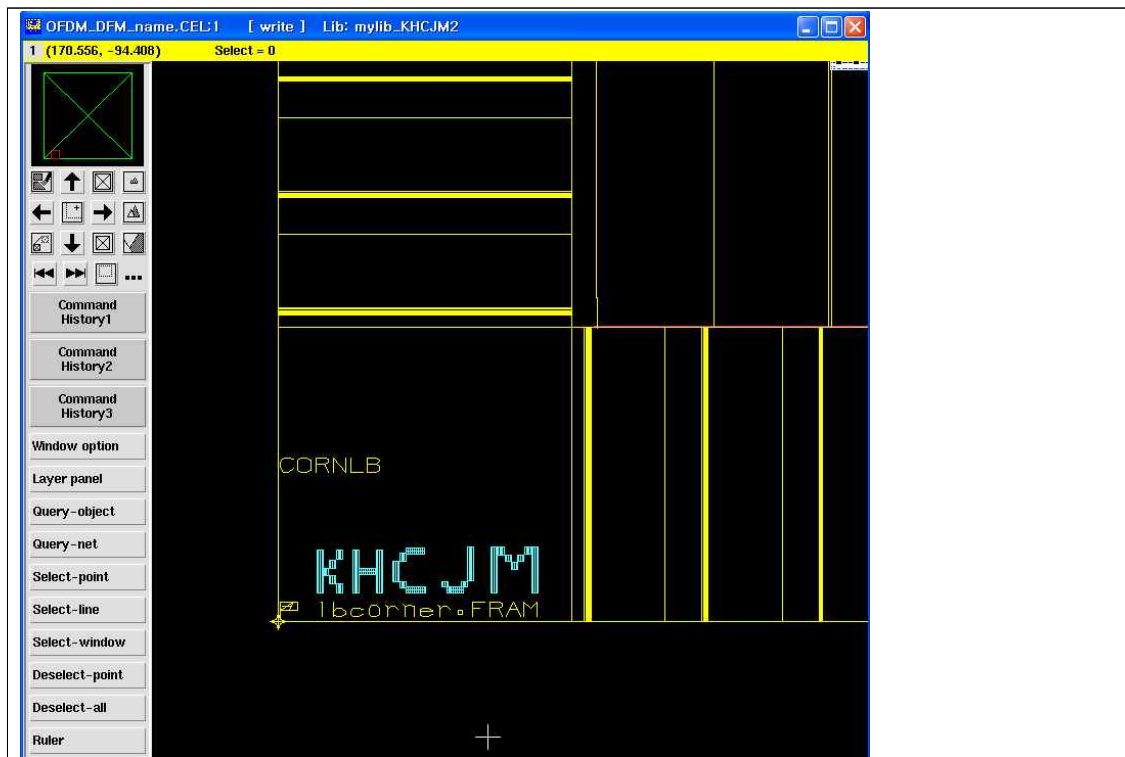
- chip 왼쪽 하단 Corner Cell에 Top Metal(여기서는 Metal4)를 이용해서 지정된 이름을 Cell view Window에서 직접 마우스를 이용하여 그린다.
- Select PreRoute->Custom Wires



다음 그림에서 오른쪽 하단에 “KHCJM”이라는 이니셜이 쓰여져 있는것을 확인할수 있다.



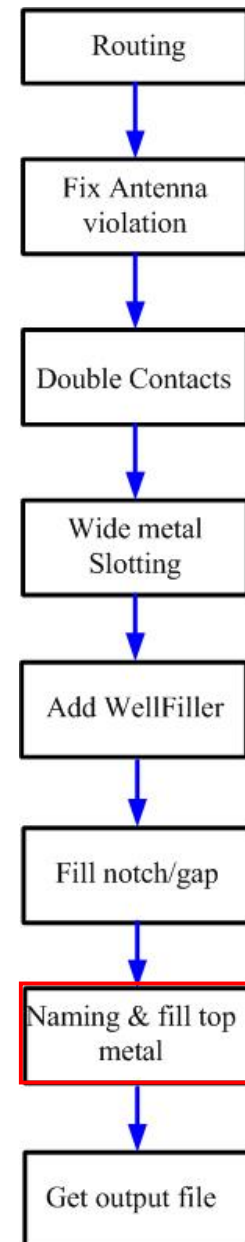
Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	



Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

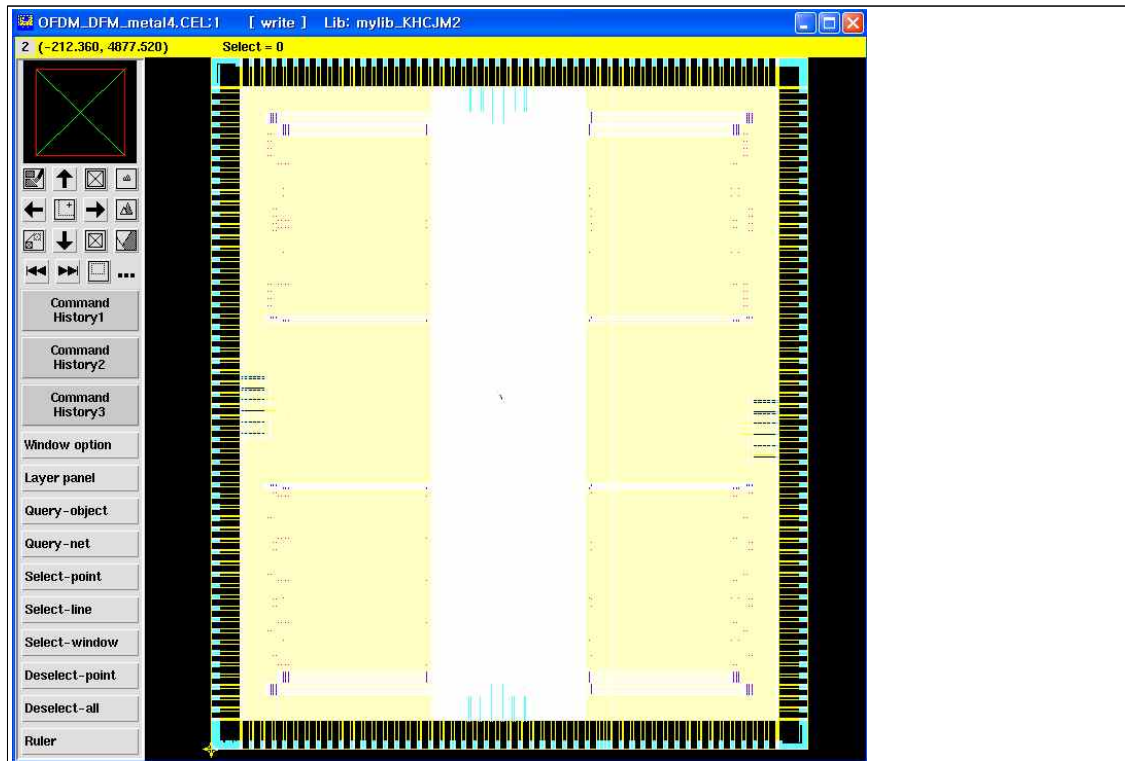
## 6-2 Fill Top Metal

- Select Route Utility -> Fill Wire Track ...
- Click "Default"
- Select **self** in the Output to field
- Set the From Metal option to 2
- Set To Metal option to 4
- Click "OK"



아래 그림은 실행 후에 Cell의 모습이다.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

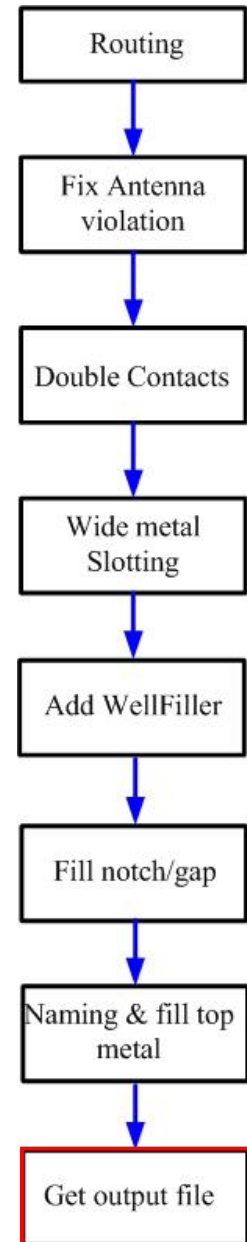


Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 7. Get Output file

- 자 이제 ASTRO의 모든 과정이 끝났다.
- 이제 Astro후에 사용될 tools 을 위해서 아래와 같은 result를 뽑아야 한다.

1. PR Summary
2. LVS&DRC error report 저장하기
3. Delay 정보 추출(SDF file)
4. Parasitic Output 추출(.DSPF)
5. Netlist file 추출(.v)->2가지
6. GDS file 추출

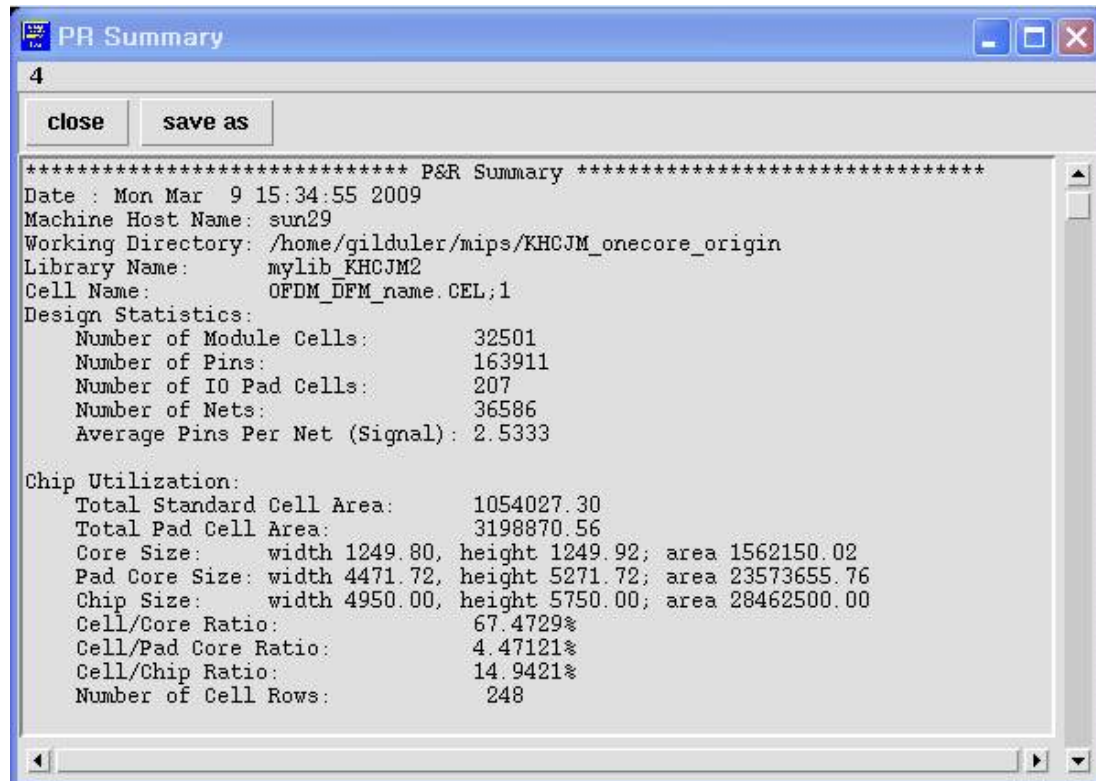


Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 7-1 PR Summary

Select Query -> List PR Summary!

- PR Summary는 place&route된 세부결과를 Report해준다.
- save as를 눌러서 저장해 주길 바란다.





Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 7-2 LVS&DRC error report 저장

LVS 와 DRC error를 추출하고 저장하는 방법은 앞에서 DRC가 끝난후에 한것과 동일한 방법이다.

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

### 7-3 Delay 정보 추출(SDF file)

Select Timing-> Delay Output: SDF Out ...

**SDF Write**

OK Cancel Default Apply Help

☐ Flatten Format

**Specify Version**

◆ Version 2.1 ◇ Version 3.0

**Operation Mode**

■ Normal SDF

☐ Crosstalk-Induced SDF

**SDF File**

☐ Interconnect only

SDF Design Name OFDM\_DFM\_name

SDF CellType Name OFDM\_DFM\_name

SDF Instance Name OFDM\_DFM\_name

File Name OFDM\_DFM\_name.

**Crosstalk-Induced SDF Options**

Crosstalk SDF File Name OFDM\_DFM\_name

**SDF Content**

◆ Absolute ◇ Incremental

Ignore Delay Less Than -1.0 ns

Number of Iterations Until Converge

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 7-4-1. Parasitic Output 1 추출(.SPEF)

Select Timing -> Parasitic Output: SPEF Out ...

Click "Default"

Unselect the "Output single pin nets" option near the top

Unselect the "Reduce RLC Tree" near the bottom of the dialog box

Select Compress file to creat .gz file

Enter Cell이름.spef as the Output file

Click "OK"

**SPEF Out**

OK Cancel Default Apply Help

**Net selection**

Included net name(s) from ☐ Window ☐ File Excluded net name(s) from ☐ Window ☐ File

☐ Pattern match included nets ☐ Pattern match excluded nets

Included net name(s)  Excluded net name(s)

Included net file  Excluded net file

☐ Output single pin nets ☒ Output pseudo nets ☒ Output floating branches

☐ Expand hierarchical cells ☐ Dump PG nets

**LPE options**

Transition ☒ Rise ☐ Fall

Mode ☒ Max ☐ Nom ☐ Min

Delay threshold Rise  Fall

☐ Partition design Number of partitions

**Output options**

Hierarchy divider  Library BUS\_DELIMITER

Pin delimiter  Output BUS\_DELIMITER

NETLIST\_TYPE  Include header file

PIN\_CAP ☒ NONE ☐ INPUT\_OUTPUT

Driving cell type ☒ Rise ☐ Fall

☐ Reduce RLC Tree ☐ Show internal nodes

☐ Split file every  lines ☐ Define name map

☒ Compress file ☐ Dump coupling mesh ☐ Apply coupling cap filter

Output format ☒ D\_NET ☐ R\_NET

Output file

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 7-4-2 Parasitic Output 2 추출(.DSPF)

Select Timing -> Parasitic Output: DSPF out ...

Click "Default"

Enter Cell이름.DSPF as the Output file

Click "OK"

**DSPF Out**

OK Cancel Default Apply Help

**Net selection**

Included net name(s) from ☒ Window ☐ File

☐ Pattern match included nets

Included net name(s)

Included net file

☒ Output single pin nets ☒ Output pseudo nets ☒ Output floating branches

☐ Expand hierarchical cells ☐ Dump PG nets

**Extraction options**

Transition ☒ Rise ☐ Fall ☒ Reduce RLC Tree

Mode ☒ Max ☐ Nom ☐ Min ☐ Include pin capacitance

☐ Partition design Number of partitions

**Netlisting options**

Pin delimiter  Include header file

☐ Escape special characters ☐ Do not cut long line

☒ Netlist P/G net names ☐ Netlist P/G ports

☐ Dump coupling mesh ☐ Apply coupling cap filter

Output file

Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 7-5. Netlist file 추출(.v)->2가지

1. Select Cell -> Save!

2. Select Cell -> Close ...

Select Discard All

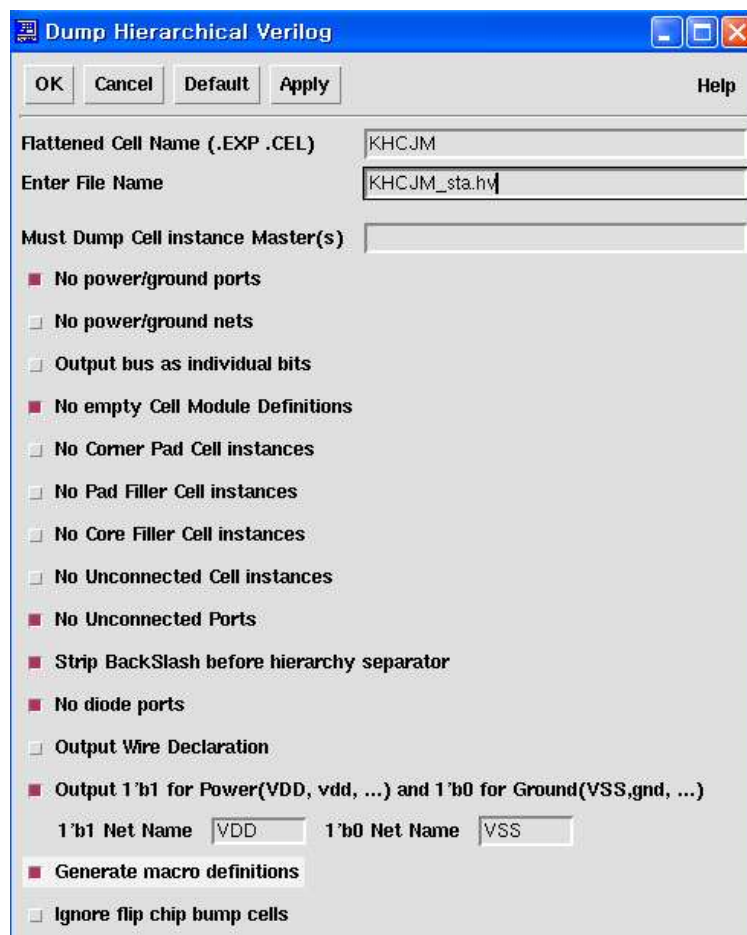
Select "OK"

3. Prime time에서 사용할 netlist 추출

Select Cell -> Hierarchy Preservation: Hierarchical Verilog Out ...

아래 그림과 같이 옵션을 선택하고 Cell Name 과 File Name을 넣는다.

그리고 OK 클릭



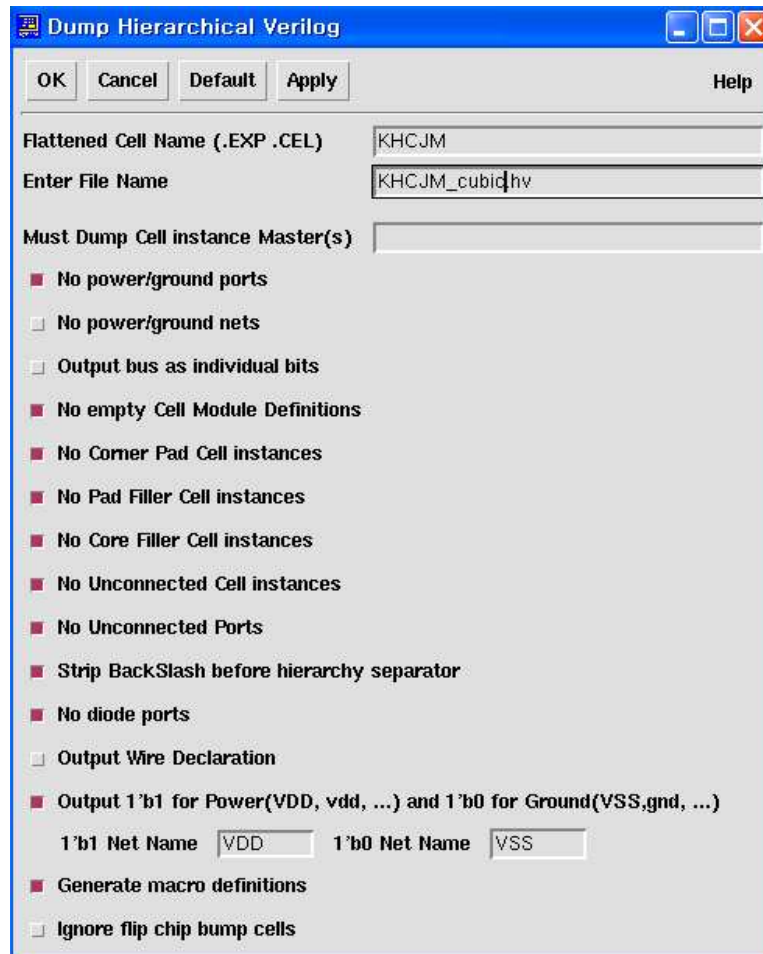
Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

#### 4. Cubic에서 사용할 netlist 추출

Select Cell -> Hierarchy Preservation: Hierarchical Verilog Out ...

아래 그림과 같이 옵션을 선택하고 Cell Name 과 File Name을 넣는다.

그리고 OK 클릭



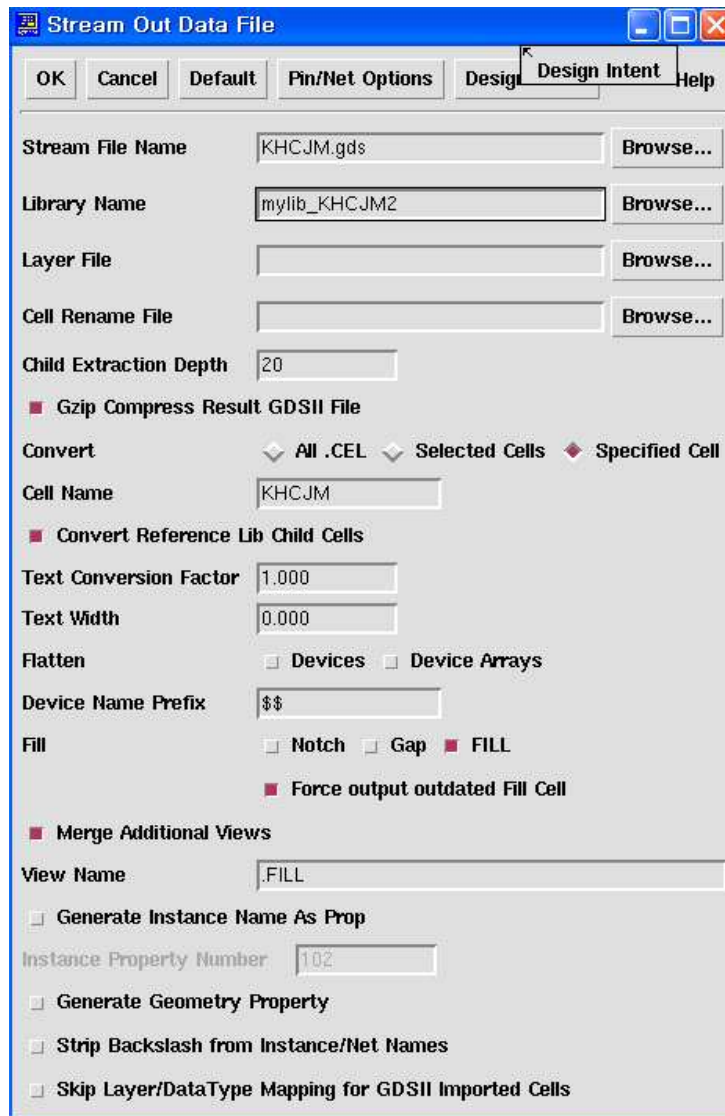
Title	Astro 메뉴얼		
Author	MinSu Choi	Wrote data	2011.11
		Pages	

## 7-6. GDS file 추출

Select Tool -> Data Prep

Select Output -> Stream Out ...

다음 아래와 같이 옵션을 선택하고, Stream File Name(cell 이름.gds), Library Name (작업한 library 이름), Child Extraction Depth(20정도), Cell Name, View Name(.FILL)들을 채워주고 OK를 누른다.



**Stream Out Data File**

OK Cancel Default Pin/Net Options Design Design Intent Help

Stream File Name: KHCJM.gds Browse...

Library Name: mylib\_KHCJM2 Browse...

Layer File: Browse...

Cell Rename File: Browse...

Child Extraction Depth: 20

☒ Gzip Compress Result GDSII File

Convert: ☒ All .CEL ☐ Selected Cells ☐ Specified Cell

Cell Name: KHCJM

☒ Convert Reference Lib Child Cells

Text Conversion Factor: 1.000

Text Width: 0.000

Flatten: ☐ Devices ☐ Device Arrays

Device Name Prefix: \$\$

Fill: ☐ Notch ☐ Gap ☒ FILL

☒ Force output outdated Fill Cell

☒ Merge Additional Views

View Name: .FILL

☐ Generate Instance Name As Prop

Instance Property Number: 102

☐ Generate Geometry Property

☐ Strip Backslash from Instance/Net Names

☐ Skip Layer/DataType Mapping for GDSII Imported Cells