

# 3 집적회로 테크놀로지 스케일링

IT CookBook, 최신 VLSI 설계, 조준동, 성균관대학교



- 테크놀로지 스케일링이란 무엇인지 알아본다.
- 디바이스 및 와이어의 파라미터별 스케일링 효율이 어떻게 되는지 살펴본다.
- 테크놀로지 스케일링에 따른 문제점은 무엇인지 살펴본다.



## 1.테크놀로지 스케일링이란

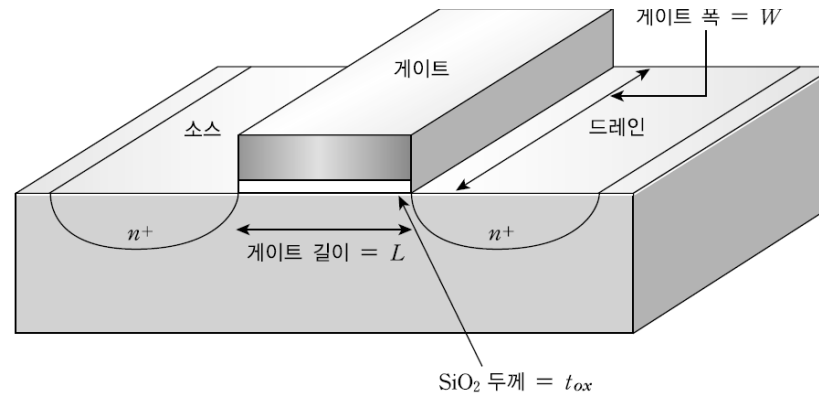
## 2.디바이스 및 와이어의 파라미터별 스케일링 효율

## 3.테크놀로지 스케일링의 문제점

# Section 01 테크놀로지 스케일링이란



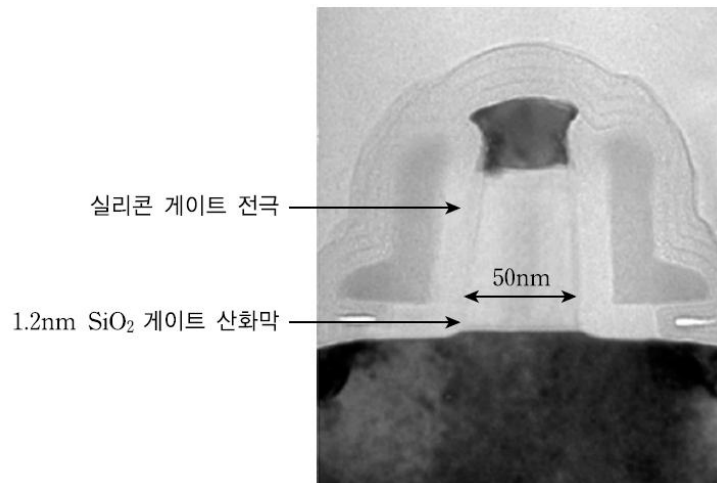
- 반도체 트랜지스터의 게이트 채널 길이가 축소되는 비율을 S라고 하면, 게이트 길이가  $0.7\mu\text{m}$ 인 공정을 S=2와 4로 스케일링할 때 각각  $0.5\mu\text{m}$ ,  $0.35\mu\text{m}$  공정이 된다. 각 공정 기술 세대는  $0.25\mu\text{m}$ ,  $0.18\mu\text{m}$ ,  $0.13\mu\text{m}$ , 90nm, 65nm, 45nm, 30nm 등으로 발전하고 있다.



[그림 3-1] NMOS의 디바이스 단면도



- 2010년에는 1TIPS을 수행하는 칩이 나올 것으로 전망된다. 이 칩은 30GHz의 동작 주파수로 수행되며, 20억 개의 트랜지스터가 집적되어 있다. 다이(칩)의 크기는  $40 \times 40 \text{mm}^2$  전력소모는 10kW이며, 이 중 누설전력소모가 전체 전력소모의 1/3에 해당할 것으로 예측된다.



[그림 3-2] 인텔 사의 50nm NMOS

[표 3-1] 각 디바이스 파라미터별 스케일링

디바이스 파라미터	스케일링
게이트 길이, $L$	$1/S$
게이트 폭, $W$	$1/S$
게이트 산화막 두께, $t_{ox}$	$1/S$



## 2.1 디바이스 스케일링

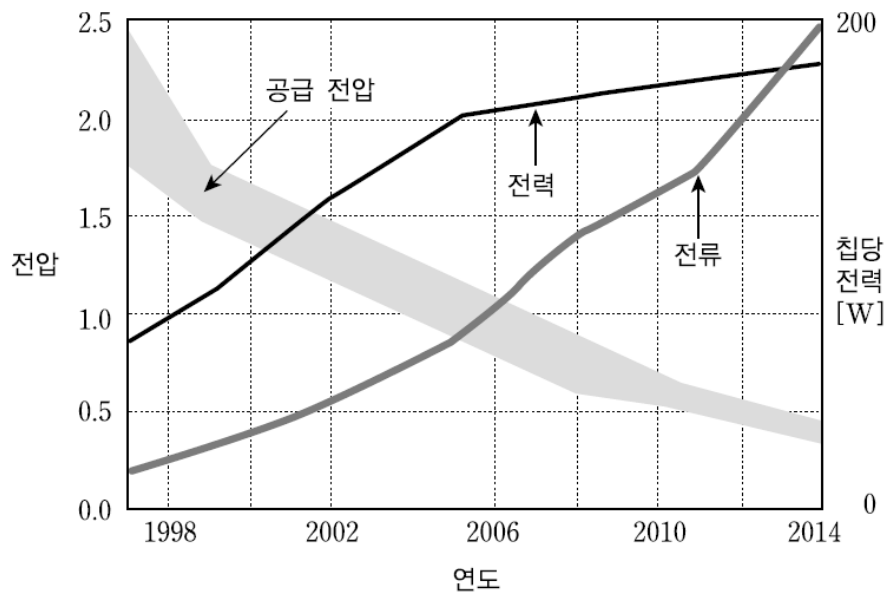
[표 3-2] 각 디바이스 특성별 스케일링 효율

디바이스 특성		스케일링
공급전압, $V_{DD}$	$V_{DD}$	$1/S$
문턱전압, $V_{TN}, V_{TP}$	$V_{TN}, V_{TP}$	$1/S$
$\beta$	$W / (L t_{ox})$	$S$
전류, $I_{DS}$	$\beta (V_{DD} - V_t)^2$	$1/S$
저항, $R$	$V_{DD} / I_{DS}$	$1$
게이트 정전용량, $C$	$W L / t_{ox}$	$1/S$
게이트 지연시간, $\tau$	$RC$	$1/S$
클록 주파수, $f$	$1 / \tau$	$S$
게이트당 동적 전력소모, $P$	$CV^2f$	$1/S^2$
스위칭 에너지, $E$	$CV^2$	$1/S^3$
칩 면적, $A$	$A$	$1/S^2$
전력 밀도	$P/A$	$1$
전류 밀도	$I_{DS} / A$	$S$

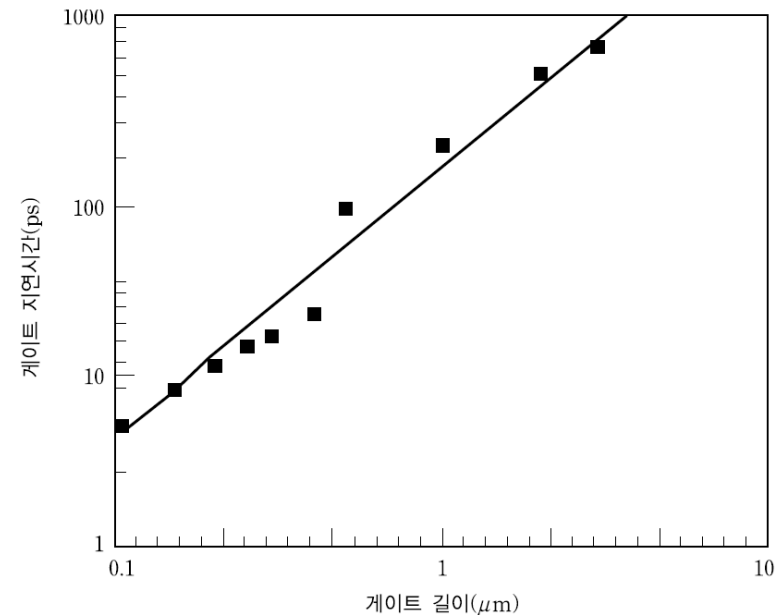
## Section 02 디바이스 및 와이어의 파라미터별 스케일링 효율



- MOSFET는 게이트 길이가 줄어들면 스위칭 속도가 빨라진다. 그 이유는 MOSFET는 게이트 길이가 줄어들면 더 적은 저항 값을 가지기 때문이다. 또한 축소된 MOSFET는 게이트 면적이 작고, 따라서 게이트와 기판 간의 정전용량이 작아진다. 이 두 가지 요소는 짧은 스위칭 시간에 기여하여, 처리 속도를 빠르게 하고 스위칭당 전력소모가 줄어들게 한다.

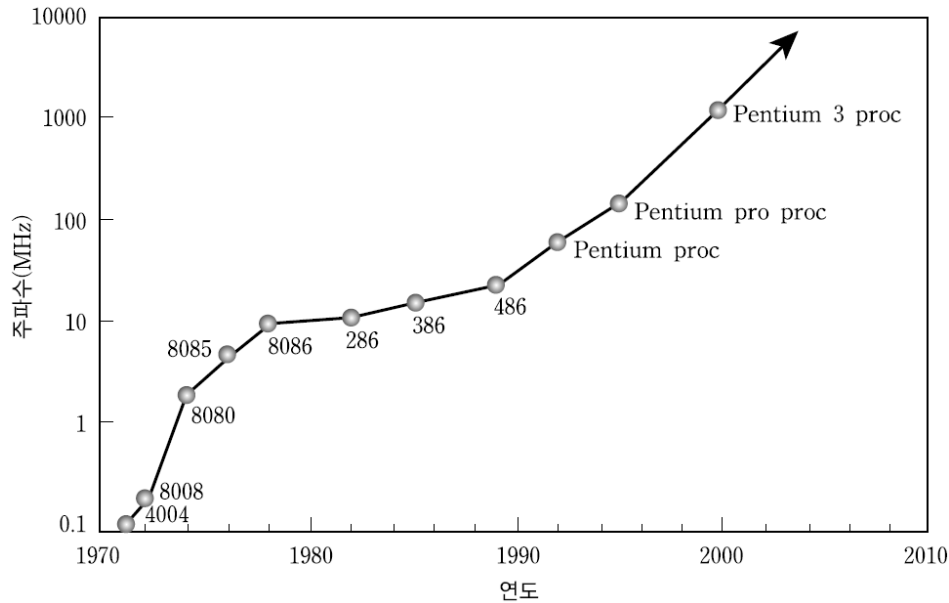


[그림 3-3] 전압, 전력, 전류와의 관계

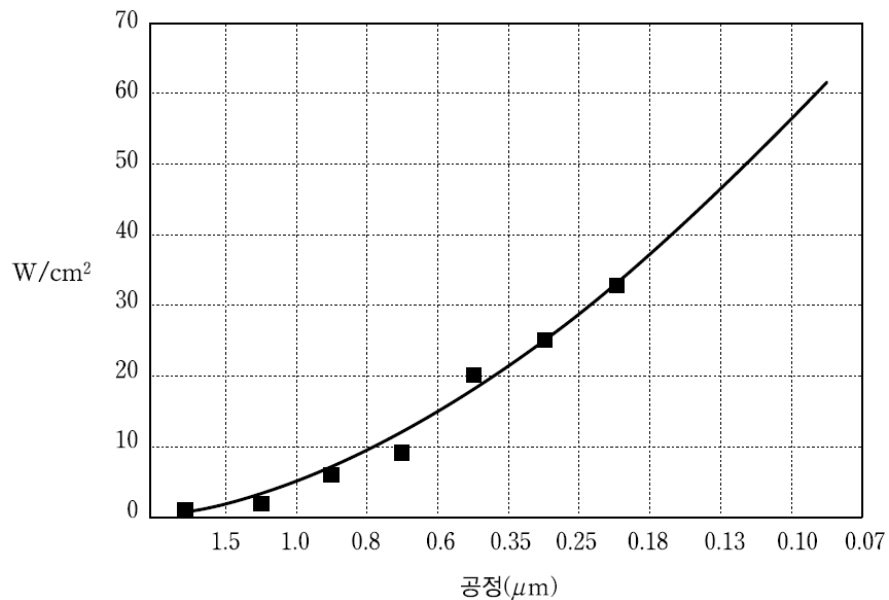


[그림 3-4] 게이트 길이 증가에 따른 지연시간의 증가

## Section 02 디바이스 및 와이어의 파라미터별 스케일링 효율



[그림 3-5] 디바이스 스케일링에 따른 마이크로프로세서 주파수 증가 동향



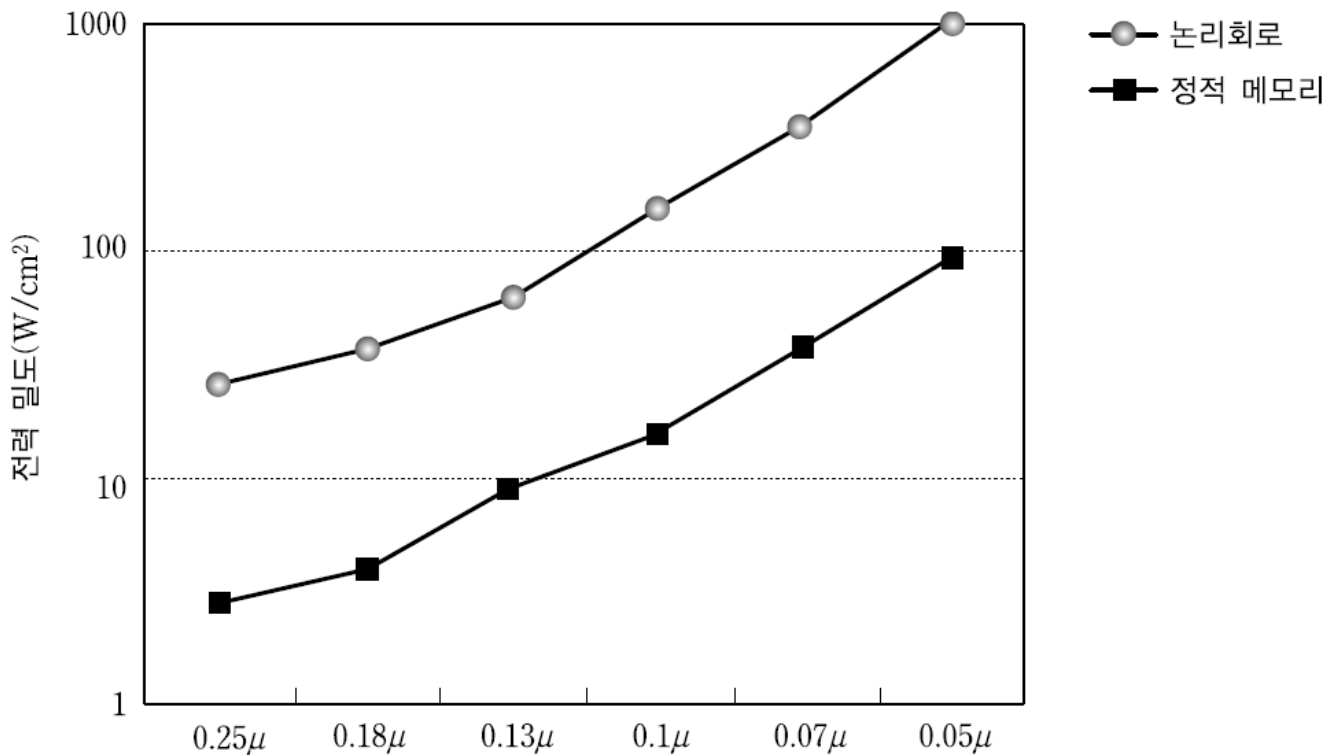
[그림 3-6] 스케일링에 따른 전력 밀도( $W/cm^2$ )의 증가 추세



## Section 02 디바이스 및 와이어의 파라미터별 스케일링 효율



- 정적 메모리가 논리회로보다 적은 전력 밀도를 가지고 있다. 따라서 전력소모를 줄이기 위해서 전체 칩에서 정적 메모리가 차지하는 비율을 점차 높이고 있다.

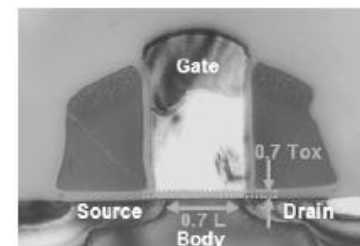
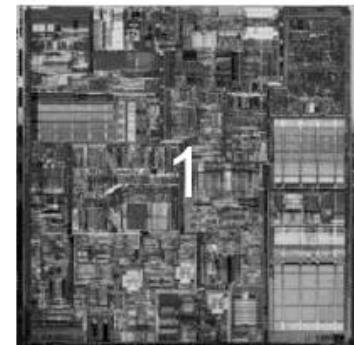
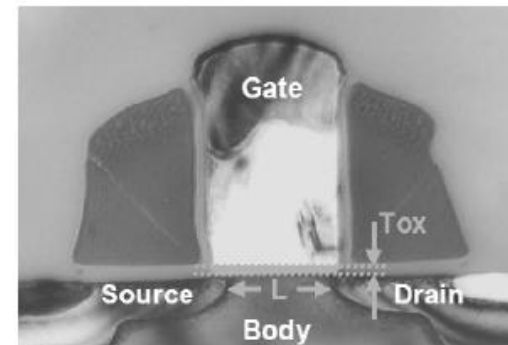


[그림 3-7] 논리회로와 정적 메모리의 전력 밀도 비교

## Section 02 디바이스 및 와이어의 파라미터별 스케일링 효율



- 스케일링한 후 에너지는  $0.7 \times 0.7^2 = 0.34$
- 스케일링의 결과로 에너지, 지연시간, 설계 비용이 얼마나 줄었는지를 평가하기 위해서 EDC(에너지 X 지연시간 X 비용)를 사용한다.
- 스케일링 전 :  $EDC = 1 \times 1 \times 1 = 1$   
스케일링 후 :  $EDC = 0.34 \times 0.7 \times 0.49 = 0.12$   
=> EDC 88% 감소
- 그러나 실제 주파수가 늘어났기 때문에 스위칭 동작에 의한 전력소모가 늘고 전압 스케일링에 따른 정적 전력소모의 증가, 기타 칩의 복잡도가 늘어난 것을 고려하면 에너지 항목은 스케일링 효과를 보기가 어렵게 된다.
- 따라서 효과적인 저전력 설계 기술이 필요하다.

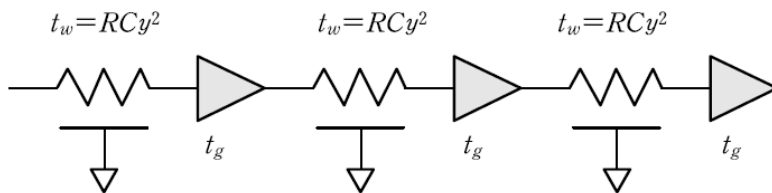
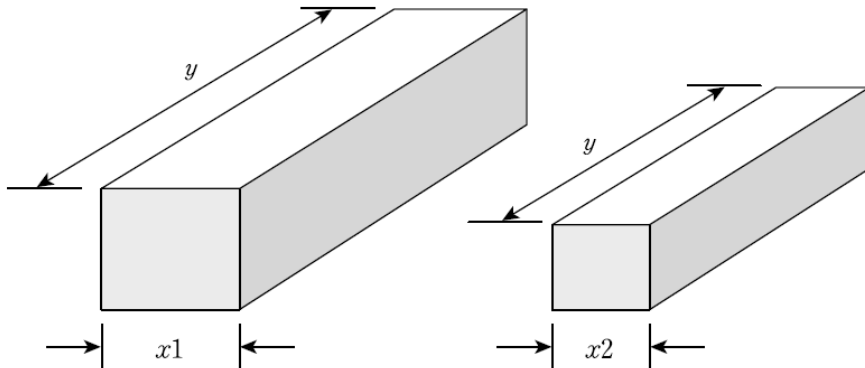


[그림 3-8] 디바이스 스케일링에 따른 지연시간 및 주파수의 변화



## 2.2 와이어 스케일링

- 배선의 폭과 배선 간의 간격이 와이어 스케일링에 따라서 줄어들기 때문에, 그에 따른 기생 정전용량 및 배선 저항은 S배만큼 늘어난다.
- 따라서 배선 지연시간 및 RC 부하는 S배만큼 늘어난다.
- 또한 배선 지연시간은 클록 사이클의 50~70%를 차지하게 된다.



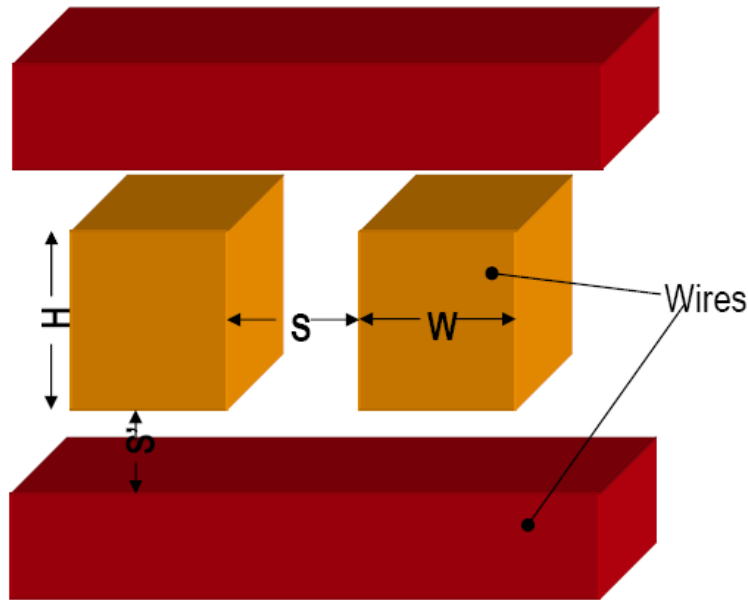
[그림 3-9] 스케일링에서 고려되는 각 파라미터

[표 3-3] 스케일링에 따른 각 파라미터의 변화 ( $s = 1/2$ )

파라미터	스케일링 공식	스케일링 효과
선폭	$x_2 = s x_1$	0.5배
저항	$R_2 = R_1 / s^2$	4배
정전용량	$C_2 = C_1$	1배
와이어 지연시간	$t_{w2} = R_2 C_2 y^2 = t_{w1} / s^2$	4배
와이어/게이트 지연시간 비율	$t_{w2} / t_{g2} = t_{w1} / (t_{g1} s^3)$	8배



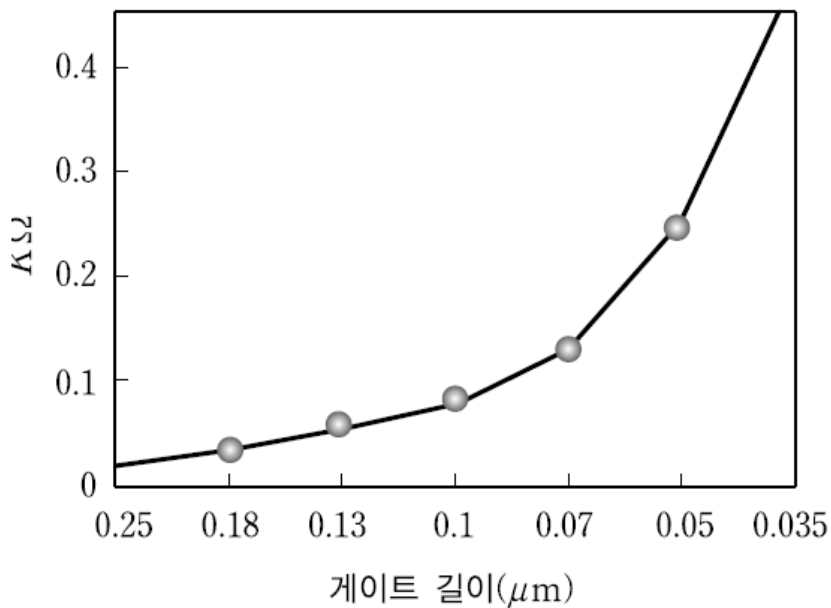
### 2.2 와이어 스케일링



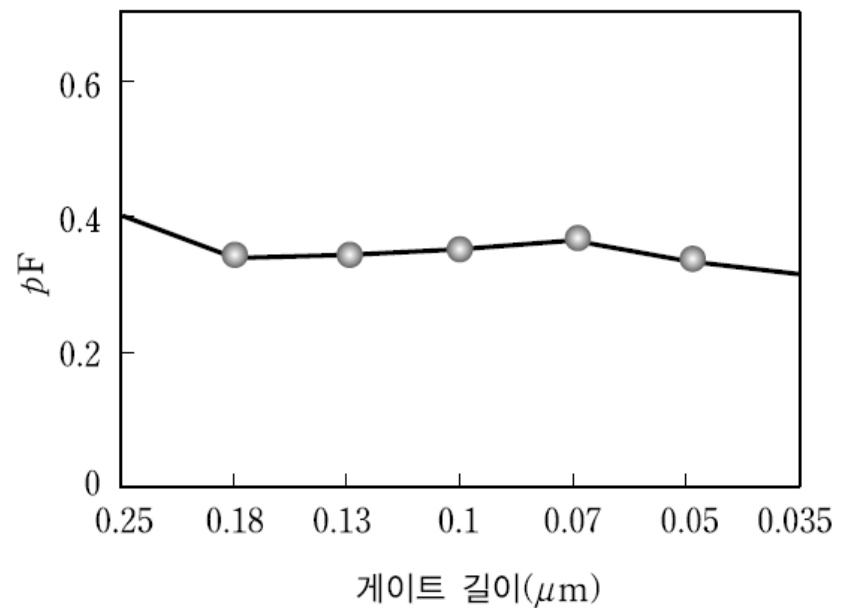
- ☐ Wire Cap. per  $\mu\text{m}$  ( $C_w$ ) =  $\epsilon_1 \cdot H/S + \epsilon_2 \cdot W/S'$
- ☐ Wire Res. per  $\mu\text{m}$  ( $R_w$ ) =  $\rho/H \cdot W$ , where  $\rho$  is resistivity
- ☐ If everything is scaled by  $\alpha$  (0.7x per gen.),
- ☐ Wire cap. per  $\mu\text{m}$  scales by 1
- ☐ Wire res. per  $\mu\text{m}$  scales by  $1/\alpha^2$  (2x per gen.)



- 저항 성분은 기하급수적으로 늘어나는 반면, 정전용량은 일정한 것을 알 수 있다.



(a) 세미-글로벌 와이어의 저항, 길이 1mm 정도



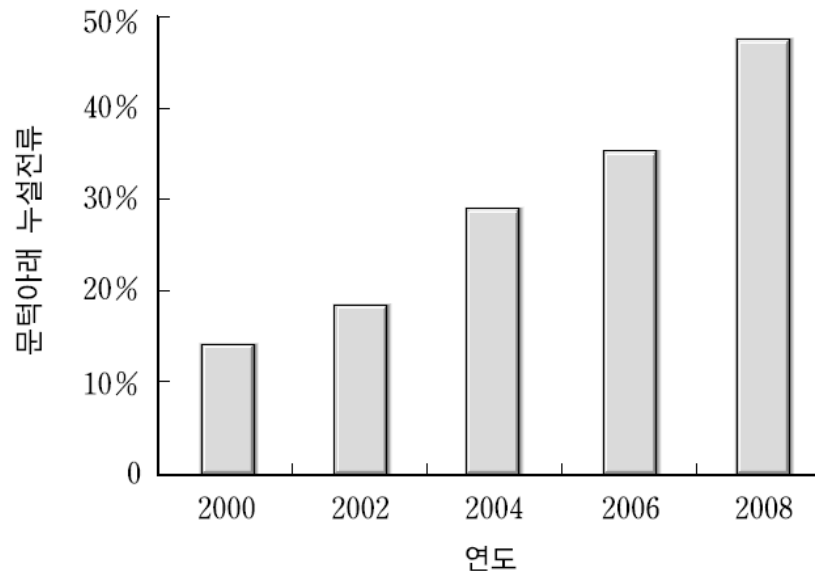
(b) 세미-글로벌 와이어의 정전용량

[그림 3-10] 테크놀로지 스케일링에 따른 세미-글로벌 와이어의 저항 성분과 정전용량의 변화



### □ 문턱아래 전도(subthreshold conduction)

- 집적회로의 성능을 향상시키려면 MOSFET의 문턱전압도 감소해야 한다. 게이트 길이의 축소에 따라 문턱전압이 감소되면 트랜지스터는 완벽하게 차단 상태가 되지 못한다. 즉, 트랜지스터는 미약한 역 형태로, 소스와 드레인 사이의 문턱아래 누설이나 문턱아래 전도처럼 동작한다.



[그림 3-11] 문턱아래 누설전류의 증가 동향



### □ 상호연결 정전용량(coupling capacitance)

- 스위칭 시간은 게이트 정전용량과 비례한다. 그러나 트랜지스터가 점점 작아지고 더 많은 트랜지스터가 칩 위에 밀집되면서, 상호연결 정전용량과 같은 추가적인 정전용량으로 인해 지연 증가와 성능 감소가 발생한다.

### □ 열 발생(thermal generation)

- 집적회로의 밀도가 계속 증가하면, 회로 동작을 손상시킬 수 있는 발열 문제가 발생한다. 고온에서는 회로가 느리게 동작하여 신뢰성을 떨어뜨리고, 수명을 단축한다. 따라서 방열판과 같은 냉각방법이 필요하다.



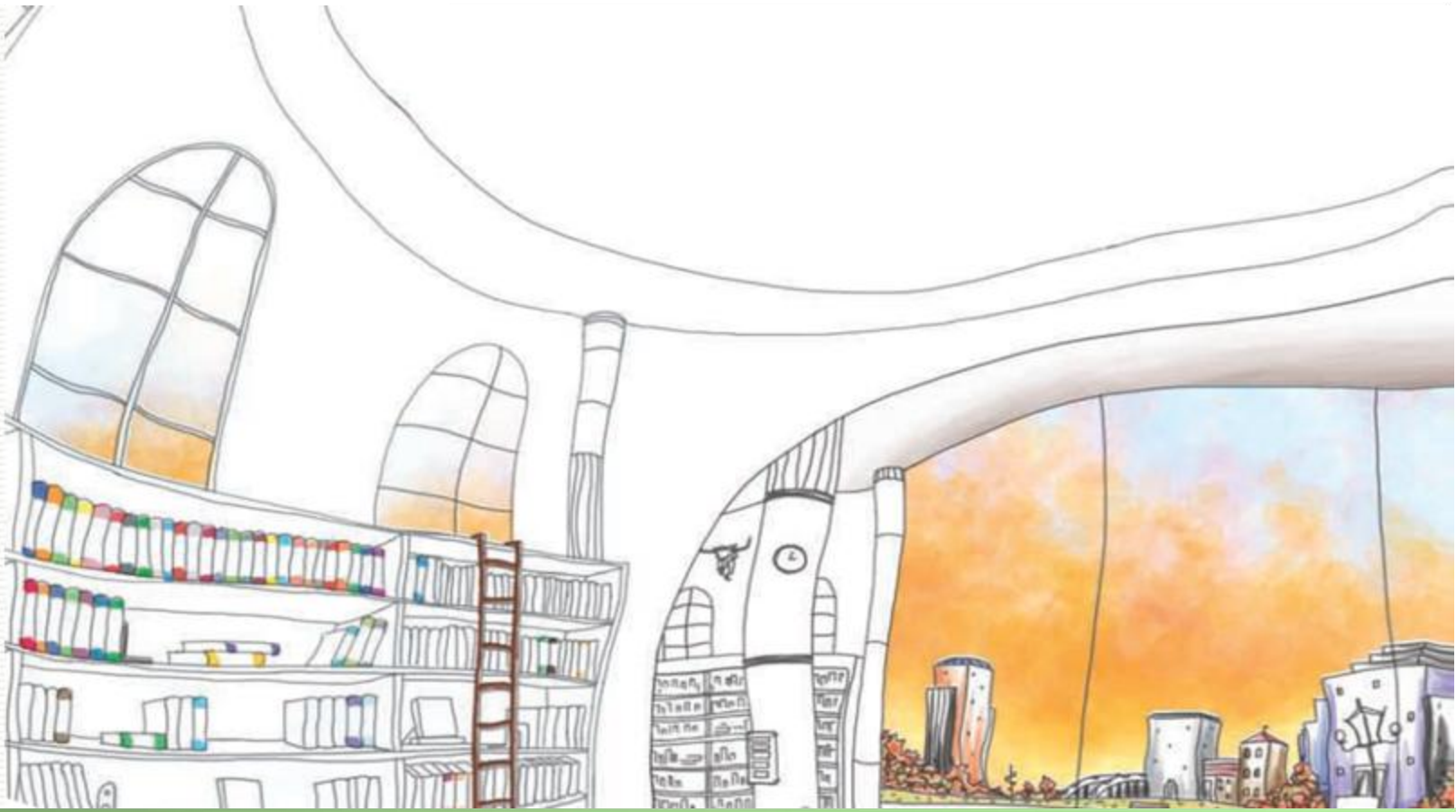
### □ 게이트 산화물 누설(gate oxide leakage)

- 게이트와 채널 사이에서 절연체 역할을 하는 게이트 산화막은 가능한 한 얇게 만들어야 한다. 그 이유는 트랜지스터가 온 상태일 때 채널 전도도와 성능을 향상시키고 차단상태일 때는 문턱아래 누설을 감소시키기 위해서다.

### □ 공정 변이(process variation)

- MOSFET이 소형화되면서 트랜지스터 특징을 만들어내는 실리콘 원자의 수는 적어졌다. 칩을 제조하는 동안 일어나는 공정 변이는 트랜지스터의 크기에 영향을 미칠 수 있는데, 트랜지스터가 소형화되면서 공정 변이에 의한 트랜지스터 크기의 변동율이 늘어나 트랜지스터의 크기가 어떻게 변화할지 예측하기가 어려워졌다. 결국 트랜지스터 특성을 결정하기가 더 어려워지면서 전류 및 전압 특성 식을 구할 때 통계적인 방법을 사용하게 되었다. 이 통계적 변이는 설계의 어려움을 더욱 증가시킨다.





# Thank You

3장 집적회로 테크놀로지 스케일링 끝