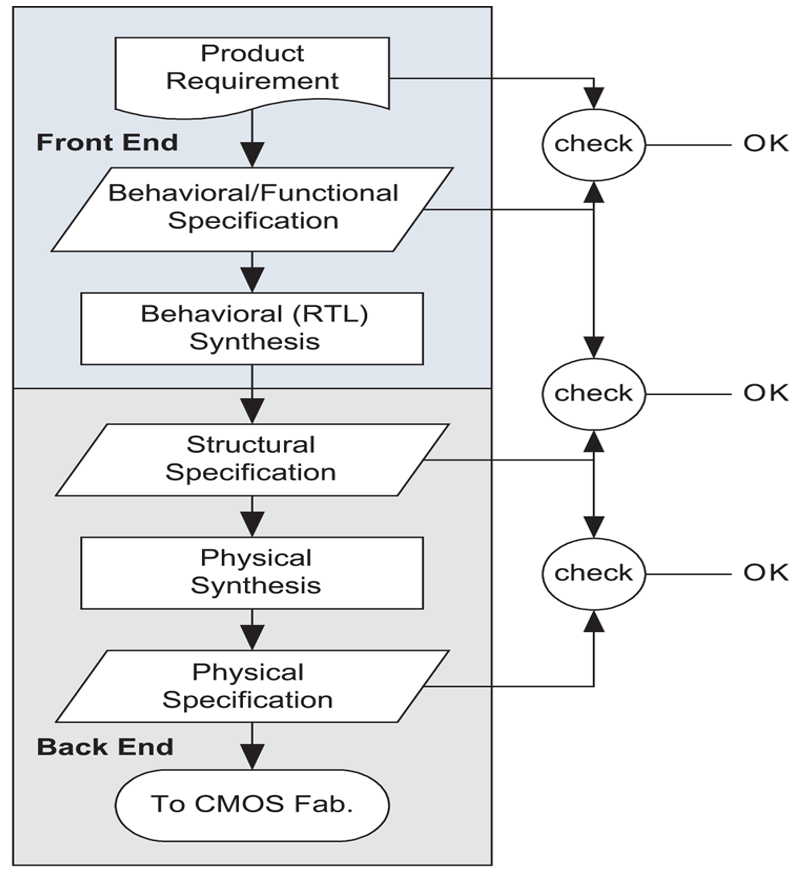
1. **전체 설계 흐름도**

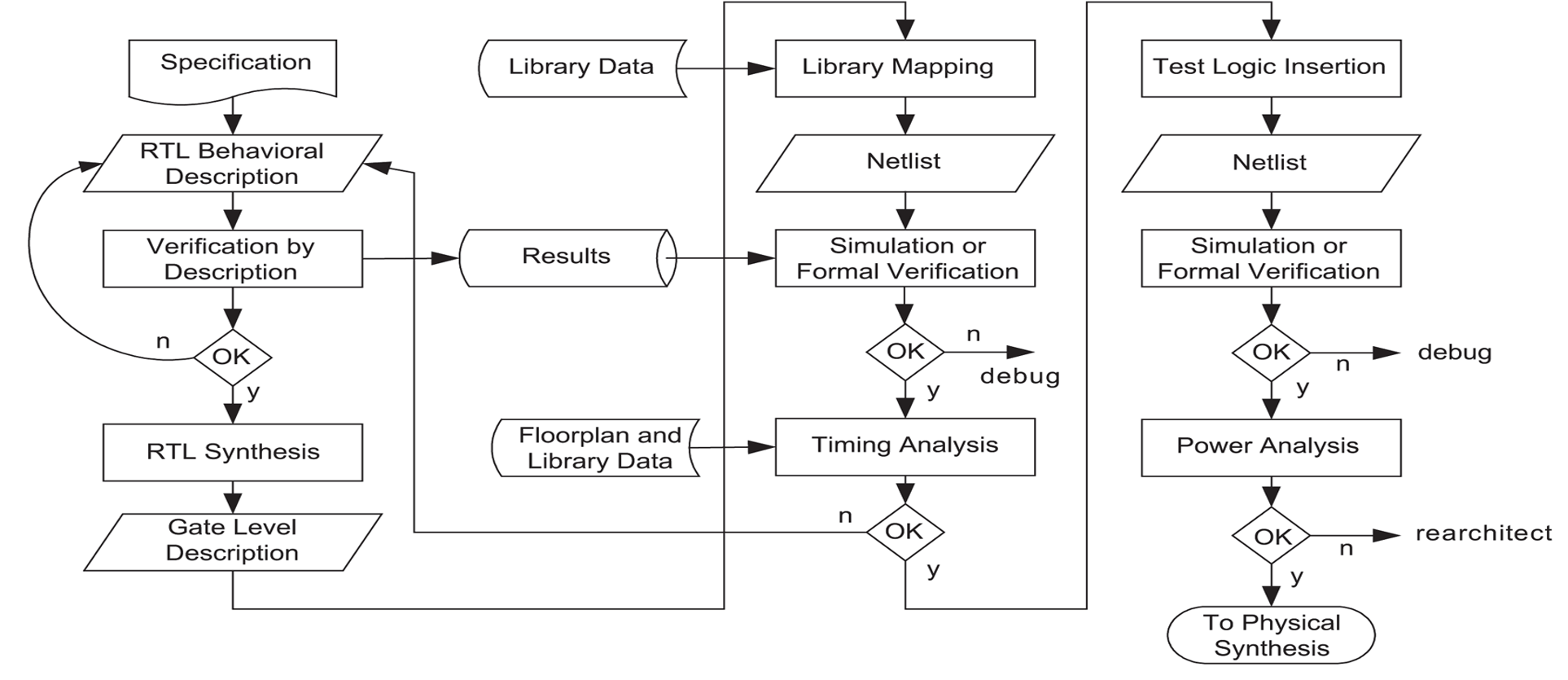
* 전체 설계과정은 크게 요구사항부터 논리회로 합성까지의 Front End 과정과 합성을 기반으로 회로의 배치배선과정을 거치는 물리적인 합성과정을 거치는 Back End 과정으로 분류된다. 각 세부 설계과정을 거치면서 이전 단계의 설계와의 기능적인 동등성을 확인하는 과정이 필요하다.



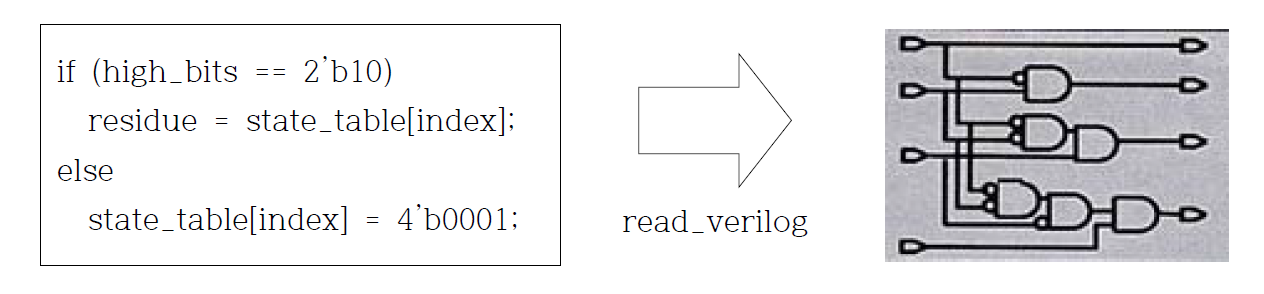
<그림1> ASIC 전체 설계과정

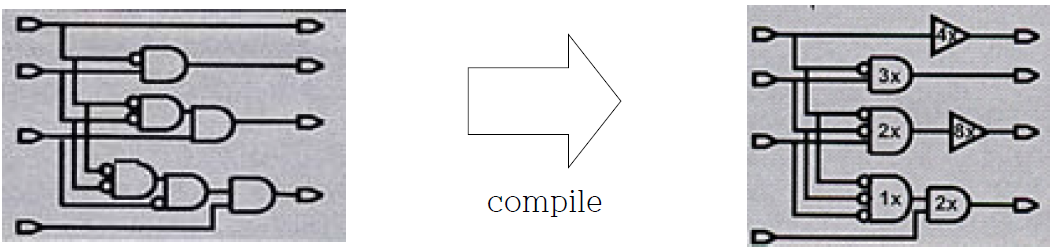
* 1단계 설계과정인 Front End 설계는 설계요구사항을 만족하는 Register-Transfer Level (RTL) 수준의 기능적 HDL 모델링을 수행하는 HDL 모델링 과정(HDL coding 과정)이 필요하다. 이 과정에서는 주어진 요구사항을 입력과 출력데이터(레지스터)와의 관계를 논리적으로 기술하는 것이다. 그 후, 이를 논리회로로 변환하는 RTL 합성과정을 거치면 Front End 과정이 종료된다.
* 2단계 설계과정인 Back End 설계는 Front End 설계 결과물인 합성결과를 집적회로의 면적, 배치 및 배선 등의 물리적 요구사항에 기반하여 각각의 논리회로를 집적회로 제작공정에 적합한 형태로 합성하는 단계이다.

1. **Front End 논리회로 합성과정**

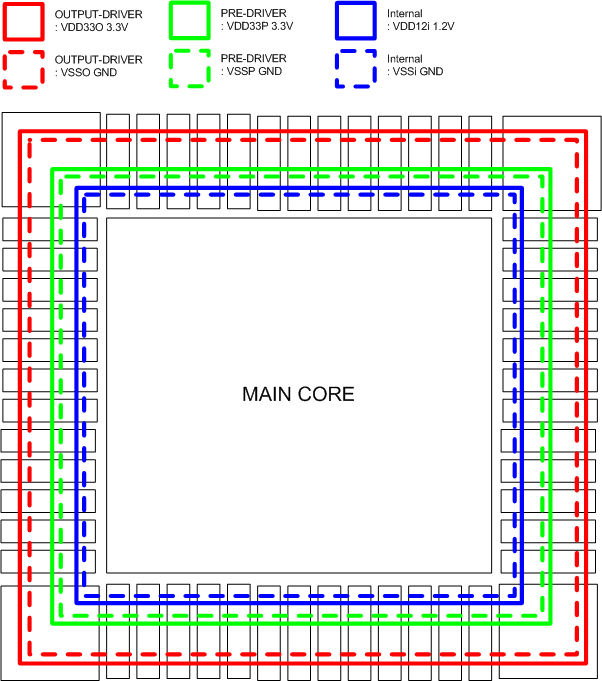
* Front End 상세과정은 <그림2>와 같다. RTL behavioral 모델링 후에 RTL 논리합성을 수행한다. 논리합성은 HDL 언어를 번역하여 일반적인 논리회로로 변환하는 GTECH(generic synthesis)과정을 거쳐 반도체 공정라이브러리를 이용하여 논리회로를 공정에 매핑하고 최적화는 2가지 단계를 거친다. 이 과정에서 회로의 타이밍과 전력소모에 대한 검증과정도 거친다.

<그림2> Front End 논리회로 합성과정



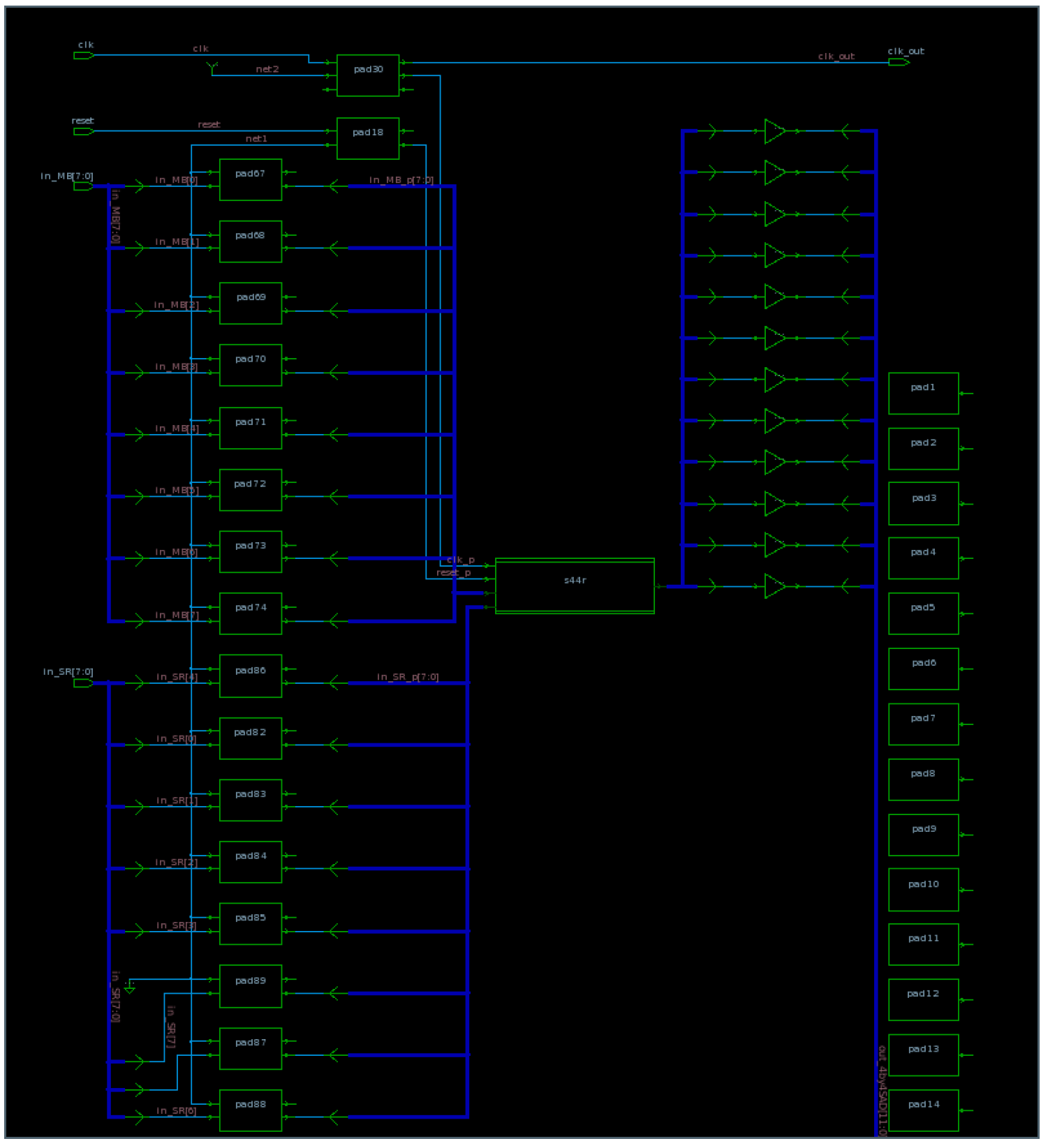


<그림3> 논리합성 과정의 예

* 위의 논리 합성과정의 예는 <그림3>과 같으며 HDL code를 읽고 번역하여 일반적인 논리회로로 변환하는 GTECH 합성과정 후에 세부 합성요구사항을 반영하여 target 공정에 최적화하고 매핑하는 과정을 거친다.
* 위와 같은 core 합성과정을 거치면 최종적으로 제작된 집적회로의 PAD를 합성하는 과정이 필요하다. PAD는 입출력 신호의 buffering, core에 공급되는 전원을 변환하는 level shifting, 잡음감소, IR-Drop 방지, ESD(electric static dischage) 방지 및 안정적인 VDD 공급을 위한 decoupling capacitance의 역할을 수행한다.
* PAD는 크게 입출력 신호를 위한 신호 PAD 및 전원공급을 위한 Power PAD의 2가지 종류가 있다. 신호 PAD는 입력, 출력, 양방향의 신호, 클럭신호를 위한 PAD로 분류할 수 있다.
* 

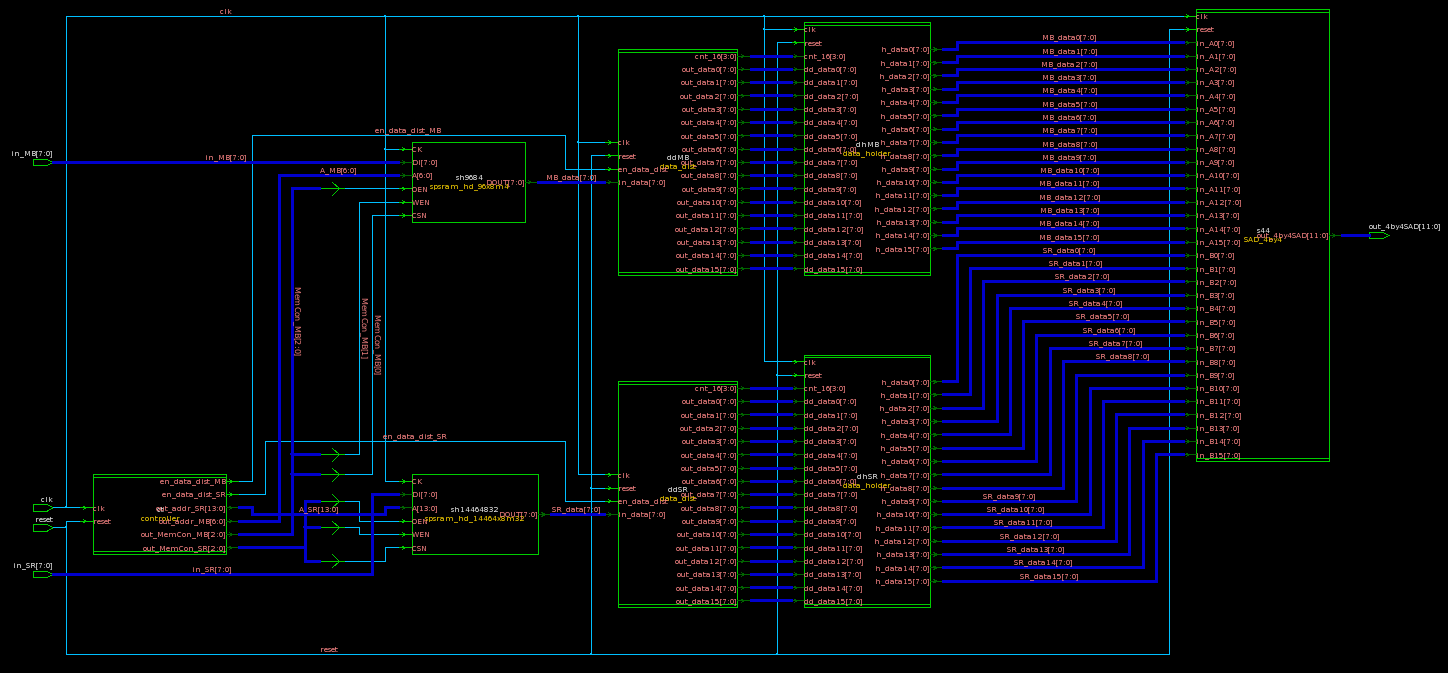
<그림4> Power PAD의 Ring 형태의 전원공급

* 전원공급 PAD인 Power PAD는 효과적으로 전원을 공급할 수 있도록 <그림4>와 같이 Ring 형태로 구성된다.
* RTL 합성 후, PAD를 삽입하여 합성하는 과정은 합성된 HDL code에 PAD에 관련된 code를 추가시키면 된다. <그림5>는 PAD를 삽입시킨 후 합성한 결과이며 PAD와 core가 잘 합성되었음을 알 수 있다.



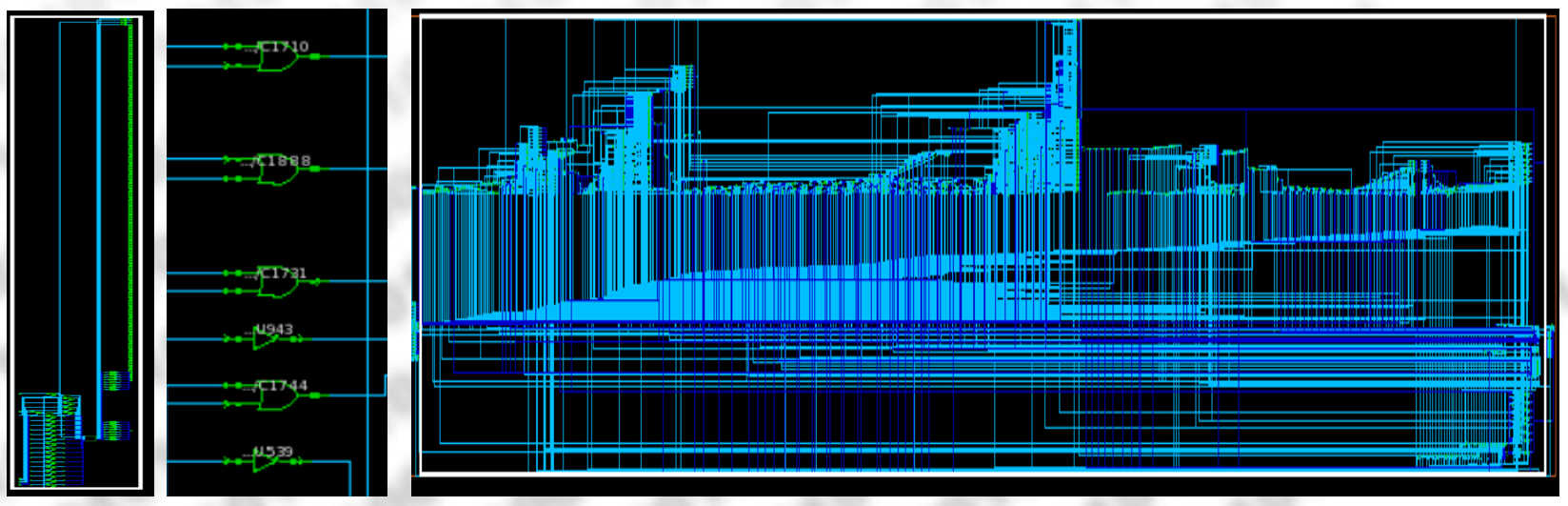
<그림5> PAD 합성 결과

* <그림6>은 GTECH 합성한 결과이며 RTL code가 모두 디지털 회로(블럭)으로 변환되어 합성이 이루어졌음을 알 수 있다.



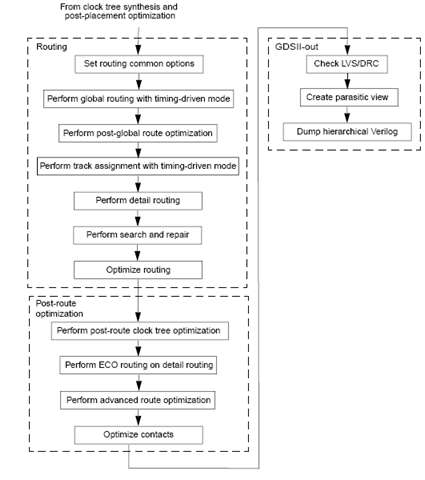
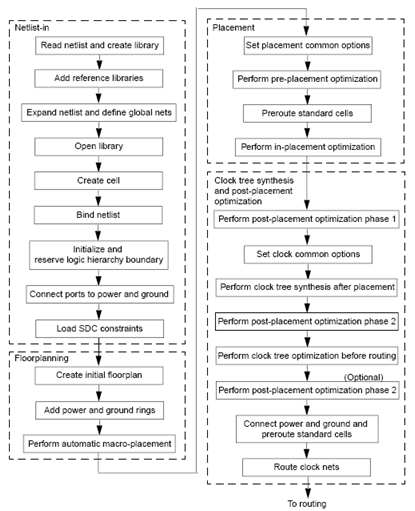
<그림6> RTL GTECH 합성결과

* 이후 최적화 과정을 거치면 <그림7>과 같이 최종 합성결과를 얻을 수 있다. 집접도가 높을수록 논리회로 간의 연결을 위한 배선이 차지하는 비중이 높아 합성결과에서는 주로 파란색의 wire가 차지하는 비중이 높다. 이런 합성결과는 2단계의 물리합성 단계에서는 공정에 따라 다르지만 수 개의 metal wire가 있으므로 상대적으로 wire 면적이 줄어든다.



<그림7> RTL 최종 합성결과

1. **Back End 물리 합성과정**

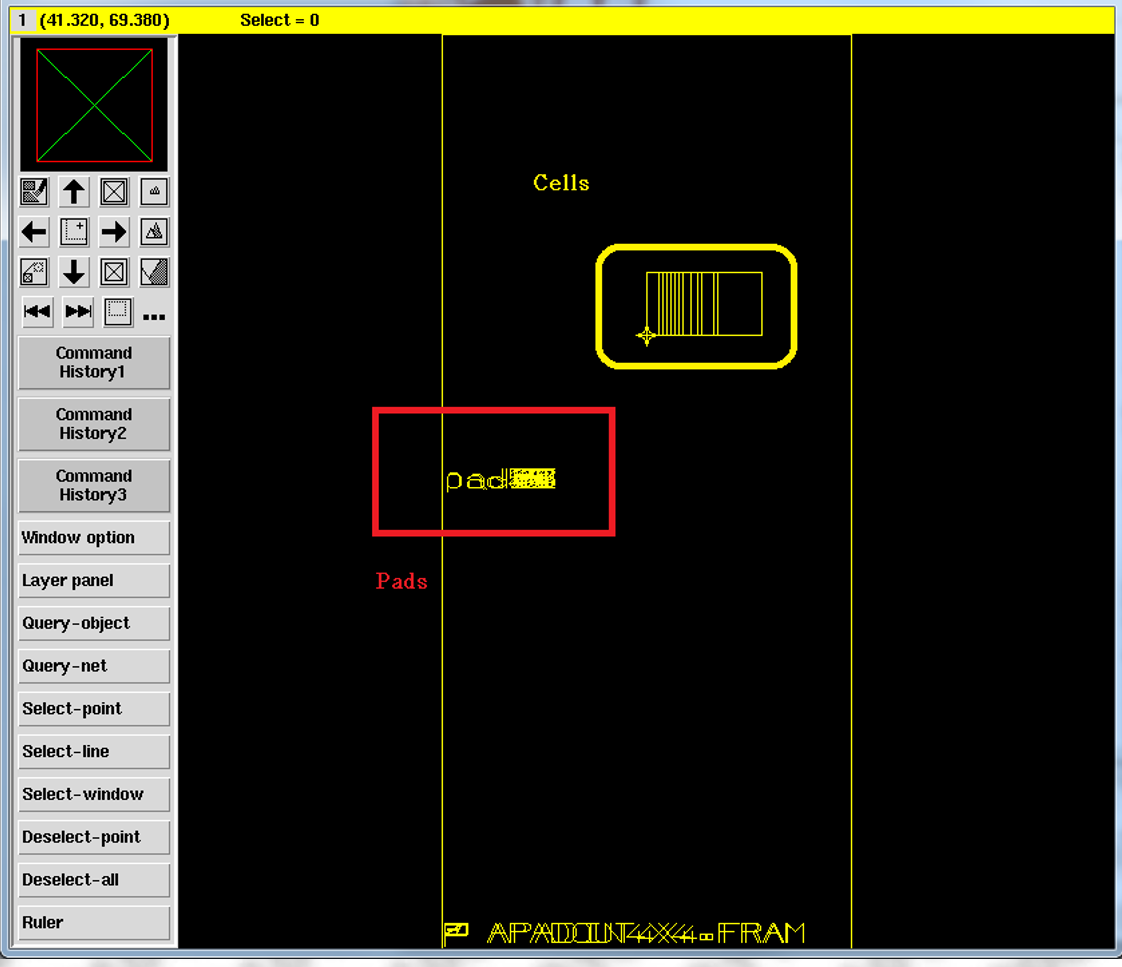


<그림8> Back End Place & Route (P&R) 상세 설계과정(ASTRO)

* <그림8>은 1단계에서 합성된 결과를 기반으로 2단계의 물리적인 합성단계를 거쳐 최종적으로 집적회로 제조가 가능하도록 GDSII 형식으로 변환하는 설계과정이다.
* Back End 설계과정은 1단계에서 합성된 Netlist를 설계제한사항에 따라 setup하는 단계, 집적회로 전체의 배치 구조를 결정하는 Floorplanning 단계, 논리회로의 Cell을 배치하는 placement, 클럭공급망을 설계하는 clock tree synthesis, 배치된 cell을 연결하는 routing 단계 및 반도체 제조단계에서 발생할 수 있는 오류를 최대한 줄일 수 있도록 설계하는 design for manufacturing 단계로 요약할 수 있다.

**1) Design과 timing Setup**

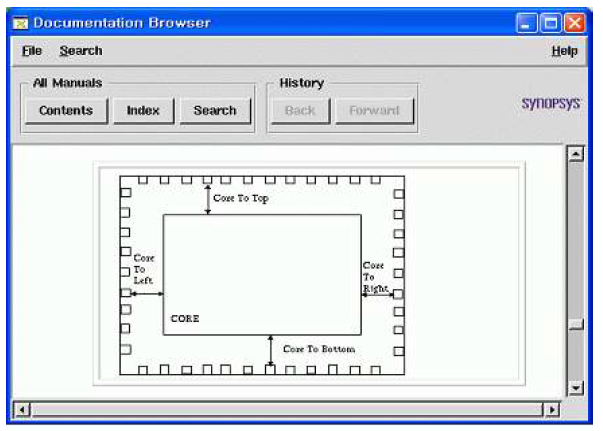
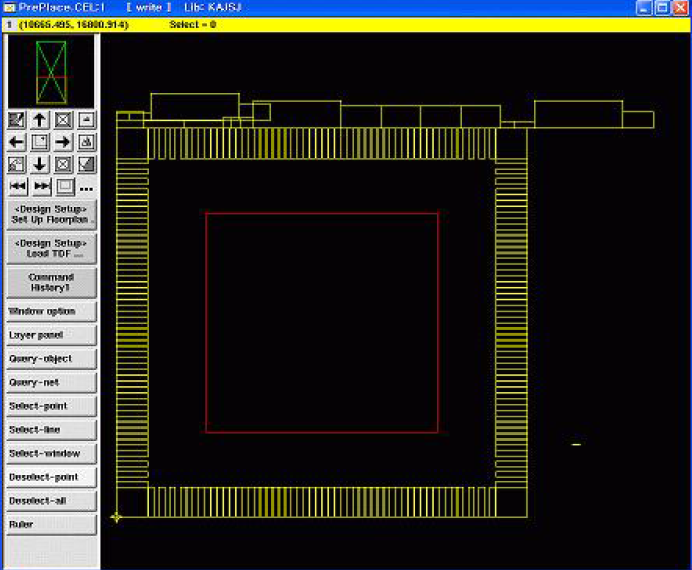
* 이 단계에서는 1단계의 Design complier에서 생선된 Netlist 파일과 공정 라이브러리 및 tech 파일을 이용한 P&R을 위한 cell을 생성하는 과정이다. <그림9>는 verilog netlist를 P&R를 위한 cell로 변환한 결과이며 이후 timing constraints 정보를 이용하여 timing 정보를 setup한다.



<그림9> Verilog Netlist to Cell로 변환된 결과

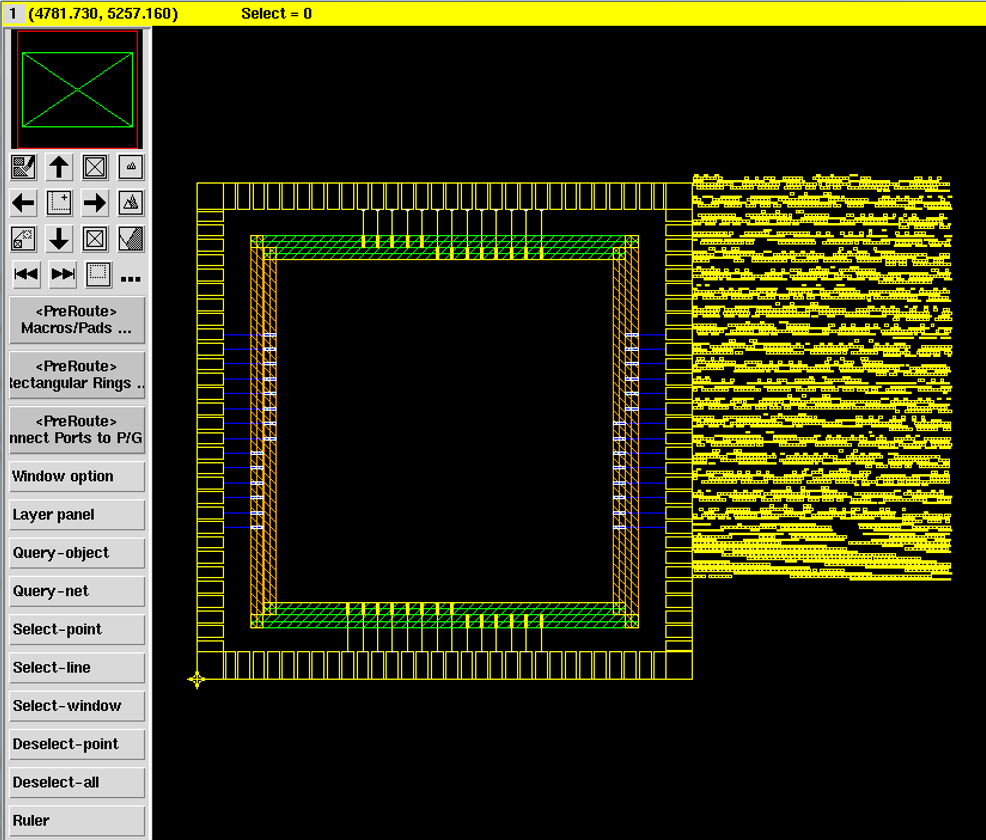
**2) Floorplanning**

* 이 단계에서는 집적회로의 전체적인 배치 구조를 결정하는 단계로써 PAD와 core 사이의 거리, PAD 사이의 빈 공간을 채우는 PAD filter 삽입, 공급전압의 배치 등의 역할을 수행한다.

<그림10> PAD와 core를 배치한 결과

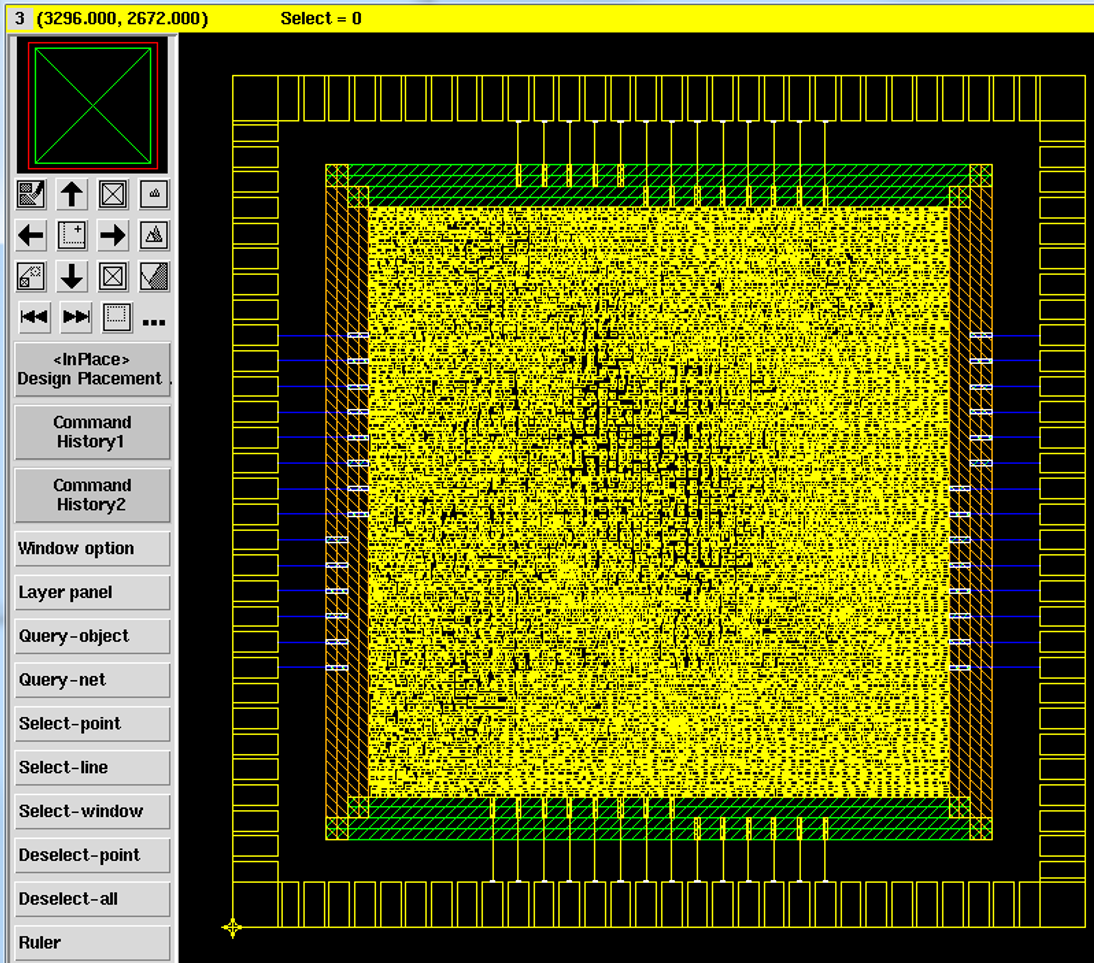
* core의 모든 cell 들에 필요한 전원을 공급하기 위해 core의 어디에서나 전원을 공급받을수 있도록 core 주위에 Vdd/Gnd power ring이 포함된 Floorplanning의 최종결과는 <그림11>과 같다.



<그림11> Power ring이 포함된 최종 Floorplanning 결과

**3) Placement**

* 이 단계에서는 Floorplanning 결과를 바탕으로 core 내에 어떤 블록이 어느 위치에 배치되는 최적인지를 결정하는 과정이다. 이를 위해서는 timing constraints 등의 설계제한정보와 특정한 블록에 신호가 집중되어 congestion이 발생하도록 신호의 밀집도를 확인하는 단계가 필요하다.

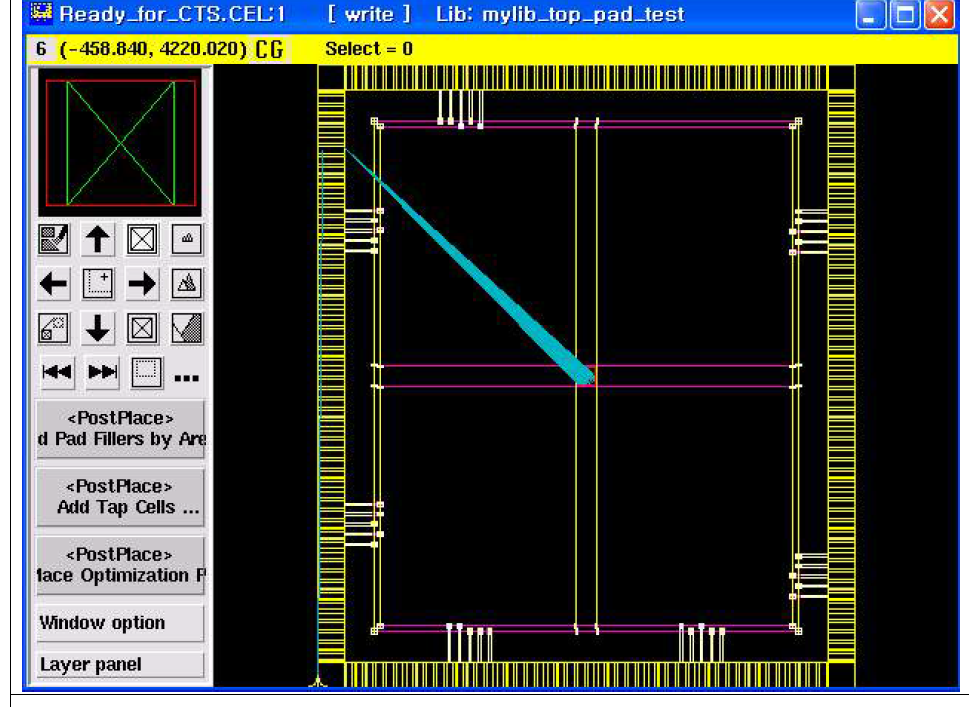
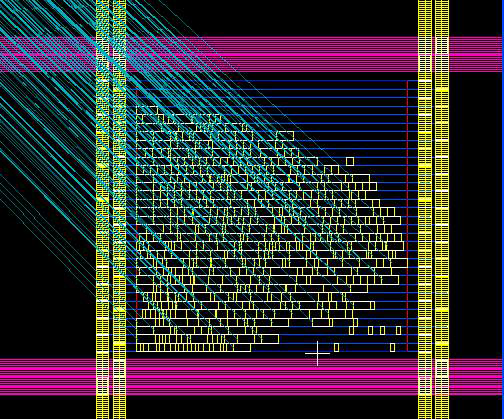


<그림12> Placement 결과

* <그림12>는 Placement가 완성된 결과이며 Cell의 블록이 신호의 congestion에 따라 다르게 배치되었음을 알 수 있다.

**3) Clock Tree Synthesis(CTS)**

* 이 단계에서는 core 내의 cell에 필요한 clock을 공급하는 최적의 clock 공급연결망을 설계하는 단계이다. CTS 전에 placement가 종료돼야 하며, 전원 net이 preroute 되어야 하며, congestion map이 적정한지를 확인해야 하며 placement 후에 timing violation이 없는 것이 좋다.
* CTS 과정에서는 초기 CTS 결과에 대한 skew 분석, 이로 인한 timing에 대한 최적화, clock 간의 delay balancing 등의 과정을 거쳐서 CTS 후에 placement 최적화 과정을 수행한다. 그 후, clock tree를 최적화한다.
* <그림13>은 clock PAD로부터(왼쪽) core까지 clock 신호가 연결된 CTS 초기과정이며 <그림14>는 최적화된 CTS의 최종결과이다. 일반적으로 CTS는 clock skewe를 고려하여 core 내에 몇 개의 핵심지점을 중심으로 clock이 공급될 수 있도록 설계한다. Cell에 아직 물리적으로 연결된 것은 아니다.

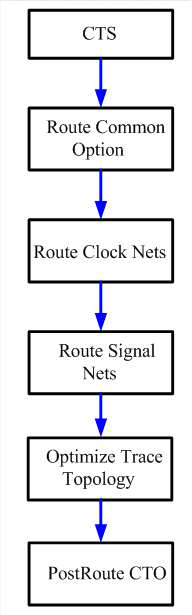
<그림13> CTS 초기 과정



<그림14> CTS 결과

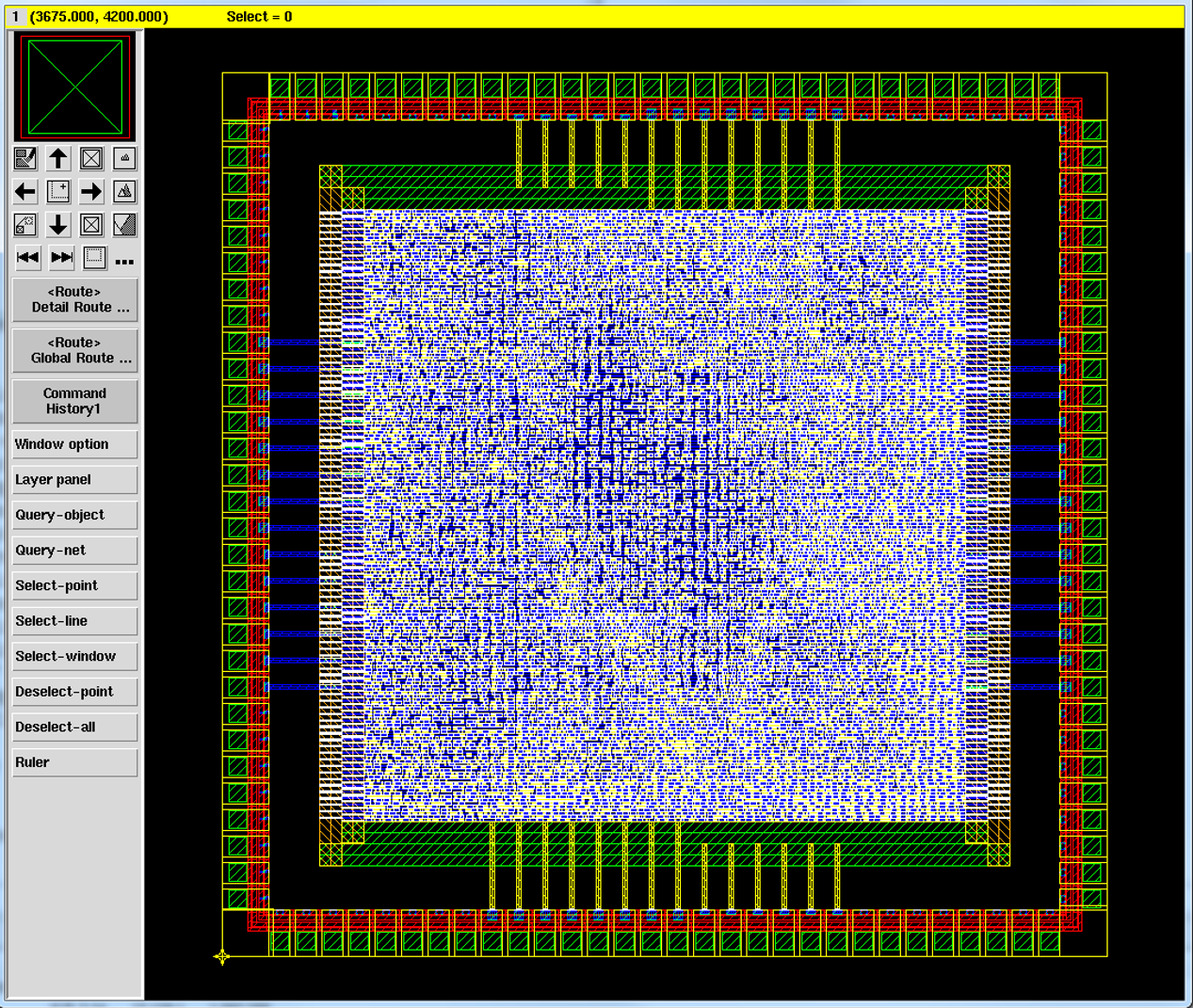
**4) Routing**

* 이 단계에서는 <그림15>와 같이 cell 간의 연결을 최적화하는 wiring 단계이며 clock 공급망의 라우팅은 물론 cell 간의 신호 routing도 최적화한다.
* Global routing과 Detail routing에 필요한 다양한 option을 설정한 후, 앞단계에서 수행된 CTS 결과를 바탕으로 실제로 각 cell에 물리적으로 clock을 routing한다.



<그림15> Routing 과정

* Global routing과 Detail routing에 필요한 다양한 option을 설정한 후, 앞단계에서 수행된 CTS 결과를 바탕으로 <그림16>은 이러한 과정을 거친 최종 routing 결과이다.
* 최종 routing이 종료되면 timing report 결과를 확인하여 slack, max cap. 등의 timing violation이 없는지를 확인해야 하며, DRC, LVS 등의 오류가 없는지를 반드시 확인해야 한다.



<그림16> Routing 결과

**5) Design for Manufacturing (DFM)**

* 이 단계에서는 공정 및 제조과정에서 발생할 수 있는 오류를 제거하는 것으로, Antenna violation, double contact, wide metal slotting, well filler, fill notch/gap 등의 과정을 수행한다. 이후 제조에 필요한 GDS file 등을 추출하면 Back End 설계과정을 완료한다.