**MIPS Verilog 설계 분석**

2019-2 컴퓨터구조 Term Project

2016104147 이우진

1. 주어진 설계 분석

1. Instruction fetch

Figure 2 MIPS.v Instruction fetch stage simulation

Figure MIPS.v Instruction fetch stage code

…

// IM

wire [31:0] Next\_PC, Instr, Branch\_addr;

reg [31:0] PC;

…

assign Next\_PC = PC + 32'd4;

…

Instruction\_Mem Instr\_mem(PC[8:2], Instr); // Asynchronous module.

…

always @(posedge CLK)

begin

    PC <= (JToPC) ? Jump\_addr : ((PCSrc) ? (Branch\_addr + Next\_PC) : Next\_PC);

end

![텍스트이(가) 표시된 사진

자동 생성된 설명]()Instruction fetch stage는 pc값을 Instruction register에 입력하여 저장된 명령을 뽑고, PC값이 다음 명령을 가리키도록 변경하는 과정이다. Next PC는 다음에 실행할 명령의 PC값을 나타낸다.

시뮬레이션 결과를 확인해 보면 Clock pulse가 상승할 때 레지스터의 값이 변한다. PC와 Next\_PC는 값이 클럭당 4씩 증가한다. Instr wire는 PC값을 입력하여 Instruction Memory에서 fetch한 명령을 의미한다. 매 클럭마다 Instr wire값이 PC값에 따라 Instruction memory에 저장된 명령으로 바뀌는 것을 확인할 수 있다.

2. Instruction decode / Register fetch

Figure 3 MIPS.v Instruction decode stage code

…

// Control

wire RegDst, RegWrite; // control signal

wire ALUSrc, MemWrite, MemRead, MemToReg; // control signal

wire PCSrc, JToPC, Branch; // mux control signal

…

wire [4:0] Read1, Read2, Reg\_Write\_addr;

wire [31:0] Reg\_Write\_data, Read\_data1, Read\_data2;

…

assign Read1 = Instr[25:21];

assign Read2 = Instr[20:16];

assign Reg\_Write\_addr = (RegDst) ? Instr[15:11] : Instr[20:16];

Control control(Opcode, Funct, RegDst, RegWrite, ALUSrc, MemWrite, MemRead, MemToReg, JToPC, Branch, ALUOp); // Asynchronous module.

Register Reg(CLK, RegWrite, Read1, Read2, Reg\_Write\_addr, Reg\_Write\_data, Read\_data1, Read\_data2); // Synchronous module.

![텍스트이(가) 표시된 사진

자동 생성된 설명]()Instruction fetch stage는 pc값을 Instruction register에 입력하여 저장된 명령을 뽑고, PC값이 다음 명령을 가리키도록 변경하는 과정이다. Next PC는 다음에 실행할 명령의 PC값을 나타낸다.

시뮬레이션 결과를 확인해 보면 Clock pulse가 상승할 때 레지스터의 값이 변한다. PC와 Next\_PC는 값이 클럭당 4씩 증가한다. Instr wire는 PC값을 입력하여 Instruction Memory에서 fetch한 명령을 의미한다. 매 클럭마다 Instr wire값이 PC값에 따라 Instruction memory에 저장된 명령으로 바뀌는 것을 확인할 수 있다.

3. ALU Execution

4. Memory Access

5. Write Back

II. 오류 분석

III. 오류 정정 및 검증

IV. 파이프라이닝 설계 추가 및 검증