Sequential Circuits

20150327 이진수

목차

10.1 Sequential Circuit Analysis

10.1.1 Definition of State

10.1.2 State and Output Equations

10.1.3 State Table

10.1.4 State Diagram

10.1.5 State Representation in Verilog

10.2 Timing in Sequential Circuits

10.2.1 Synchronous Operation

10.2.2 Asynchronous Operation

10.3.1 Shift Registers in Verilog

10.4 Counter as a Sequential Circuit

10.4.1 Synchronous Counter

10.4.2 Asynchronous Counter

10.4.3 Counters in Verilog

10.4.5 Frequency Division Using Counters

10.1.1 Definition of State

플립 플롭은 1 비트의 데이터를 논리 레벨 0 또는 1로 저장할 수 있다. 순차 회로에 N 개의 플립 플롭이있는 경우 2N 조합 중 하나를 갖는 N 비트의 데이터를 저장할 수 있다.

순차 회로가 있을 수 있는 상태의 수가 유한하기 때문에 유한 상태 기계라고도 한다.

10.1.2 State and Output Equations

순차 회로는 입력 신호 and/or에 공급되는 클럭에 의해 상태를 변경한다. 따라서 상태 방정식으로 설명 된 상태 전이를 사용하여 순차 회로를 특성화 할 수 있다.

10.1.3 State Table

순차 회로의 상태 테이블은 조합 회로의 truth table과 유사하다. 그러나 상태 테이블은 첫 번째 섹션에서 모든 입력 및 현재 상태 조합을 보유하고 있다. 상태 테이블의 두 번째 섹션에는 출력 및 다음 상태 값이 모두 포함된다.

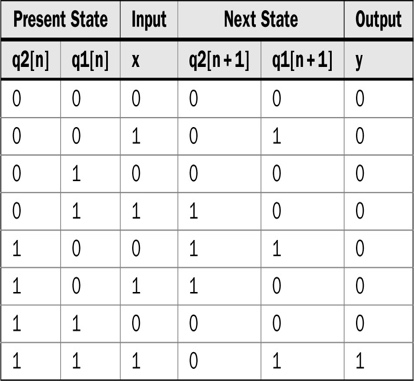


그림 1

10.1.4 State Diagram

순차 회로를 설명하는 세 번째 방법은 원과 방향성 호로 구성된 상태 다이어그램을 사용하는 것이 있다. 각 원은 상태를 나타내며, 방향성 호는 상태 간의 전환을 나타낸다. 방향성 호는 전환이 발생하는 데 필요한 입력 값도 보유하고 있다. 하지만 전환 타이밍은 상태 다이어그램에 명시 적으로 표시되지 않는다.

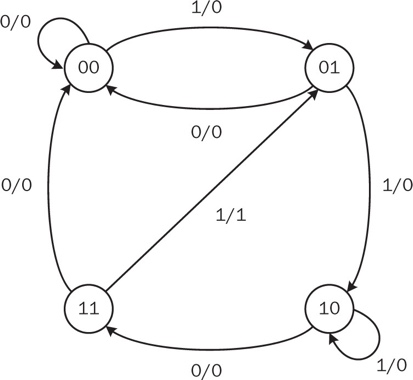


그림 2

10.1.5 State Representation in Verilog

Verilog의 그림 1에서 시퀀스 검출기를 나타낼 수 있다. 첫 번째 방법은 상태 및 출력 방정식을 사용하는 것이다.

Verilog를 사용하면 상태를 매개 변수 형식으로 나타낼 수 있다.

10.2.1 Synchronous Operation

동기 동작이란 회로 요소는 모든 작업이 동기화되도록 공통 클럭을 공유하는 것이다.

HDL에서 동기 작업을 수행하는 한 가지 방법은 클럭 신호의 변화에 ​​의해 유발되는 모든 상태 전환 작업을 동일한 블록에 배치하는 것이다.

Verilog와 달리 VHDL은 복잡한 제약 조건을 추가하여 프로세스 블록을 트리거하는 것을 허용하지 않는다. 따라서 클럭 신호의 변화에 ​​의해 먼저 트리거된다. 그런 다음 블록 내에서 필요한 전환 유형에 따라 상태 전환이 수행되고, 시퀀스 검출기의 경우 이것은 if 조건 내에서 rising\_edge (clk) 조건으로 설명되는 클럭의 상승 에지가 된다. 클럭 신호의 하강 에지에서 동일한 동작을 수행하려면 falling\_edge (clk) 조건을 사용해야한다.

10.2.2 Asynchronous Operation

비동기 순차 회로도에는 모든 순차 회로 요소가 공유하는 공통 클럭이 없다.

10.3.1 Shift Registers in Verilog

디지털 시스템에서 광범위하게 사용되는 순차 회로 제품 있는데, 하나는 시프트 레지스터이다. 시프트 레지스터는 비트 위치가 순차적으로 변경 될 수 있도록 수정할 수 있다. 시프트 레지스터 유형에는 직렬 입력 / 직렬 출력, 병렬 입력 / 직렬 출력, 병렬 입력 / 병렬 출력 및 직렬 입력 / 병렬 출력이 있다.

10.4.1 Synchronous Counter

비동기식 카운터에서 순차 회로 내의 모든 플립 플롭은 동일한 클럭 신호로 변환된다.

10.4.2 Asynchronous Counter

2 비트 업 카운터를 구현하는 방법은 하나 더 존재한다. q1은 클럭의 상승 에지가 올 때마다 상태를 토글하고 입력 x는 논리 레벨 1과 같다. q2는 q1의 하강 에지가 오거나 입력 x가 논리 레벨 1과 같을 때마다 상태를 토글하며, 이는 비동기로 이어진다. (리플) 클럭 신호가 첫 번째 플립 플롭에만 공급되는 카운터. 두 번째 플립 플롭은 첫 번째 플립 플롭의 출력에 따라 상태를 변경하게된다.

10.4.3 Counters in Verilog

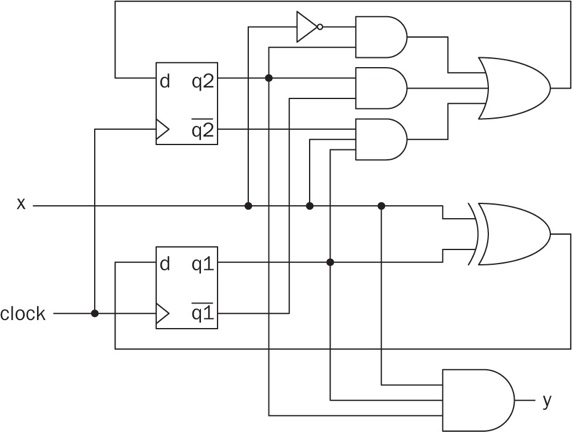


그림 3

카운터는 산술 연산을 사용하여 Verilog에서 설명 할 수 있다. 입력 x가 로직 레벨 1에있을 때 매 클럭 사이클마다 하나씩 산술 덧셈을 수행하여 카운팅 작업을 수행한다.

10.4.5 Frequency Division Using Counters

디지털 시스템의 클럭 주파수는 작동에 적합하지 않을 수 있다. 변경해야 할 수도 있는데 이를 수행하는 모듈을 주파수 분배기라고한다. 할 일은 클럭 신호를 입력으로 공급하고 카운터 플립 플롭의 출력에서 ​​주파수를 2의 거듭 제곱으로 나눈 새로운 클럭 신호를 얻는 것이다. 그림 10.14에서 이러한 동기식 주파수 분배기를 제공합니다.