

USART

(The Universal Synchronous and Asynchronous serial Receiver and Transmitter)

: 동기 비동기 직렬 송수신기

USART Register

USART의 특징

- 전이중 방식
- 동기 또는 비동기 작동
- Master or Slave 클록 동기 작동
- 고해상도의 전송속도 발생기
- 5,6,7,8 데이터 비트 1,2 stop bit
- 홀수 짝수 패리티 비트 발생기와 하드웨어에 의한 패리티 검사기
- Data Over Run 검출 장치
- Framing Error 검출 장치
- 노이즈 검출장치 디지털 저역통과 필터
- TXC, TXD, RXC 인터럽트
- 다중 프로세서 통신 모드
- 비동기 통신 모드의 더블 스피드

UDR

:USART I/O Data Register

USART의 전송 데이터 버퍼 레지스터와 수신 데이터 버퍼 레지스터들은 같은 입출력 주소 (UDR)를 공유함

전송 데이터 버퍼 레지스터 (TXB)

수신 데이터 버퍼 레지스터 (RXB)

UDR 레지스터에 쓰여진 데이터는 TXB가 목적지가 됨

따라서 RXB에 수신된 데이터가 UDR에 쓰여짐

⇒송수신 데이터를 입력하는 레지스터

UCSRA

:USART Control and Status Register A

Bit	7	6	5	4	3	2	1	0	
	RXC	TXC	UDRE	FE	DOR	PE	U2X	MPCM	UCSRA
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
Initial Value	0	0	1	0	0	0	0	0	

-Bit 7 -- RXC: USART Receive Complete

수신 완료시 1로 set

수신 버퍼에 읽지 않은 데이터가 있을때는 1 set

수신 버퍼가 비었을때는 0 set

만약 수신이 불가능할 때, RXC의 비트는 0이 됨

RXC Flag 는 완전한 수신 인터럽트에만 발생한다.

-Bit 6 -- TXC: USART Transmit Complete

송신 완료시 1로 set

전송 시프트 레지스터에서 전체 프레임이 시프트 아웃 되고 새로운 데이터가 전송 버퍼 UDR에 없을때 1로 set

-Bit 5 -- UDRE: USART Data Register Empty

UDR 레지스터가 비었을때 1로 set

전송버퍼 UDR이 새로운 데이터를 받을 준비를 할때 UDRE Flag가 나타내어짐.

비트가 1로 set 일때, UDR 버퍼가 비었다면 쓰여질 준비해야함.

UDRE Flag는 데이터 레지스터가 비었을때 인터럽트를 발생할수 있다.

UDRE는 전송이 준비되었을때 1로 set

-Bit 4 -- FE: Frame Error

frame error가 발생시 1로 set

수신 버퍼가 프레임 에러를 가질때 1로 set.

예를들어 수신버퍼가 제로인 특성을 가진 첫 번째 stop bit 일때

수신 버퍼 UDR이 읽혀 질때 까지 이 비트는 유효하다

UCSRA가 쓰여지는 동안 이 비트는 항상 0 이다.

-Bit 3 -- DOR: Data OverRun

Over run error 발생시 1로 설정

한 데이터가 수신 데이터가 꽉 찼을때 다음 수신 데이터가 시프트 됨 그리고 새로운 start bit 가 검출됨.

수신 버퍼 UDR이 읽어질때 까지 이 비트는 유효하다.

UCSRA가 쓰여지는 동안 비트값은 항상 0이 됨.

-Bit 2 -- PE: Parity Error

Parity Error 발생시 1로 set

수신버퍼가 패리티 에러를 가질때와 패리티 검사가 가능할 때(UPM1 =1) 일때 1로 set
이 비트는 수신버퍼가 읽어질때 까지 유효하다 (새로운 값을 읽어오기 전 까지 유효하다)
UCSRA가 쓰여지는 동안 비트값은 항상 0이 됨.

-Bit 1 -- U2X: Double the USART Transmission Speed

USART 전송 속도를 두배

이 비트는 비동기 작동에서만 결과가 나타남

비동기 작동을 사용할때만 이 비트를 제로로 설정해라

이 비트를 사용할 때 16에서 8 로 보드 비율 분주를 나눔으로서 비동기 통신의 전송 비율을 2배로 높인다.

-Bit 0 -- MPCM: Multi-processor Communication Mode

이 비트는 멀티 프로세서 통신을 가능하게 함.

MPCM 비트가 쓰여질때 USART의 수신되어지는 모든 입력되는 수신된 프레임들은 무시되어지는 정보를 갖는 주소를 포함하지 않는다 ->무시되어지지 않는다.

전송은 MPCM 세팅에의해 영향 받지 않음

UCSRB

:USART Control and Status Register

Bit	7	6	5	4	3	2	1	0	
	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8	UCSRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

-Bit 7 -- RXCIE: RX Complete Interrupt Enable

이 비트가 1로 쓰여질 때 RXC 플레그에서 인터럽트가 가능하게 함.

이 비트가 1로 쓰여지면, 데이터가 수신 완료되었을 때 수신 인터럽트가 가능하게 함.

USART 수신 완료 인터럽트는

RXCIE 비트가 1로 쓰여질때와 SREG에 있는 글로벌 인터럽트가 1로 쓰여질때와 UCSRA에 있는 RXC 비트가 1로 설정 되어 있을때 발생할것이다.

-Bit 6 -- TXCIE: TX Complete Interrupt Enable

이 비트가 1로 쓰여질 때 TXC 플레그에서 인터럽트가 가능하게 함.

이 비트가 1로 쓰여지면, 데이터가 송신 완료되었을 때 송신 인터럽트를 가능하게 함.

USART 수신 완료 인터럽트는

TXCIE 비트가 1로 쓰여질때,SREG의 글로벌 인터럽트 플레그가 1일때 그리고 UCSRA의 TXC 비트가 1일때 발생되어짐.

-Bit 5 -- UDRIE: USART Data Register Empty Interrupt Enable

이 비트가 1로 쓰여질 때 UDRE 플레그에서 인터럽트가 가능하게 함.

이 비트가 1로 쓰여지면, UDRE 레지스터가 SET 될 때 발생하는 인터럽트를 가능하게 함.

데이터 레지스터의 빈 인터럽트가 UDRIE 비트가 1일때, SREG에 글로벌 인터럽트 플레그가 1 일때, UCSRA에 UDRE의 비트가 1일때 발생 되어질 것이다.

-Bit 4 -- RXEN: Receiver Enable

이 비트가 1로 쓰여질 때 USART 수신을 가능하게 함.

수신기는 RXD 핀이 가능할 때 보통 포트 작동을 덮어 씌

수신기를 사용할수 없을때 FD, DOR, PE 플레그를 무효화하는 수신버퍼를 버퍼를 FLUSH

-Bit 3 -- TXEN: Transmitter Enable

이 비트를 1로 쓰여질 때 USART 송신을 가능하게 함.

전송기는 TXD 핀 사용이 가능할 때 보통 포트 작동을 덮어 씌

전송이 불가능 할때 (TXEN 이 0) 진행중이고 곧 전송이 완성될때 까지 효과적으로 될수 없을것이다.

사용이 불가능할때 전송기는 TXD 포트가 중단이 불가능 할것이다.

-Bit 2 -- UCSZ2: Character Size

UCSRC에서 UCSZ1:0 비트들과 UCSZ2의 비트가 결합되어 송수신 사용에서 데이터 비트들의 수를 설정함.

-Bit 1 -- RXB8: Receive Data Bit 8

수신 데이터 비트가 9비트로 설정되었을 경우에 UDR레지스터에 추가 1비트로 사용하는 비트이다.

-Bit 0 -- TXB8: Transmit Data Bit 8

송신 데이터 비트가 9비트로 설정되었을 경우에 UDR 레지스터에 추가 1비트로 사용하는 비트이다.

UCSRC

:USART Control and Status Register C

Bit	7	6	5	4	3	2	1	0	
	URSEL	UMSEL	UPM1	UPM0	USBS	UCSZ1	UCSZ0	UCPOL	UCSRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	1	0	0	0	0	1	1	0	

-Bit 7 -- URSEL: Register Select

이 비트는 UCSRC 또는 UBRRH 레지스터 중 선택함.

비트가 1이면 UCSRC 설정이 업데이트

비트가 0이면 UBRRH 설정이 업데이트 됨

-Bit 6 -- UMSEL: USART Mode Select

동기식 or 비동기식을 결정함

비트가 0이면 비동기식

비트가 1이면 동기식

-Bit 5:4 -- UPM1:0: Parity Mode

패리티 발생과 검사를 가능하게 함.

전송이 자동적으로 발생할 것 이고 각각의 프레임의 전송된 데이터비트의 패리티를 보낼것이다.

수신기는 입력되는 데이터에 대한 패리티 값을 발생시킬 것이고 UPM0 설정에서 비교할것이다.

-Bit 3 -- USBS: Stop Bit Select

송신에 의해 삽입되는 stop bit의 수를 선택함

0이면 stop bit는 1bit

1이면 stop bit는 2bit

-Bit 2:1 -- UCSZ1:0: Character Size

UCSZ1:0 과 UCSZ2 (UCSRB 레지스터에 있는 비트) 는 송수신 사용시 데이터 비트의 수를 설정함

UCSZ2	UCSZ1	UCSZ0	Character Size
0	0	0	5-bit
0	0	1	6-bit
0	1	0	7-bit
0	1	1	8-bit
1	0	0	Reserved
1	0	1	Reserved
1	1	0	Reserved
1	1	1	9-bit

-Bit 0 -- UCPOL: Clock Polarity

동기식 모드에서만 사용됨

비트가 0 일때 동기 모드가 사용됨

UCPOL 비트는 데이터 출력변화 그리고 데이터 입력 샘플 그리고 동기식 클록 사이에서 설정됨.

난 비동기 쓰니까

skip

Table 70. Examples of UBRR Settings for Commonly Used Oscillator Frequencies (Continued)

Baud Rate (bps)	$f_{osc} = 3.6864 \text{ MHz}$				$f_{osc} = 4.0000 \text{ MHz}$				$f_{osc} = 7.3728 \text{ MHz}$			
	U2X = 0		U2X = 1		U2X = 0		U2X = 1		U2X = 0		U2X = 1	
	UBRR	Error	UBRR	Error	UBRR	Error	UBRR	Error	UBRR	Error	UBRR	Error
2400	95	0.0%	191	0.0%	103	0.2%	207	0.2%	191	0.0%	383	0.0%
4800	47	0.0%	95	0.0%	51	0.2%	103	0.2%	95	0.0%	191	0.0%
9600	23	0.0%	47	0.0%	25	0.2%	51	0.2%	47	0.0%	95	0.0%
14.4k	15	0.0%	31	0.0%	16	2.1%	34	-0.8%	31	0.0%	63	0.0%
19.2k	11	0.0%	23	0.0%	12	0.2%	25	0.2%	23	0.0%	47	0.0%
28.8k	7	0.0%	15	0.0%	8	-3.5%	16	2.1%	15	0.0%	31	0.0%
38.4k	5	0.0%	11	0.0%	6	-7.0%	12	0.2%	11	0.0%	23	0.0%
57.6k	3	0.0%	7	0.0%	3	8.5%	8	-3.5%	7	0.0%	15	0.0%
76.8k	2	0.0%	5	0.0%	2	8.5%	6	-7.0%	5	0.0%	11	0.0%
115.2k	1	0.0%	3	0.0%	1	8.5%	3	8.5%	3	0.0%	7	0.0%
230.4k	0	0.0%	1	0.0%	0	8.5%	1	8.5%	1	0.0%	3	0.0%
250k	0	-7.8%	1	-7.8%	0	0.0%	1	0.0%	1	-7.8%	3	-7.8%
0.5M	—	—	0	-7.8%	—	—	0	0.0%	0	-7.8%	1	-7.8%
1M	—	—	—	—	—	—	—	—	—	—	0	-7.8%
Max ⁽¹⁾	230.4 kbps		460.8 kbps		250k bps		0.5 Mbps		460.8 kbps		921.6 kbps	