

# **FPGA Starter Kit**

## **사용설명서**

**Libertron co., Ltd**

본 설명서를 (주)리버트론의 허락 없이 복제하는 행위는 금지되어 있습니다.

Copyright © 2010, (주)리버트론

(주)리버트론의 FPGA Starter Kit를 구입해 주셔서 감사합니다. 제품을 사용하기 전에 이 매뉴얼을 읽고 내용을 이해하시기 바랍니다.

본 매뉴얼에서 설명하고 있는 하드웨어 및 소프트웨어는 저작권법에 의해 보호를 받습니다. 주식회사 리버트론의 허가를 받지 않고 이 사용자 설명서의 내용을 일부 또는 전체를 복사하는 것은 금지되어 있습니다.

이 매뉴얼의 내용상 오류나 오타, 그리고 개선점을 아래의 이메일 주소로 보내주시면 좀더 정확하고 편리한 사용자 매뉴얼을 만드는데 큰 도움이 되겠습니다.

FPGA Starter Kit사용에 대한 문의 사항이 있으시면 당사 홈페이지([www.libertron.com](http://www.libertron.com))나 기술지원팀으로 문의하시기 바랍니다.

주식회사 리버트론

Homepage : [www.libertron.com](http://www.libertron.com)

E-mail : [tech@libertron.comrkawk](mailto:tech@libertron.comrkawk)

## 목차

1. FPGA Starter Kit 제품 설명.....	5
2. 제품 사양.....	6
3. 보드 Block-Diagram.....	7
4. FPGA Starter Kit 제품 설명.....	8
4.1. Power .....	8
4.1.1. USB Download and Power Input 커넥터 (①) .....	8
4.1.2. Power Jack (②).....	8
4.1.3. Power Output.....	8
4.2. FPGA 및 주요 IC .....	9
4.2.1. Main FPGA (①).....	10
4.2.2. PROM (②) .....	10
4.2.3. Xilinx USB Download Platform (③, ④, ⑤) .....	10
4.2.4. SDRAM (⑥) .....	10
4.2.5. Video DAC (⑦) .....	10
4.3. Clock 과 LED 및 Switch 설명.....	11
4.3.1. Clock.....	11
4.3.2. Status LED .....	11
4.3.3. User LED (⑦).....	12
4.3.4. 7-Segment (⑧) .....	12
4.3.5. Power Switch (⑨).....	12
4.3.6. Reset Switch (⑩) .....	12
4.3.7. User Switch (⑪).....	12

4.3.8. DIP Switch (⑫).....	13
4.3.9. Master Serial Mode Switch (⑬) .....	13
5.2. Connector 설명 .....	13
5.2.1. FPGA JTAG Connector(①) .....	14
5.2.2. Expansion Port A (②).....	14
5.2.3. Expansion Port B, C (③,④) .....	14
5.2.4. UART Connector (⑤).....	14
5.2.5. RGB-Out Port (⑥).....	14
5. FPGA Starter Kit Pin List.....	15
6. Schematic .....	21
7. Revision History.....	22

## 1. FPGA Starter Kit 제품 설명

- FPGA Starter Kit 는 소용량의 FPGA(20 만 시스템 게이트)로 필요로 하는 FPGA 회로설계 검증 및 확장 Port 를 이용하여 동작을 체크하는 FPGA 모듈이다.
- FPGA Starter Kit 는 Xilinx 사의 FPGA 인 Spartan3 Device 와 PROM, LED, DIP SW, Video Output, Memory 등을 구성하여 간단한 동작 테스트부터 복잡한 회로설계에 이르기까지 FPGA 설계 환경을 안정적으로 제공하고 있다.

## 2. 제품 사양

구분	항목	사양	비고
FPGA Part	Target FPGA	XC3S200-PQ208	XC3S400 지원가능
	PROM	XCF01S-VO20	XCF02S 지원가능
	Clocks	54MHz(Default)	
		Socket Clock	
Memory	SDRAM	K4S561632J-TC75(16M x 16bit)/133MHz	256Mb
Display	LED	User LED 4bit	
	7-Segment	7-Segment 2-Digit	
Switch	Push Switch	Reset Switch, User Switch x 4ea	
	DIP Switch	User DIP Switch 4bit	
Video	DAC	THS8136B_TQFP48(10Bit-DAC, 180-MSPS/RGB 8:8:8)	THS8134 호환
Download	USB	Xilinx Platform Download Cable 회로 내장	
PC Interface	UART	MAX3232(RS-232C)-1ch	
Expansion Port	Exp_A	BH_2x20_2.54mm(I/O : 36) Terasic Option B/D Interface 용	
	Exp_B	BH_2X17_2.54mm(I/O : 25) EDA-Lab3000 Option B/D Interface 용	
	Exp_C	BH_2X17_2.54mm (I/O : 26) EDA-Lab3000 Option B/D Interface 용	

### 3. 보드 Block-Diagram

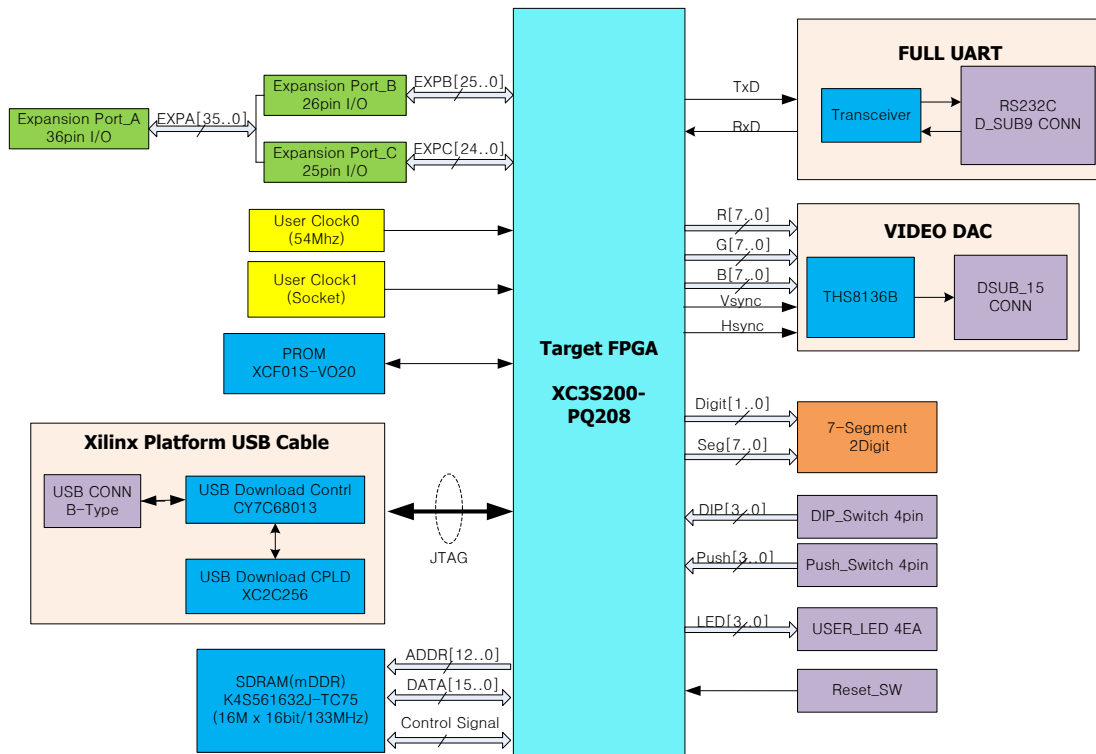


Figure1. FPGA Starter Kit Board Block Diagram

## 4. FPGA Starter Kit 제품 설명

### 4.1. Power

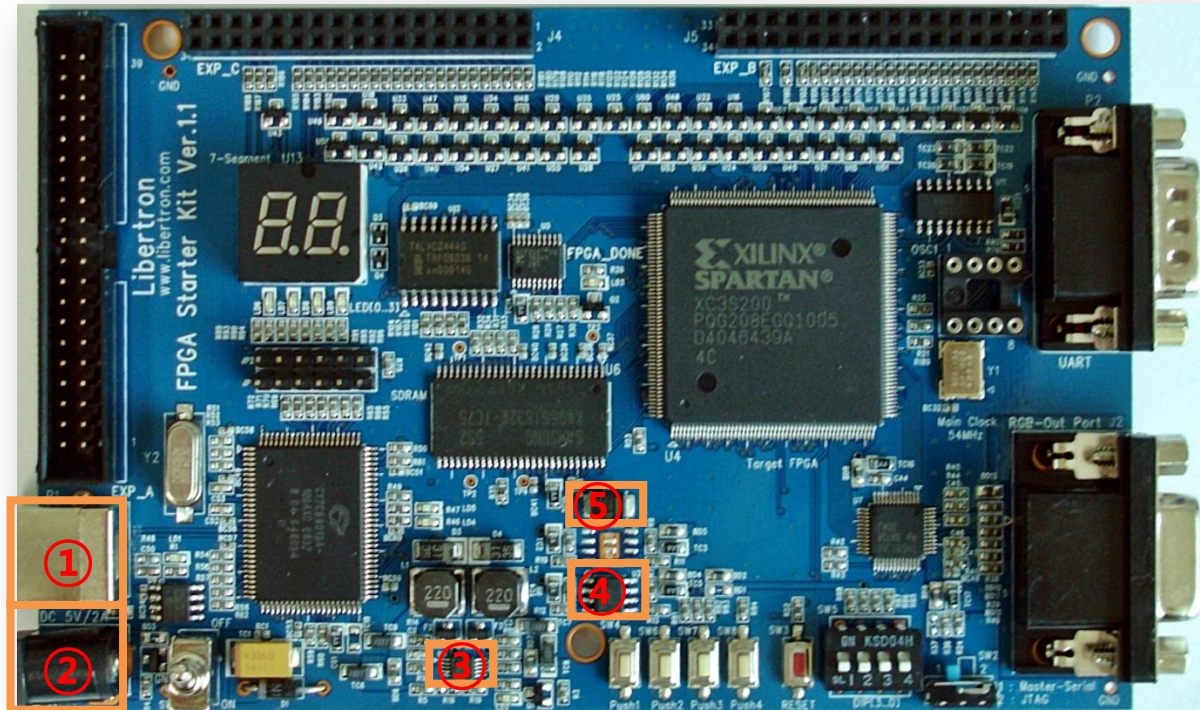


Figure2. FPGA Starter Kit 전원

#### 4.1.1. USB Download and Power Input 커넥터 (①)

- 별도의 외부 전원 없이 USB B Type Cable 을 연결하여 USB +5V 전원 공급을 받고 Main FPGA 와 PORM 에 프로그램을 Download 할 수 있다.

#### 4.1.2. Power Jack (②)

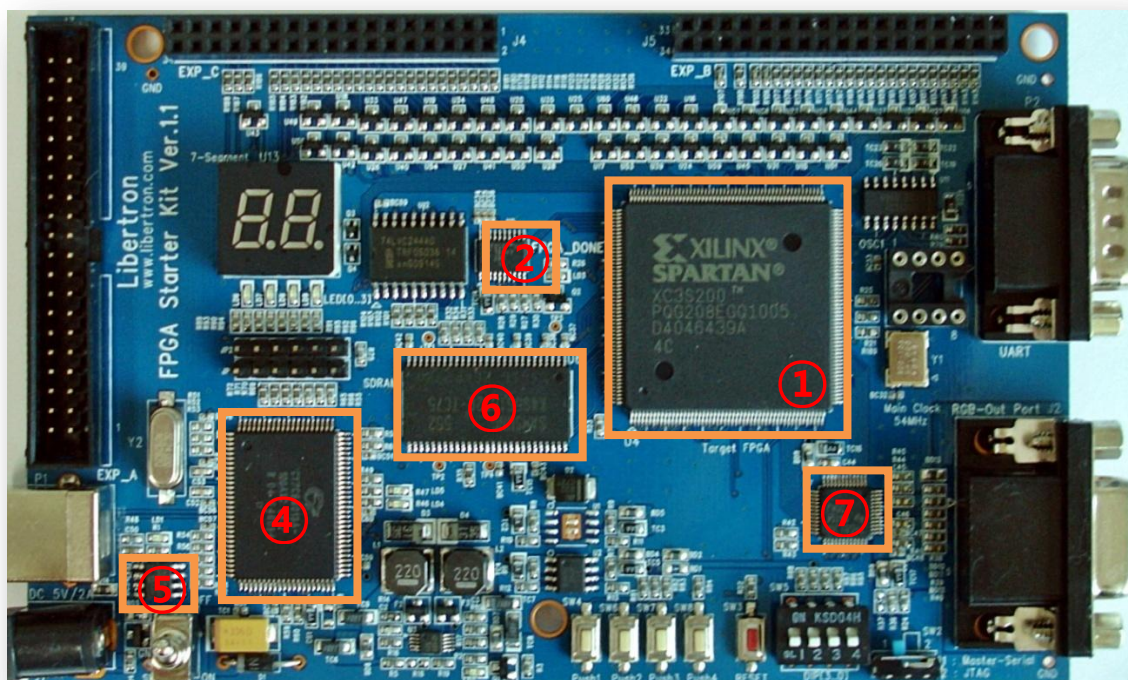
- 외부 입력 전원으로 Expansion Port 를 이용하여 고 전류를(500mA 이상) 사용하는 Module 이나 PC 없이 Board 를 구동 시킬 때 아답터로 +5V 전원을 입력 받아 쓸 수 있다.

#### 4.1.3. Power Output

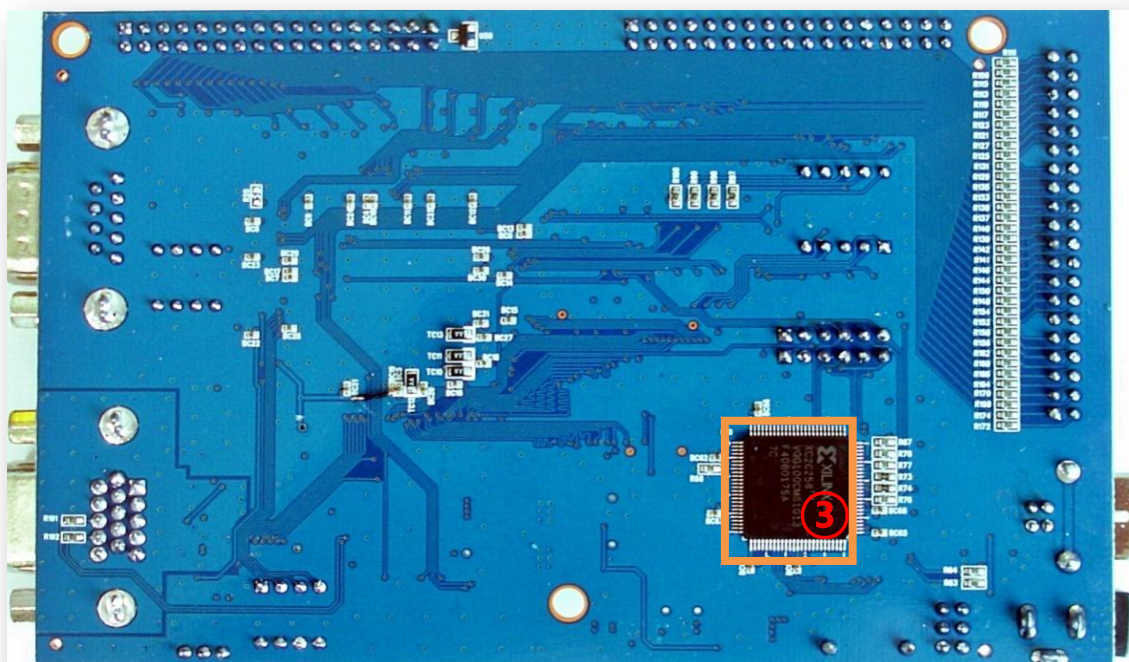
No.	Part	Input Voltage	Output Voltage
1	XC9503B093AR (③)	+5V	+3.3V, +1.2V
2	AP7165 (④)	+3.3V	+1.8V
3	SMBYW01-200 (⑤)	+3.3V	+2.5V



## 4.2. FPGA 및 주요 IC



<TOP>



<Bottom>

Figure3. FPGA Starter Kit IC

**4.2.1. Main FPGA (①)**

- FPGA Starter Kit 의 Main Device 인 Xilinx 사의 XC3S200-PQ208(20 만 시스템 게이트)이다.

**4.2.2. PROM (②)**

- FPGA 를 위한 Flash type 인 Xilinx 사의 PROM(XCF01S-VO20)으로 Master Serial Mode 로 해놓고 전원을 on 하면 PROM 의 데이터가 FPGA 로 자동 다운로드 됩니다.

**4.2.3. Xilinx USB Download Platform (③, ④, ⑤)**

- Xilinx 사의 USB Download Platform Cable 회로를 보드 자체에 내장하여 별도의 Download Cable 없이 USB Cable 만으로 FPGA 와 PROM 에 Configuration 할 수 있다.

**4.2.4. SDRAM (⑥)**

- SAMSUNG 에서 제공하는 K4S561632J-TC75 로 16M x 16bit / 256Mb Density 특성을 갖고 있다.

**4.2.5. Video DAC (⑦)**

- TI 사의 RGB 전용 DAC(THS8136)이며 Resolution 은 10bit(RGB 10:10:10)이며 최대 Sampling Rate 는 180MSPS 이다. 현재 보드에선 RGB 8:8:8 까지 지원된다.

### 4.3. Clock 과 LED 및 Switch 설명

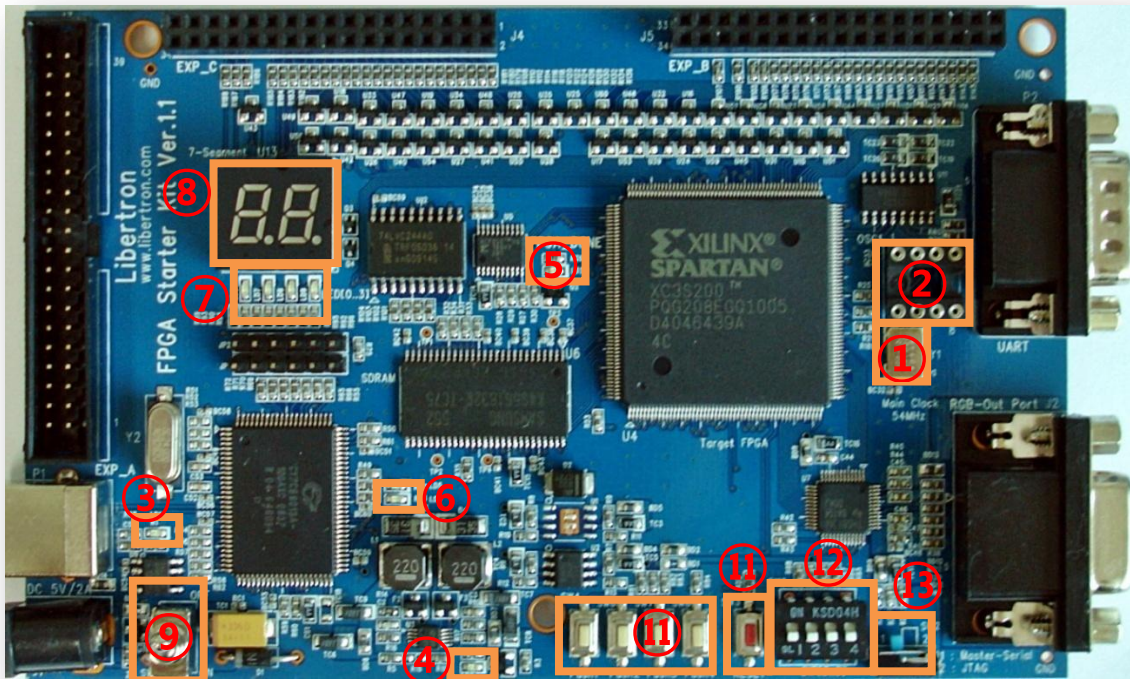


Figure4. FPGA Starter Kit Clock, LED, Switch

#### 4.3.1. Clock

Signal Name	FPGA Pin Num	Description
FPGA_CLK0 (①)	P79	FPGA Main Clock 54Mhz Oscillator
FPGA_CLK1 (②)	P80	User Socket Clock

#### 4.3.2. Status LED

No.	Reference	Description
③	LD1	보드 내부 전원(+5V) 상태 표시 LED
④	LD2	보드 내부 전원(+1.2V) 상태 표시 LED
⑤	LD3	FPGA Configuration 상태 표시 LED
⑥	LD4	USB Download 상태 표시 LED

**4.3.3. User LED (㉗)**

- 사용자 LED 로 4bit 구조이며 "Low"신호를 인가하면 LED 가 켜집니다. (Active 'L')

Signal Name	FPGA Pin Num	I/O	Description
LED0	P156	Output	User LED[3..0] (Active 'L')
LED1	P155		
LED3	P154		
LED4	P152		

**4.3.4. 7-Segment (㉘)**

- 사용자 7-Segment LED 로 0~F 까지 표현할 수 있으며 2-Digit 형태로 구성되어 있고 Dot-Point 는 지원하지 않습니다.

Signal Name	FPGA Pin	I/O	Note
SEG_A	P165	Output	Segment [7..0] (Active 'L')
SEG_B	P166		
SEG_C	P167		
SEG_D	P168		
SEG_E	P169		
SEG_F	P171		
SEG_G	R172		
SEG_DP	-	Output	Digit [2..1] (Active 'L')
DIGIT1	P161		
DIGIT2	P162		

**4.3.5. Power Switch (㉙)**

- FPGA Starter Kit 전원 스위치로 전원을 on/off 한다.

**4.3.6. Reset Switch (㉚)**

- System Reset Switch 로 FPGA 에 Reset 신호를 인가합니다. (Active 'L')

Signal Name	FPGA Pin Num	Description
FPGA_RSTB	P205	FPGA Reset Pin (Active 'L')

**4.3.7. User Switch (㉛)**

- 사용자 Push Switch 로 4bit 구조이며 Switch 를 누를 때 마다 Target FPGA 에 "Low"신호를 인가 합니다.

Signal Name	FPGA Pin Num	I/O	Description
Push_SW0	P86	Input	User Push Switch [3..0] (Active 'L')
Push_SW1	P40		
Push_SW2	P39		
Push_SW3	P78		



#### 4.3.8. DIP Switch (㉔)

- 사용자 DIP Switch 로 4bit 구조이며 Switch 를 위쪽으로 "on"시키면 Target FPGA 에 "Low"신호를 인가합니다.

Signal Name	FPGA Pin Num	I/O	Description
DIP_Switch0	P68	Input	User DIP Switch [3..0] (Active 'L')
DIP_Switch1	P71		
DIP_Switch2	P72		
DIP_Switch3	P74		

#### 4.3.9. Master Serial Mode Switch (㉕)

- JTAG Mode 와 PROM Mode 를 선택하는 스위치로 왼쪽을 선택하면 Master Serial Mode 로 PROM Data 가 FPGA 로 다운로드 되고 오른쪽을 선택하면 JATG Mode 로 FPGA 나 PROM 에 다운로드가 가능하다.

## 5.2. Connector 설명

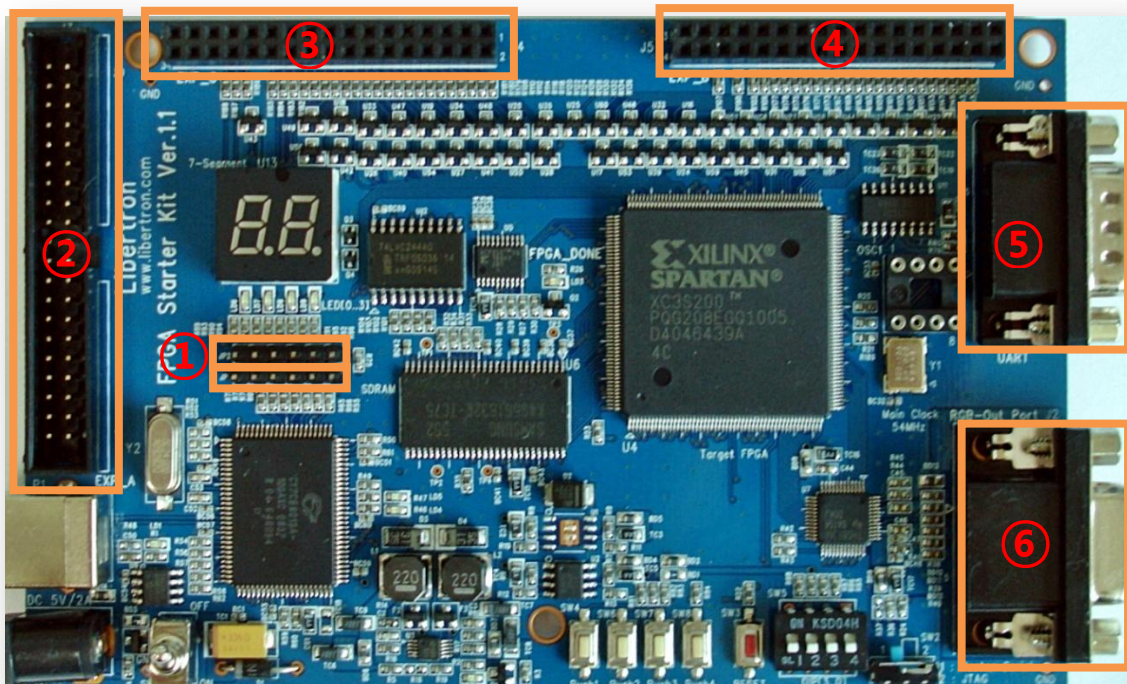


Figure5. FPGA Starter Kit Connector

**5.2.1. FPGA JTAG Connector(①)**

- USB Connector 를 이용하여 Configuration 하는 방법과 Download Cable 를 사용하여 ①번 커넥터를 통해 Configuration 할 수 있다.

**5.2.2. Expansion Port A (②)**

- Terasic 사의 Option Module 을 사용 할 수 있는 Port 이다. (아래 Pin List 참고)

**5.2.3. Expansion Port B, C (③,④)**

- 기 개발된 EDA-Lab3000 용 Option Board(Audio Codec, AD/DA, Dotmatrix, Traffic, Keypad)를 사용할 수 있는 Port 이다. (아래 Pin List 참고)

**5.2.4. UART Connector (⑤)**

- Maxim 사의 RS-232C Transceiver 로 UART 를 통한 Debugging 환경을 제공한다.

Signal Name	FPGA Pin Num	I/O	Description
TXD	P97	Output	Transmit Data
RXD	P96	Input	Receive Data

**5.2.5. RGB-Out Port (⑥)**

- RGB Out 단자로 FPGA 와 RGB 전용 DAC(THS8136)을 이용하여 출력을 확인할 수 있다. (아래 Pin List 참고)

## 5. FPGA Starter Kit Pin List

NUM	Part	Signal Name	FPGA Pin NUM	I/O	Description
1	Clock	FPGA_CLK0	P79	I	Target FPGA Input Clock-0
2		FPGA_CLK1	P80	I	Target FPGA Input Clock-1
3	Reset Switch	FPGA_RSTB	P205	I	FPGA Board Reset Signal
4	LED	LED0	P156	O	User Discrete [3..0]
5		LED1	P155	O	
6		LED2	P154	O	
7		LED3	P152	O	
8	7-Segment	DIGIT1	P161	O	7-Sement Digit Selection
9		DIGIT2	P162	O	
10		SEG_A	P165	O	7-Sement LED
11		SEG_B	P166	O	
12		SEG_C	P167	O	
13		SEG_D	P168	O	
14		SEG_E	P169	O	
15		SEG_F	P171	O	
16		SEG_G	P172	O	
17		SEG_DP	P175	O	
18	User Switch	Push_SW0	P86	I	User Tact Switch
19		Push_SW1	P40	I	
20		Push_SW2	P39	I	
21		Push_SW3	P78	I	
22	DIP Switch	DIP_SW0	P68	I	User DIP Switch [3..0]
23		DIP_SW1	P71	I	
24		DIP_SW2	P72	I	
25		DIP_SW3	P74	I	
26	UART	TXD	P97	O	Transmit Data
27		RXD	P96	I	Receive Data
NUM	Part	Signal Name	FPGA Pin NUM	I/O	Description
28	SDRAM Memory	SD_UDQM	P197	I	SDRAM
29		SD_LDQM	P22	I	DATA Input/Output Mask
30		SD_CLK	P198	I	SDRAM Input Clock
31		SD_CKE	P199	I	SDRAM Clock Enable
32		SD_BA1	P200	I	SDRAM Bank Select Addrss

33		SD_BA0	P203	I	
34		SD_nCS	P204	I	SDRAM Chip Select
35		SD_nWE	P24	I	SDRAM Write Enable
36		SD_nCAS	P26	I	SDRAM Column Address Strobe
37		SD_nRAS	P27	I	SDRAM Row Address Strobe
38		SD_A0	P178	I/O	SDRAM ADDR [12..0]
39		SD_A1	P180	I/O	
40		SD_A2	P181	I/O	
41		SD_A3	P182	I/O	
42		SD_A4	P183	I/O	
43		SD_A5	P184	I/O	
44		SD_A6	P185	I/O	
45		SD_A7	P187	I/O	
46		SD_A8	P189	I/O	
47		SD_A9	P190	I/O	
48		SD_A10	P191	I/O	
49		SD_A11	P194	I/O	
50		SD_A12	P196	I/O	
51		SD_D0	P2	I/O	SDRAM DATA [15..0]
52		SD_D1	P3	I/O	
53		SD_D2	P4	I/O	
54		SD_D3	P5	I/O	
55		SD_D4	P7	I/O	
56		SD_D5	P9	I/O	
57		SD_D6	P10	I/O	
58		SD_D7	P11	I/O	
59		SD_D8	P12	I/O	
60		SD_D9	P13	I/O	
61		SD_D10	P15	I/O	
62		SD_D11	P16	I/O	
63		SD_D12	P18	I/O	
64		SD_D13	P19	I/O	
65		SD_D14	P20	I/O	
66		SD_D15	P21	I/O	
NUM	Part	Signal Name	FPGA Pin NUM	I/O	Description
67	RGB	RGB_OUT_CLK	P76	I	RGB Input Clock



68	Display	RGB_OUT_DE	P42	O	Blanking Control Input
69		RGB_OUT_HSYNC	P85	O	Horizontal Synchronization
70		VGA_VSYNC	P81	O	Vertical Synchronization
71		VGA_RD0	P52	O	Red Data [7..0]
72		VGA_RD1	P51	O	
73		VGA_RD2	P50	O	
74		VGA_RD3	P48	O	
75		VGA_RD4	P46	O	
76		VGA_RD5	P45	O	
77		VGA_RD6	P44	O	
78		VGA_RD7	P43	O	
79		VGA_GD0	P37	O	Green Data [7..0]
80		VGA_GD1	P36	O	
81		VGA_GD2	P35	O	
82		VGA_GD3	P34	O	
83		VGA_GD4	P33	O	
84		VGA_GD5	P31	O	
85		VGA_GD6	P29	O	
86		VGA_GD7	P28	O	
87		VGA_BD0	P57	O	Blue Data [7..0]
88		VGA_BD1	P58	O	
89		VGA_BD2	P61	O	
90		VGA_BD3	P62	O	
91		VGA_BD4	P63	O	
92		VGA_BD5	P64	O	
93		VGA_BD6	P65	O	
94		VGA_BD7	P57	O	
NUM	Part	Signal Name	FPGA Pin NUM	I/O	Description
95	EXP_A (GPIO) J3	EXPA_0	P132	I/O	
96		EXPA_1	P133	I/O	
97		EXPA_2	P135	I/O	
98		EXPA_3	P137	I/O	
99		EXPA_4	P138	I/O	
100		EXPA_5	P139	I/O	
101		EXPA_6	P140	I/O	
102		EXPA_7	P141	I/O	
103		EXPA_8	P143	I/O	

104		EXPA_9	P144	I/O	
105		EXPA_10	P146	I/O	
106		EXPA_11	P147	I/O	
107		EXPA_12	P148	I/O	
108		EXPA_13	P100	I/O	
109		EXPA_14	P101	I/O	
110		EXPA_15	P102	I/O	
111		EXPA_16	P131	I/O	
112		EXPA_17	P130	I/O	
113		EXPA_18	P128	I/O	
114		EXPA_19	P126	I/O	
115		EXPA_20	P125	I/O	
116		EXPA_21	P124	I/O	
117		EXPA_22	P123	I/O	
118		EXPA_23	P122	I/O	
119		EXPA_24	P120	I/O	
120		EXPA_25	P119	I/O	
121		EXPA_26	P117	I/O	
122		EXPA_27	P116	I/O	
123		EXPA_28	P115	I/O	
124		EXPA_29	P114	I/O	
125		EXPA_30	P113	I/O	
126		EXPA_31	P111	I/O	
127		EXPA_32	P109	I/O	
128		EXPA_33	P108	I/O	
129		EXPA_34	P107	I/O	
130		EXPA_35	P106	I/O	
131		VCC_5P5V	-	-	
132		VCC_3P3V	-	-	
133		GND	-	-	
134		GND	-	-	
NUM	Part	Signal Name	FPGA Pin NUM	I/O	Description
135	EXP_B (GPIO) J5	EXPB_0	P106	I/O	
136		EXPB_1	P107	I/O	
137		EXPB_2	P108	I/O	
138		EXPB_3	P109	I/O	
139		EXPB_4	P111	I/O	

140		EXPB_5	P113	I/O	
141		EXPB_6	P114	I/O	
142		EXPB_7	P115	I/O	
143		EXPB_8	P116	I/O	
144		EXPB_9	P117	I/O	
145		EXPB_10	P119	I/O	
146		EXPB_11	P120	I/O	
147		EXPB_12	P122	I/O	
148		EXPB_13	P123	I/O	
149		EXPB_14	P124	I/O	
150		EXPB_15	P125	I/O	
151		EXPB_16	P126	I/O	
152		EXPB_17	P128	I/O	
153		EXPB_18	P130	I/O	
154		EXPB_19	P131	I/O	
155		EXPB_20	P102	I/O	
156		EXPB_21	P101	I/O	
157		EXPB_22	P77	I/O	
158		EXPB_23	P74	I/O	
159		EXPB_24	P205	I/O	
160		EXPB_25	P100	I/O	
161		NC	-	-	
162		NC	-	-	
163		VCC_3P3V	-	-	
164		VCC_3P3V	-	-	
165		VCC_5P0V	-	-	
166		VCC_5P0V	-	-	
167		GND	-	-	
168		GND	-	-	
NUM	Part	Signal Name	FPGA Pin NUM	I/O	Description
169	EXP_C (GPIO) J4	EXPC_0	P132	I/O	
170		EXPC_1	P133	I/O	
171		EXPC_2	P135	I/O	
172		EXPC_3	P137	I/O	
173		EXPC_4	P138	I/O	
174		EXPC_5	P139	I/O	
175		EXPC_6	P140	I/O	

176	EXPC_7	P141	I/O	
177	EXPC_8	P143	I/O	
178	EXPC_9	P144	I/O	
179	EXPC_10	P146	I/O	
180	EXPC_11	P147	I/O	
181	EXPC_12	P148	I/O	
182	EXPC_13	P149	I/O	
183	EXPC_14	P150	I/O	
184	EXPC_15	P176	I/O	
185	EXPC_16	P95	I/O	
186	EXPC_17	P94	I/O	
187	EXPC_18	P93	I/O	
188	EXPC_19	P90	I/O	
189	EXPC_20	P87	I/O	
190	EXPC_21	P86	I/O	
191	EXPC_22	P85	I/O	
192	EXPC_23	P81	I/O	
193	EXPC_24	P78	I/O	
194	NC	-	-	
195	NC	-	-	
196	NC	-	-	
197	VCC_3P3V	-	-	
198	VCC_3P3V	-	-	
199	VCC_5P0V	-	-	
200	VCC_5P0V	-	-	
201	GND	-	-	
202	GND	-	-	

## 6. Schematic

## 7. Revision History

Ver.	Date	Revision
1.0	2010-6-7	1 <sup>nd</sup> Initial Document Release.
1.1	2013-07-12	보드 버전 V1.1에서 V1.2로 Revision 되면서 아래 내용 변경 - Push_SW1 핀 P85에서 P40으로 변경 - Push_SW1 핀 P81에서 P39로 변경 - RGB_OUT_HSYNC 핀 P40에서 P85으로 변경 - VGA_VSYNC 핀 P39에서 P81로 변경