



Problema #1 – Interfaces de E/S

1. Tema

Projeto de Sensor Digital em FPGA utilizando Comunicação Serial.

2. Objetivos de Aprendizagem

Ao final da realização deste problema, o/a discente deverá ser capaz de:

- Entender como integrar projetos em FPGA e códigos C para produzir um sistema computacional;
- Compreender e executar a programação de dispositivos lógicos programáveis;
- Assimilar conceitos básicos sobre protocolos de comunicação serial.

3. Problema

O mercado de Internet das Coisas (IoT) tem transformado a economia global, proporcionando maior eficiência, inovação e melhorias significativas em diversos setores. Índices apontam movimentações de centenas de bilhões de dólares por ano. Visando uma fatia desse mercado, você e sua equipe foram contratados para implementar o protótipo de um sistema digital completo para gestão de ambientes usando IoT. Entretanto, esse sistema será desenvolvido gradualmente. A primeira etapa será a implementação de um protótipo de sensor para medição de temperatura e umidade. Na fase de protótipo do projeto será utilizada uma plataforma baseada em FPGAs para confecção dos sensores. Elas permitem o teste de diversas arquiteturas antes da definição do hardware a ser utilizado. Para simplificar a prova de conceito será utilizado o sensor DHT11, mas o sistema deve ser modular, permitindo a substituição na versão de produção. O protótipo deve implementar uma interface de comunicação serial (UART) para receber comandos que deverão ser interpretados, executados e respondidos. Para testes, o protótipo deve ser acompanhado de um sistema de testes desenvolvido em linguagem C, capaz de enviar comandos e receber e exibir suas respostas. Esse sistema de testes pode ser implementado nos computadores disponíveis no laboratório.

4. Requisitos

- 4.1. Além do descrito na seção anterior, o sistema a ser implementado deverá atender aos seguintes requisitos:
 - 4.1.1. O código deverá ser escrito em linguagem C;
 - 4.1.2. Capacidade de interligação (endereçamento) com até 32 sensores;
 - 4.1.3. Mecanismo de controle de status de funcionamento dos sensores;
 - 4.1.4. Apenas o computador será capaz de iniciar uma comunicação, exceto em casos de monitoramento contínuo.

- 4.2. Além do descrito na seção anterior, o protótipo a ser implementado na FPGA deverá atender às seguintes restrições:
 - 4.2.1. O código do FPGA deverá ser escrito em linguagem verilog;
 - 4.2.2. Deverá ser capaz de ler, interpretar e executar comandos oriundos do computador.
- 4.3. Os comandos serão compostos por palavras de 8 bits (ver tabelas a seguir);
- 4.4. As requisições e respostas são compostas de 2 bytes (Comando + Endereço do sensor).

Tabela 1 – Comandos de requisição.

Código	Descrição do comando
0x00	Solicita a situação atual do sensor
0x01	Solicita a medida de temperatura atual
0x02	Solicita a medida de umidade atual
0x03	Ativa sensoriamento contínuo de temperatura
0x04	Ativa sensoriamento contínuo de umidade
0x05	Desativa sensoriamento contínuo de temperatura
0x06	Desativa sensoriamento contínuo de umidade

Tabela 2 – Comandos de resposta.

Código	Descrição
0x1F	Sensor com problema
0x07	Sensor funcionando normalmente
0x08	Medida de umidade
0x09	Medida de temperatura
0x0A	Confirmação de desativação de sensoriamento contínuo de temperatura
0x0B	Confirmação de desativação de sensoriamento contínuo de umidade

Observação: As tabelas não contém todo protocolo a ser implementado. A definição do protocolo completo deve ser descrita no relatório do projeto.

5. Produto

No prazo indicado no cronograma a seguir, cada equipe deverá apresentar:

- 5.1. Códigos no GitHub
 - 5.1.1. Código em linguagem C;
 - 5.1.2. Código em Verilog;
 - 5.1.3. Todos os códigos deverão estar detalhadamente comentados;
- 5.2. Relatório técnico em formato de página do projeto no GitHub contendo, no mínimo:
 - 5.2.1. Introdução devidamente contextualizada, contendo ainda uma apresentação do problema qual deseja-se resolver;

- 5.2.2. Metodologias e técnicas aplicadas para o projeto e desenvolvimento da solução do problema, fundamentadas utilizando fontes confiáveis e diversificadas;
- 5.2.3. Descrição em alto nível do sistema proposto, incluindo um diagrama de blocos apresentando a arquitetura da solução;
- 5.2.4. Descrição do protocolo de comunicação desenvolvido;
- 5.2.5. Discussão dos resultados de síntese, no que se refere ao uso de elementos lógicos (LEs), LABs e pinos do dispositivo FPGA;
- 5.2.6. Descrição e análise dos testes e simulações realizadas.

6. Avaliação

Para avaliar o envolvimento do grupo nas discussões e na apresentação, o tutor poderá fazer perguntas variadas a qualquer membro, tanto nas sessões tutoriais quanto na apresentação. O estudante que não comparecer, ou se atrasar, no dia da sessão de apresentação, terá automaticamente nota 0,0 (zero) no problema, excetuando-se as condições que permitem 2ª chamada de avaliações, conforme regulamento do curso. A nota será a composição de 3 (três) notas parciais:

Critério	Critérios para a nota	Peso
Desempenho Individual	Participação individual nas sessões, assim como assiduidade, pontualidade e contribuição nas discussões.	4
Documentação	Relatório técnico de cada grupo, considerando qualidade da redação, organização dos tópicos, definição do problema, descrição da solução, explicação dos experimentos, análise dos resultados e conclusões.	3
Códigos	Qualidade do código fonte (organização e comentários), e execução correta dos códigos binários de acordo com testes de validação que explorem as situações de uso.	3

7. Cronograma

Semana	Data	Descrição
1	09/08	Apresentação do Problema 1
	11/08	Problema 1 – Tutorial/Desenvolvimento
2	16/08	Problema 1 – Tutorial/Desenvolvimento
	18/08	Problema 1 – Tutorial/Desenvolvimento
3	23/08	Problema 1 – Tutorial/Desenvolvimento
	25/08	Problema 1 – Tutorial/Desenvolvimento
4	30/08	Problema 1 – Tutorial/Desenvolvimento

	01/09	Problema 1 – Tutorial/Desenvolvimento
5	06/09	Problema 1 – Tutorial/Desenvolvimento
	08/09	Problema 1 – Tutorial/Desenvolvimento
6	13/08	Apresentação do Problema 2
	15/08	Entrega/Avaliação do Problema 1