



Program Studi Teknik Elektro ITB

Nama Kuliah (Kode) : Arsitektur Sistem Komputer (EL3011)

Tahun / Semester : 2025-2026 / Ganjil

Modul : SYNTHESIZABLE RISC-V (RV32I) MICROPROCESSOR
BAGIAN I: INSTRUCTION SET, REGISTER, DAN
MEMORY

Nama Asisten / NIM : _____

Nama Praktikan / NIM : William Anthony / 13223048

ABSTRAK

Pada praktikum ini, praktikan akan mempelajari arsitektur mikroprosesor RISC-V (RV32I) dan proses eksekusi instruksi single-cycle menggunakan bahasa Verilog. Praktikum bertujuan agar praktikan memahami instruction set dasar RV32I, mampu menulis dan lalu menjalankan program assembly sederhana pada simulator RISC-V, serta implementasi instruction memory, data memory, dan register file yang disintesis dan disimulasikan.

Saat praktikum, praktikan akan langsung melakukan pengujian program assembly RISC-V di simulator seperti Venus, ini bertujuan agar praktikan dapat memahami dan bisa implementasikan instruksi dasar seperti ADD, SUB, LW, SW, BEQ, dan JAL. Lalu, hasil dari simulator kemudian digunakan sebagai inisialisasi instruksi (machine code) untuk membangun instruction memory dalam Verilog. Terakhir, praktikan akan merancang data memory dan register file sesuai spesifikasi arsitektur RISC-V single-cycle.

Perangkat lunak yang digunakan ada Venus, tujuannya simulasi assembly RISC-V (RV32I). Notepad++ / VS Code, agar menjadi teks editor praktikan dan laporan, Modelsim / GtkWave, agar dapat mensimulasikan Verilog. Hasil yang diharapkan dari praktikum ini adalah praktikan memahami tahapan eksekusi instruksi (IF, ID, EX, MEM, WB) pada prosesor single-cycle. Lalu, praktikan dapat menulis dan memverifikasi program assembly RISC-V sederhana menggunakan simulator, Modelsim. Kemudian, Praktikan dapat mendesain dan mensimulasikan instruction memory, data memory, dan register file dalam Verilog HDL dengan benar. Terakhir, praktikan memahami perbedaan antara memori manual berbasis RTL dan memori IP bawaan (ALTSYNCRAM) pada FPGA. Sehingga praktikum jadi fondasi pemahaman praktikan prosesor RV32I Single-Cycle yang dapat disintesis.

TES AKHIR