11주차 결과보고서

전공: 영미어문/컴퓨터공학과 학년: 3학년 학번: 20200185 이름: 박정주

**1.**

**1)**

NOR gate를 사용한 RS flip flop의 design source를 다음과 같이 코딩하였다. Clock pulse를 의미하는 CLK, Set을 의미하는 S, Reset을 의미하는 R을 입력으로 선언하였다. 출력 Q와, Q1을 선언하였다. Q1은 Q’을 의미한다.

텍스트이(가) 표시된 사진

자동 생성된 설명

assign Q = ~((CLK&R) | Q1);

Clock pulse가 0일 때 Q값이 변화하는 것을 방지하기 위해서 CLK와 R을 AND 연산한 뒤에, 그 값을 Q1과 NOR 연산하여 다음 Q값을 구하였다.

assign Q1 = ~((CLK&S) | Q);

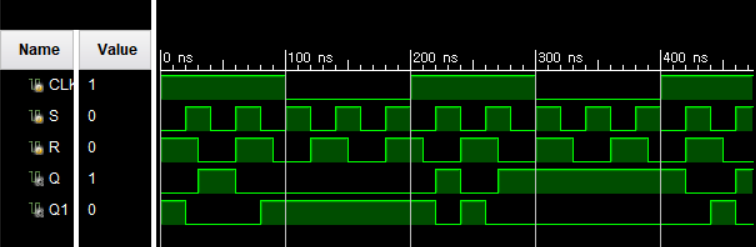
Clock pulse가 0일 때 Q1 값이 변화하는 것을 방지하기 위해서, CLK와 S을 AND 연산한 뒤, 그 값을 Q와 NOR 연산하여 다음 Q1값을 구하였다. 이렇게 하면, CLK가 0일 때 Q와 Q1은 이전 상태에서 변화하지 않고 값을 유지한다. CLK가 1일 때 S=1, R=0이면 Q가 1로 set 되고, S=0, R=1이면 Q가 0으로 reset된다. S=0, R=0이면 Q는 이전 값을 유지한다. S=1, R=1인 경우는 고려하지 않는다. .

NOR gate를 사용한 RS flip flop의 simulation source를 다음과 같이 코딩하였다. CLK는 1, S는 0, R은 1 값으로 시작하도록 하였다. 100 시간단위가 지날 때마다 CLK의 값을 부정하도록 하였다. 각각 20, 30 시간단위가 지날 때마다 S와 R의 값을 부정하도록 하였다.

텍스트이(가) 표시된 사진

자동 생성된 설명

시뮬레이션 결과는 다음과 같다.



**2)**

NAND gate를 사용한 RS flip flop의 design source를 다음과 같이 코딩하였다. Clock pulse를 의미하는 CLK, Set을 의미하는 S, Reset을 의미하는 R을 입력으로 선언하였다. 출력 Q와, Q1을 선언하였다. Q1은 Q’을 의미한다.

텍스트이(가) 표시된 사진

자동 생성된 설명

assign Q = ~( ~(CLK&S) & Q1 );

Clock pulse가 0일 때 Q값이 변화하는 것을 방지하기 위해서 CLK와 S를 NAND 연산한 뒤에, 그 값을 Q1과 NAND 연산하여 다음 Q값을 구하였다.

assign Q1 = ~( ~(CLK&R) & Q );

Clock pulse가 0일 때 Q1 값이 변화하는 것을 방지하기 위해서, CLK와 R을 NAND 연산한 뒤, 그 값을 Q와 NAND 연산하여 다음 Q1값을 구하였다.

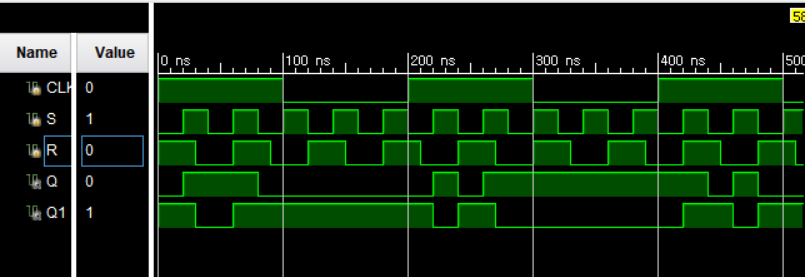
이렇게 하면, CLK가 0일 때 Q와 Q1은 이전 상태에서 변화하지 않고 값을 유지한다. CLK가 1일 때 S=1, R=0이면 Q가 1로 set 되고, S=0, R=1이면 Q가 0으로 reset된다. S=0, R=0이면 Q는 이전 값을 유지한다. S=1, R=1인 경우는 고려하지 않는다.

NAND gate를 사용한 RS flip flop의 simulation source를 다음과 같이 코딩하였다. CLK는 1, S는 0, R은 1 값으로 시작하도록 하였다. 100 시간단위가 지날 때마다 CLK의 값을 부정하도록 하였다. 각각 20, 30 시간단위가 지날 때마다 S와 R의 값을 부정하도록 하였다.

텍스트이(가) 표시된 사진

자동 생성된 설명

시뮬레이션 결과는 다음과 같다.



SR flip flop의 behavorial table은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CLK | S | R | Q | Q1 |
| 0 | X | X | Q | Q1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | Q | Q1 |
| 1 | 1 | 1 | 허용되지 않음 | 허용되지 않음 |

**2.**

D flip flop의 design source를 다음과 같이 코딩하였다. Clock pulse를 의미하는 CLK와 D를 입력으로 선언하였다. 출력 Q와, Q1을 선언하였다. wire S와 R을 선언하였다. S에 D 값을, R에 D를 부정한 값을 할당한 뒤, NOR 게이트를 사용한 SR flip flop과 같은 연산을 통해 Q값과 Q1값을 구하였다.

테이블이(가) 표시된 사진

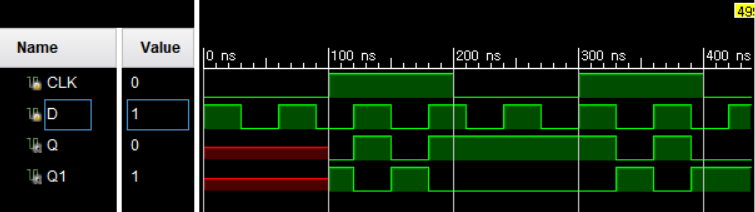
자동 생성된 설명

D flip flop의 simulation source를 다음과 같이 코딩하였다. CLK는 0, D는 1값으로 시작하도록 하였다. 100 시간단위가 지날 때마다 CLK의 값을 부정하도록 하였다. 30 시간단위가 지날 때마다 D의 값을 부정하도록 하였다.

텍스트이(가) 표시된 사진

자동 생성된 설명

시뮬레이션 결과는 다음과 같다. Clock이 0으로 시작한 경우 이전 Q, Q1값을 알 수 없기 때문에, 시작부터 clock이 처음으로 1이 되는 부분까지는 Q와 Q1의 값이 이 존재하지 않는다.



D flip flop의 behavioral table은 다음과 같다.

|  |  |  |  |
| --- | --- | --- | --- |
| CLK | D | Q | Q1 |
| 0 | X | Q | Q1 |
| 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |

**3.**

NOR 게이트 혹은 NAND 게이트를 사용한 SR flip flop에서, clock pulse가 0이면 그 동안 S와 R의 값이 변화하더라도 Q와 Q’는 변화하지 않았다. Clock pulse가 1이고 S=1, R=0이면 Q=1, Q’=0으로 set 되었다. S=0, R=1이면 Q=0, Q’=1로 reset 되었다. S=0, R=0이면 Q와 Q’는 이전 값을 유지하였다.

D flip flop에서, clock pulse가 0이면 D의 값이 변화하더라도 Q와 Q’의 값은 변화하지 않았다. Clock pulse가 1이고 D=0이면 SR flip flop에서 S=0, R=1인 경우와 같으므로, Q=0, Q’=1이 되었다. D=1이면 SR flip flop에서 S=1, R=0인 경우와 같으므로, Q=1, Q’=1이 되었다.

**4.**

추가 이론