11주차 예비보고서

전공: 영미어문/컴퓨터공학과 학년: 3학년 학번: 20200185 이름: 박정주

**1.**

SR flip flop은 각각 Set과 Reset을 의미하는 입력 S, R과 두 출력 Q, ~Q 를 가지며, clock pulse의 edge에서 동작한다. Set은 상태를 1로 만드는 것을 의미하고 Reset은 0으로 만드는 것을 의미한다. 즉, S=1, R=0이 입력되면 Q가 1이 되고, S=0, R=1이면 Q가 0이 된다. S와 R이 모두 0이면 이전 Q를 그대로 출력한다. S와 R이 모두 1인 경우는 허용하지 않는다.

**2.**

JK flip flop은 SR flip flop과 동일하지만, SR flip flop에서는 허용되지 않는 입력인 11이 허용되는 flip flop이다. 입력 J는 S와 같은 역할을 하고, K는 R과 같은 역할을 한다. J=1, K=1인 경우 상태에 보수를 취한다.

J=1, K=1, Q=1이면 다음 Q=0이다.

J=1, K=1, Q=0이면 다음 Q=1이다.

**3.**

D flip flop은 입력 D와 출력 Q, ~Q를 가진다. SR flip flop에 입력 S에는 D를, R에는 ~D를 입력하는 구조이다. 따라서, D가 0이면 S=0, R=1이 입력되므로 Q 값으로 0이 출력되고, D가 1이면 S=1, R=0이 입력되므로 Q 값으로 1이 출력된다.

**4.**

T flip flop은 입력 T와 출력 Q, ~Q를 가진다. T=0이면 next Q=Q이고, T=1이면 next Q=~Q이다.

**5.**

Clock은 주기적인 신호로, 회로의 동작을 통일하기 위해 사용된다. 여러 개의 회로가Clock이 떨어지거나 오르는 부분에 맞추어 동작하게 함으로써 회로들의 동작을 통합할 수 있다.

**4.**

Flip flop에는 trailing edge triggered와 leading edge triggered의 두 종류가 존재한다. Trailing edge triggered는 clock이 떨어질 때, 즉 1에서 0이 되는 순간에 작동하는 것을 말한다. Leading edge triggered는 clock이 올라갈 때, 즉 0에서 1이 되는 순간에 작동하는 것을 말한다.

**8.**

Master-slave flip flop은 2개의 flip flop을 연결한 구조이다. 예를 들어, D flip flop 2개를 연결하여 Master slave flip flop을 구성할 수 있다.

먼저 첫 번째 D flip flop의 출력 Q가 두 번째 D flip flop의 입력 D가 되도록 한다. 또한 첫 번째 ff에는 Cp가, 두 번째 ff에는 ~Cp가 입력되도록 한다. 이러한 구조에서 Clock pulse가 1이면 첫 번째 D flip flop이 동작하고, 0이면 두 번째 flip flop이 동작하게 된다. 이 때 첫 번째 D flip flop이 Master flip flop, 두 번째 D flip flop이 Slave flip flop이다.