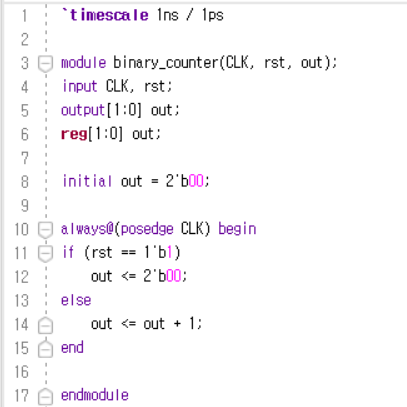
12주차 결과보고서

전공: 영미어문/컴퓨터공학과 학년: 3학년 학번: 20200185 이름: 박정주

**1.**

2-bit binary counter의 design source는 다음과 같다. Clock pulse를 의미하는 CLK, reset을 의미하는 rst를 입력으로 선언하였다. 출력으로 2bit 배열 out을 선언하였다. initial문으로 out의 값을 00으로 초기화하였다. always@(posedge CLK)는 CLK의 값이 0에서 1로 변할 때마다를 의미한다. rst이 1이면 out을 00으로 초기화해 주고, 0이면 out의 값에 1을 더해준다.

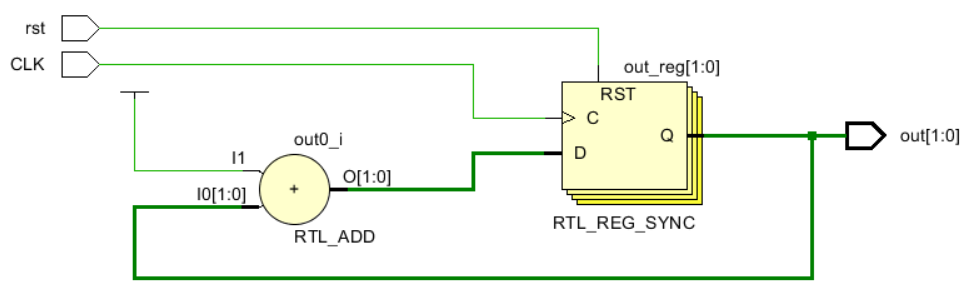


Simulation source는 다음과 같다. CLK와 rst의 값이 0으로 시작하도록 하고, 10시간단위가 지날 때마다 CLK의 값이 부정되도록 하였다. 200시간단위가 지나면 rst이 부정되도록 하였다.

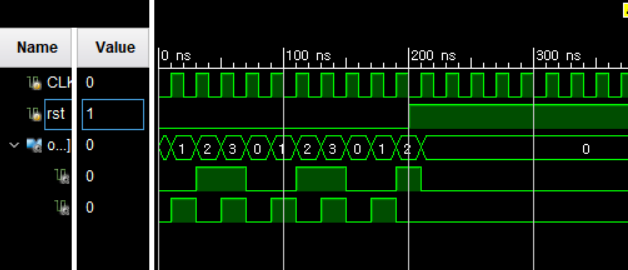
텍스트이(가) 표시된 사진

자동 생성된 설명

schemetic은 다음과 같다.

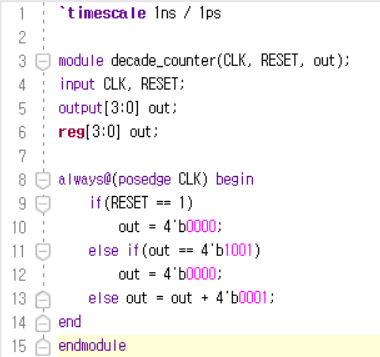


시뮬레이션 결과는 다음과 같다. 00부터 시작하여 01, 10, 11 순서대로 count 한 뒤 다시 00으로 돌아가 count하는 모습이다. rst가 1이면 out은 00이 되고 CLK이 변해도 counter가 동작하지 않는다.



**2.**

4-bit decade counter의 design source는 다음과 같다. Clock pulse를 의미하는 CLK, reset을 의미하는 RESET을 input으로 선언하였다. 4bit 배열 out을 output과 reg로 선언하였다. always@(posedge CLK)는 CLK의 값이 0에서 1로 변할 때마다를 의미한다. CLK의 값이 0에서 1로 변할 때마다, RESET이 1이면 out을 0000으로 초기화해 주고, out이 마지막 숫자인 1001(9)일 경우 다시 0000(0)이 되도록 한다. 그 외의 경우에는 out의 값에 1을 더해준다.

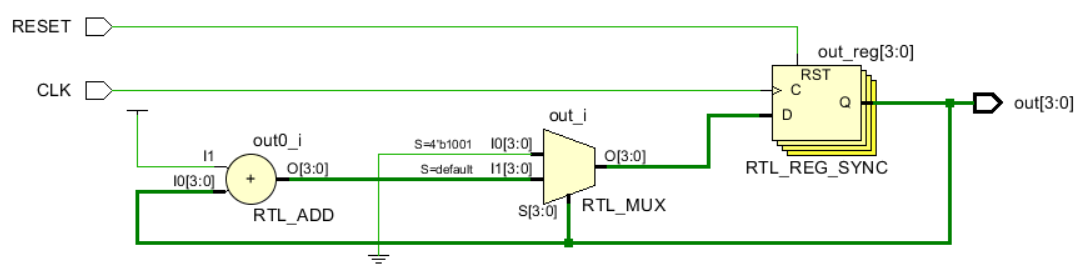


Simulation source는 다음과 같다. 10시간단위가 지날 때마다 CLK의 값이 부정되도록 하였다. 300시간단위가 지날 때마다 RESET이 부정되도록 하였다.

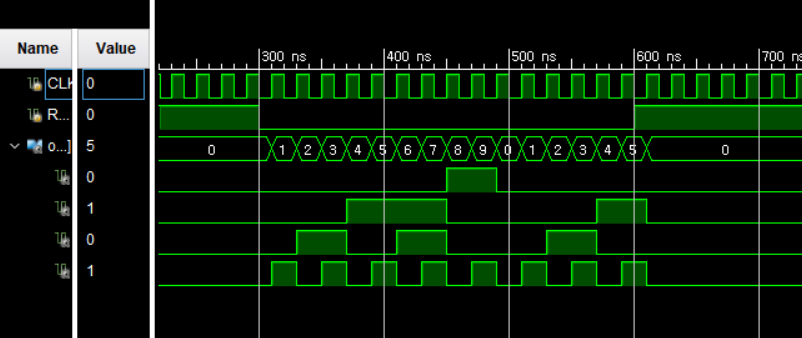
텍스트이(가) 표시된 사진

자동 생성된 설명

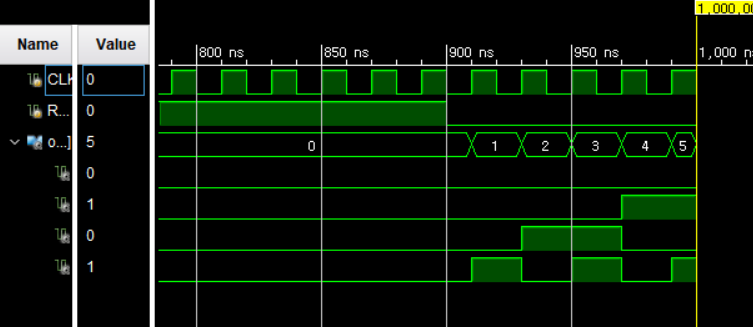
schemetic은 다음과 같다.



시뮬레이션 결과는 다음과 같다. RESET이 0일 때, 0000(0)부터 1001(9)까지 순서대로 count 한 뒤 다시 0000(0)으로 돌아가 count를 시작하는 모습이다. RESET이 1이면 counter는 0으로 돌아가 동작하지 않는다.



RESET이 1이었다가 0이 되었을 때 다시 counter가 0000(0)부터 순서대로 동작하는 모습이다.



**3.**

4-bit 2421 counter의 design source는 다음과 같다. Clock pulse를 의미하는 CLK, reset을 의미하는 RESET을 input으로 선언하였다. 4bit 배열 out을 output으로 선언하고 4bit 배열 tmp를 reg로 선언하였다. Decade counter와 동일한 형태의 if/else문을 사용하였지만, 그 결과인 tmp는 BCD이다. BCD인 tmp를 2421 형태로 만들기 위해 6주차 실험에서 사용한 연산식을 통해 2421 형태의 out을 얻었다.

텍스트이(가) 표시된 사진

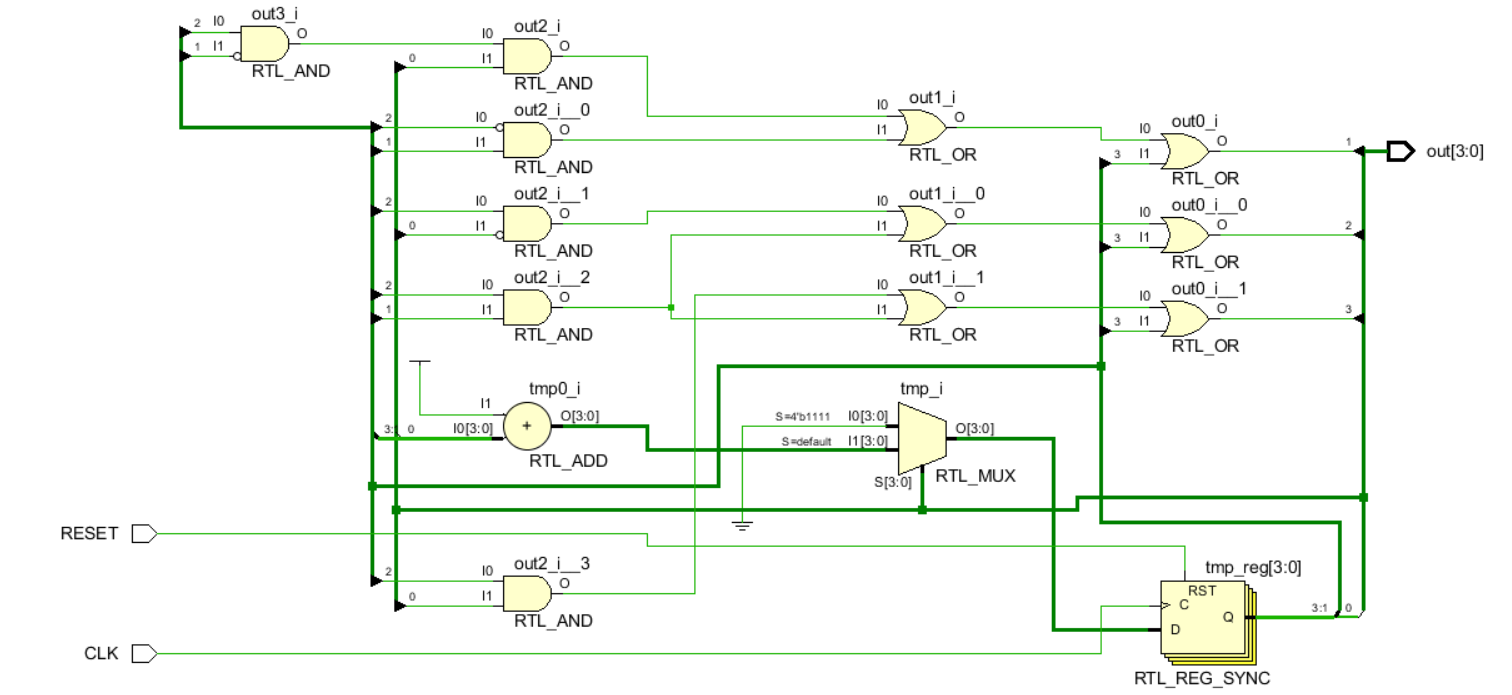
자동 생성된 설명

Simulation source는 다음과 같다. 10시간단위가 지날 때마다 CLK의 값이 부정되도록 하였다. 300시간단위가 지날 때마다 RESET이 부정되도록 하였다.

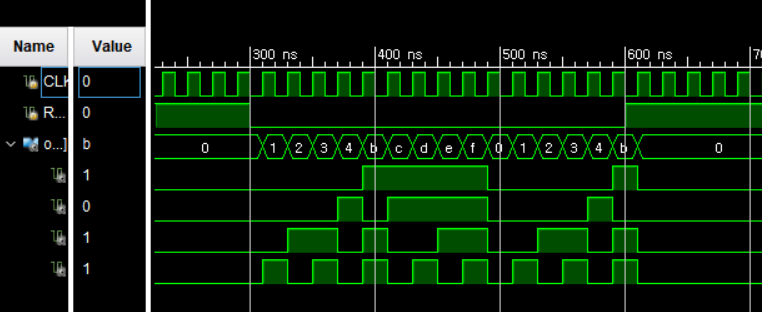
텍스트이(가) 표시된 사진

자동 생성된 설명

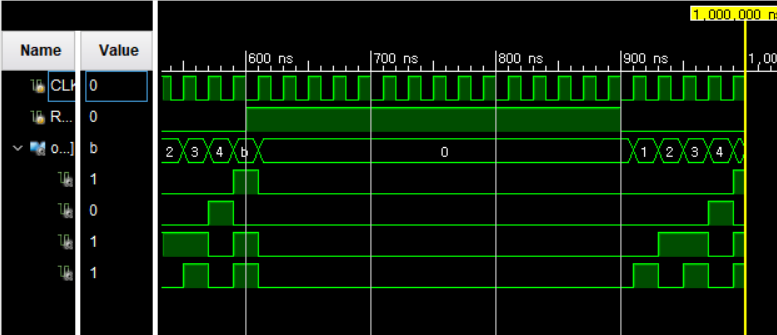
schemetic은 다음과 같다.



시뮬레이션 결과는 다음과 같다. RESET이 0일 때 0000(0), 0001(1), 0010(2), 0011(3), 0100(4), 1011(5), 1100(6), 1101(7), 1110(8), 1111(9)까지 count 한 뒤 다시 0000(0)으로 돌아간다.



RESET이 1이면 out은 0이 되고 counter가 동작하지 않는다. RESET이 0이 되면 다시 0000(0)부터 count를 시작하는 모습이다.



**4.**

2bit binary counter는 00-01-10-11-00…의 순서로 정상적으로 동작하였다.

4bit decade counter는 0000(0)-0001(1)-0010(2)-0011(3)-0100(4)-0101(5)-0110(6)-0111(7)-1000(8)-1001(9)-0000(0)의 순서로 정상적으로 동작하였다.

4bit 2421 counter는 0000(0)-0001(1)-0010(2)-0011(3)-0100(4)-1011(5)-1100(6)-1101(7)-1110(8)-1111(9)-0000(0)의 순서로 정상적으로 동작하였다.