13주차 결과보고서

전공: 영미어문/컴퓨터공학과 학년: 3학년 학번: 20200185 이름: 박정주

**1.**

4bit shift register의 Design source를 다음과 같이 코딩하였다. Clock pulse를 의미하는 CLK, reset을 의미하는 rst, 입력되는 값을 의미하는 in을 input으로 선언하였다. 결과값인 4bit수 out을 reg와 output으로 선언하였다. always@(posedge CLK)는 CLK의 값이 0에서 1로 변할 때마다를 의미한다. rst이 1이면 out을 0000으로 초기화해 주고, 0이면 각 자리의 수를 한 칸씩 옆으로 옮겨준 뒤 out[0]을 in으로 바꿔준다. 즉 out[3]는 out[2], out[2]는 out[1], out[1]는 out[0]이, out[0]은 in이 된다.

텍스트, 테이블이(가) 표시된 사진

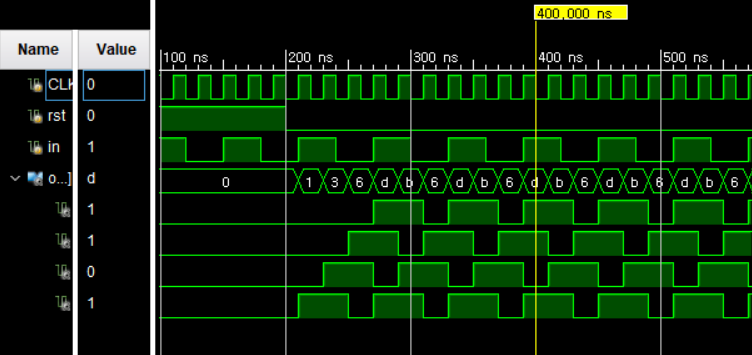
자동 생성된 설명

Simulation source를 다음과 같이 코딩하였다. CLK와 in의 값이 0으로, rst의 값이 1로 시작하도록 하고, 시작 후 200시간단위가 지나면 rst이 부정되도록 하였다. 10시간단위가 지날 때마다 CLK의 값이 부정되고, 30시간단위가 지날 때마다 in의 값이 부정되도록 하였다.

텍스트이(가) 표시된 사진

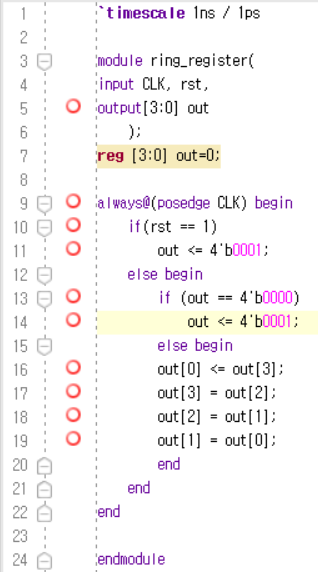
자동 생성된 설명

시뮬레이션 결과는 다음과 같다. CLK가 1이 될 때, rst이 1이면 out은 0000이 된다. Rst이0이고 in 값이 1이면 out[3]는 out[2], out[2]는 out[1], out[1]는 out[0]이 되고, out[0]은 1이 된다. in값이 0이면 out[3]부터 out[1]까지는 이전의 out[2]부터 out[0]의 값이 되고, out[0]이 0이 된다.



**2.**

4bit ring counter의 Design source를 다음과 같이 코딩하였다. Clock pulse를 의미하는 CLK, reset을 의미하는 rst을 input으로 선언하였다. 결과값인 4bit수 out을 reg와 output으로 선언하였다. always@(posedge CLK)는 CLK의 값이 0에서 1로 변할 때마다를 의미한다. rst이 1이면 out을 0001으로 초기화한다. Rst이 0이고 out이 0000이면 out을 0001로 바꾼다. Rst이 0이고 out이 0000이 아니면 out[0]은 out[3]으로, out[3]는 out[2]으로, out[2]는 out[1]으로, out[1]는 out[0]으로 바꾼다.



Simulation source를 다음과 같이 코딩하였다. CLK의 값이 0으로, rst의 값이 1로 시작하도록 하고, 시작 후 200시간단위가 지나면 rst이 부정되도록 하였다. 10시간단위가 지날 때마다 CLK의 값이 부정되고, 200시간단위가 지날 때마다 rst의 값이 부정되도록 하였다.

텍스트이(가) 표시된 사진

자동 생성된 설명

시뮬레이션 결과는 다음과 같다. CLK가 1이 되는 순간에 out값이 변화한다. Rst가 1이면 out은 0001로 초기화된다. Rst가 0이면 out은 0001에서 시작하여 out[3]는 out[2]이, out[2]는 out[1]이, out[1]는 out[0]이, out[0]은 out[3]이 된다. CLK가 1이 될때마다 반복되어 데이터가 회전한다.

텍스트, 점수판이(가) 표시된 사진

자동 생성된 설명

**3.**

4bit up/down counter의 Design source를 다음과 같이 코딩하였다. Clock pulse를 의미하는 CLK, reset을 의미하는 rst, up/down 여부를 의미하는 up(1일 때 up, 0일 때 down)을 input으로 선언하였다. 결과값인 4bit수 out과, 7 segment로 ‘u’ 혹은 ‘d’를 그리기 위한 segment를 reg와 output으로 선언하였다. 7 segment를 표시할 digit을 의미하는 output digit을 선언하였다. always@(posedge CLK)는 CLK의 값이 0에서 1로 변할 때마다를 의미한다. rst이 1이면 out을 0000으로, segment를 0000000으로 초기화한다. Rst이 0이고 up이 1이면 out에 0001을 더한다. ‘U’를 그리기 위해 segment를 0111110으로 바꾼다. Rst이 0이고 up이 0이면 out에서 0001을 뺀다. ‘U’를 그리기 위해 segment를 1011110으로 바꾼다. digit에는 1을 할당한다.

텍스트이(가) 표시된 사진

자동 생성된 설명

Simulation source를 다음과 같이 코딩하였다. initial문을 사용하여 CLK는 0, rst은 1, up은 1로 시작하도록 하였다. 시작 후 10시간단위가 지날 때마다 CLK의 값이 부정되고, 300시간단위가 지날 때마다 rst의 값이 부정되고, 600시간단위가 지날 때마다 up의 값이 부정되도록 하였다.

텍스트이(가) 표시된 사진

자동 생성된 설명

시뮬레이션 결과는 다음과 같다. CLK가 1이 되는 순간에 out값이 변화한다. Rst가 1이면 out은 0000로, segment는 0000000으로 초기화된다. Rst가 0이고 up이 1이면 out은 0000부터 1111까지 1씩 증가하며 count한다. Segment는 ‘U’를 나타내기 위해 0111110가 된다. Rst가 0이고 up이 0이면 out은 1111부터 0000까지 1씩 감소하며 count한다. Segment는 ‘d’를 나타내기 위해 1011110가 된다.

텍스트, 전자기기, 컴퓨터이(가) 표시된 사진

자동 생성된 설명

**4.**

4bit shift register, 4bit ring counter, 4bit up/down counter가 모두 정상적으로 작동하였다.

**5.**