13주차 예비보고서

전공: 영미어문/컴퓨터공학과 학년: 3학년 학번: 20200185 이름: 박정주

**1.**

Shift register는 여러 개의 플립플롭이 직렬로 연결된 구조로 이루어져 있다. 첫 번째 플립플롭의 출력이 두 번째 플립플롭의 입력이 되고, 두 번째 플립플롭의 출력은 세 번째 플립플롭의 입력이 되며, N-1번째 플립플롭의 출력은 N번째 플립플롭의 입력이 되는 구조이다. Clock pulse가 입력될 때마다 각 플립플롭의 값이 한 칸씩 밀려난다. 가장 처음에 있는 플립플롭의 메모리는 계속해서 새로운 입력 데이터를 받는다.

**2.**

Ring register도 shift register와 마찬가지로 여러 개의 플립플롭들로 이루어져 있지만, shift register와는 달리 마지막 플립플롭의 출력과 첫 번째 플립플롭의 입력이 되는 구조이다. Ring register도 Clock pulse가 입력될 때마다 각 플립플롭의 값이 한 칸씩 이동하는데, 마지막 플립플롭의 출력과 첫 번째 플립플롭의 입력이 연결되어 있기 때문에 마지막 플립플롭의 값이 첫 번째 플립플롭으로 이동하여, 전체적으로 데이터가 회전하게 된다.

**3.**

Up counter는 clock pulse가 입력될 때마다 값이 증가하는 카운터이다.

Down counter는 clock pulse가 입력될 때마다 값이 감소하는 카운터이다.

**4.**

Ripple counter는 비동기식 계수기(asynchronous counter)라고도 하는데, 앞 플립플롭의 출력이 다음 플립플롭의 clock pulse로 사용되는 카운터이다. 첫 번째 플립플롭에만 clock pulse가 입력된다. 동기식 카운터에 비해 간단한 회로로 구성할 수 있지만, delay가 비교적 커진다는 단점이 있다.

**5.**