5주차 결과보고서

전공: 영미어문/컴퓨터공학과 학년: 3학년 학번: 20200185 이름: 박정주

**1.**

드모르간의 제1법칙, 제2법칙과 Boolean 함수의 동작을 이해하고, Verilog를 이용해 드모르간의 법칙과 Boolean 함수의 동작을 구현한 뒤, simulation과 FPGA를 통해 회로의 동작을 확인하는 것을 이번 실험의 목적으로 한다.

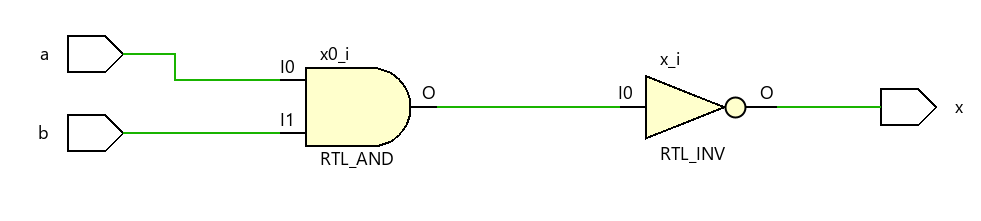
**2.**

**드모르간의 제1법칙**

드모르간의 제1법칙은 a와 b의 논리곱에 보수를 취한 것이 a의 보수와 b의 보수를 합한 것과 같다는 법칙이다.

**(A)**

다음은 a와 b의 곱에 보수를 취한 것, 즉 (a\*b)’를 나타낸다.



Design source는 다음과 같다.

텍스트이(가) 표시된 사진

자동 생성된 설명

Simulation source는 다음과 같다.

텍스트이(가) 표시된 사진

자동 생성된 설명

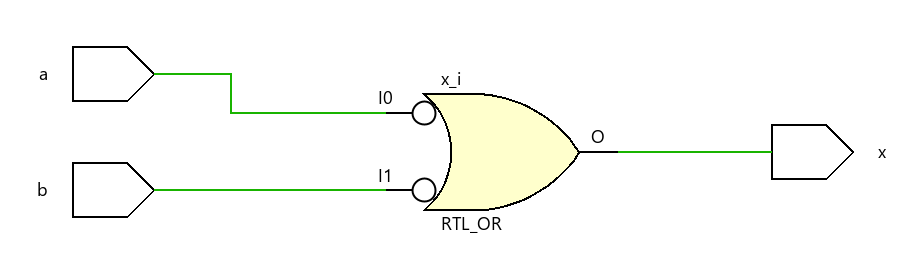
(A)의 simulation 결과는 다음과 같다.

텍스트, 점수판이(가) 표시된 사진

자동 생성된 설명

**(B)**

다음은 a의 보수와 b의 보수를 합한 것, 즉 a’+b’를 나타낸다.

****

Design source는 다음과 같다.

**텍스트이(가) 표시된 사진

자동 생성된 설명**

Simulation source는 다음과 같다.

**텍스트이(가) 표시된 사진

자동 생성된 설명**

(B)의 simulation 결과는 다음과 같다.

**텍스트, 점수판이(가) 표시된 사진

자동 생성된 설명**

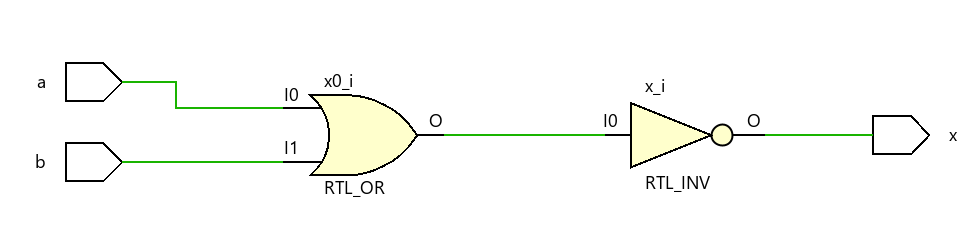
드모르간의 제1법칙에 의하여, (A)와 (B)의 output이 정확히 일치하는 것을 확인할 수 있다. 이 때 (A)는 2-input NAND gate와 같으므로, NAND gate의 output은 (A), (B)의 output과 같다.

**드모르간의 제2법칙**

드모르간의 제2법칙은 a와 b의 논리합에 보수를 취한 것이 a의 보수와 b의 보수를 곱한 것과 같다는 법칙이다.

**(A)**

다음은 a와 b의 합에 보수를 취한 것, 즉 (a+b)’을 나타낸다.



Design source는 다음과 같다.

텍스트이(가) 표시된 사진

자동 생성된 설명

Simulation source는 다음과 같다.

텍스트이(가) 표시된 사진

자동 생성된 설명

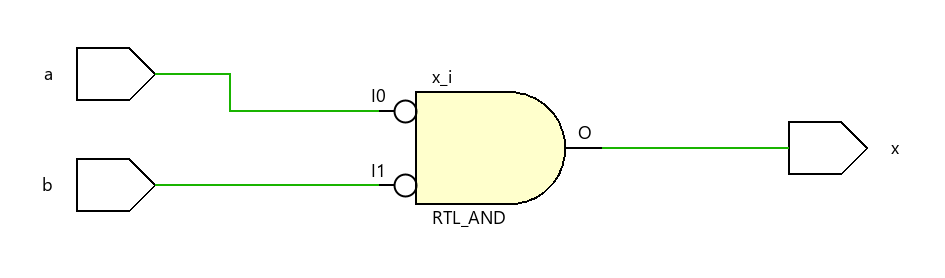
(A)의 simulation 결과는 다음과 같다.

텍스트, 점수판이(가) 표시된 사진

자동 생성된 설명

**(B)**

다음은 a의 보수와 b의 보수를 곱한 것, 즉 a’\*b’를 나타낸다.



Design source는 다음과 같다.

테이블이(가) 표시된 사진

자동 생성된 설명

Simulation source는 다음과 같다.

텍스트이(가) 표시된 사진

자동 생성된 설명

(B)의 simulation 결과는 다음과 같다.

텍스트, 점수판이(가) 표시된 사진

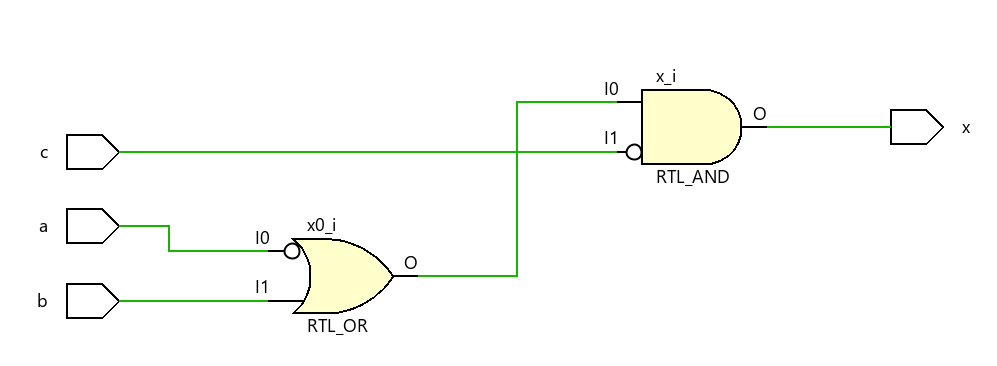
자동 생성된 설명

드모르간의 제2법칙에 의하여, (A)와 (B)의 output이 정확히 일치하는 것을 확인할 수 있다. 이 때 (A)는 NOR gate와 같으므로, NOR gate의 output은 (A), (B)의 output과 같다.

**3.**

**3-1)**

다음 Schemetic은 (A'+B')\*C'를 나타낸다.

****

Design source는 다음과 같다.

**텍스트이(가) 표시된 사진

자동 생성된 설명**

Simulation source는 다음과 같다.

**테이블이(가) 표시된 사진

자동 생성된 설명**

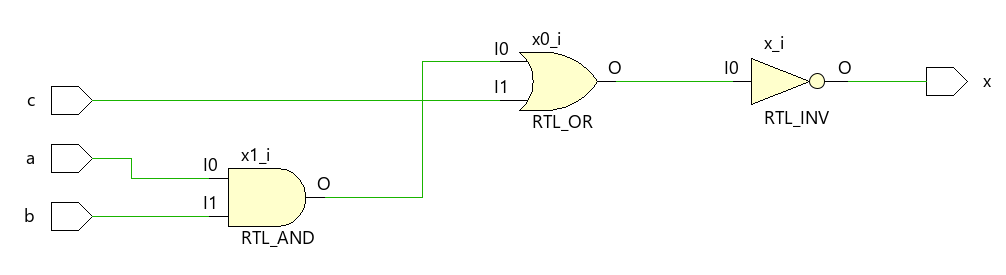
(A'+B')\*C'의 simulation 결과는 다음과 같다.

텍스트, 점수판이(가) 표시된 사진

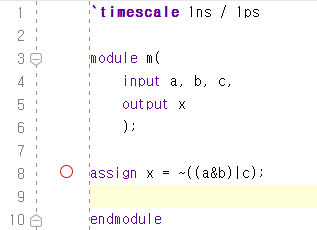
자동 생성된 설명

**3-2)**

다음 Schemetic은 ((A\*B)+C)'을 나타낸다.

****

Design source는 다음과 같다.

****

Simulation source는 다음과 같다.

**테이블이(가) 표시된 사진

자동 생성된 설명**

((A\*B)+C)'의 simulation 결과는 다음과 같다.

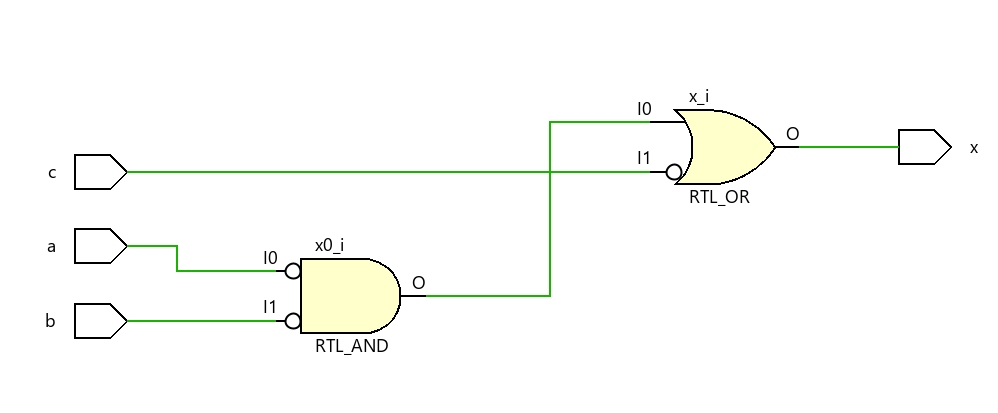
텍스트, 점수판이(가) 표시된 사진

자동 생성된 설명

(A'+B')\*C'의 output과 ((A\*B)+C)'의 output이 완전히 일치한다. 따라서 등식 (A'+B')\*C' = ((A\*B)+C)’이 성립함을 확인할 수 있다.

**3-3)**

다음 Schemetic은 (A'+B')\*C'에서 +와 \*의 위치를 바꾼 (A'\*B')+C'을 나타낸다.



Design source는 다음과 같다.

텍스트이(가) 표시된 사진

자동 생성된 설명

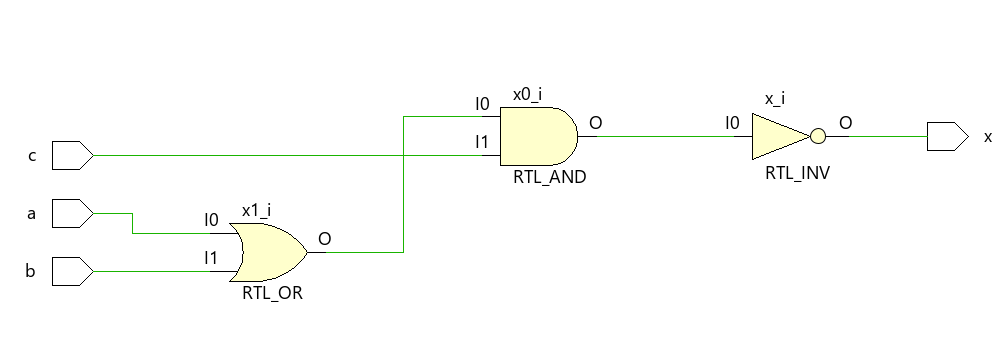
(A'\*B')+C'의 simulation 결과는 다음과 같다.

텍스트, 점수판이(가) 표시된 사진

자동 생성된 설명

**3-4)**

다음 Schemetic은 ((A\*B)+C)'에서 +와 \*의 위치를 바꾼 ((A+B)\*C)’을 나타낸다.



Design source는 다음과 같다.

텍스트이(가) 표시된 사진

자동 생성된 설명

((A+B)\*C)’의 simulation 결과는 다음과 같다.

텍스트, 점수판이(가) 표시된 사진

자동 생성된 설명

(A'\*B')+C'와 ((A+B)\*C)’의 output은 정확히 일치한다. 따라서 (A'+B')\*C' = ((A+B)\*C)’이 성립한다.

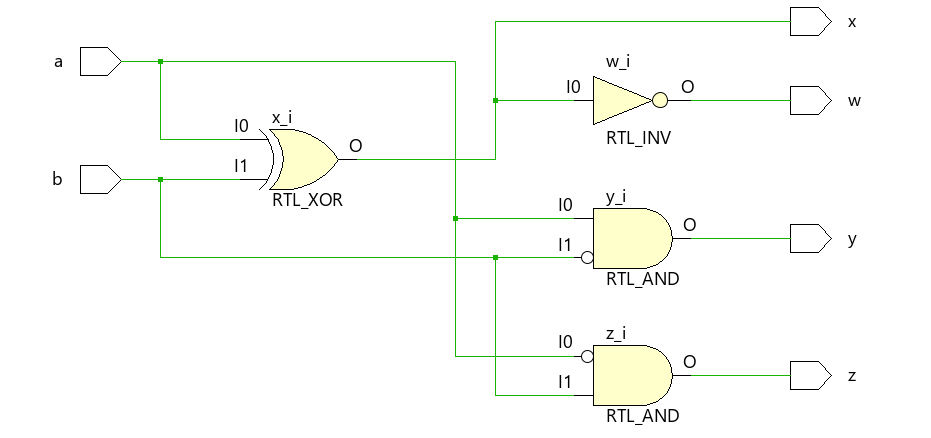
**4.**

1bit 비교기의 design source는 다음과 같다.

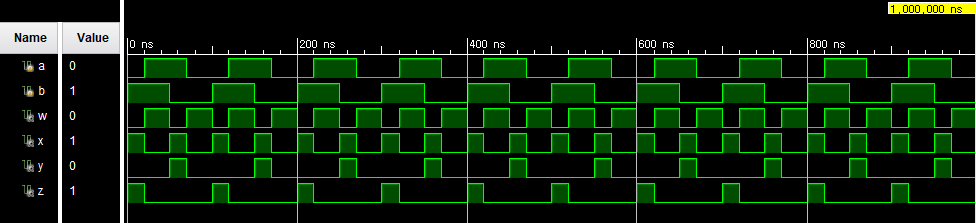
테이블이(가) 표시된 사진

자동 생성된 설명

1bit 비교기의 schemetic은 다음과 같다.



1bit 비교기의 simulation 결과는 다음과 같다.



1bit 비교기의 진리표는 다음과 같다.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| in a | in b | out w | out x | out y | out z |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |

**5.**

2번에서 드모르간의 제1법칙 (A)와 (B)의 결과가 같았으므로, (a+b)’ = a’\*b’이 성립함을 확인할 수 있었다. 드모르간의 제2법칙 (A)와 (B)의 결과가 같았으므로, (a\*b)’ = a’+b’이 성립함을 확인할 수 있었다.

3번에서 (A'+B')\*C'와 ((A\*B)+C)'의 결과값이 같고, (A'\*B')+C'와 ((A+B)\*C)’의 결과값이 같은 것을 확인하였다.

(A'\*B')+C' = A’B’+C’

((A\*B)+C)' = (AB+C)’ = A’B’+C’

따라서 (A'\*B')+C' = ((A\*B)+C)'이 성립한다.

(A'+B')\*C' = A’C’+B’C’

((A+B)\*C)’ = (AC+BC)’ = A’C’+B’C’

따라서 (A'+B')\*C' = ((A+B)\*C)’이 성립한다.

4번 1bit 비교기에서 w는 a와 b가 같으면 1을 출력한다. x는 a와 b가 다르면 1을 출력한다. y는 a가 b보다 클 때, 즉 a가 1이고 b가 0일 때 1을 출력한다. z는 b가 a보다 클 때, 즉 a가 0이고 b가 1일 때 1을 출력한다.

input level이 0과 1 두 가지가 아니라 여러 가지일 때 비교기를 구현하는 방법에 대해 논의해볼 수 있다.

**6. 추가 이론 조사**