If ... else :

```verilog
module prio_encoder_if (
    input [4:1] r,
    output reg [2:0] y
);
    always @*
        if (r[4]==1'b1)
            y=3'b100;
        else if (r[3]==1'b1)
            y=3'b011;
        else if (r[2]==1'b1)
            y=3'b010;
        else if (r[1]=1'b1)
            y=3'b001;
        else
            y=3'b000;

endmodule
```

注: IF ELSE是有优先级的

Case :

```verilog
module decoder_2_4_case (
    input [1:0] a,
    input en,
    output reg [3:0] y
);
    always @*
        case {en, a}
            3'b000, 3'b001, 3'b010, 3'b011 : y = 4'b0000;
            3'b100 : y = 4'b0001;
            3'b101 : y = 4'b0010;
            3'b110 : y = 4'b0100;
            3'b111 : y = 4'b1000;
```

endcase

case 又是 有优先级的 对于组合电路，case 必须是
full case statement, 可以使用 default

优先级的 case 与 if-else 都是用 2-1 multiplexer 来实现