```
module eq1
  ( input wire i0, i1,
    output wire eq
    );

wire p0, p1;
 assign p0 = ~i0 & ~i1;
 assign p1 = i0 & i1;
 assign eq = p0 | p1;
 endmodule
```

wire 可以省略. input i0 与 input wire i0 是一样的

这就是完整的模块

调用模块:

```
module eq2
( input [1:0] a,b,
  output aeqb
  );
  wire e0, e1;
  eq1 eq1_bit0_unit (.i0(a[0]),.i1(b[0]),.eq(e0));
  eq1 eq_bit1_unit (.eq(e1), .i0(a[1]), .i1(b[1]));

 assign aeqb = e0 & e1;
 endmodule
```

以上就调用了 eq1 模块