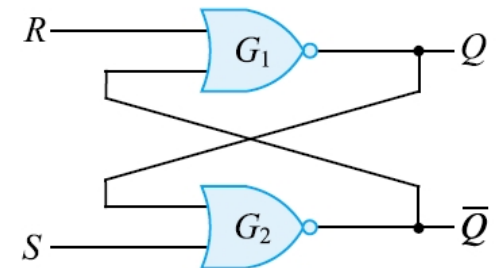
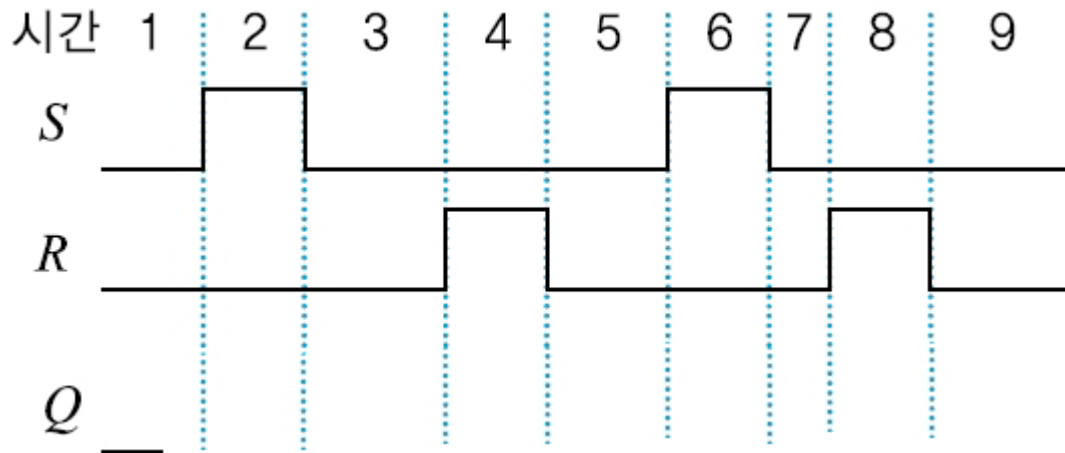


래치/플립플롭의 이해

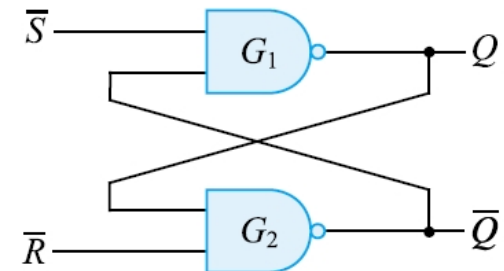
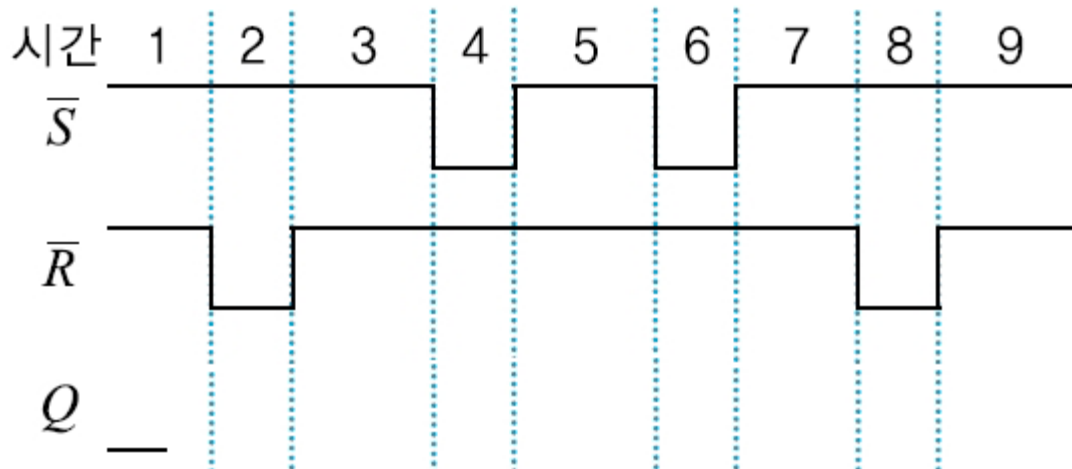
1. NOR 게이트 S-R 래치

그림과 같은 파형을 NOR 게이트 S-R 래치에 인가하였을 때, 출력 Q의 파형을 표시하시오. 단, Q는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.



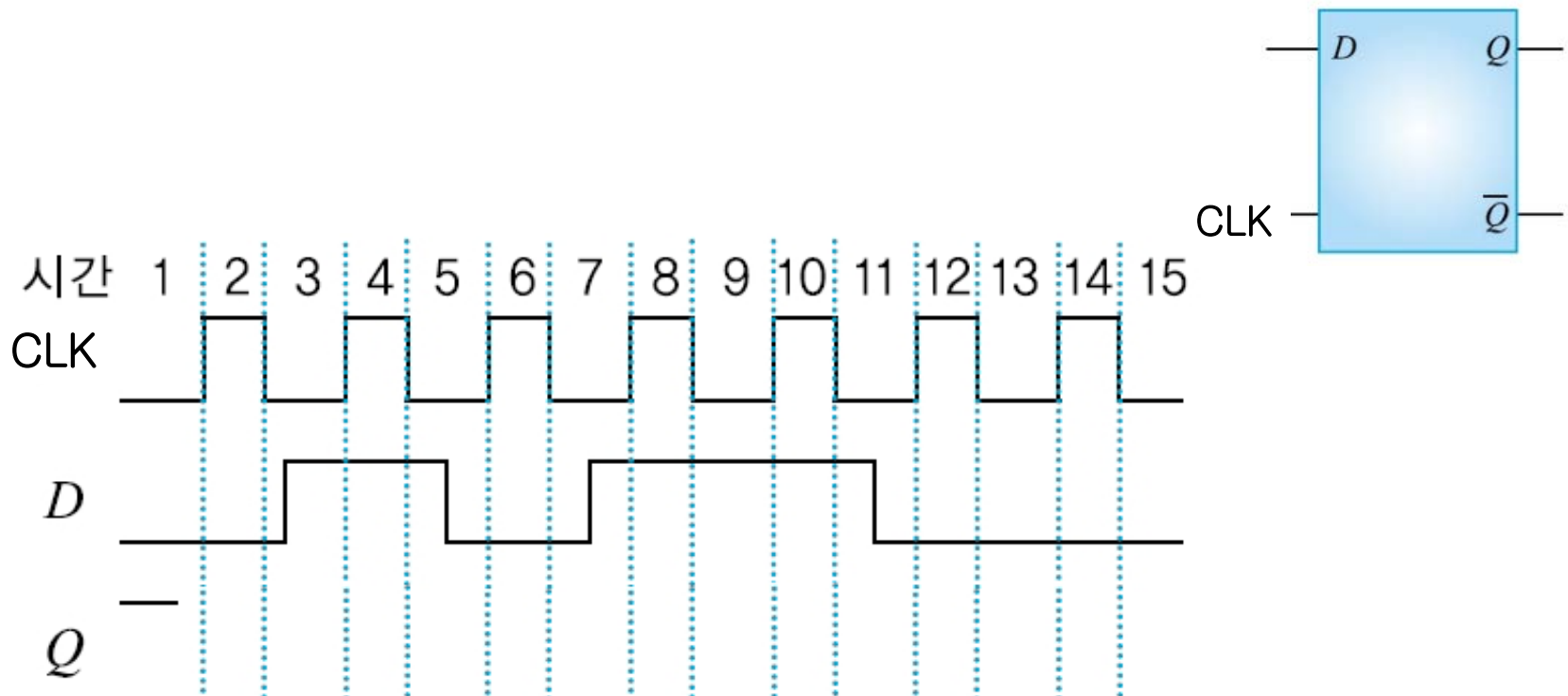
2. NAND 게이트 S-R 래치

그림과 같은 파형을 NAND 게이트 S-R 래치에 인가하였을 때, 출력 Q의 파형을 표시하시오. 단, Q는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.



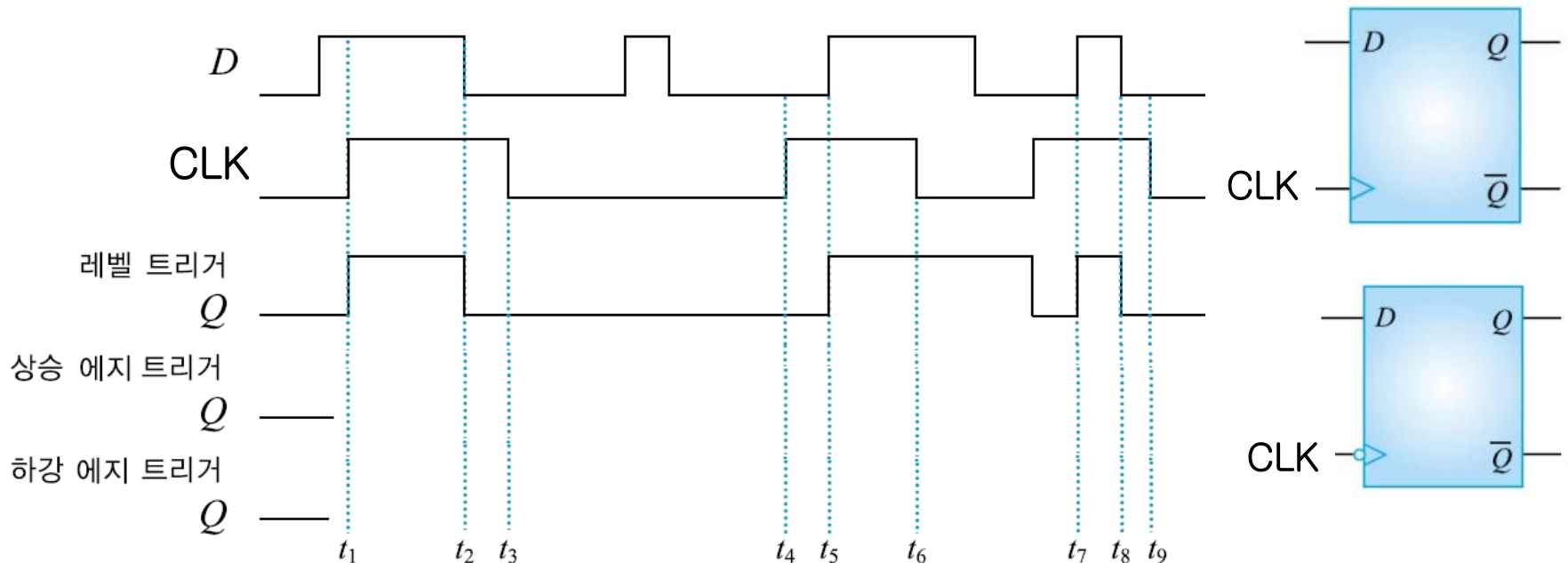
3. 클록형 D 래치

그림과 같은 파형을 클록형 D 래치에 인가하였을 때, 출력 Q의 파형을 표시하십시오. 단, Q 는 1로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.



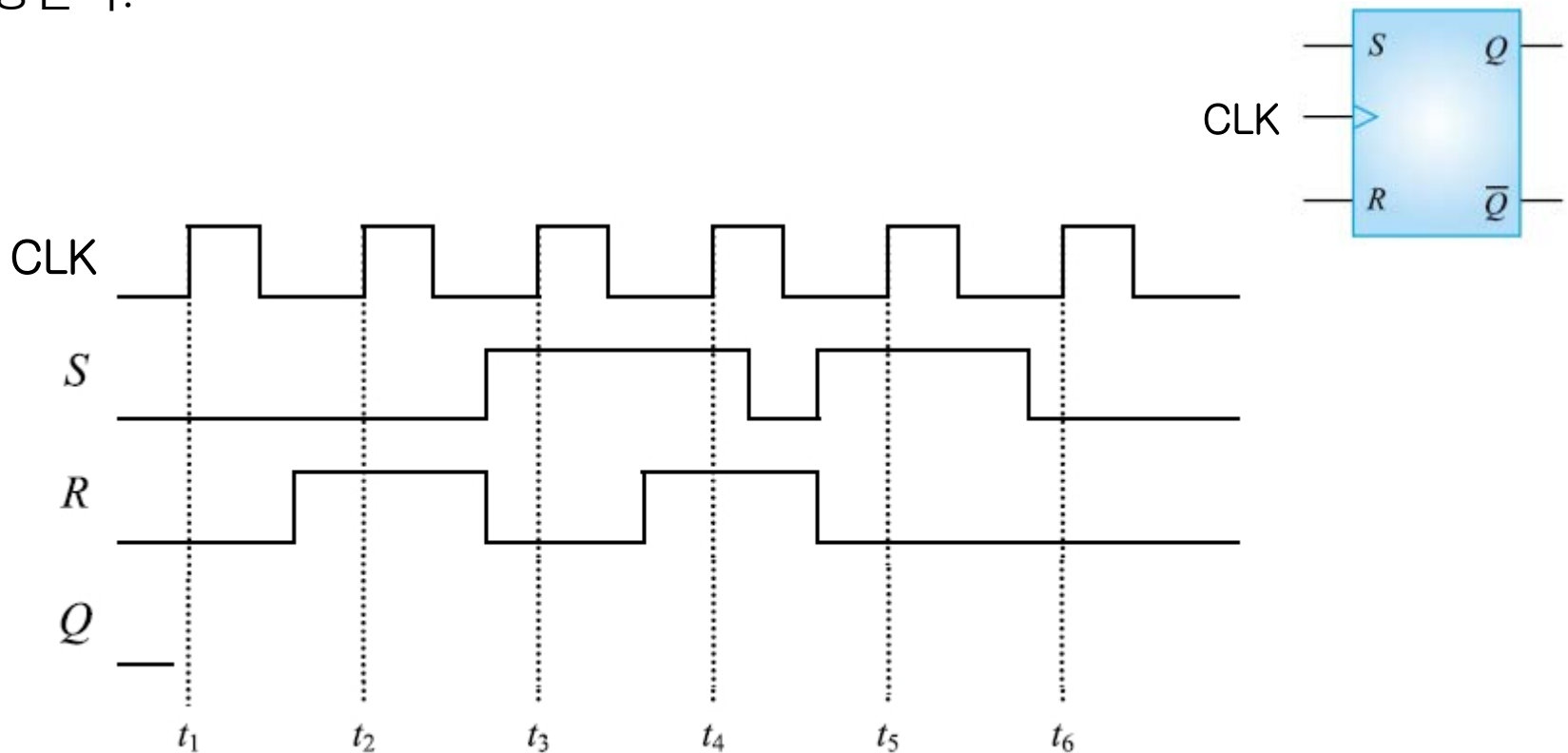
4. D 플립플롭

그림과 같이 파형의 신호가 D 플립플롭으로 입력되는 경우 출력 파형을 표시하시오. 단, 출력 Q는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.



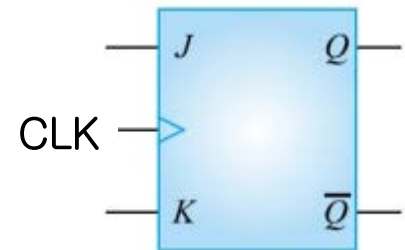
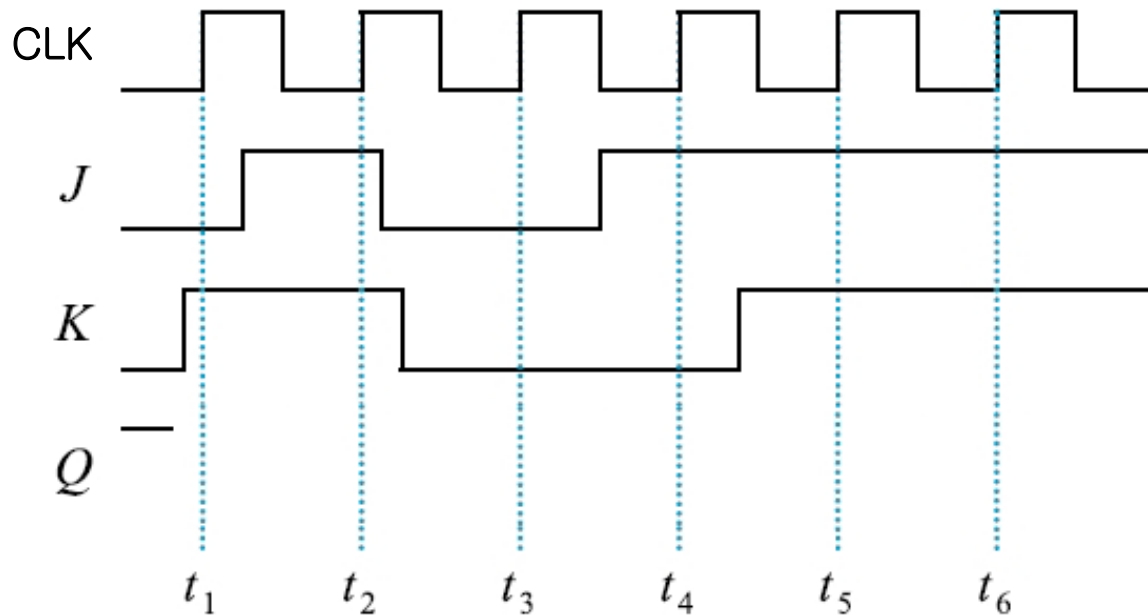
5. S-R 플립플롭

그림과 같은 파형을 S-R 플립플롭에 인가하였을 때, 출력 Q의 파형을 표시하시오. 단, Q는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.



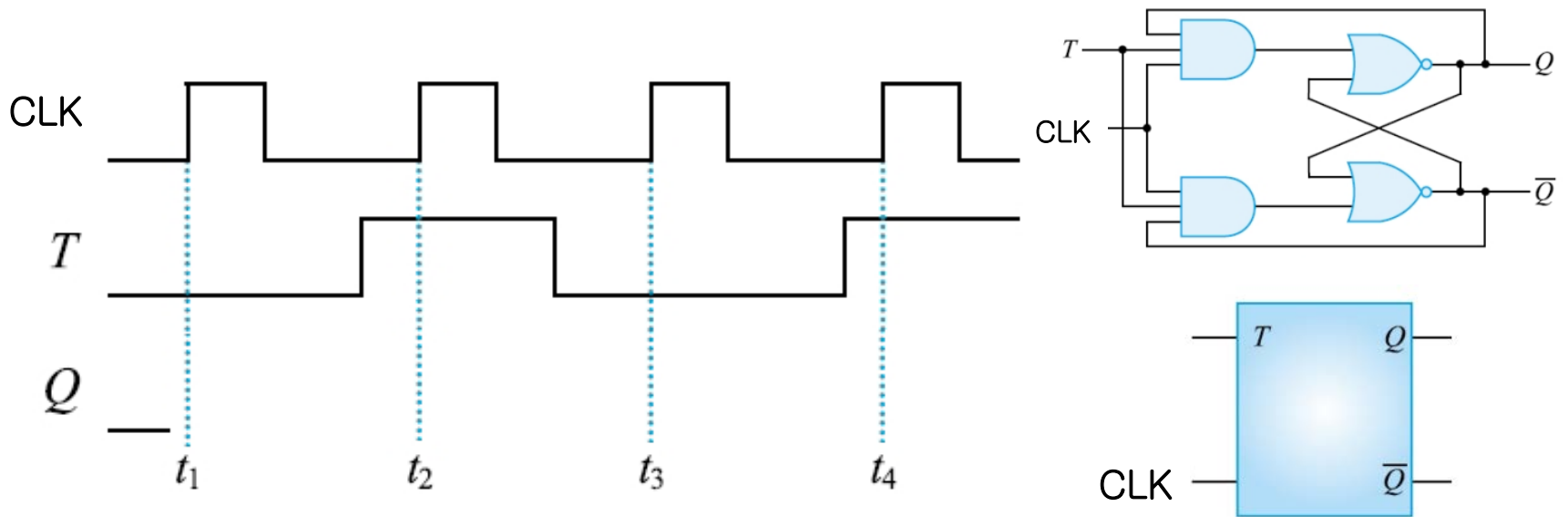
6. J-K 플립플롭

그림과 같은 파형을 J-K 플립플롭에 인가하였을 때, 출력 Q의 파형을 표시하시오. 단, Q는 1로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.



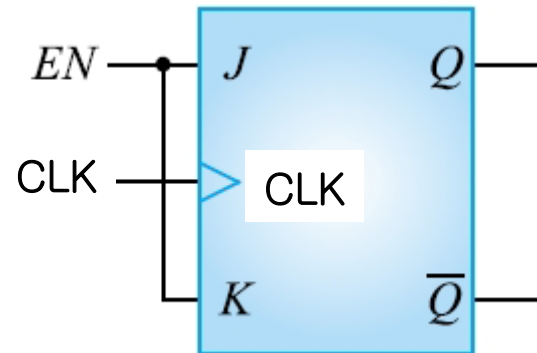
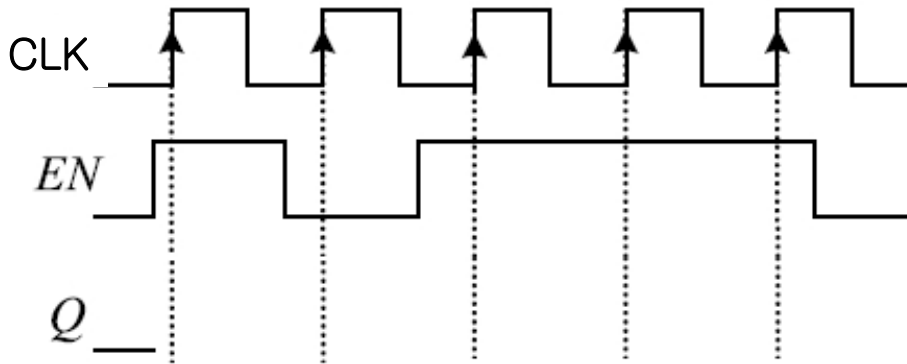
7. 클록형 T 래치

그림과 같은 파형을 클록형 T 래치에 인가하였을 때, 출력 Q의 파형을 표시하십시오. 단, Q는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.



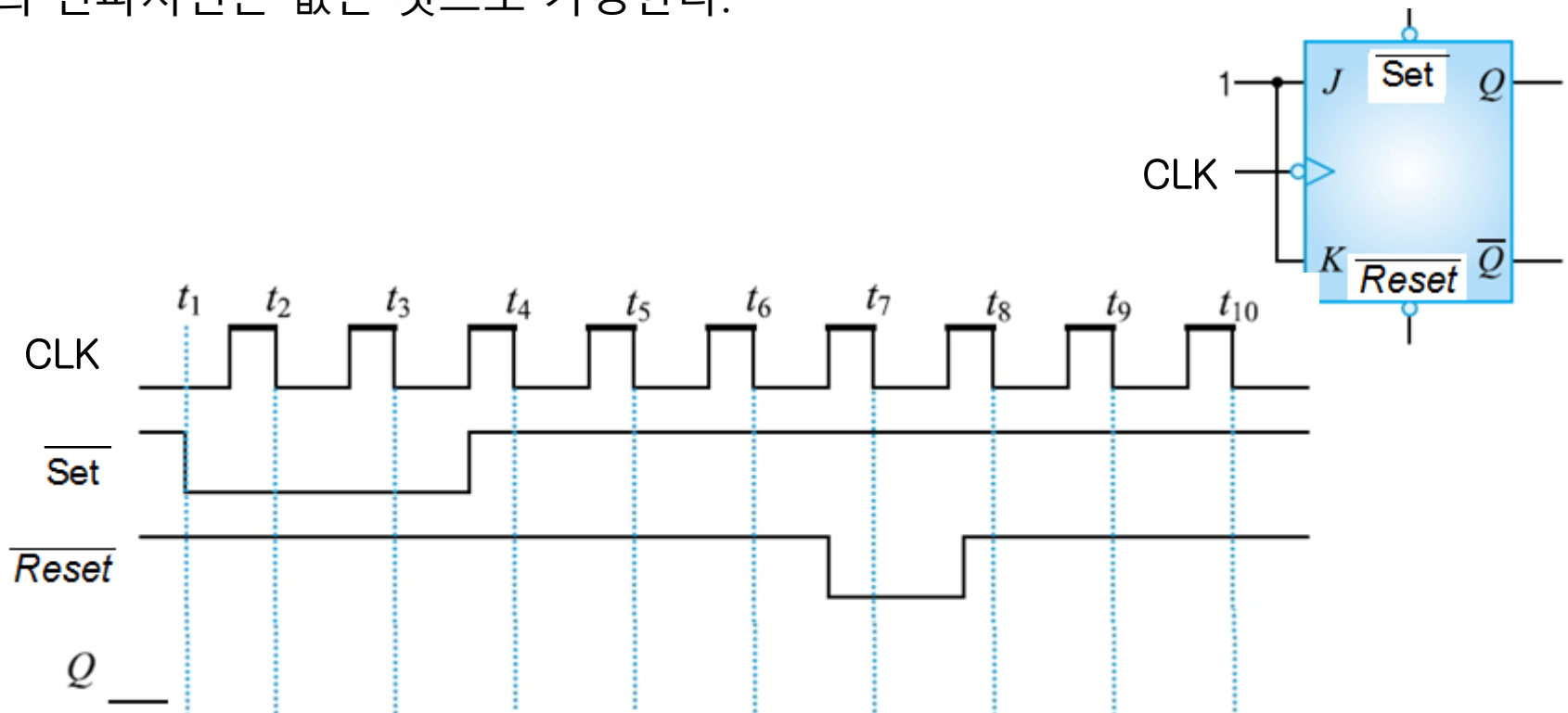
8. J-K 플립플롭, $EN == TFF$

J-K 플립플롭을 그림과 같이 연결하고 T와 EN 파형을 플립플롭에 인가하였을 때, 출력 Q의 파형을 표시하시오. 단, Q는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.



9. Asynchronously set/resettable flip-flop

Asynchronously set/resettable flip-flop에 그림과 같이 파형을 인가하였을 때, 출력 Q의 파형을 표시하시오. 단, Q는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.



10. Synchronously set/resettable flip-flop

Synchronously set/resettable flip-flop 그림과 같이 파형을 인가하였을 때, 출력 Q의 파형을 표시하시오. 단, Q는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.

