

반도체 및 디스플레이 공정

Final Team Project

20201641 노영찬

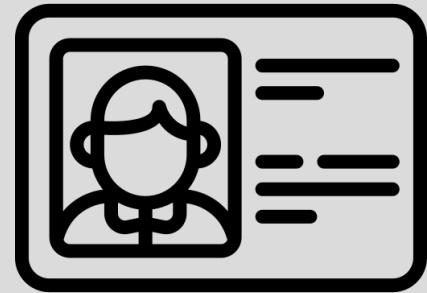
20202962 김무성

20203023 우상욱

20202840 한정호

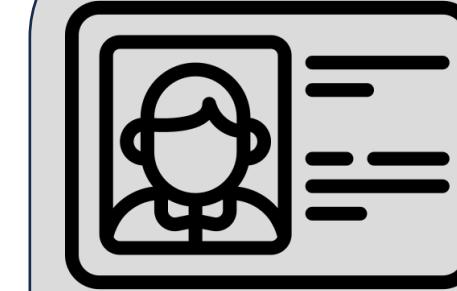


팀소개



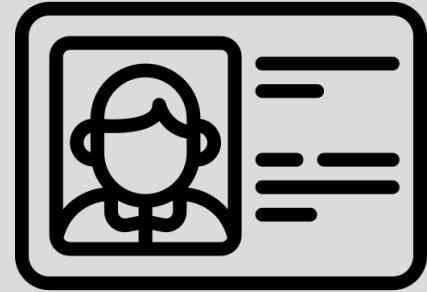
20201641 노영찬

Converting the schematic to a stick diagram
Capacitor placement and structure design
Layout and metal line design
Top view and 3D view design



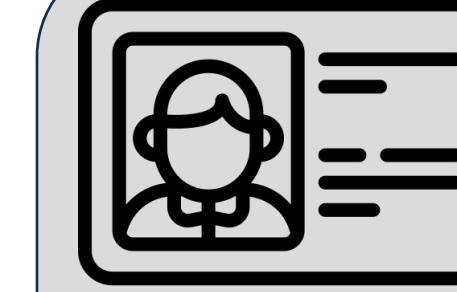
20202962 김무성

Metalization and Device Process Flow Design
Circuit Analysis and Cross-Section Verification
Front-End Mask Fabrication and Design



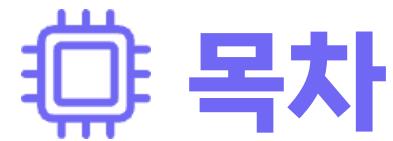
20203023 우상욱

Metalization and Device Process Flow Design
Metalization Mask Design
Layout Verification and Assistance



20202840 한정호

All Process Flow Design
All Process Verification
Cross-Section View Design



목차

1 과제 분석

- Process Rule
- 공정 목표 설정
- 회로 분석
- Layout
- MIMIM구조 Capacitor

2 공정

- Cross Section View
- 3D View
- Mask

3 기타

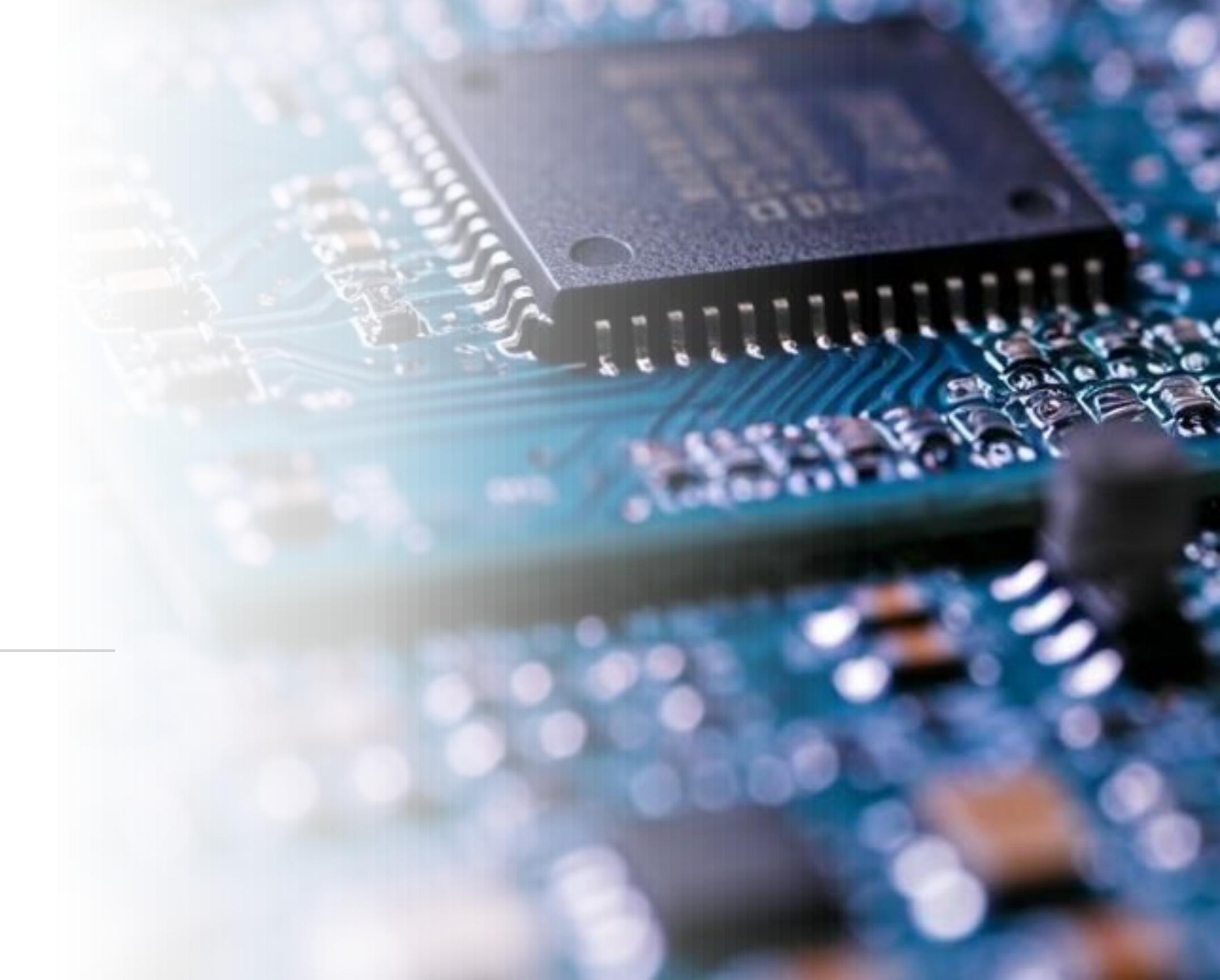
- Top View
- 출처

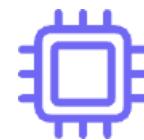
4 후기

- 소감

1

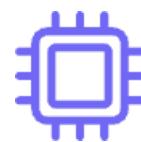
과제 분석





Process Rule

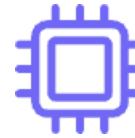
1. Available Process: Thin-Film Process
 - a. Substrate: Glass or Intrinsic Silicon wafer
 - b. Any process you learned from the class
2. Minimum Design rule= 3um
3. Alignment Tolerance to the first layer: 1um
4. Etch bias
 - a. Metal layer: 1um / side
 - b. Semiconductor, Dielectric layer: 0.5um / side
5. Taper Angle: Dry etch =90 deg, Wet etch= 45 deg
1. Gate: Au or Poly Si= 3000A
2. Insulator: SiO₂ = 4000A
3. Active layer: Si or poly Si = 1000A
4. S/D layer: Al = 4000 A
5. Passivation: SiNx:H = 5000A
6. Contact Metal: Cu = 3000A
7. Cst1:Cst2 = 0.5pF : 1pF
8. Epsilon of SiO₂ / SiNx:H = 3.5 / 7.5
9. P-/N-type Tr odd#: 50um/4um (width/length)
10. P-/N-type Tr even#: 20um/3um



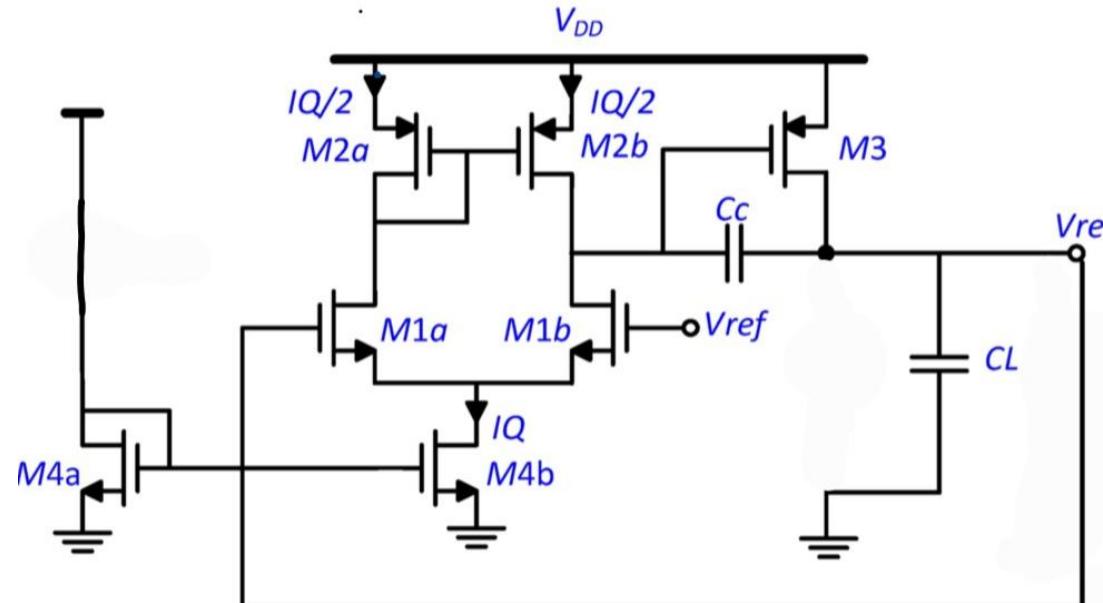
공정목표 설정

4. Layout Target:

1. Make the area as small as possible
2. Reduce the process steps as few as possible



회로 분석



Q. Low-dropout regulator이란?

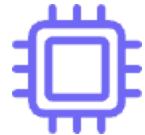
A. 입력 전압과 출력 전압 사이의 전압 강하(Dropout voltage)가 적은 리니어 레귤레이터를 말합니다.

Q. 해당 회로의 사용 예시

A. $M4a \rightarrow$ current mirror 전류 안정적이게 공급하는 역할
 $M2a, M1a, M1b, M2b, M4b \rightarrow$ 차동회로 증폭기
 $M3a \rightarrow$ 전류 pass 역할

*모바일에 쓰이는 부품이므로 최소화에 집중

Low-dropout regulator(CMOS)_7T2C



Layout

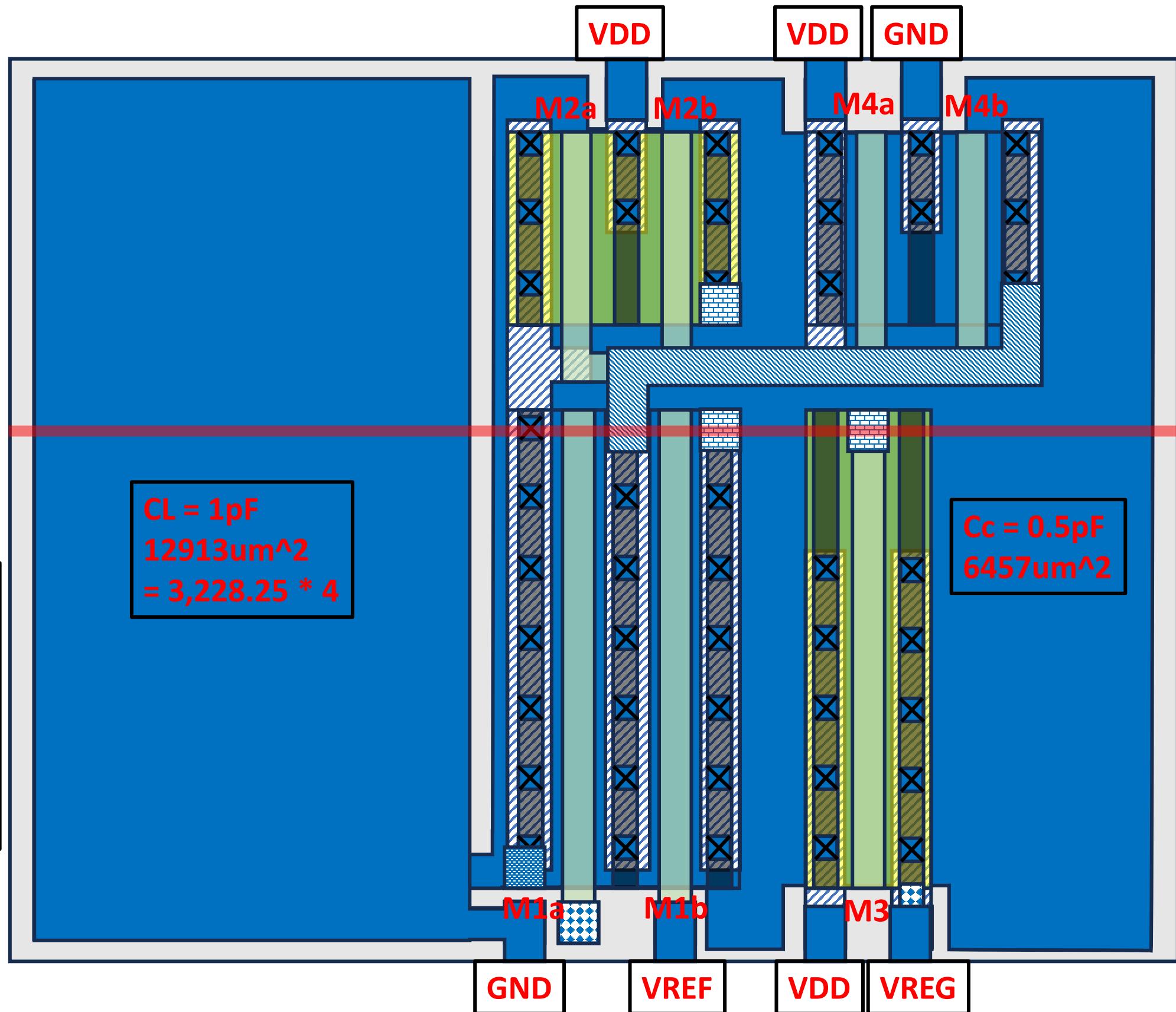
병렬 구조의 Capacitor와 복잡한 Metal line
-> 일부 Metal layer <투명화 or 패턴> 처리.

Cross section view



*전체적인 구조는
Cross Section, Top view, Metal 공정
진행 시 자세히 확인 가능하다.

가로 : 118um, 세로 : 100um
두께 : 300um (P-Si) + 0.216um(Dry
oxidation) + 3.4244um(Metal layer) =
303.6404um





MIMIM구조 설명 ($C_c = 0.5\text{pF}$, $C_L = 1\text{pF}$)

SiO_2 [두께 : 4000A]를 절연체로 사용할 경우,
 $C_c = 0.5\text{pF} \rightarrow A = 6457\mu\text{m}^2$, $C_L = 1\text{pF} \rightarrow A=12913\mu\text{m}^2$ 인 전극판이 필요하다.

*문제점

-초기 layout에서 각 Active 영역의 간격을 9um로 규정했을때, 전체 면적 = $79\mu\text{m} * 55\mu\text{m} = 4345\mu\text{m}^2$ 이다
이 위에 $12913\mu\text{m}^2$ 의 면적을 갖는 Metal을 쌓을 시, 그 만큼 사용하는 면적이 늘어날 것이다.

*해결책

따라서, 이를 해결하기 위해 Capacitor을 병렬로 쌓는 구조를 제안 -> 단순하게 메탈 8개를 이용하여 cap 4개
-> Capacitor의 전극판을 공유하는 방법을 적용하여 메탈 5개로 capacitor 4개를 만드는 방법을 최종 고안하였다.

*출처

MIMIM구조의 실현 가능성을 확인하기 위해, "A Study of MIMIM On-Chip Capacitor Using Cu/SiO₂ Interconnect Technology" 논문을 참고하였다.
논문에서 동일한 유전체를 사용한 capacitor의 capacitance density가 MIM구조에 비해 MIMIM 구조가 2배로 증가하는 것을 확인하였다.

*주의사항

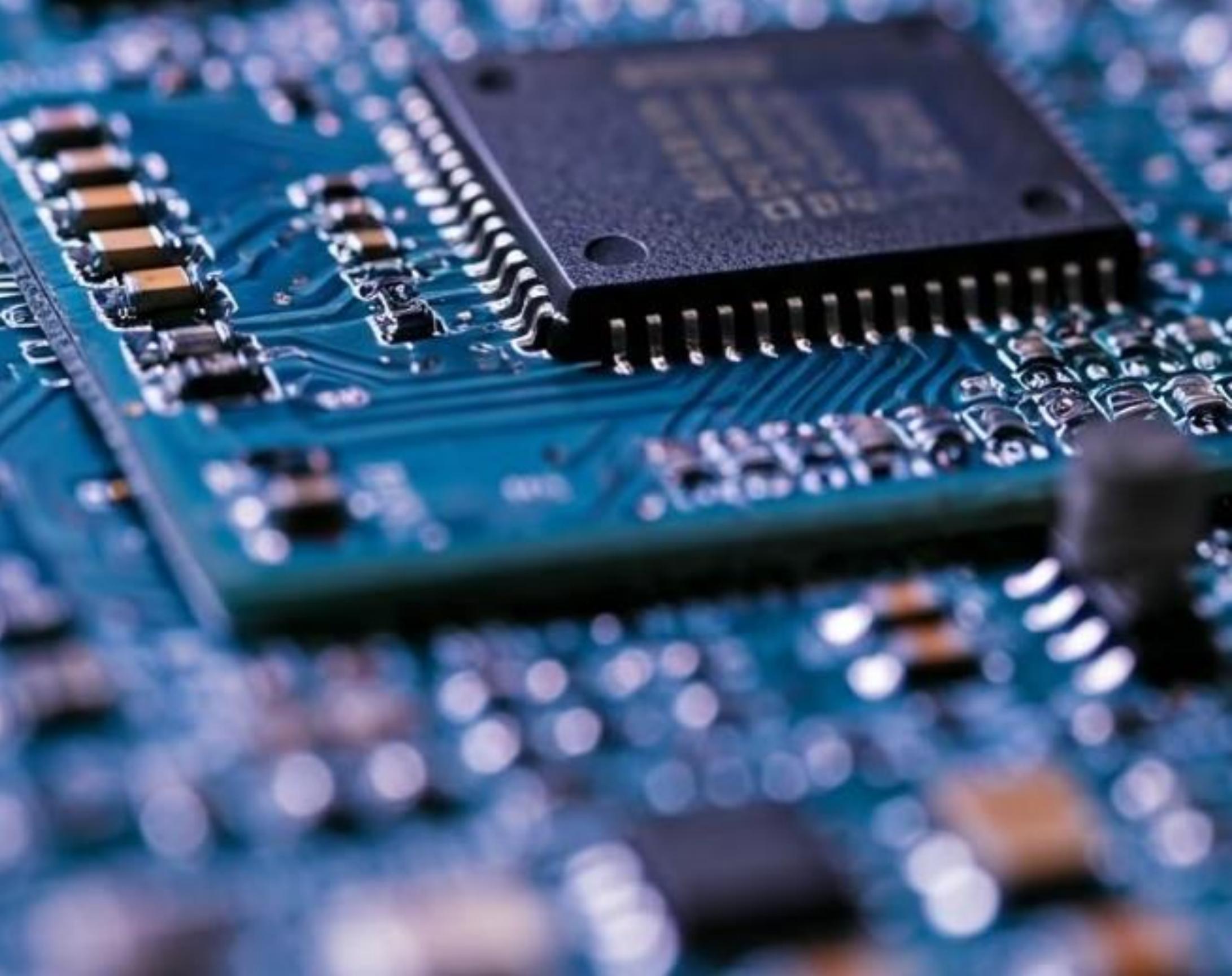
디마신 공정에서 etch stop layer로써 사용되는 Si₃N₄가 capacitor의 전극판 사이에 들어가 유전체로써 동작할 경우,
처음에 계산한 4000A의 SiO₂만을 사용했을 경우와는 다르게 C 값이 달라지게 된다.
서로 다른 유전체가 두 전극판 사이에 들어가 있는 경우, Capacitance 구하는 공식은 다음과 같다.

$$\frac{1}{C} = \frac{d_1}{\epsilon_1 A} + \frac{d_2}{\epsilon_2 A}$$

$C_c=0.5\text{pF} \rightarrow A = 6457\mu\text{m}^2$, $d_1 = 3950\text{A}$ 으로 설정한 경우, $d_2(\text{Si}_3\text{N}_4) = 111.2\text{A}$ 이
 $C_L=1\text{pF} \rightarrow A = 12913/4 = 3228.25\mu\text{m}^2$, $d_1 = 3950\text{A}$ 으로 설정한 경우, $d_2(\text{Si}_3\text{N}_4) = 110.6\text{A}$ 이 나오는 것을 확인할 수 있다.
따라서, 각 전극판 사이에는 3950A의 SiO₂와 약 111A의 Si₃N₄ 층이 존재하여 유전체 두께 = 4061A 이다.

2

공정





Material Colors in Process



P-SUB



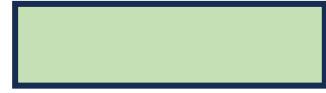
SiNx



N-Well



Al



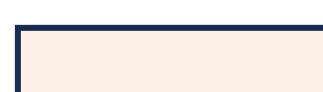
Poly-Si



p+ / n+



Cu



p- / n-



SiO2



PR

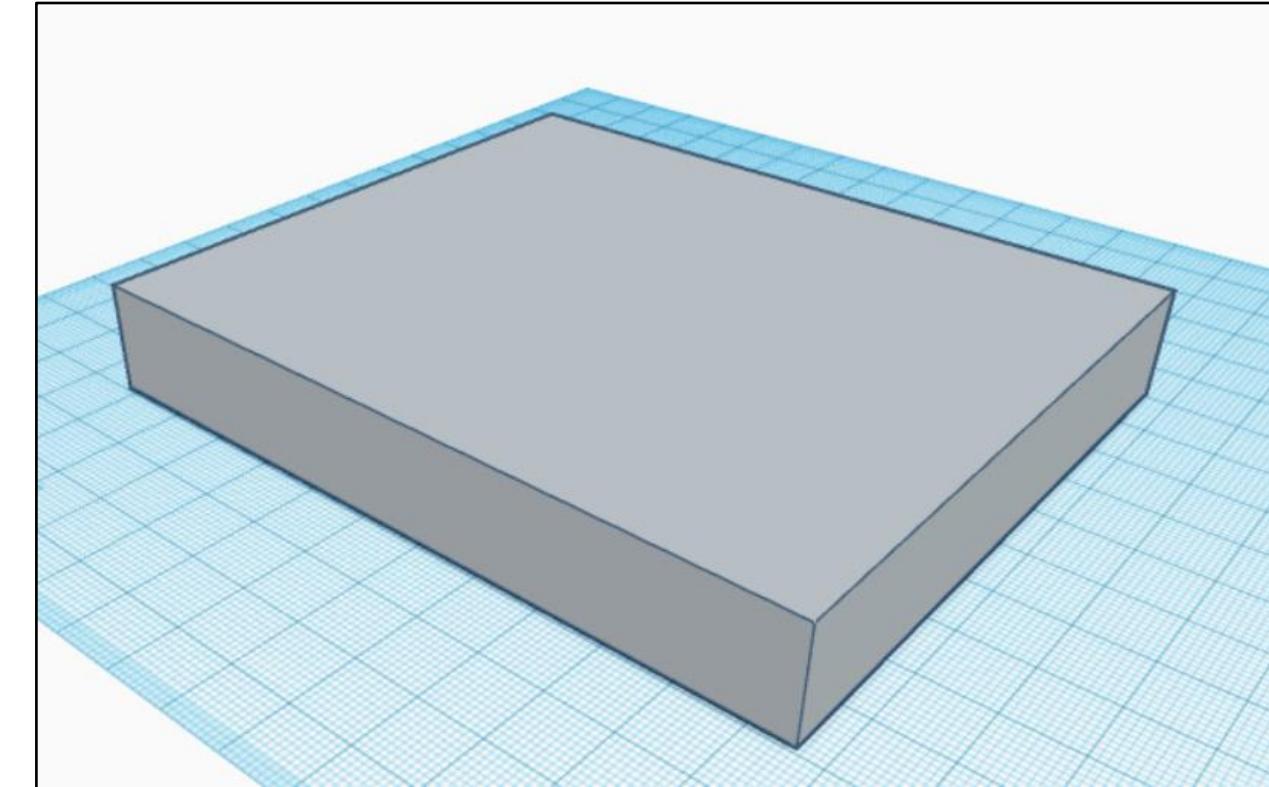
1. <100>방향 P-type WAFER 선택

RCA WAFER Cleaning

-공정 수율을 올리기 위해 RCA Wafer Cleaning 공정
통해 WAFER에 존재하는 이물질을 제거한다.

*<100>방향 WAFER 선택이유
표면 원자 밀도 낮아 결함밀도가 적다.
-> 산화 과정에서 더 적은 결함이 생성되어 소자의 신뢰성과 문턱전압 특성이 향상된다.
Mobility가 높다
-> 전력 소자의 성능을 향상시킨다.

*P – substrate 기판 선택 이유
공정으로 제작해야 할 회로에서 Nmos가 4개 P_mos가 3개 존재한다.
따라서 active영역을 최소화하기 위해 선택하였다.



2. SiO₂ 증착

Dry Oxidation

-SiO₂ <1100°C, 8.98 hr>의 조건 하에 Dry Oxidation -> 0.4um 증착

*Dry Oxidation 사용 이유

- 해당 layer는 MOSFET에서 Gate로 사용되므로 고품질의 절연층이 필요하다

*아레니우스 관계식

$$D = D_0 \exp(-E_a / kT)$$

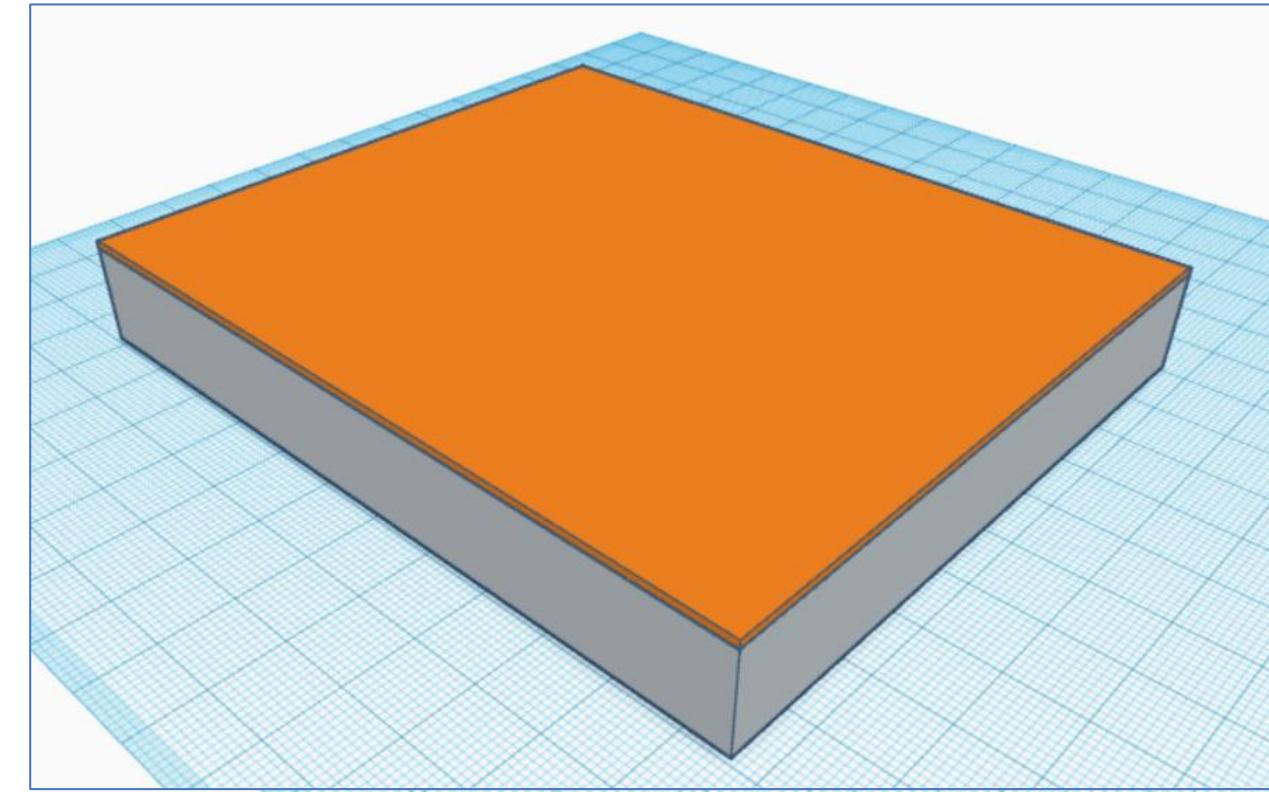
T = 1373 K 이므로, B/A = 0.168 μm/hr, B = 0.023 μm²/hr

$$\tau = X_i^2 / B + X_i / (B/A)$$

계산하면 $\tau = 0.176$ hr, $X_0 = 0.4$ μm 이므로

$$t = X_0 / B + X_0 / (B/A) - \tau$$

계산하면 $t = 8.98$ hr



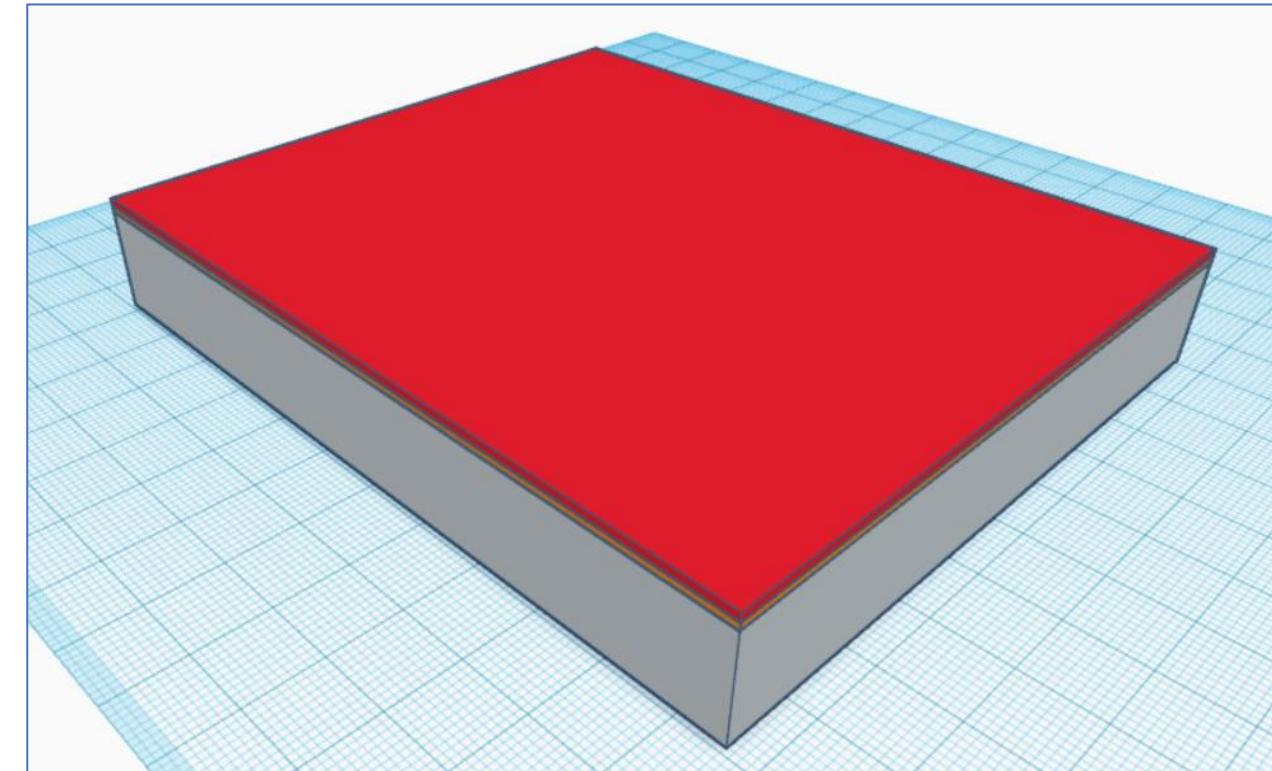
3. Si3N₄ 증착

LPCVD

-STI[Shallow Trench Isolation]에 필요한 보호층 형성을 위해
Si3N₄을 LPCVD로 증착한다

*LPCVD 사용 이유

- 금속이 없는 상황에서 고품질의 보호층을 형성하기 위해 LPCVD를 사용한다.



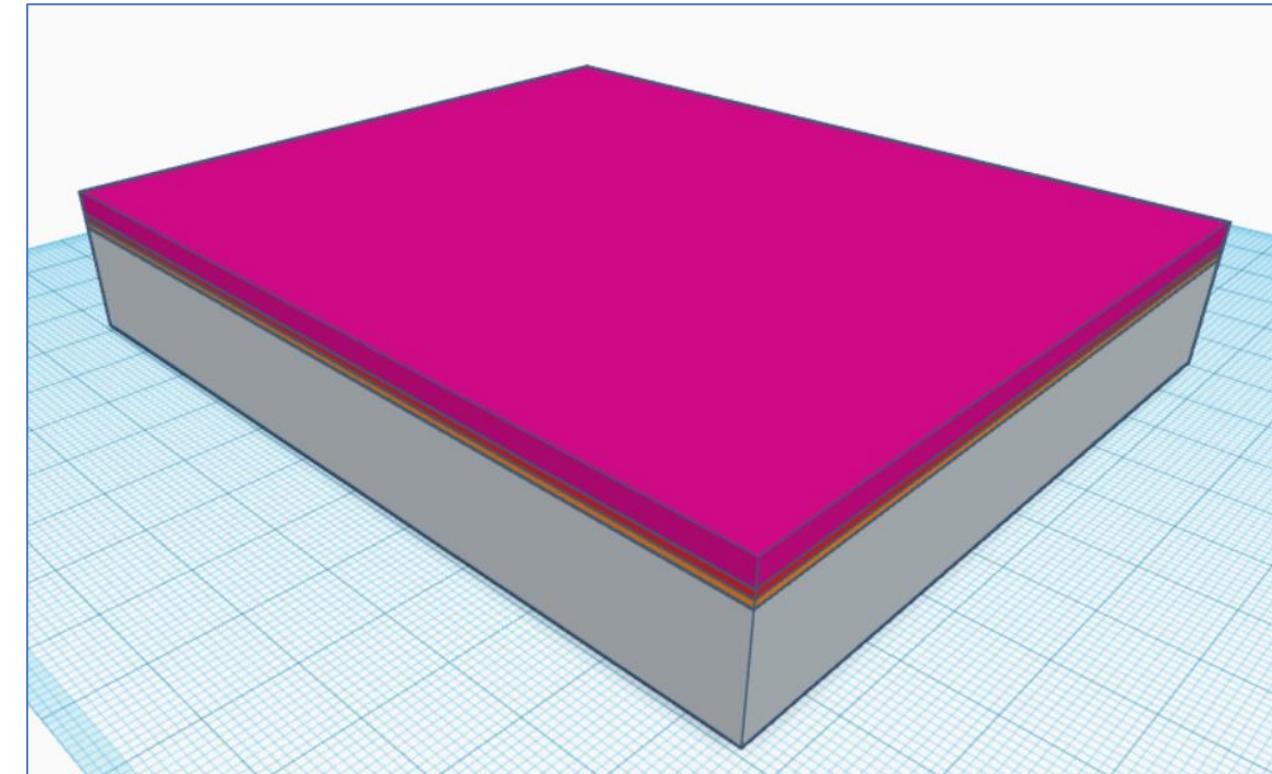
4. Photolithography

PR Coating

-WAFER에 균일한 PR Coating진행 후 SOFT BAKE을 한다.

*SOFT BAKE 목적

- PR과 WAFER사이의 접착력 향상과 화학적 성질 유지를 위해서 사용한다.



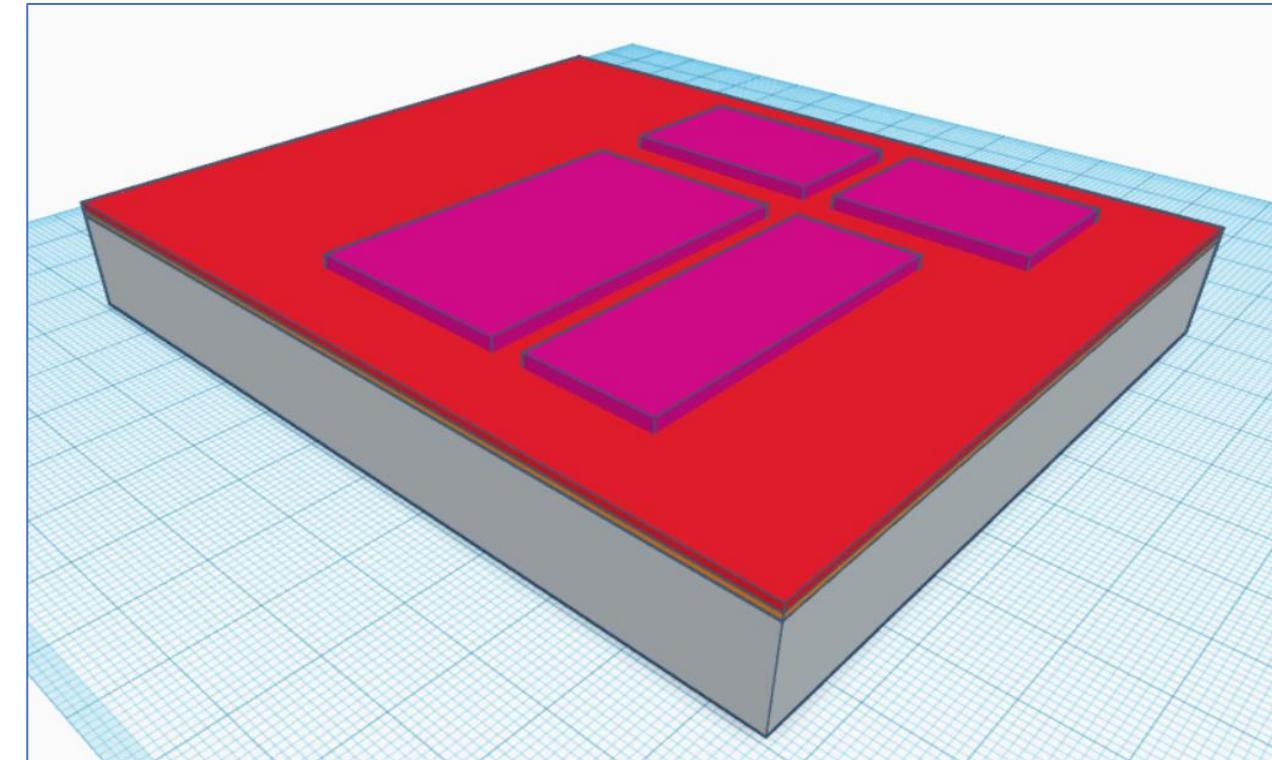
4. Photolithography

Positive PR

- MASK 정렬 -> Projection printing 사용하여 Expose Pattern
- > Develop PR 진행 -> Pattern -> HARD BAKE

*HARD BAKE의 목적

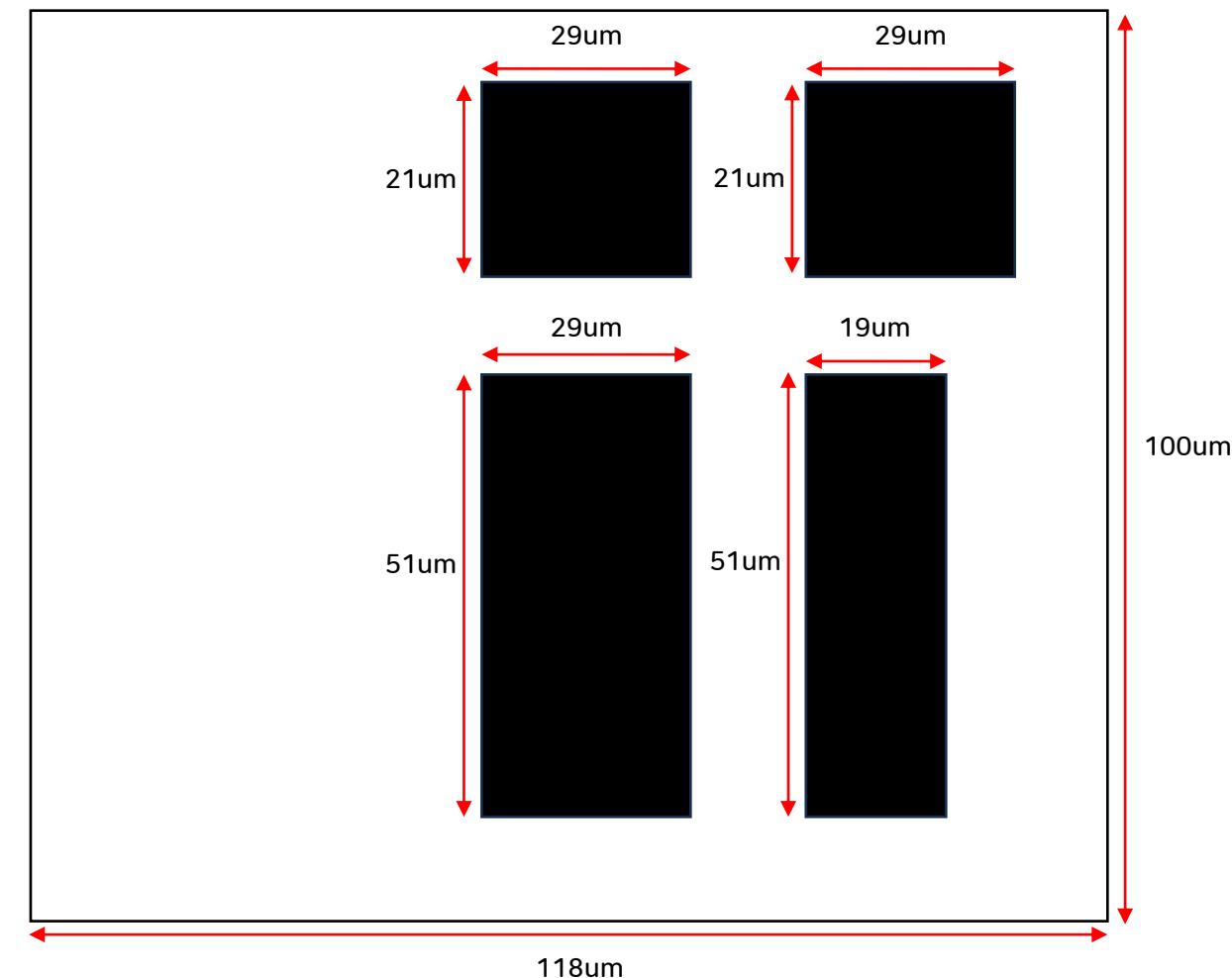
- Develop 후 PR내 잔류 용매 제거
- 후속 Etch 공정 활용



4. Photolithography

Positive PR MASK for Active layer

MASK 1
Active layer

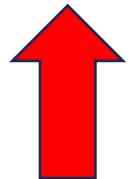
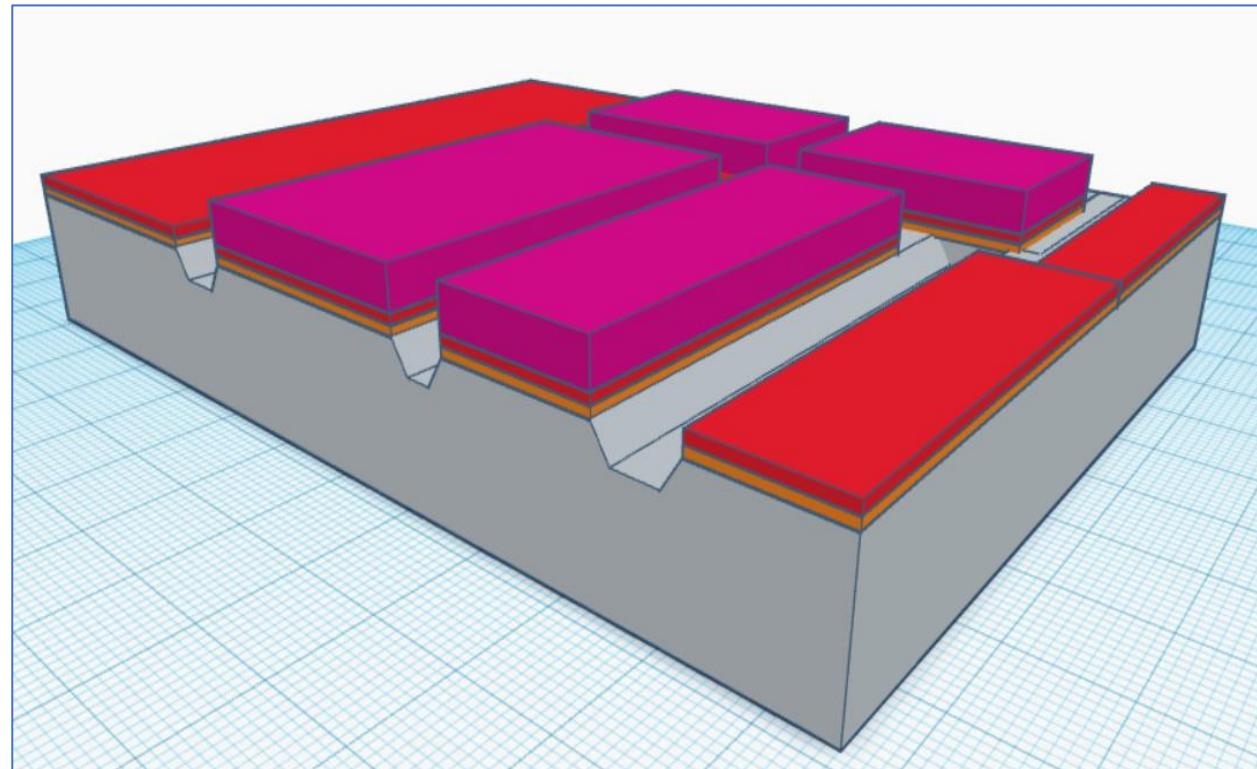


5. STI[Shallow Trench Isolation]

Wet Etch

- Process Rule 참고하여 Tapered 구조를 얻기 위해 Wet Etch를 진행하였다.

5. Taper Angle: Dry etch =90 deg, Wet etch= 45 deg



공정 단계별 층을 잘 보여주기 위해, active 영역 아래로 wafer 단면 잘라 본 모습



5. STI[Shallow Trench Isolation]

PR Strip + Wet Etch for Oxide Under Cut

- Ashing 통해 PR Strip 진행 한다.
- > Pad Oxide Under Cut를 하기 위해 HF dip방식 이용하여 Wet etch 진행.

*STI의 이점

[Locos]와 비교 시 : Bird's Beak 문제 해결 / 더 미세한 공정
[DTI]와 비교 시 : 공정 복잡성을 보완 <생산성, 비용에서 유리함>

*STI의 목적

- 소자 간 Capacitance 최소화
- 소자 간 절연[누설 전류 방지]

*Ashing란?

- Oxygen Plasma 사용하여 PR 연소시킴.
- Wet PR strip 대비 균일한 PR strip 가능

*HF[불산]

- SiO₂를 효과적으로 Etch할 수 있는 물질



5. STI[Shallow Trench Isolation]

Linear Oxidation + SiO₂ 증착

- Dry Oxidation이용하여 Linear Oxidation 진행 후 LPCVD공정에서 Teos를 사용하여 균일하게 SiO₂증착

*Dry oxidation 이점

- STI구조에서 요구되는 정밀한 두께 제어/ 효과적 절연을 위해 사용한다.

*LPCVD 이점

- 우수한 Step Coverage -> STI 트렌치 구조에 SiO₂를 균일하게 채울 수 있다

*TEOS 이점

- 타 물질 대비 독성 적음, 균일성 높음, 불순물 생성 감소, 우수한 Step Coverage



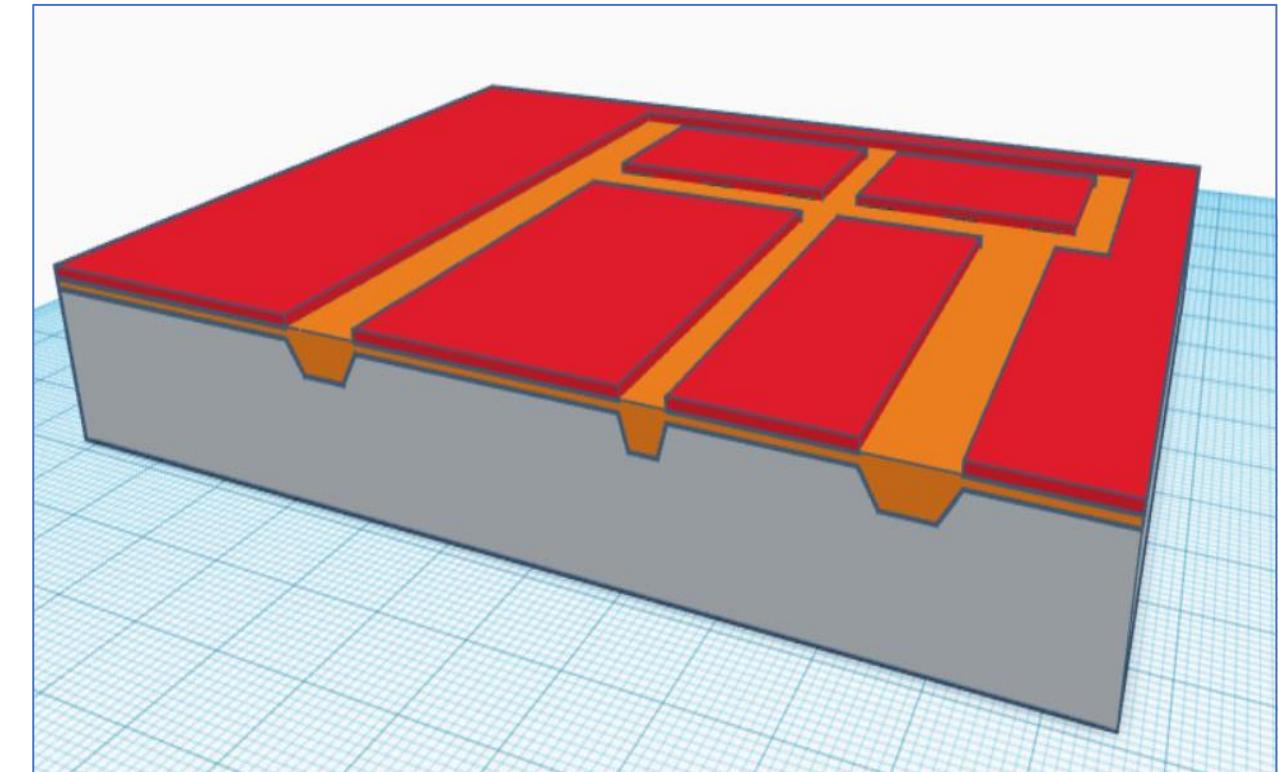
5. STI[Shallow Trench Isolation]

CMP + RCA Cleaning

- **Si₃N₄** 보일 때 까지 CMP이용해서 평탄화한다.
이후 RCA Cleaning 진행

*CMP[Chemical Mechanical polishing]

- STI 구조를 형성하기 위해 필수적이다.
- 이후 형성되는 상층 막 표면의 굴곡발생을 방지하기 위함.



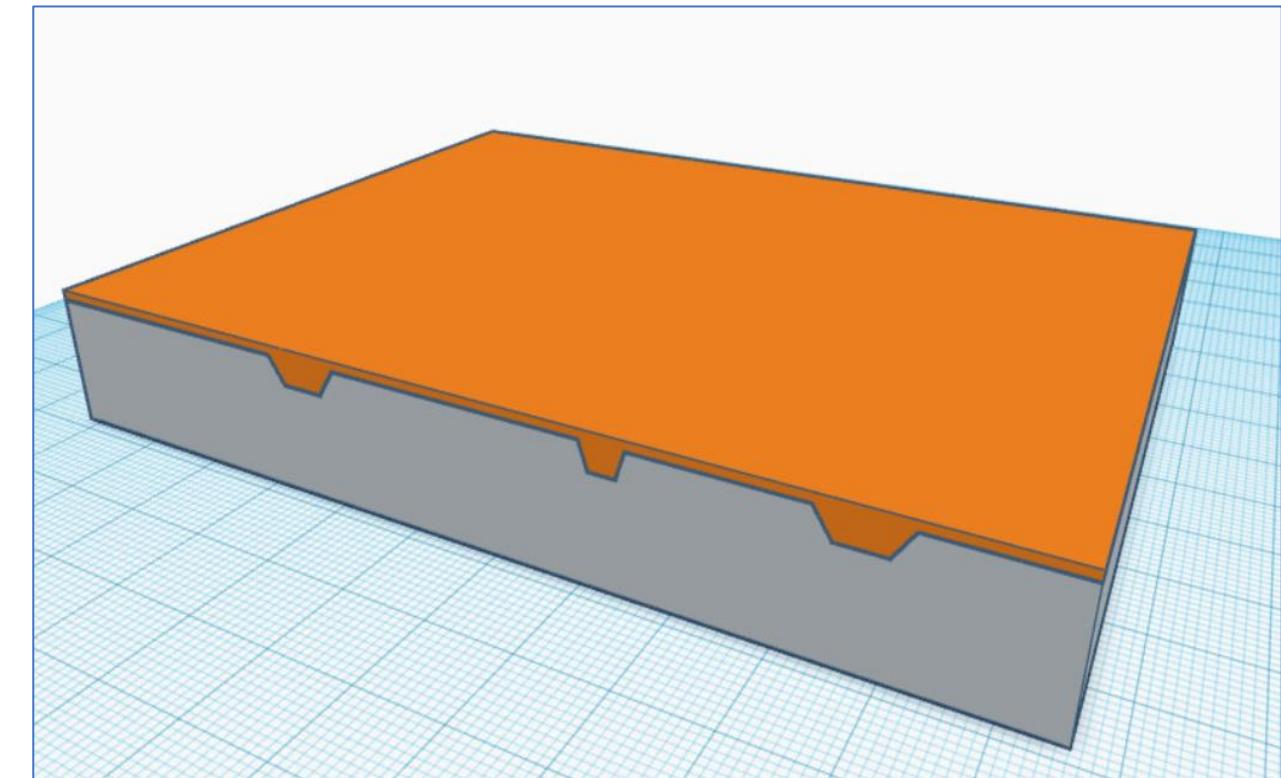
5. STI[Shallow Trench Isolation]

Si3N₄ Strip

- 인산[H₃PO₄]를 이용하여 Si₃N₄를 Strip한다.

*인산[H₃PO₄]

- 고온의 인산 용액 이용하여 SiO₂가 있는 상황에서 선택적으로 Si₃N₄를 제거한다.

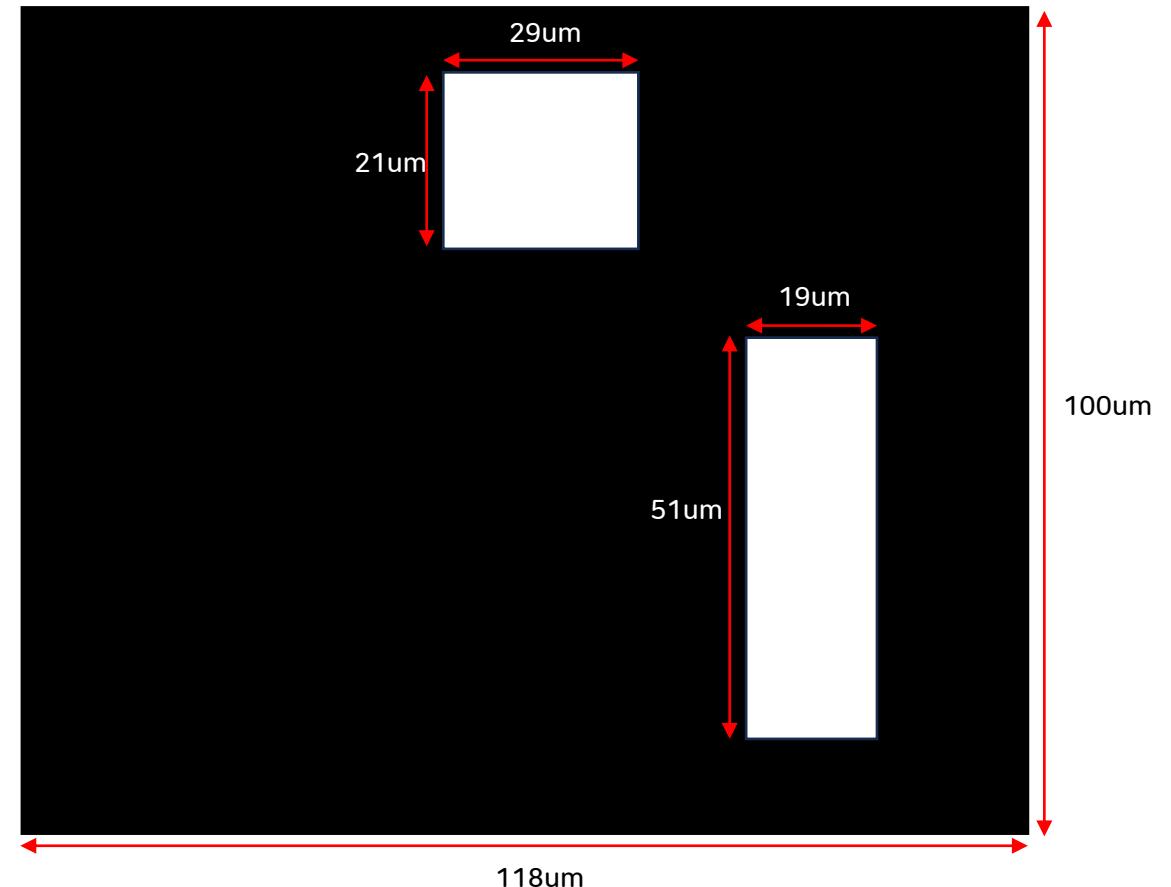


6. Nwell 형성

PR Coating + PR Develop *Positive PR

- PR MASK Develop 진행 후 Pattern 형성

MASK 2
N Well



6. Nwell 형성

Ion Implantation + RTA

- 정밀한 공정 제어와 Nwell형성 위해 Phosphorus를 사용하여 Ion Impantation 진행
-> Nwell 형성 이후 RTA 진행

*RTA 목적 : Si의 격자 구조 회복 / dopant 전기적 활성화



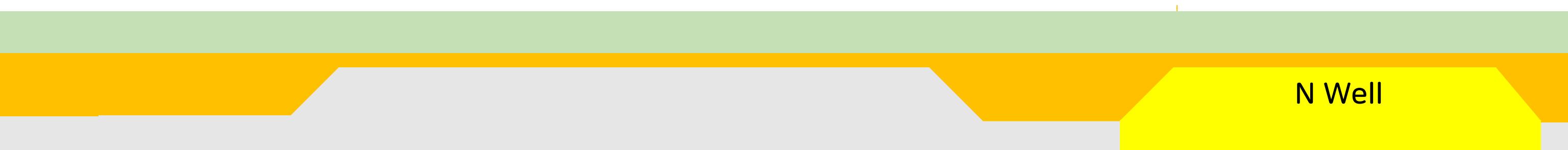
7. GATE 형성

Poly-Si 증착

- Ashing 통해 PR Strip 진행 후 LPCVD 이용하여 고품질 Poly-si 증착

*LPCVD 목적

- 고온 공정으로 인한 결함 감소 및 균일성 향상
 - 온도, 압력 통한 증착 속도 제어 가능
 - 고품질 증착 가능
- > 게이트 전극의 성능, 신뢰성 향상 위해 사용

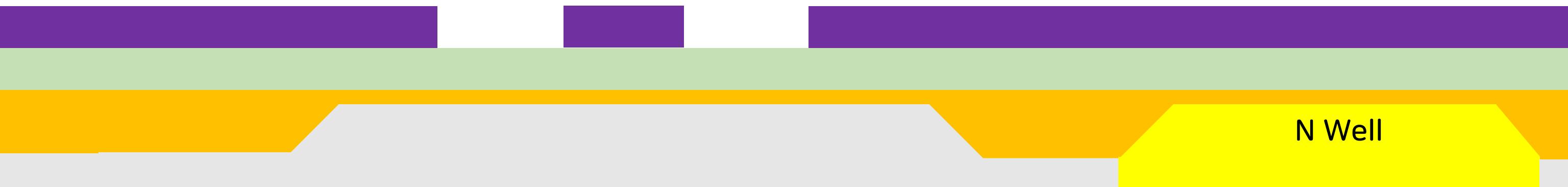
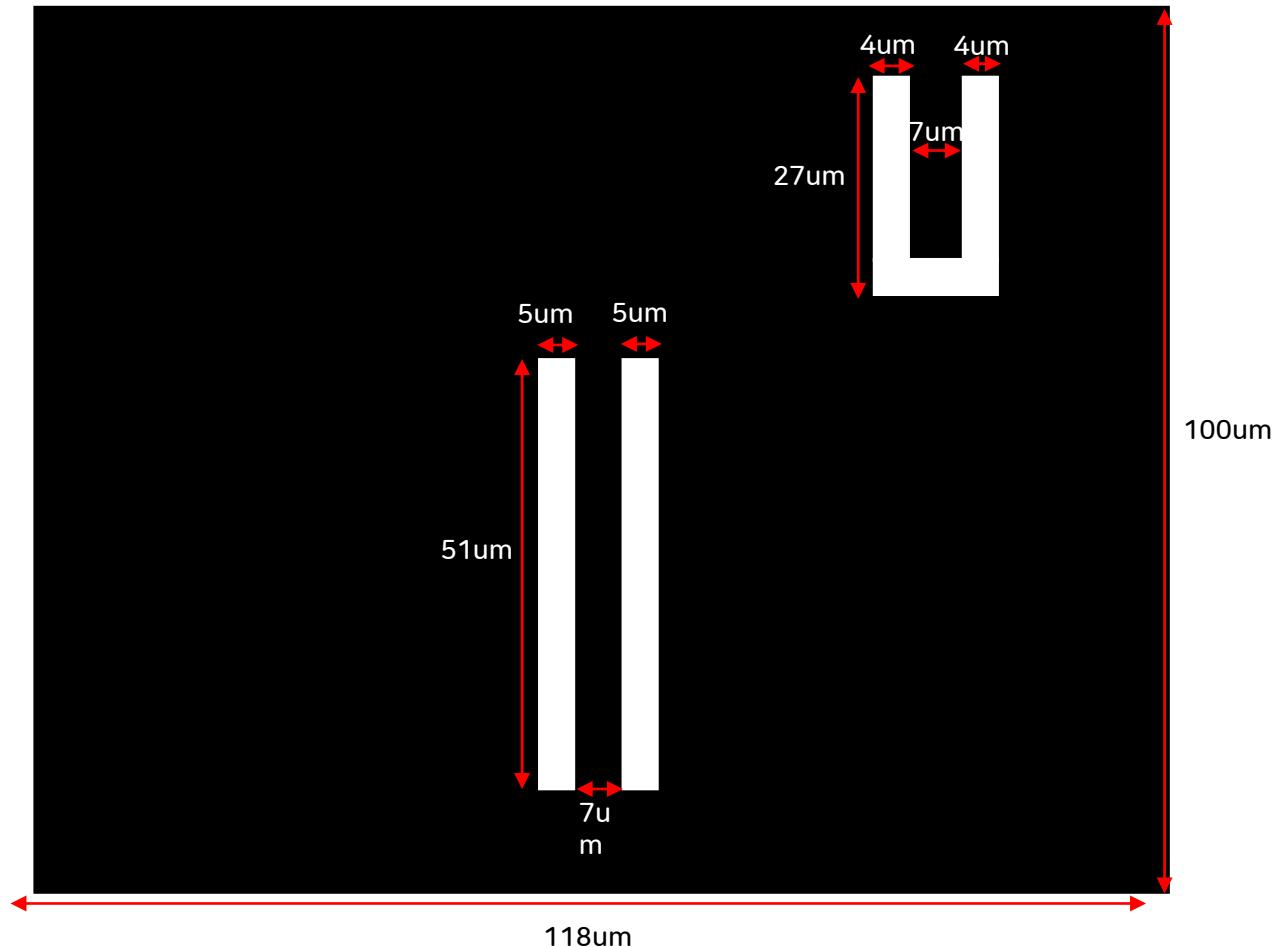


7. GATE 형성

Nmos Gate 형성 (1) *Positive PR

- PR Coating -> PR develop -> pattern 형성

MASK 3
Nmos Gate



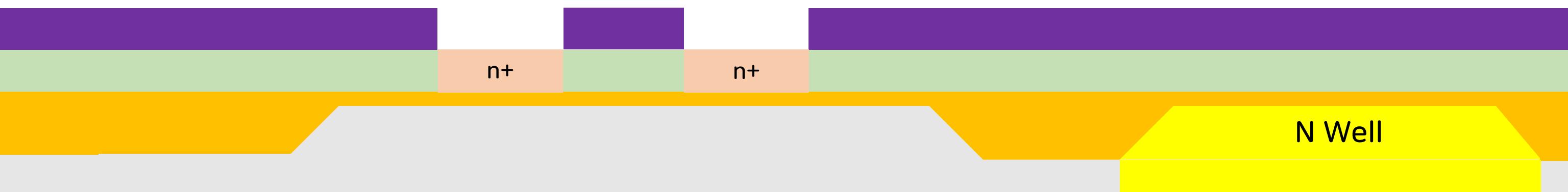
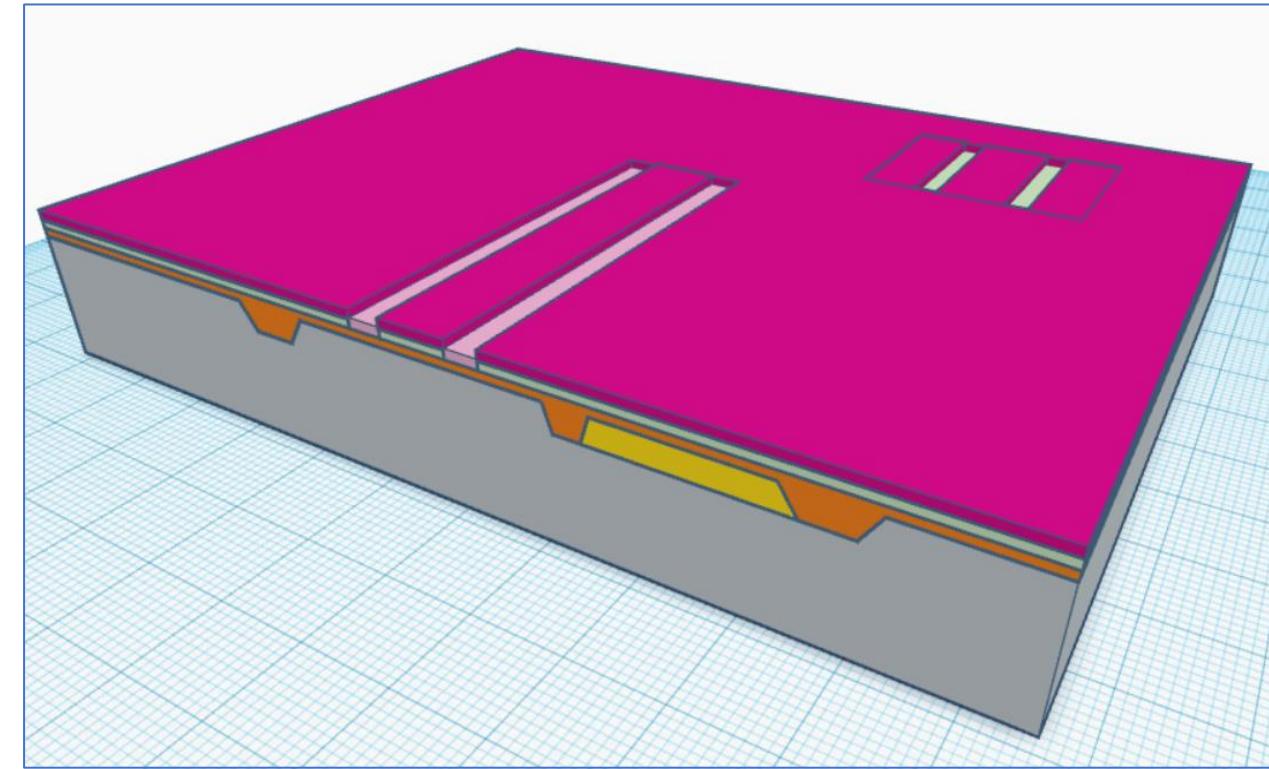
7. GATE 형성

Nmos Gate 형성 (2)

- Poly-si를 High Doping 하기 위해 인[Phosphorus]를 사용하여 Ion Impantation 진행

*비소[Arsenic] 대비 인[Phosphorus]의 이점

- 확산 특성이 좋다. -> 공정 온도 낮출 수 있다.

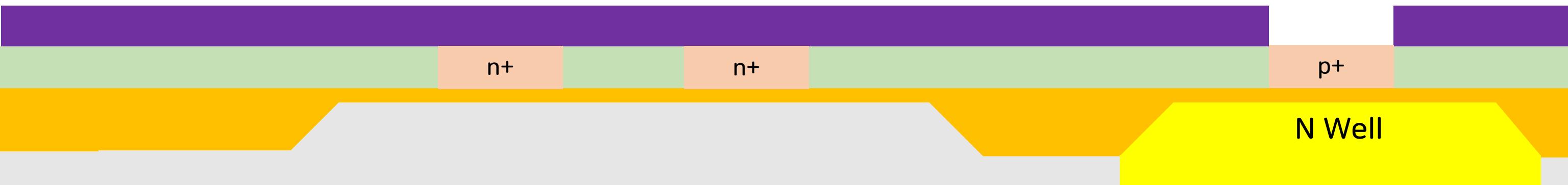
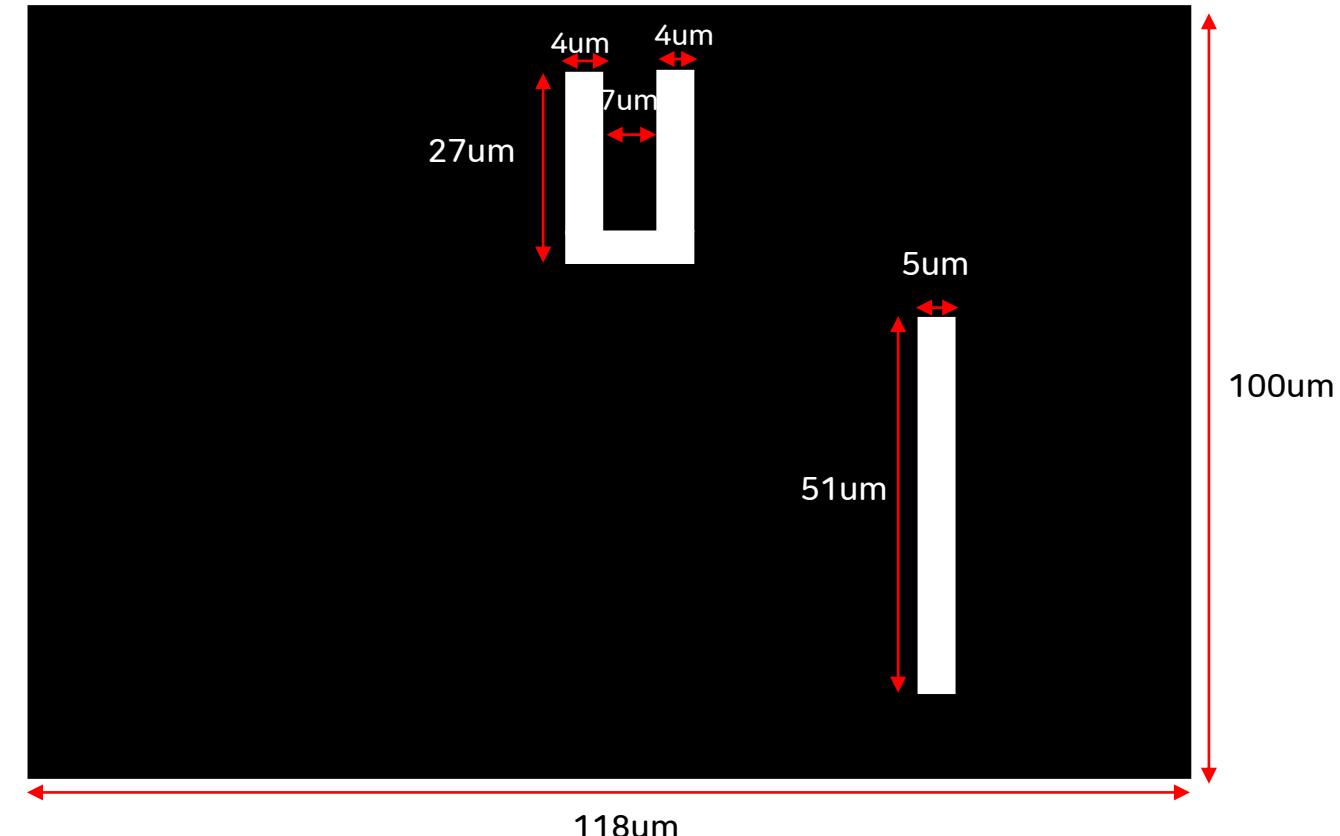


7. GATE 형성

Pmos Gate 형성

- Nmos Gate 형성과정과 동일하다.
(*Ion Implantation진행 시 사용물질 : Boron)

MASK 4
PMOS Gate



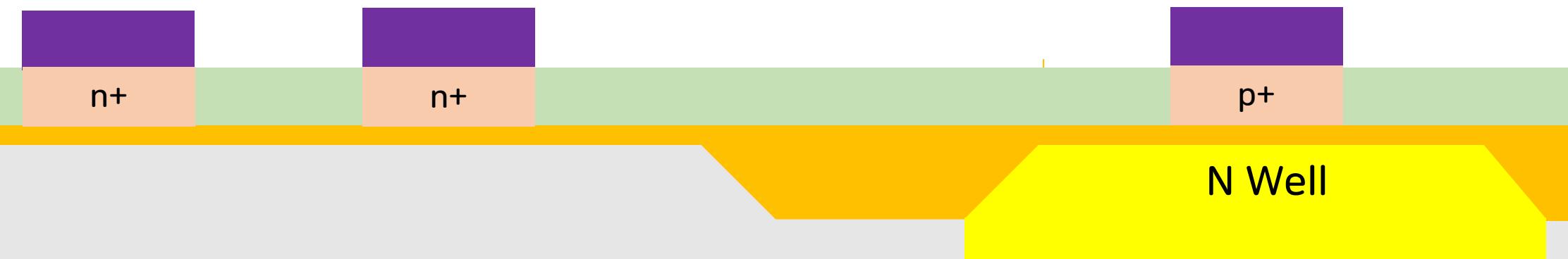
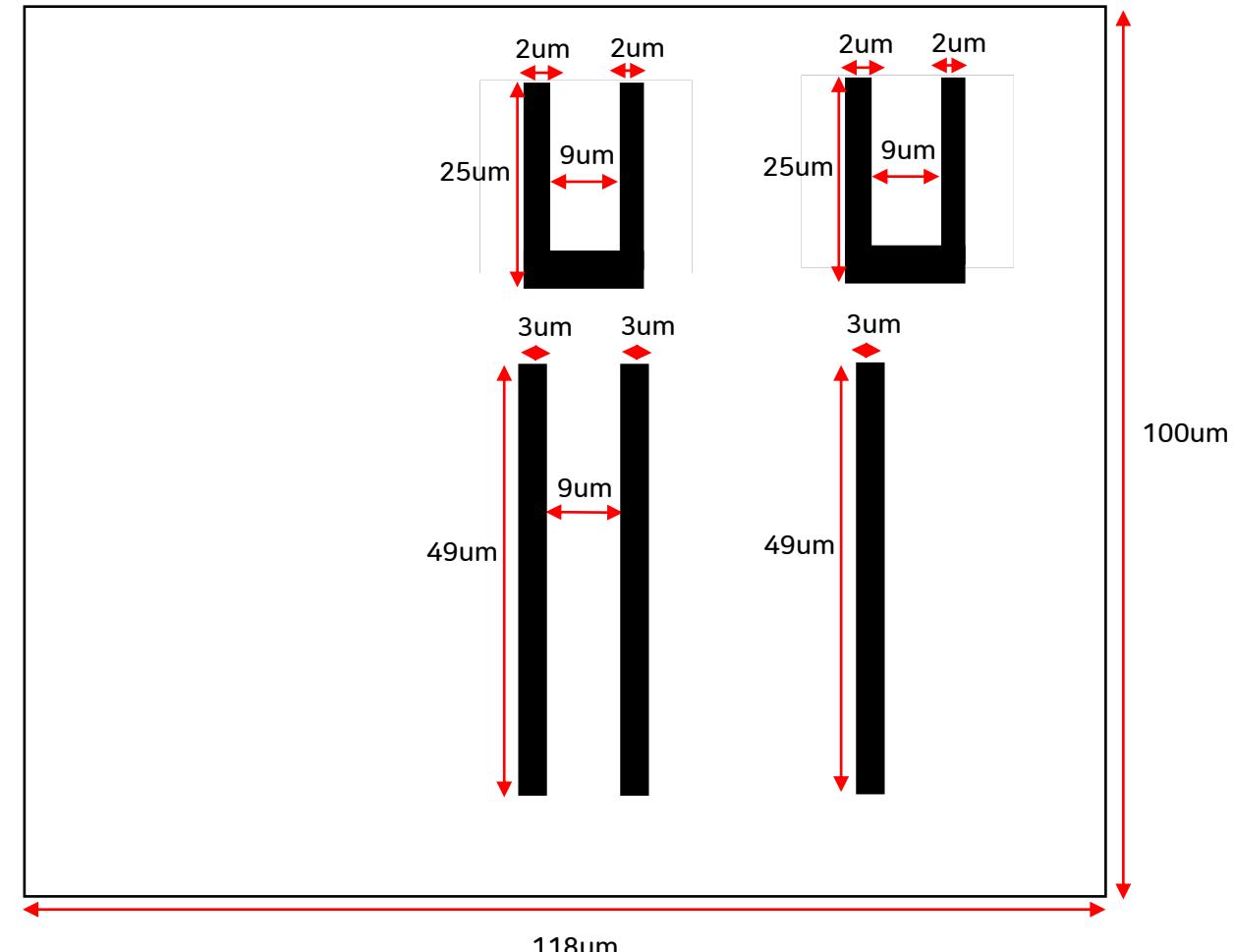
7. GATE 형성

PR Mask + RIE Etch

- Pattern 형성 마친 PR MASK이용하여 RIE 통해 불필요한 Poly-Si 제거

*RIE : 다른 Etch 대비 Selectivity가 뛰어남

MASK 5
Gate Etch



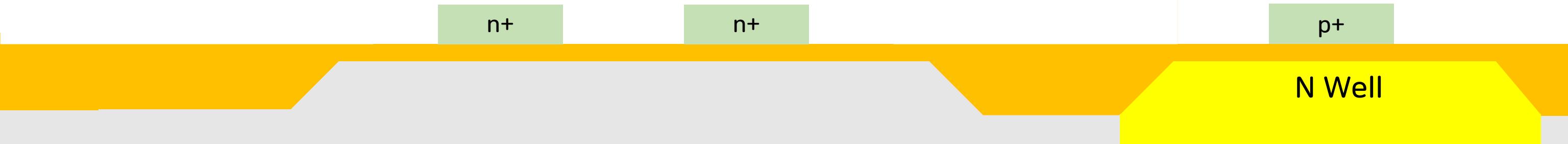
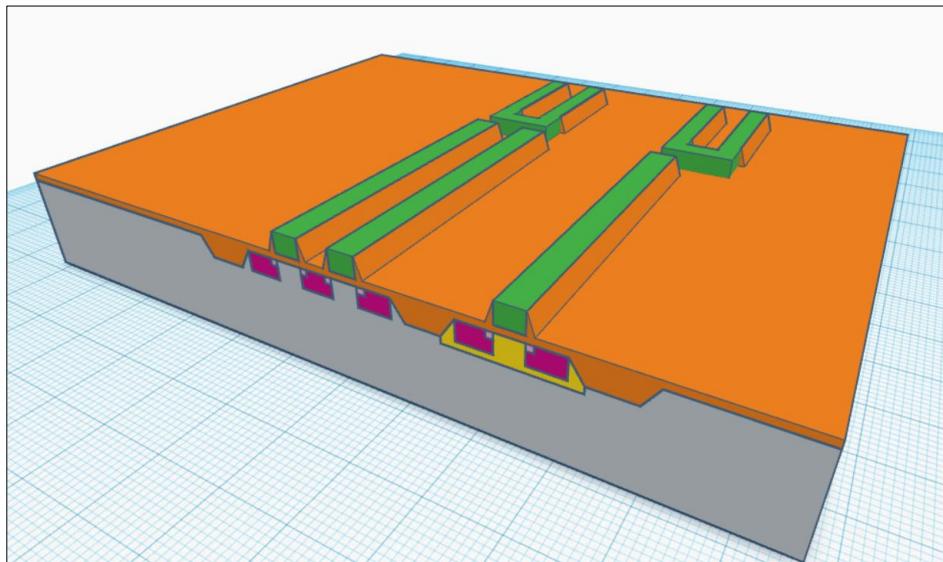
7. GATE 형성

PR Strip + RTA + RCA WAFER Cleaning

- PR strip → RTA 진행 → RCA Wafer Cleaning

*Gate 형성 과정에서 Ion Implantation 공정을 사용하였으므로 RTA 공정을 진행한다.

*우선적으로 RTA진행하여 결함을 줄인 후 Wafer Cleaning 이용하여 표면 오염물을 제거한다.



8. Source/Drain 형성

PMOS LDD구조 형성 *Negative PR MASK

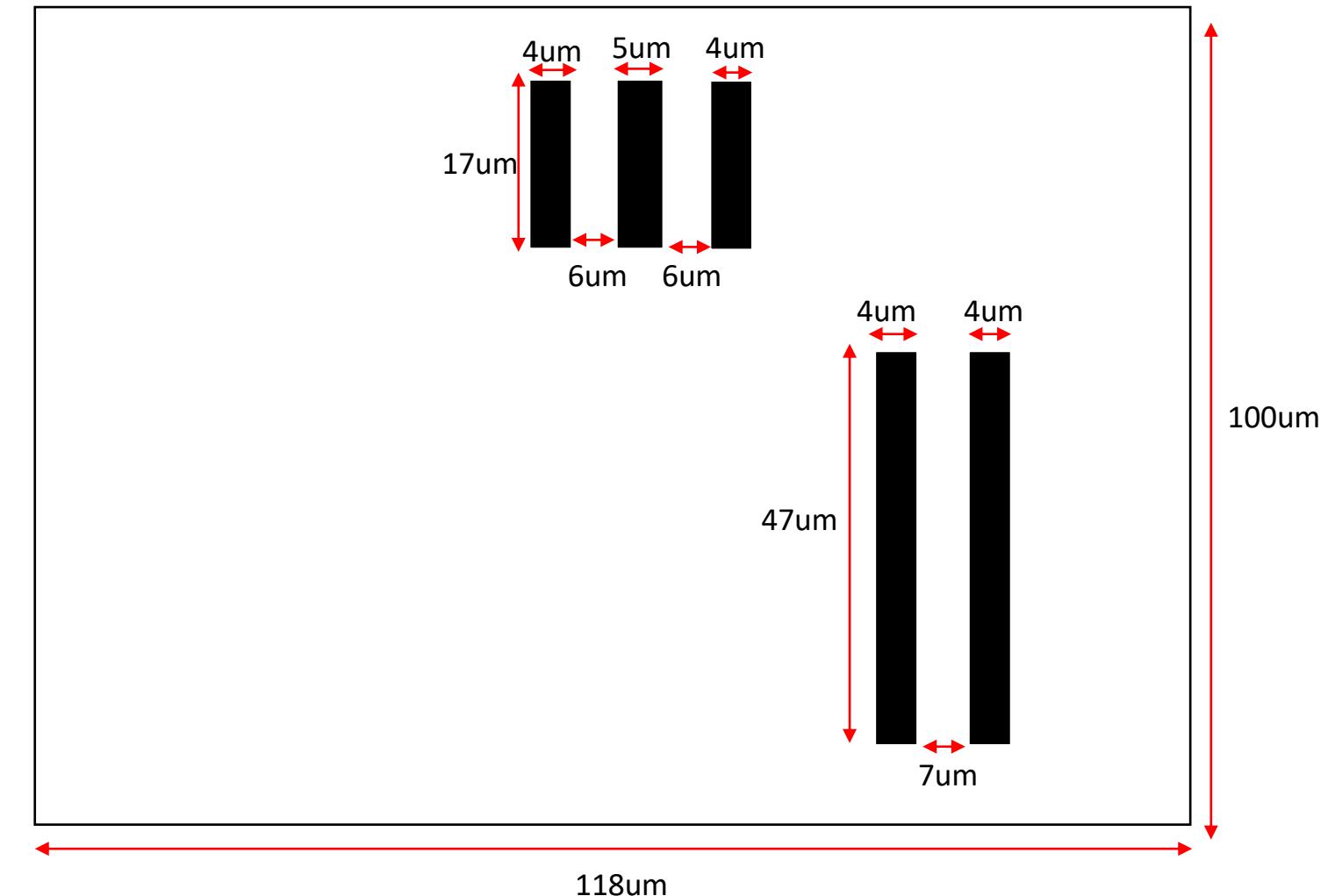
- Pattern 형성 마친 PR MASK이용

*LDD구조의 기능: HCI 문제해결

*HCI[Hot Carrier Injection] : 고에너지 Carrier가 게이트 산화막이나 기판으로 주입되는 현상

-> Trap 생성, 누설전류 증가 등 Tr성능저하 문제 유발

*Minimum 3um size 조건으로 Negative PR 사용

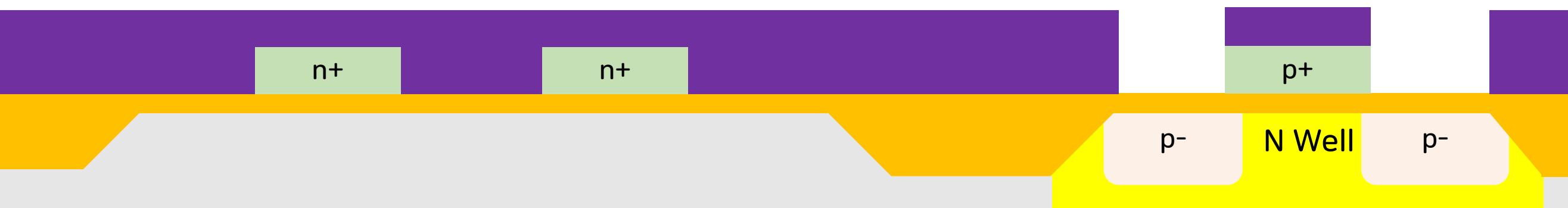


8. Source/Drain 형성

PMOS LDD구조 형성

- Boron사용하여 Ion Implantation진행

*LDD구조 형성 위해 low doping을 진행한다.



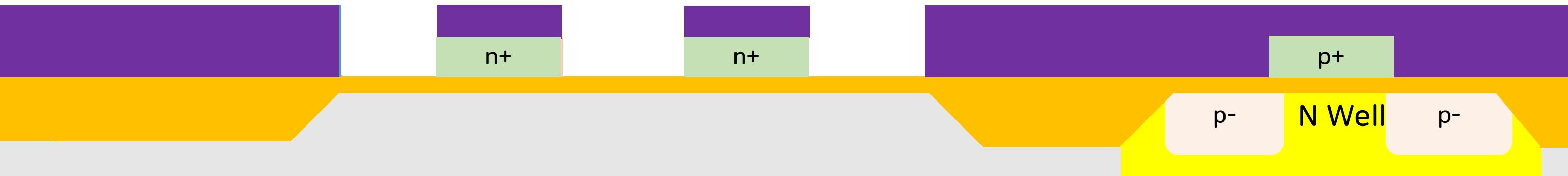
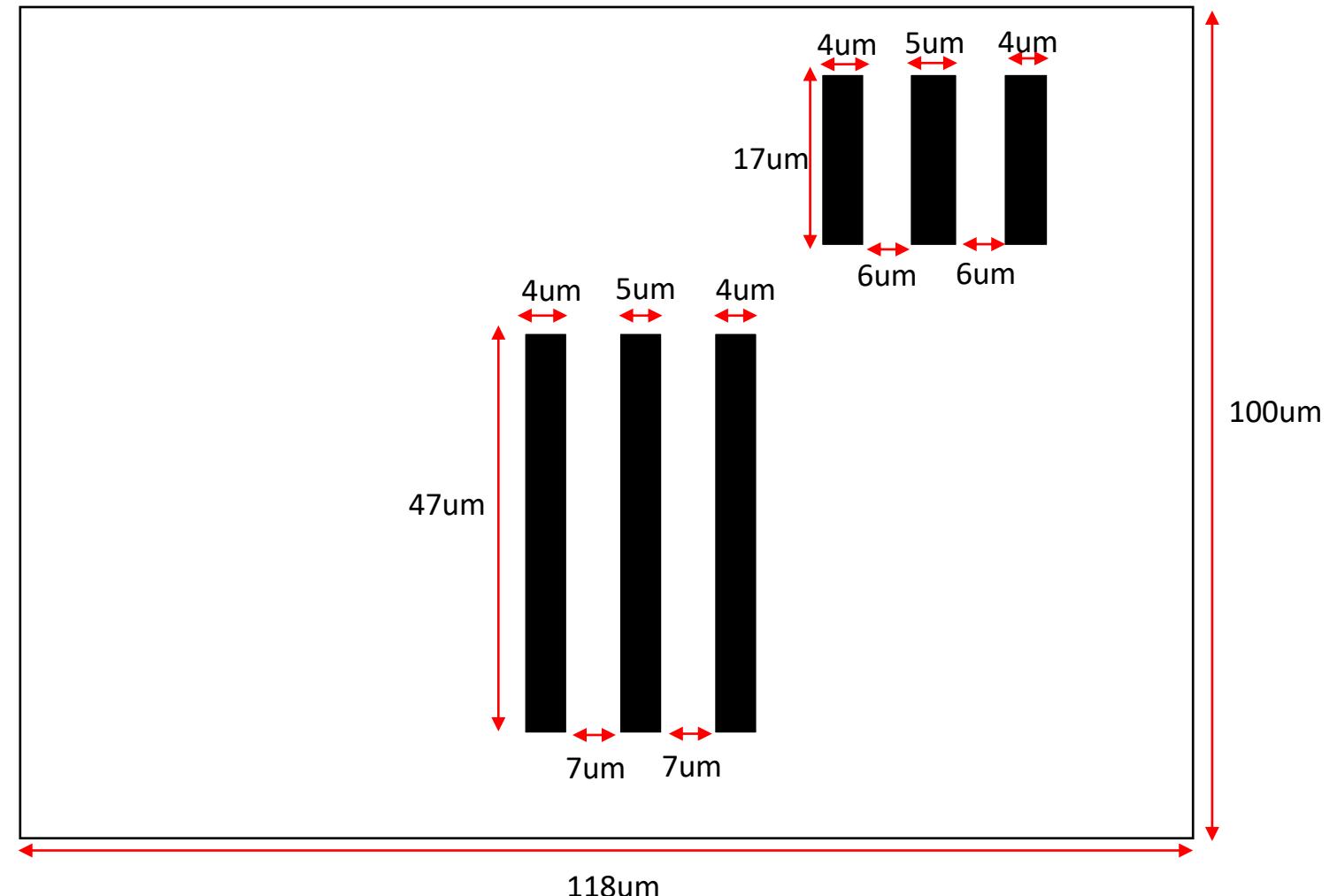
8. Source/Drain 형성

NMOS LDD구조 형성 *Negative PR MASK

- Pattern 형성 마친 PR MASK이용

MASK 7
NMOS LDD

*Minimum 3um size 조건으로 Negative PR 사용

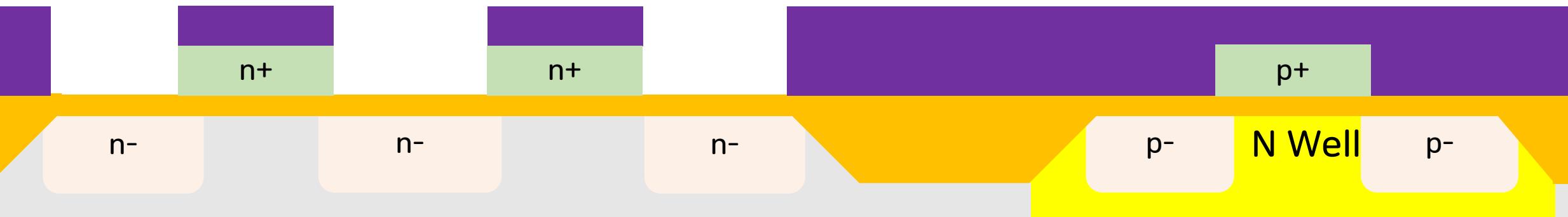


8. Source/Drain 형성

NMOS LDD구조 형성

- Phosphorus 사용하여 Ion Implantation진행

*LDD구조 형성 위해 low doping을 진행한다.



8. Source/Drain 형성

Spacer[Side Wall] 형성

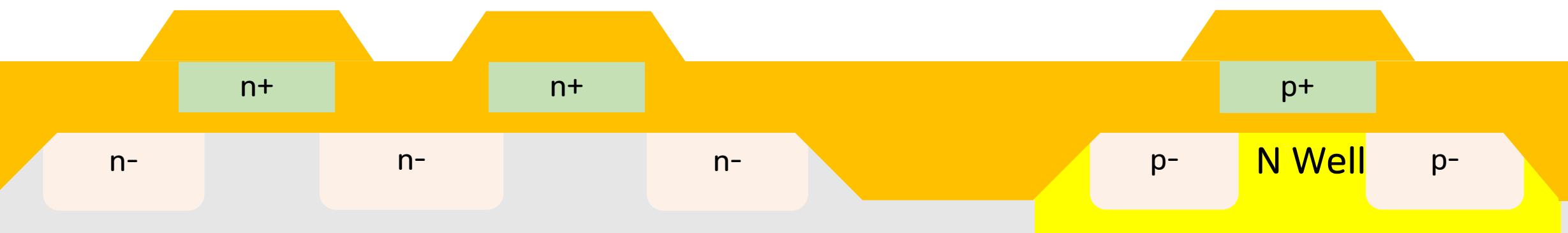
- PEVCD이용하여 SiO₂ 증착

*PEVCD 사용 이유

- Spacer는 고품질 절연막이 필요치 않기 때문에 공정 속도가 빠른 PECVD를 사용하여 공정 상의 효율을 높혔다.

*Spacer[Side Wall] 기능

- 도핑 시 보호 마스크 역할 -> LDD구조에 필수



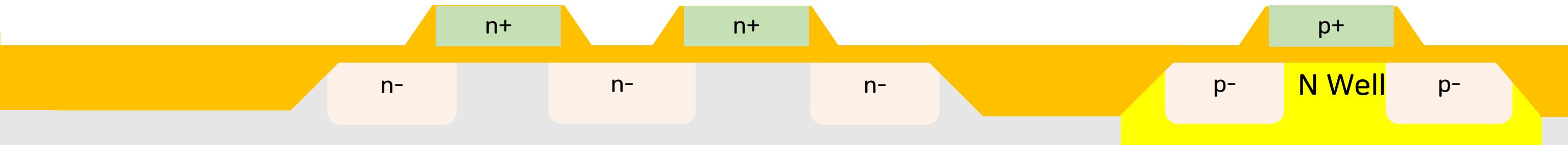
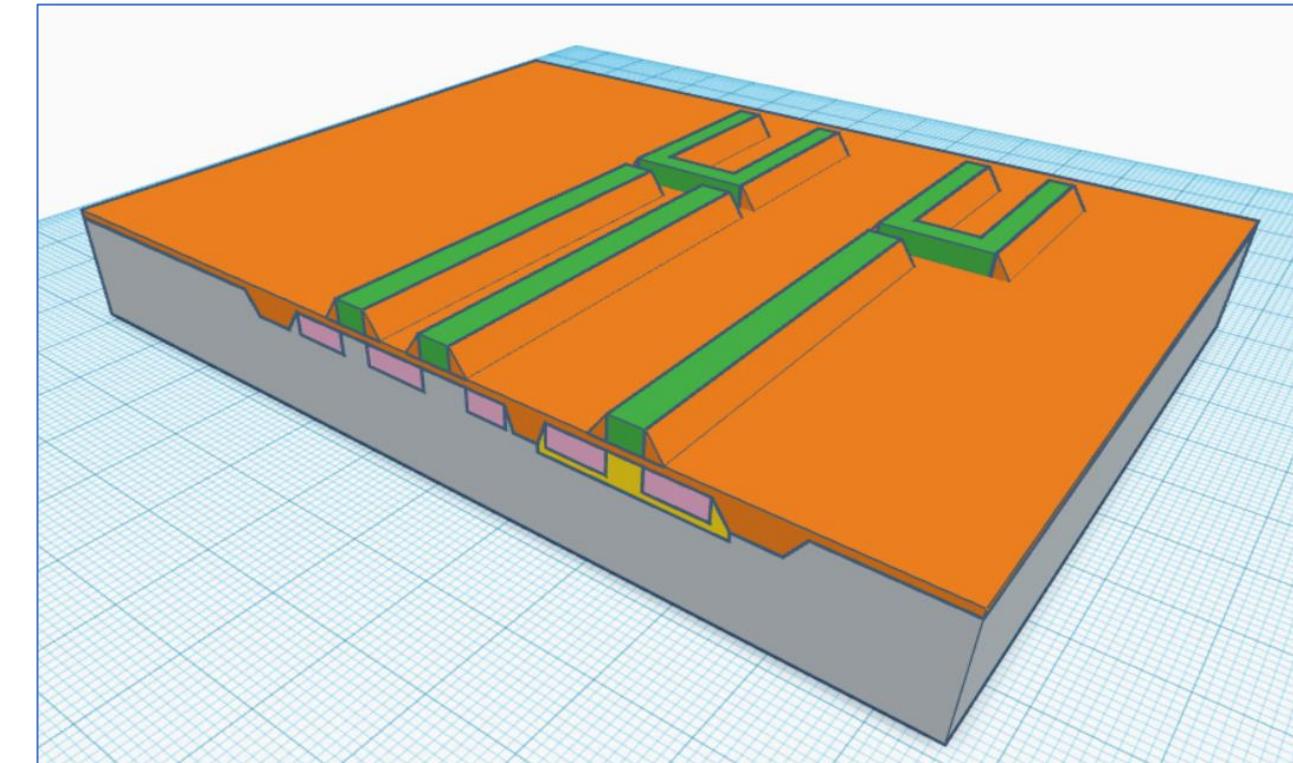
8. Source/Drain 형성

Spacer[Side Wall] 형성

- 증착된 SiO₂ Dry Etch진행

*Dry Etch 사용 이유

- 측면 식각이 잘 이루어지지 않는 Dry etch는 Spacer 형성에 유리함



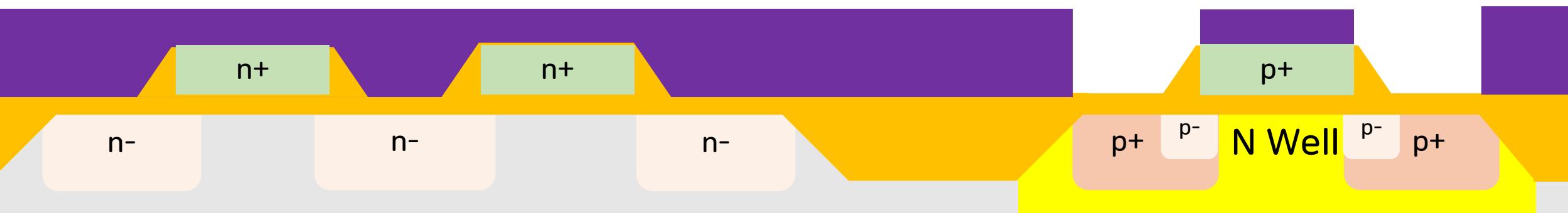
8. Source/Drain 형성

PMOS Source/Drain 형성

- Pattern 형성 마친 PR MASK이용
-> Boron사용하여 Ion Implantation 진행

*Source/Drain 형성 해야한다. 따라서 High doping을 진행한다.

*Source/Drain 형성 시 사용하는 Mask의 패턴은 LDD Mask의 패턴과 동일하다

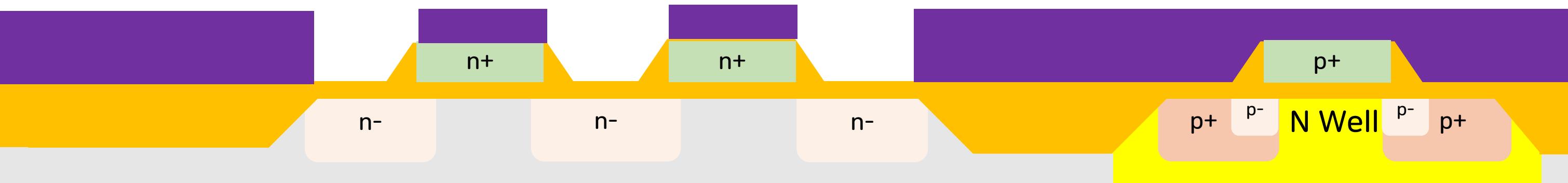


8. Source/Drain 형성

NMOS Source/Drain 형성

- PMOS의 공정과정과 동일
(*Ion Implantation 진행 시 사용물질 : Phosphorus)

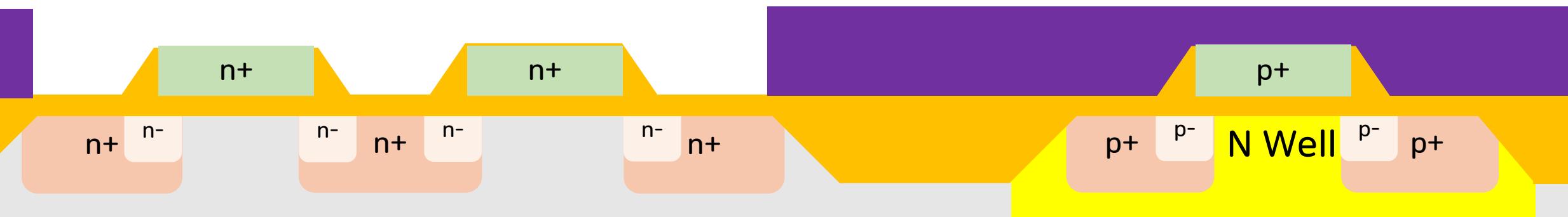
*Source/Drain 형성 해야한다. 따라서 High doping을 진행한다.



8. Source/Drain 형성

NMOS Source/Drain 형성

- PMOS의 공정과정과 동일
(*Ion Implantation진행 시 사용물질 : Boron)



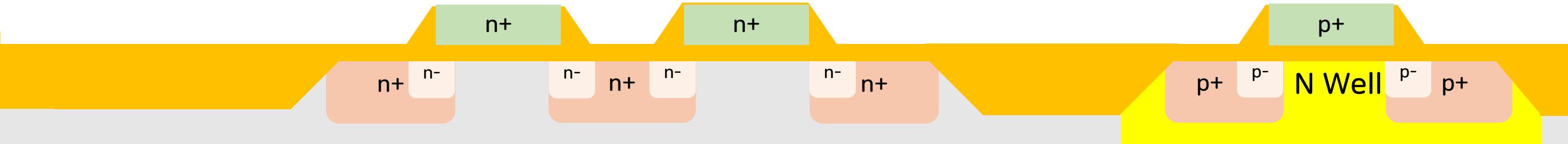
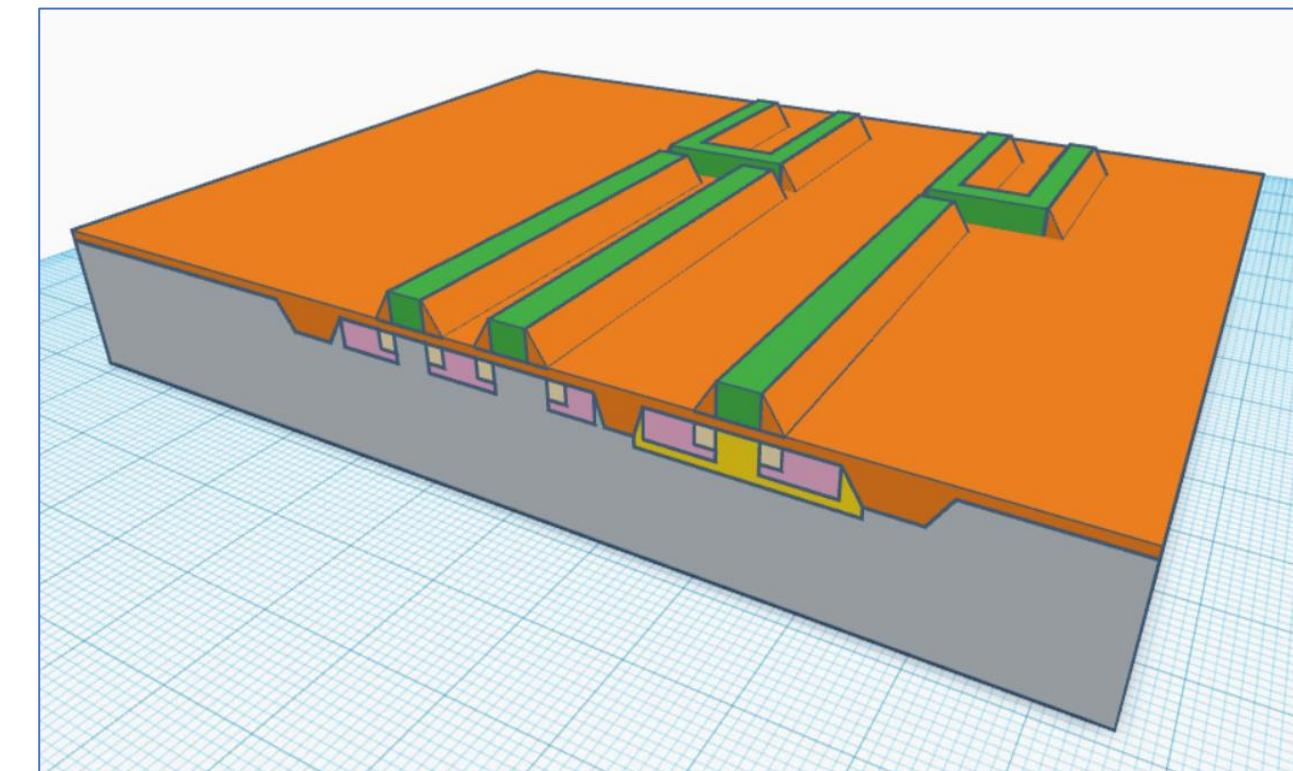
8. Source/Drain 형성

PR Strip + RTA

- PR Strip이후 RTA 진행

*Source/Drain 형성 과정에서 Ion Implantation을 사용하였으므로 RTA를 진행한다.

*RTA 목적 : Si의 격자 구조 회복 / dopant 전기적 활성화



9. Interconnection 형성

Lift-Off Technique * Negative PR

- Negative PR 방식으로 Pattern 형성 마친 PR MASK

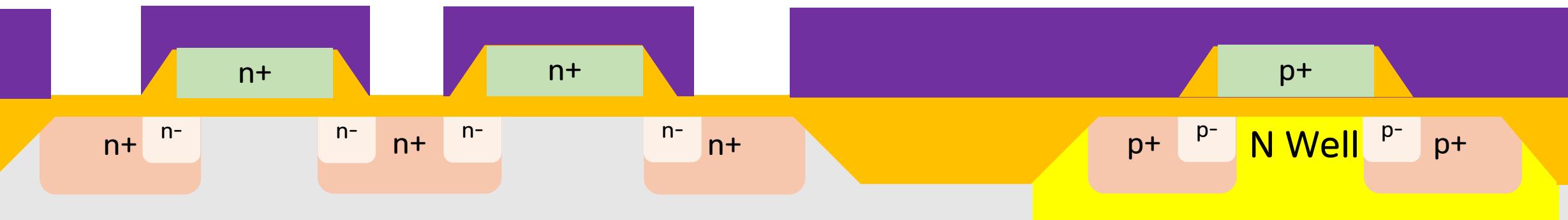
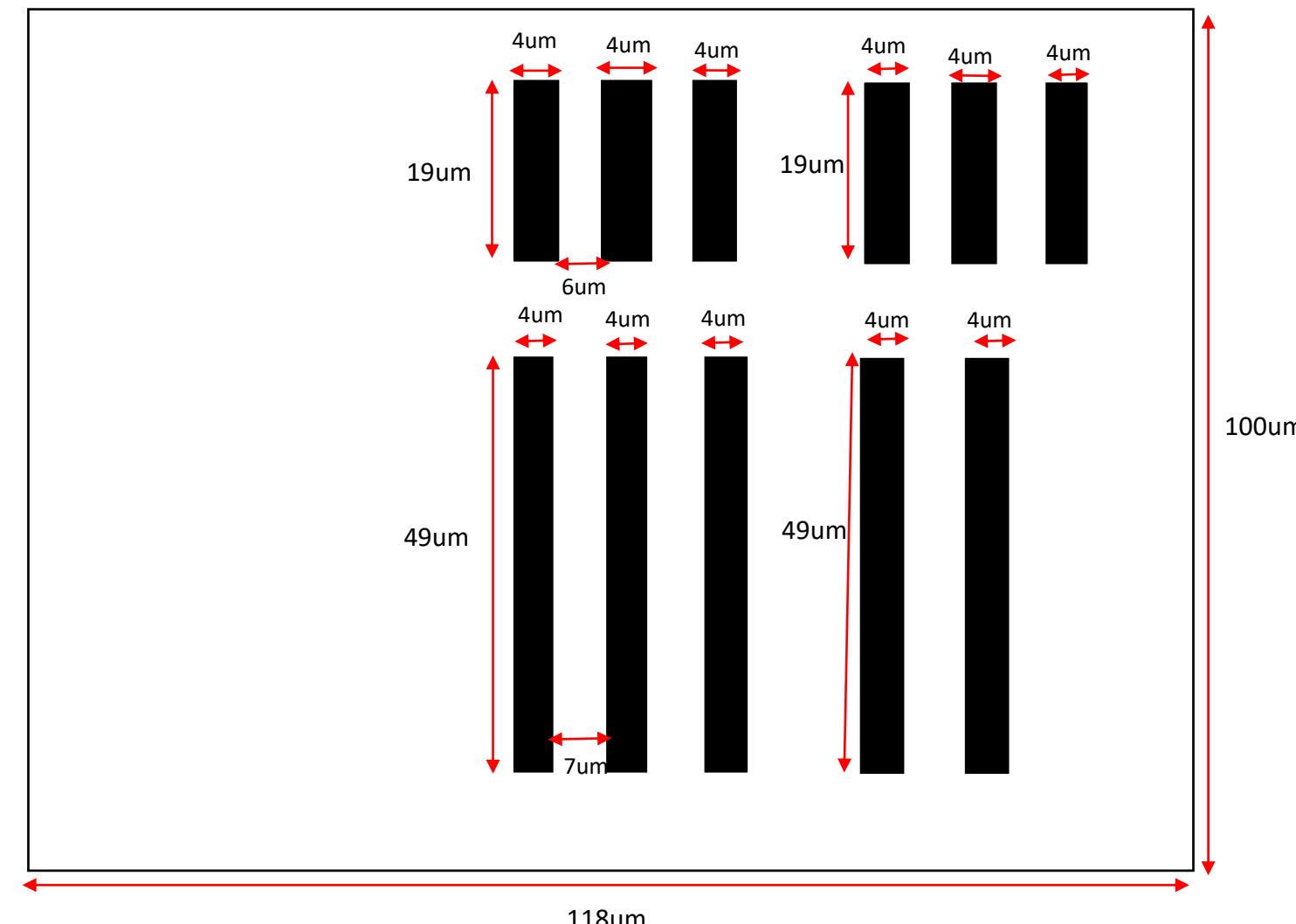
*Lift-Off 공정의 목적

- Etch공정을 없애 공정 상 효율성 증대

*Negative PR 사용 이유

- 박막 분리 용이성 : PR에 증착된 박막과 기판위에 증착된 박막을 쉽게 제거하여 원하는 패턴을 보다 쉽게 얻어낼 수 있다.

MASK 8
AI 증착

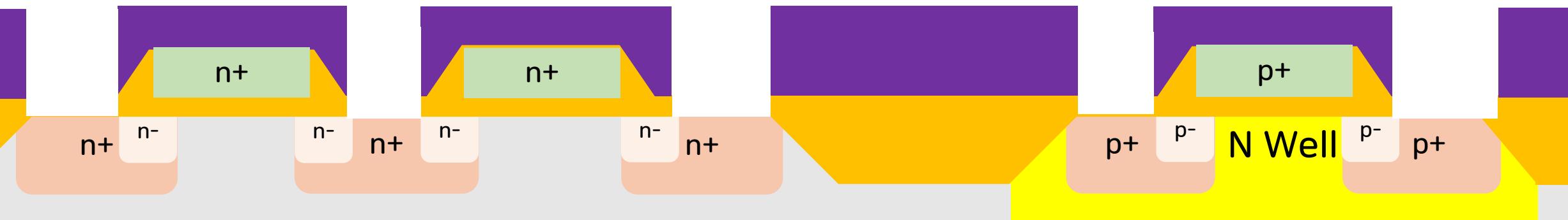


9. Interconnection 형성

Lift-Off Technique

- 형성된 PR Pattern 하에 Metal과 Source / Drain의 Contact 위해서 RIE Etch진행

*RIE Etch목적 : SiO₂를 Anisotropic하게 Etch하기 위함.



9. Interconnection 형성

Lift-Off Technique

- Sputtering 이용하여 Al-Cu 증착

*Sputtering 사용 이유

- 정확한 조성을 제어하는 데 유리하기 때문이다.
- CVD와 비교 시, 저온 공정에 유리하다.

*Al-Si = Al(99%)-Si(1%) 목적

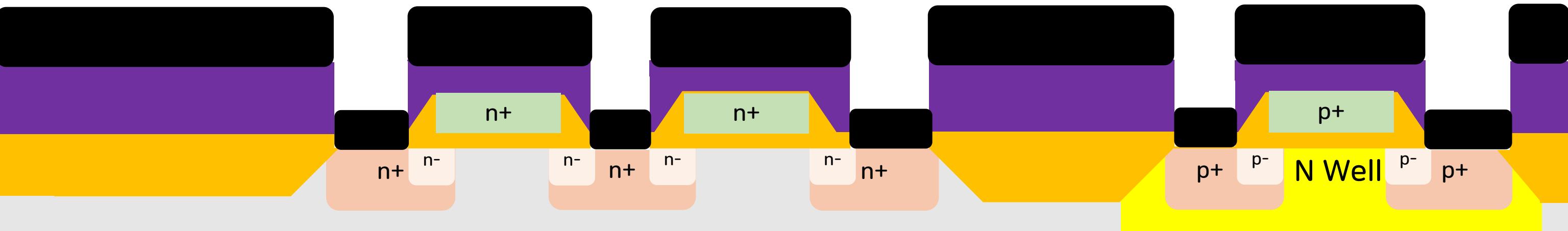
- Aluminum Spike / PN junction Short 방지

* Aluminum Spike

- Si이 Al 흡수하여 Al이 Si내부로 자라나 경계면이 파괴되는 현상

* PN junction Short

- Al이 PN junction을 뚫어 p-n short 가능성 존재

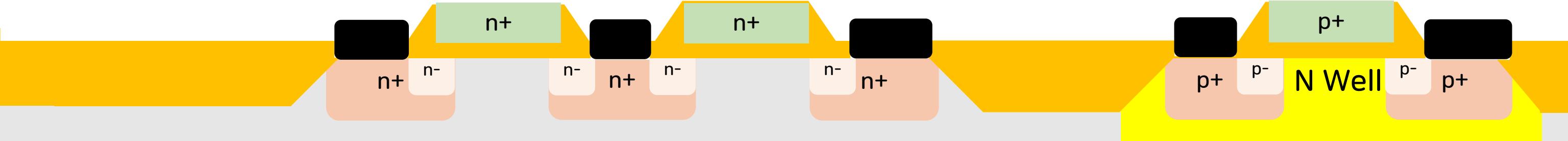
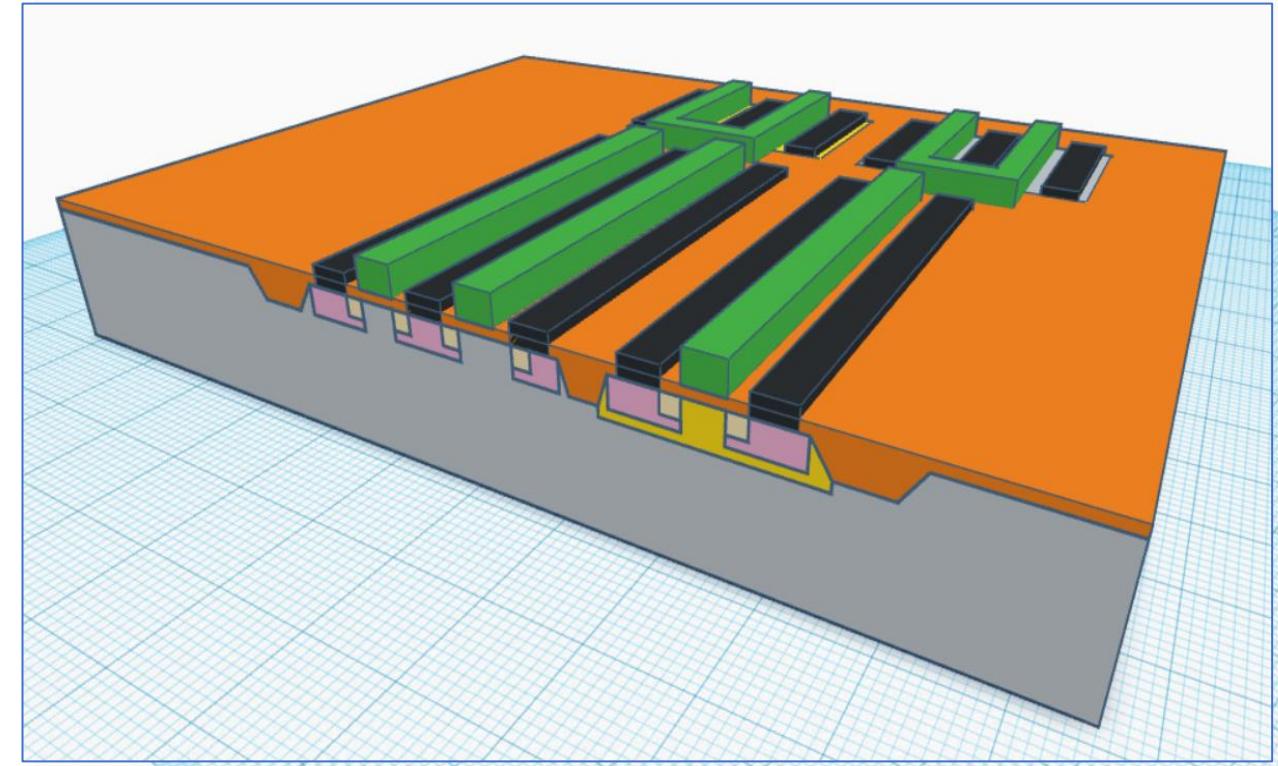


9. Interconnection 형성

Lift-Off Technique

- PR을 Strip하여 불필요한 AI도 함께 제거한다.

* Metal 있으므로 WET PR Stripper 대신 DRY PR Stripper 사용



9. Interconnection 형성

Dual Damascene

- PECVD이용하여 SiO₂ 증착

Dual Damascene 사용 이유

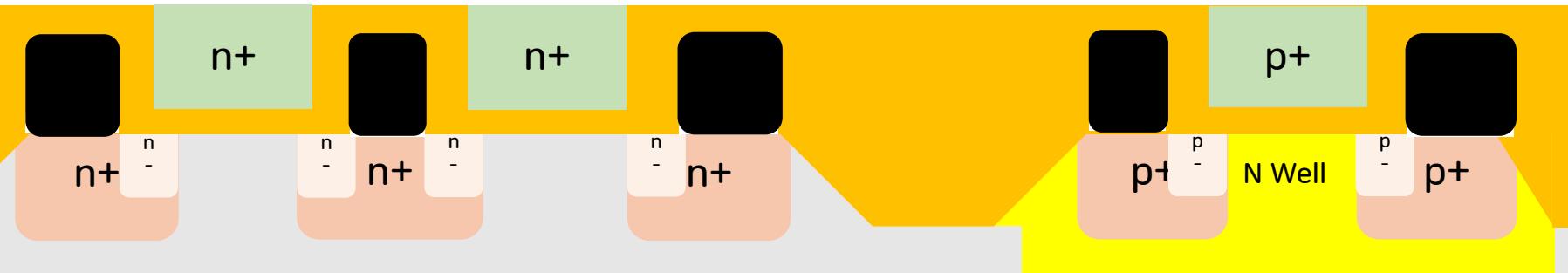
- Single Damascene 대비 공정 효율이 높다.
- Cu를 사용하기 위함이다.

[AI대비] Cu의 이점

- 높은 전기전도성
- 높은 내열성

PECVD 사용 이유

- LPCVD와는 달리 저온 공정을 통해 AI의 손상을 막을 수 있다.



9. Interconnection 형성

Dual Damascene

- PECVD사용하여 Si3N4증착 한 후 CMP통해 평탄화

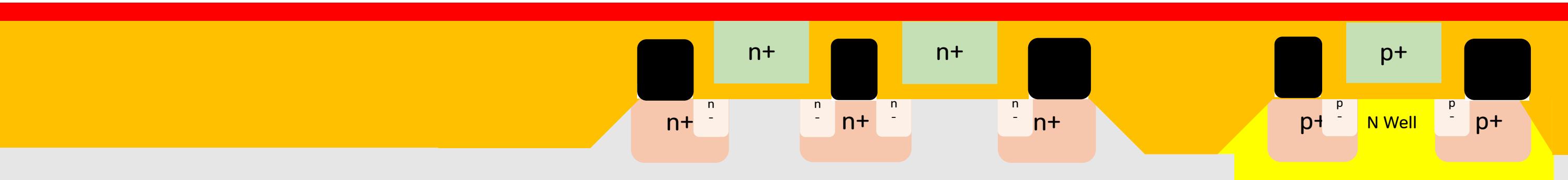
*Si3N4 목적

- 해당 공정에서 Etch Stop layer로 사용하기 위함이다.

*CMP[Chemical Mechanical polishing]

- 이후 형성되는 상층 막 표면의 굴곡발생을 방지하기 위함.

*Dual Damascene에서 모든 증착 과정 이후 CMP공정 진행



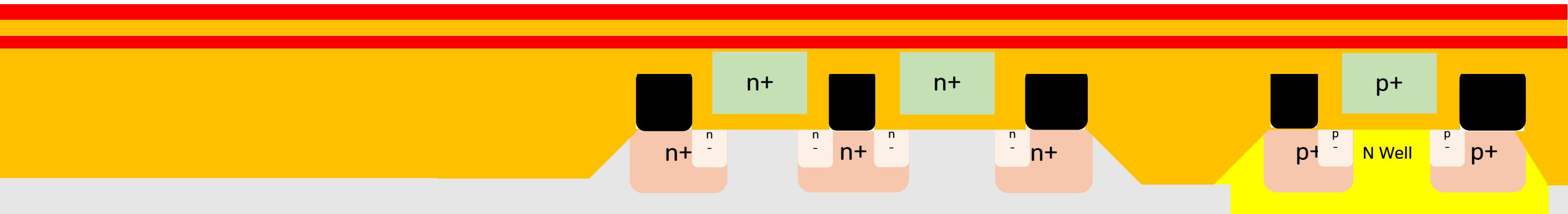
9. Interconnection 형성

Dual Damascene

- PECVD이용하여 추가적으로 SiO₂ 증착 후 Si₃N₄증착

*추가 증착 이유

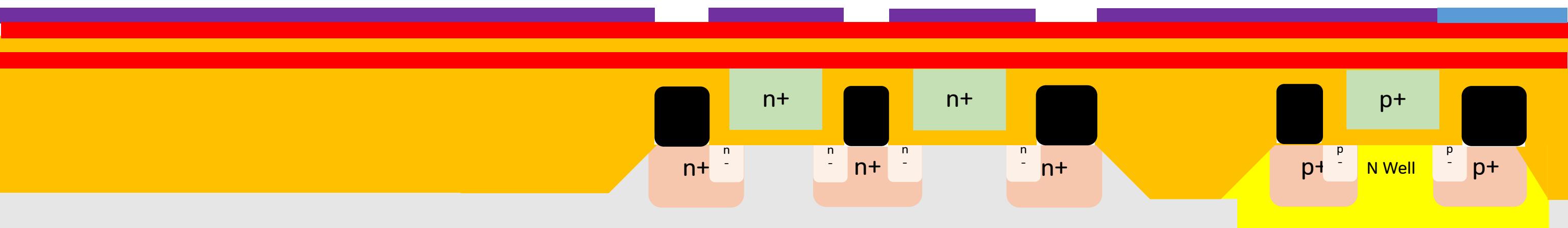
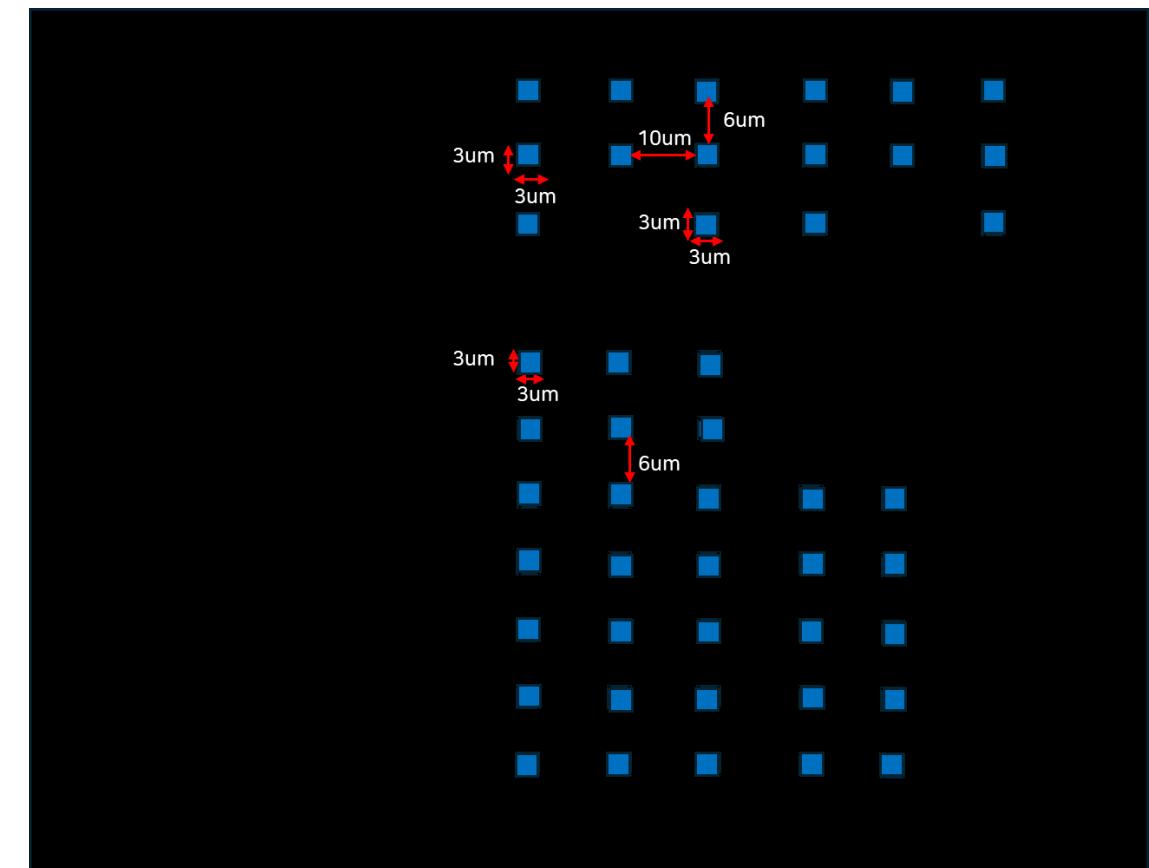
Dual Damascene 공정에서 Metal layer 위에 각각 2개의 Insulator와 Etch stop layer가 필요하기 때문이다.



9. Interconnection 형성

Dual Damascene *1st PR Mask

- PR Coating 이후 PR MASK Develop 진행 후 Pattern 형성
- Metal Contact 형성 (Real size : 4um * 4um)



9. Interconnection 형성

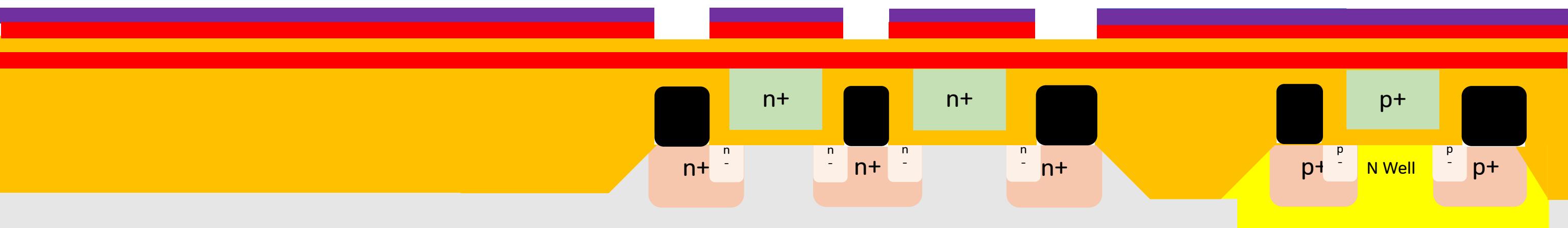
Dual Damascene *1st PR Mask

- RIE Etch 사용하여 Frist Etch Stop layer 제거

*RIE Etch 사용 이유

- Etch Selectivity가 좋기 때문이다.

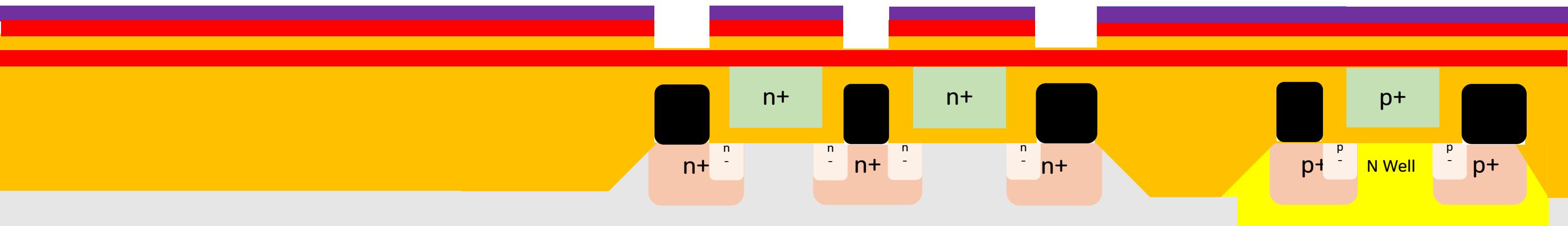
*Dual Dmascene공정에서의 Etch는 전부 RIE Etch



9. Interconnection 형성

Dual Damascene *1st PR Mask

- RIE Etch 사용하여 First Insulator 제거



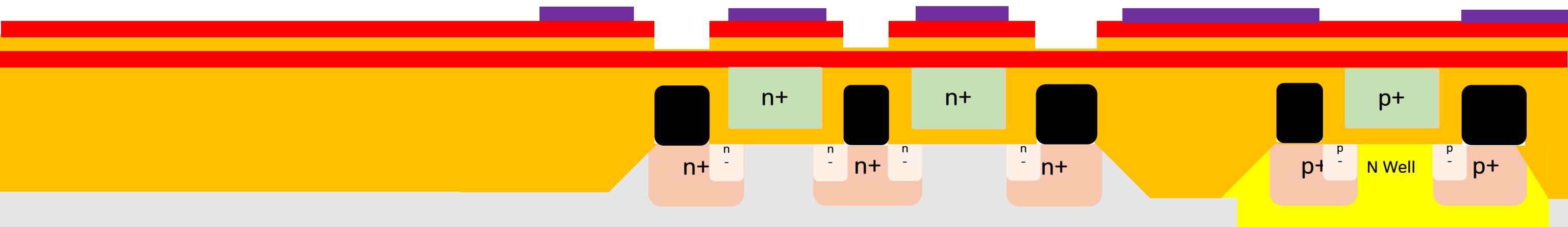
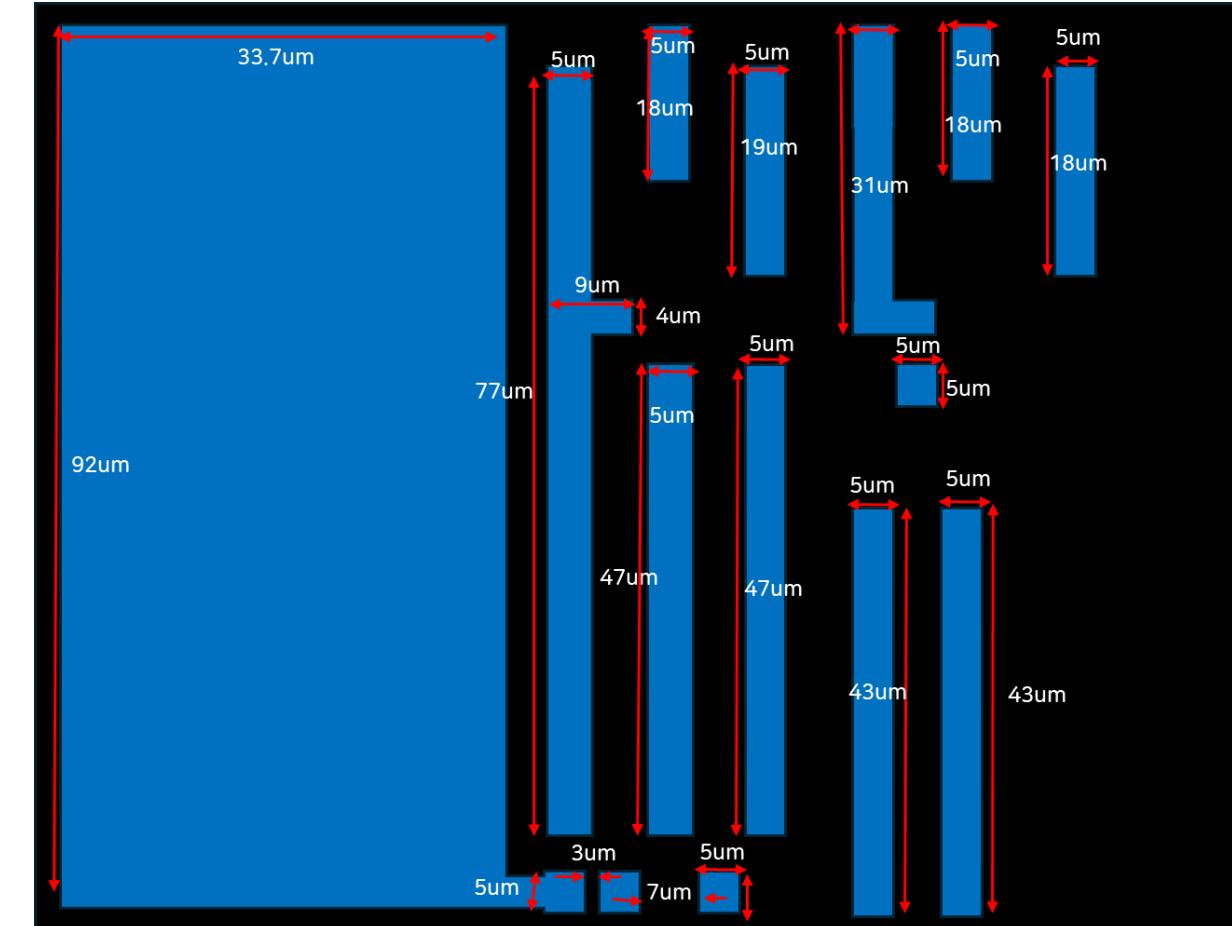
9. Interconnection 형성

Dual Damascene *2ndPR MASK

- 새로운 패턴 형성 위한 1st와는 2nd PR MASK 사용

*Alignment Tolerance 준수하기

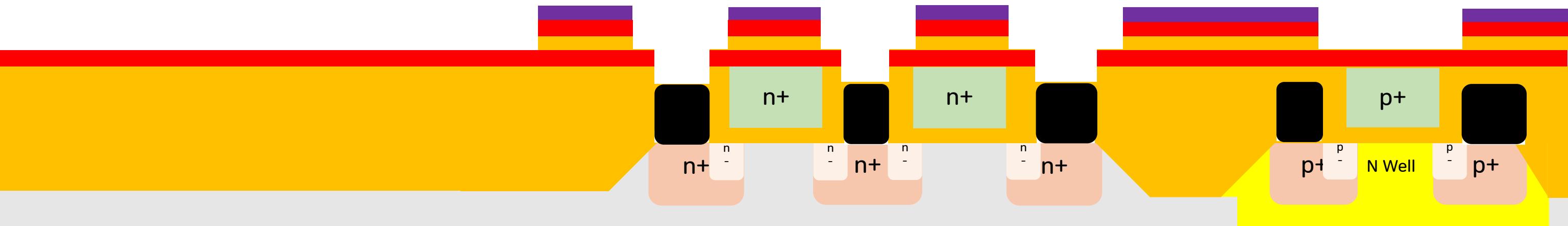
첫번째 Contact 생성한 Mask pattern으로부터 각 side를 1um씩 늘린
6um * 6um 를 minimum size로 설정



9. Interconnection 형성

Dual Damascene *2ndPR MASK

- Etch로 Etch Stop layer, Insulator 제거



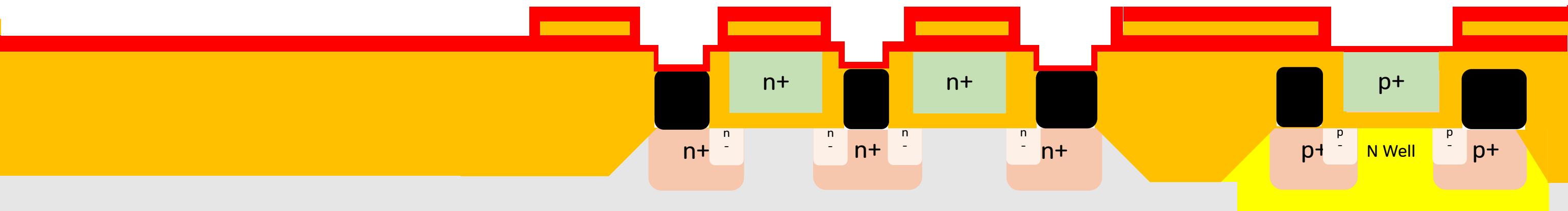
9. Interconnection 형성

Dual Damascene

- PR Strip
- > PECVD 이용하여 Barrier layer 증착

*Barrier layer 목적

- Cu의 확산을 방지하기 위함이다.



9. Interconnection 형성

Dual Damascene

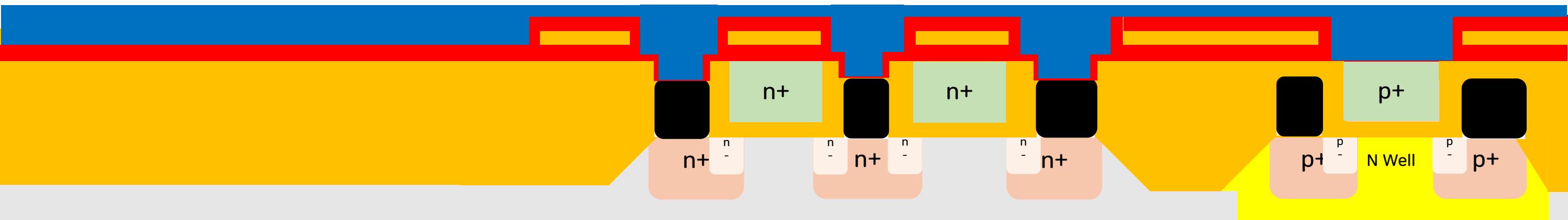
- Sputtering 이용하여 Seed layer 증착 *우수한 Step Coverage
-> Cu Electroplating[전해도금]

*Seed layer [Cu사용] 목적

- Cu가 균일하게 형성되도록 한다.
 - Barrier layer와 Cu의 접착력 향상

*Electroplating 사용 이유

- Cu는 증착, 식각이 어렵기 때문이다.



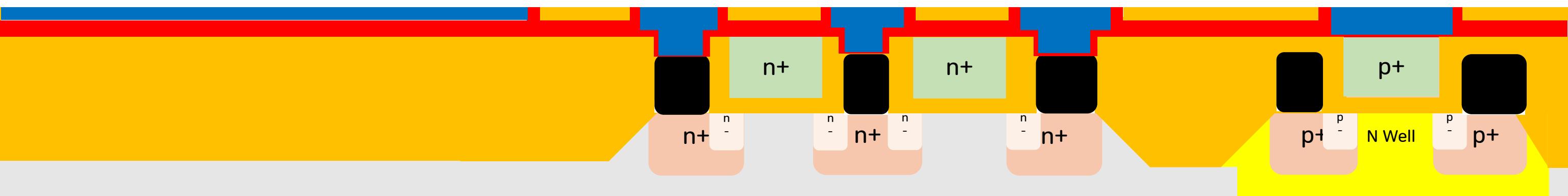
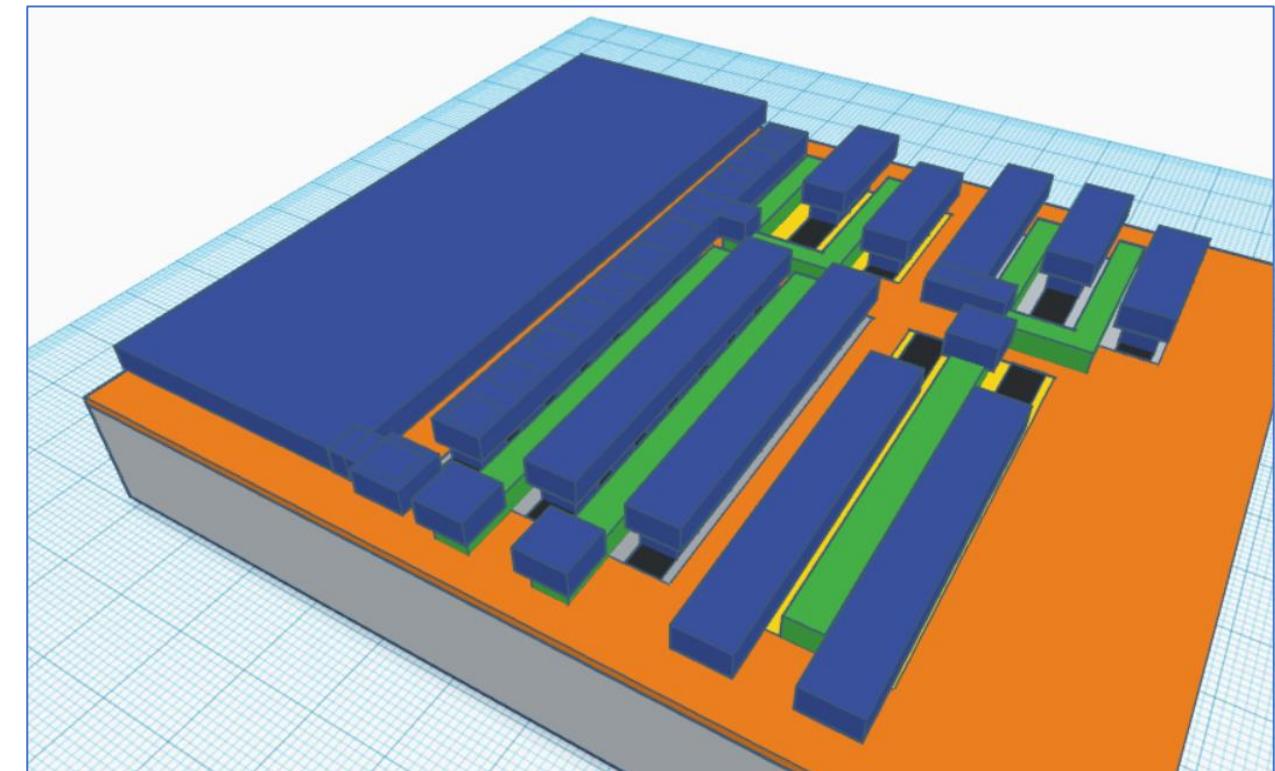
9. Interconnection 형성

Dual Damascene

- SiO₂ 바로 위 까지 CMP이용 평탄화

*CMP[Chemical Mechanical polishing]

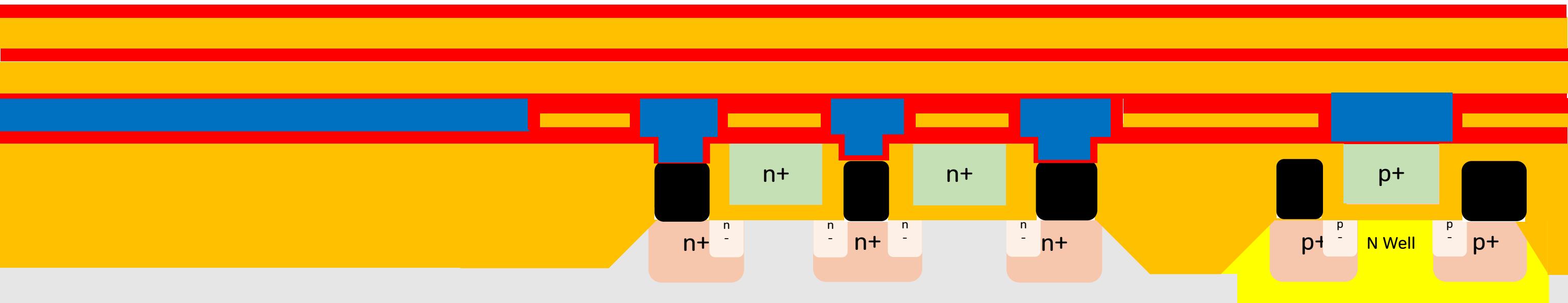
- 과도하게 증착된 Cu, Barrier layer제거
- 이후 형성되는 상층 막 표면의 굴곡발생을 방지하기 위함.



9. Interconnection 형성

Dual Damascene

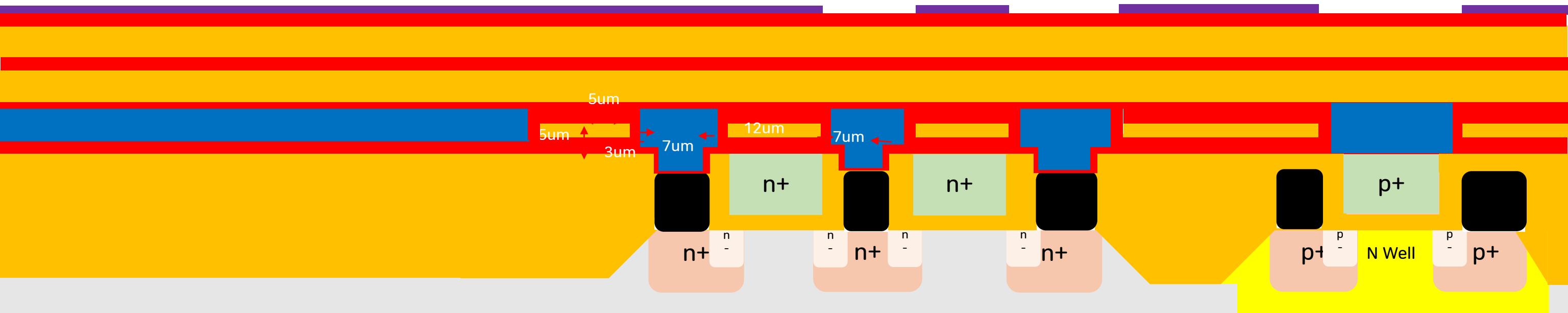
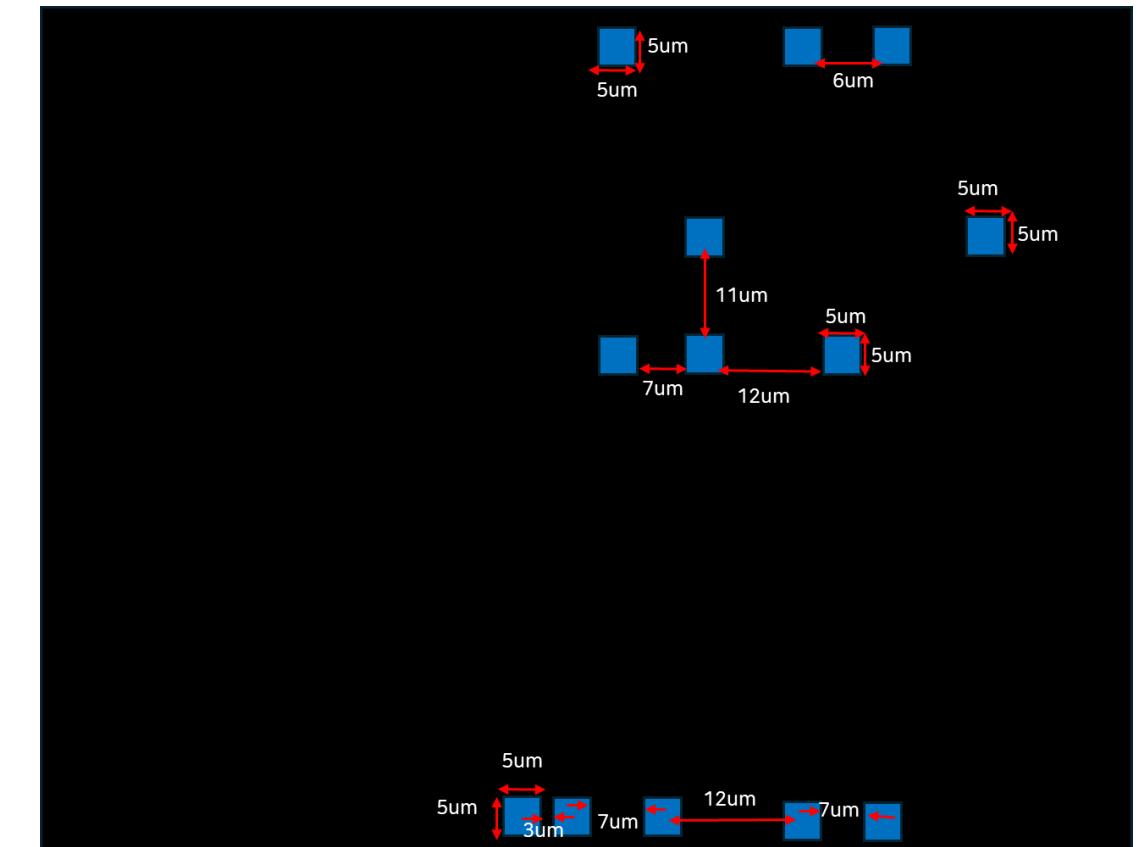
- PECVD이용하여 각각 3개의 Si₃N₄와 2개의 SiO₂ 증착



9. Interconnection 형성

Dual Damascene *1st PR Mask

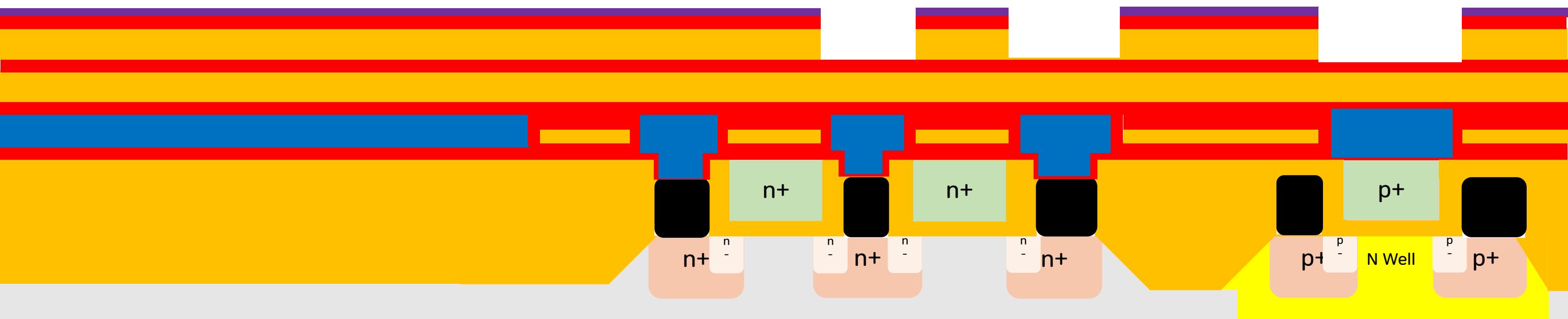
-PR Coating 이후 PR MASK Develop 진행 후 Pattern 형성



9. Interconnection 형성

Dual Damascene *1st PR Mask

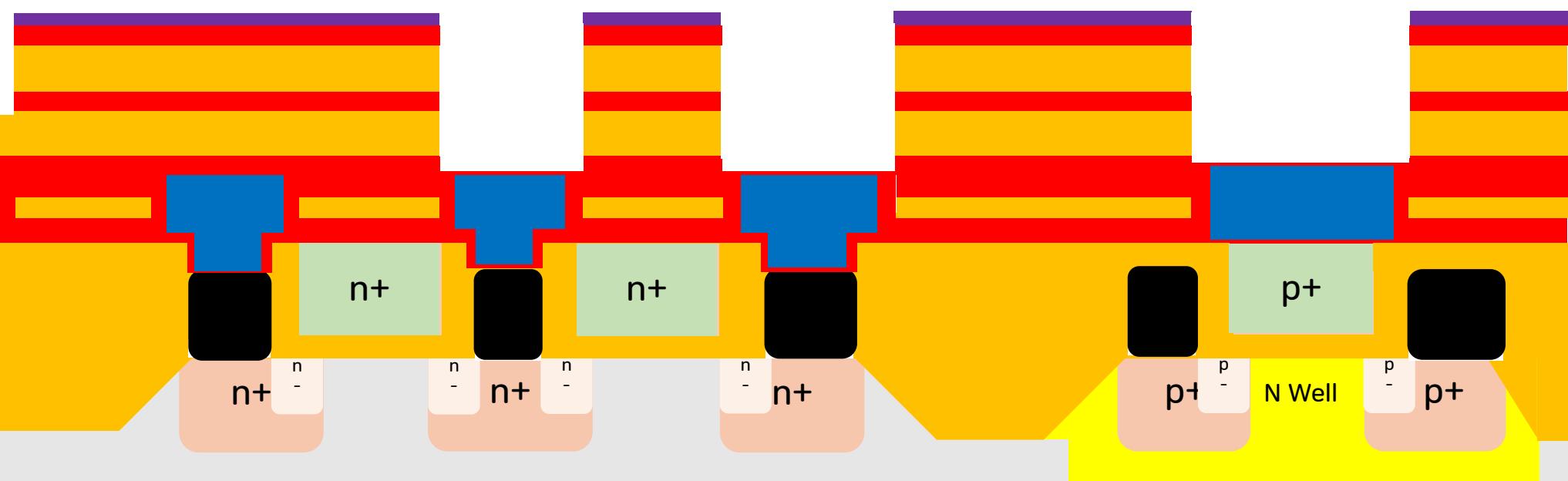
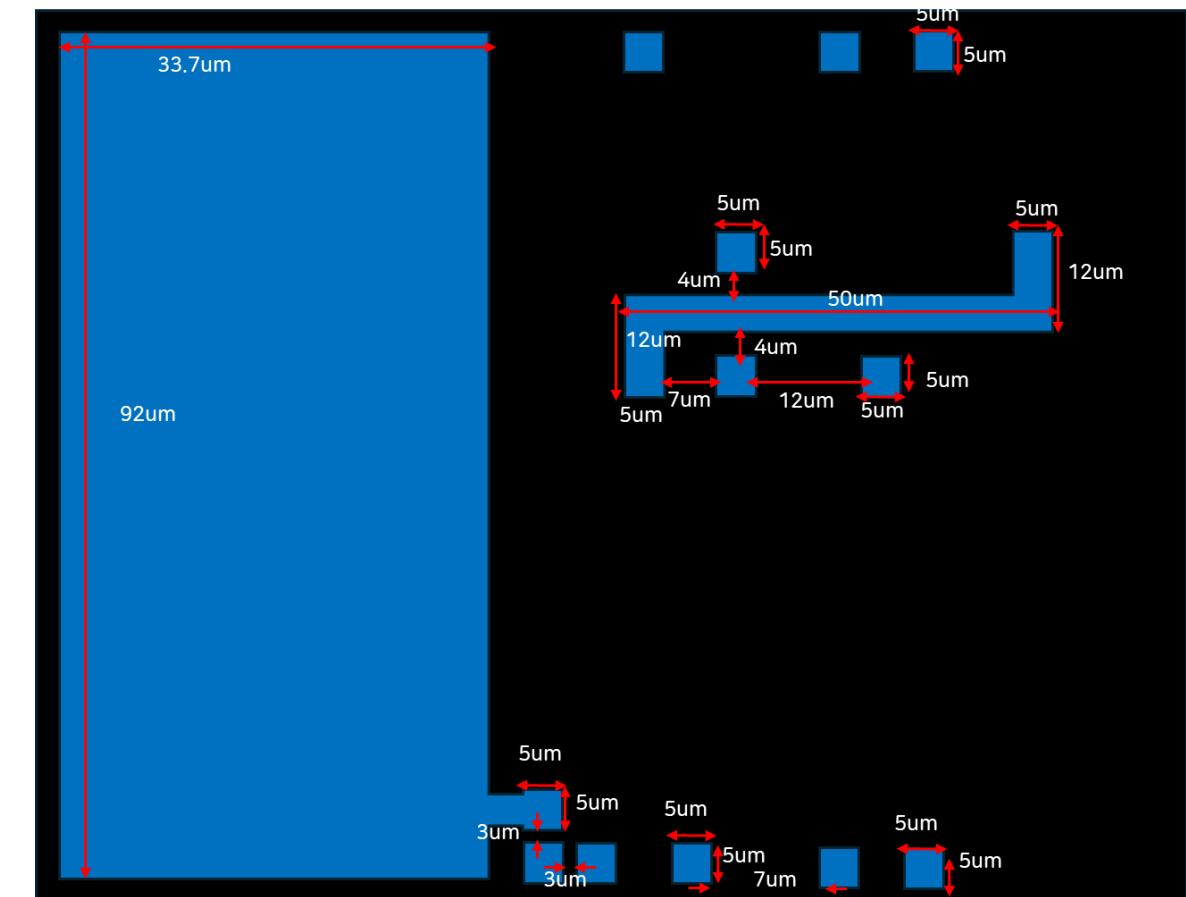
- Etch로 Etch Stop layer, Insulator 제거



9. Interconnection 형성

Dual Damascene *2ndPR MASK

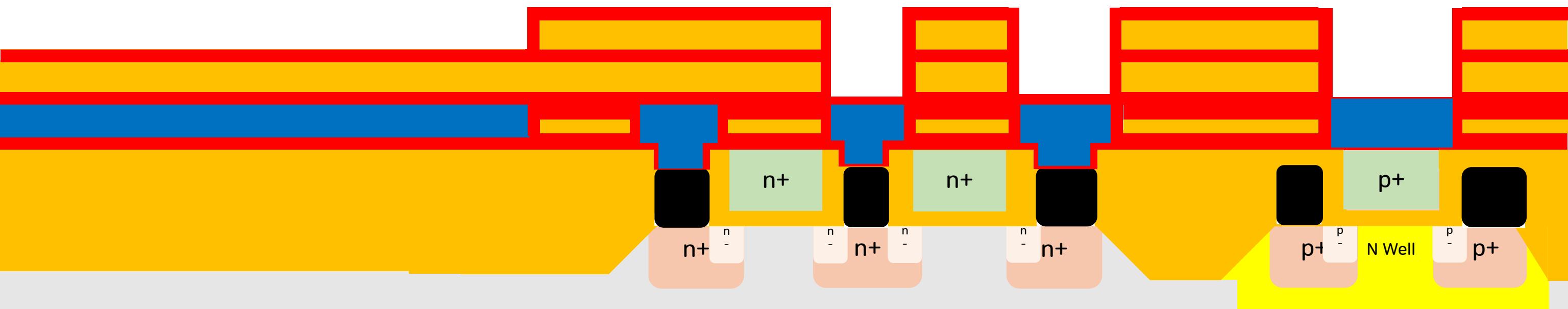
- Etch로 Etch Stop layer, Insulator 제거



9. Interconnection 형성

Dual Damascene

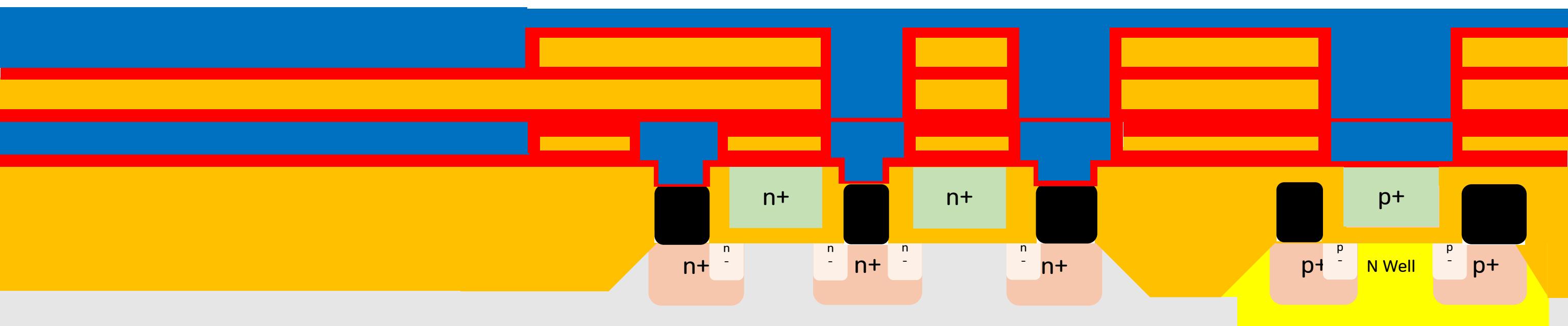
- PR Strip
- > PECVD 이용하여 Barrier layer 증착



9. Interconnection 형성

Dual Damascene

- Sputtering 이용하여 Seed layer 증착
-> Cu Electroplating[전해도금]



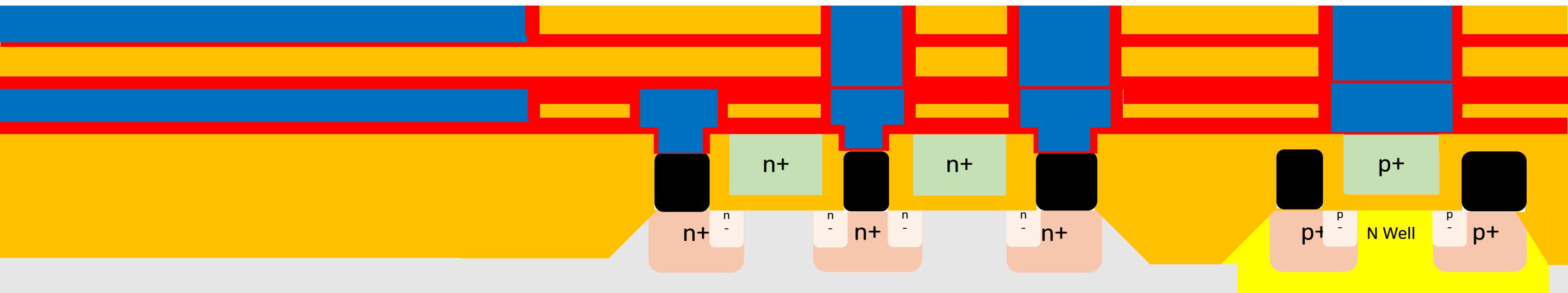
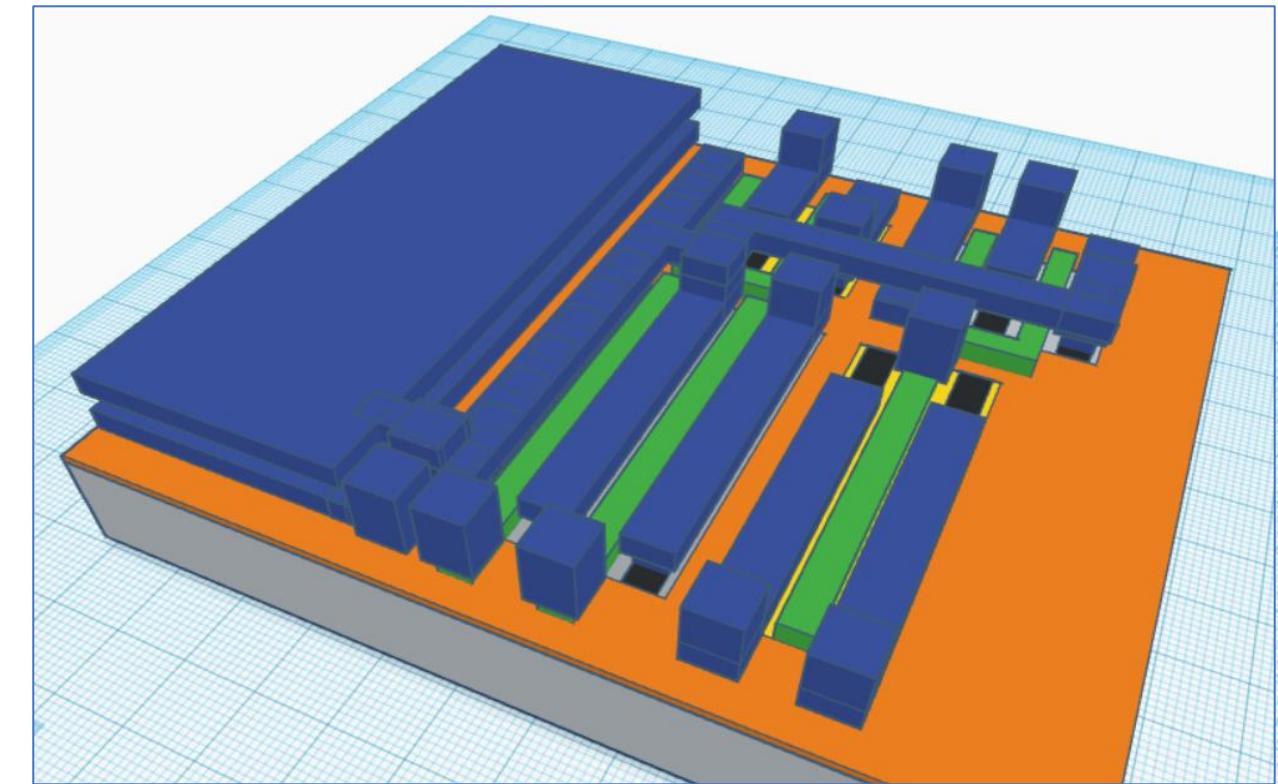
9. Interconnection 형성

Dual Damascene

- SiO₂ 바로 위 까지 CMP이용 평탄화
- MIM구조 Capacitor형성

*Capacitor

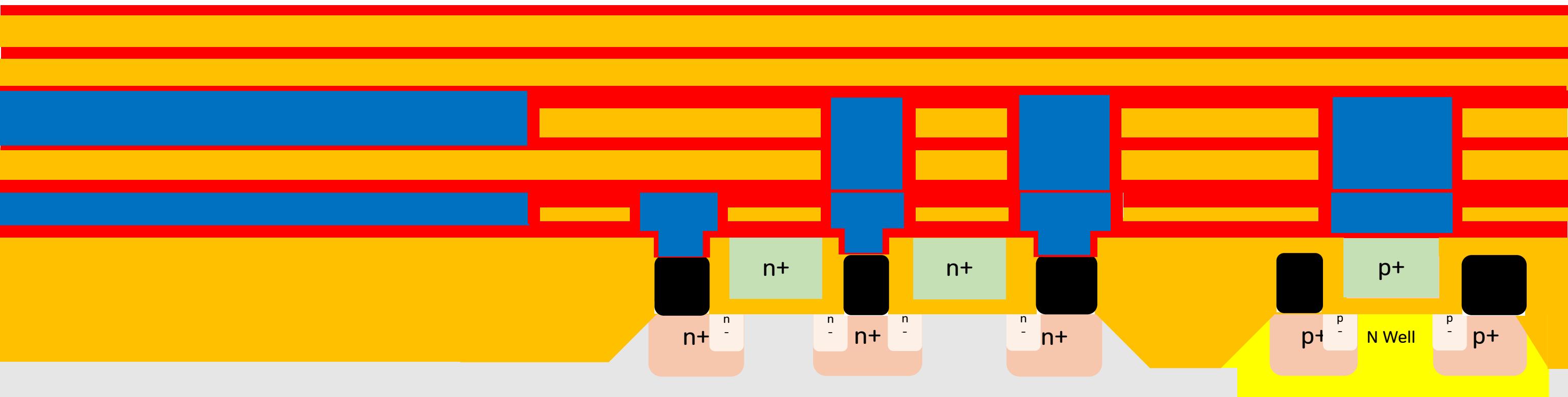
Cu사이에 절연기능을 하는 SiO₂, Si₃N₄을 하는 배치하여
MIM구조의 Capacitor를 형성한다.



9. Interconnection 형성

Dual Damascene

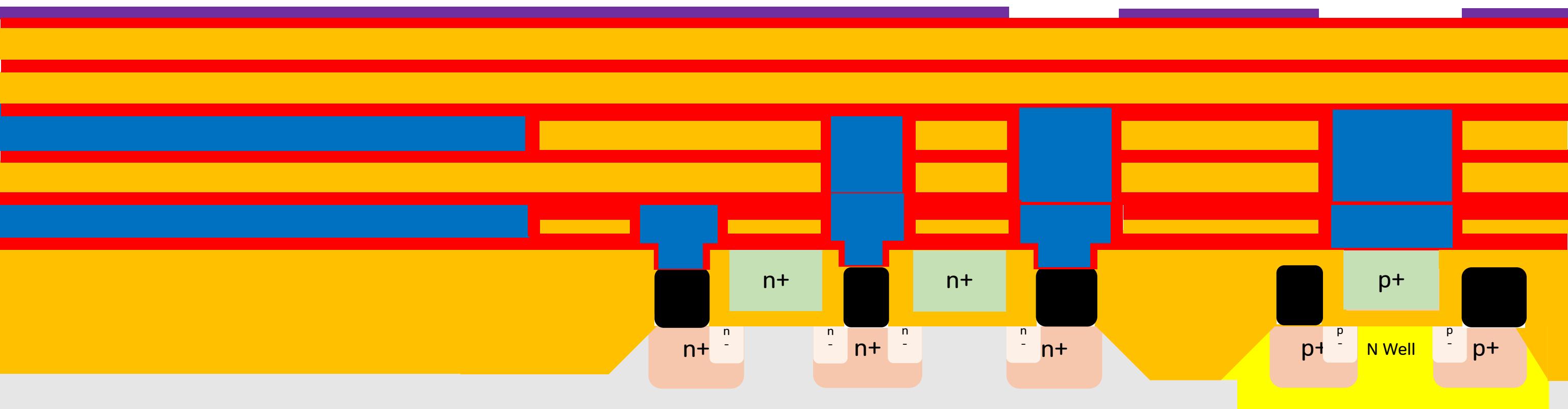
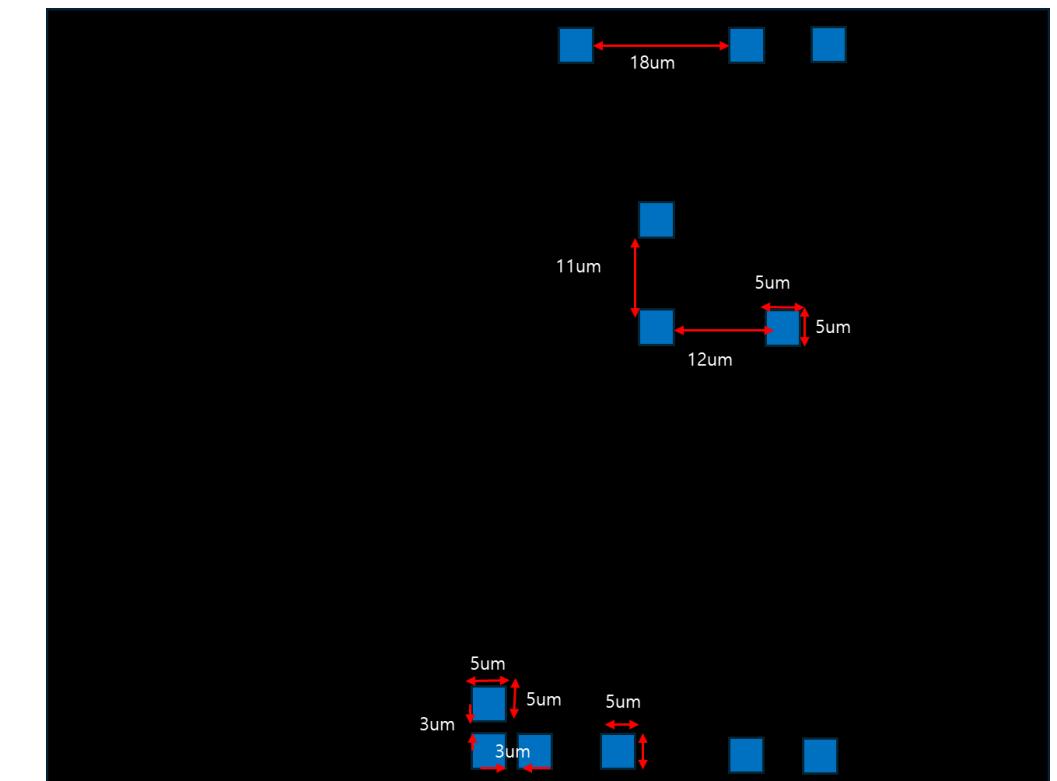
- PECVD이용하여 각각 3개의 Si₃N₄와 2개의 SiO₂ 증착



9. Interconnection 형성

Dual Damascene *1st PR Mask

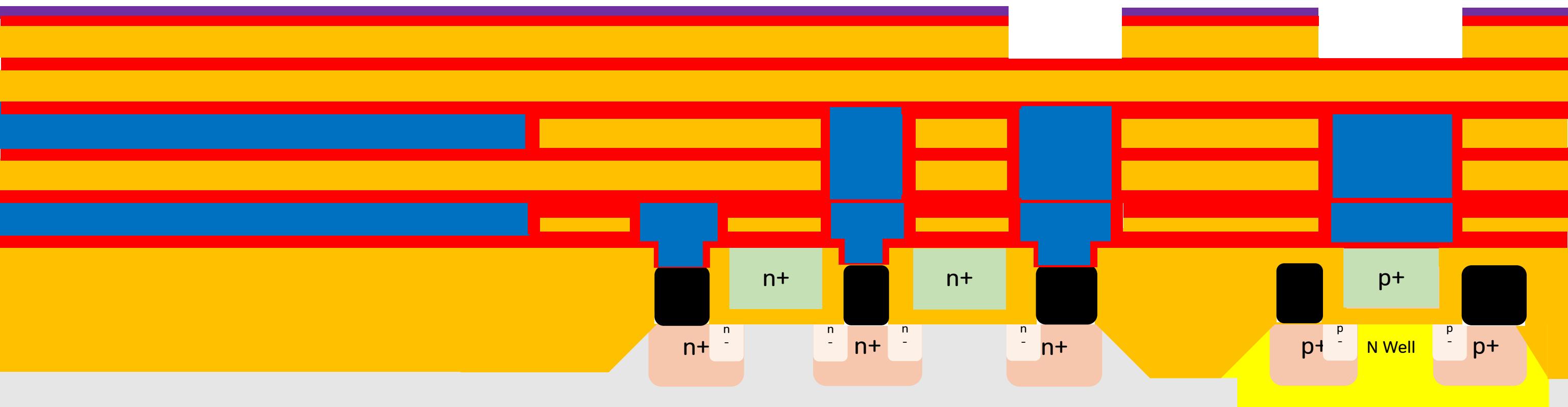
- PR Coating 이후 PR MASK Develop 진행 후 Pattern 형성



9. Interconnection 형성

Dual Damascene *1st PR Mask

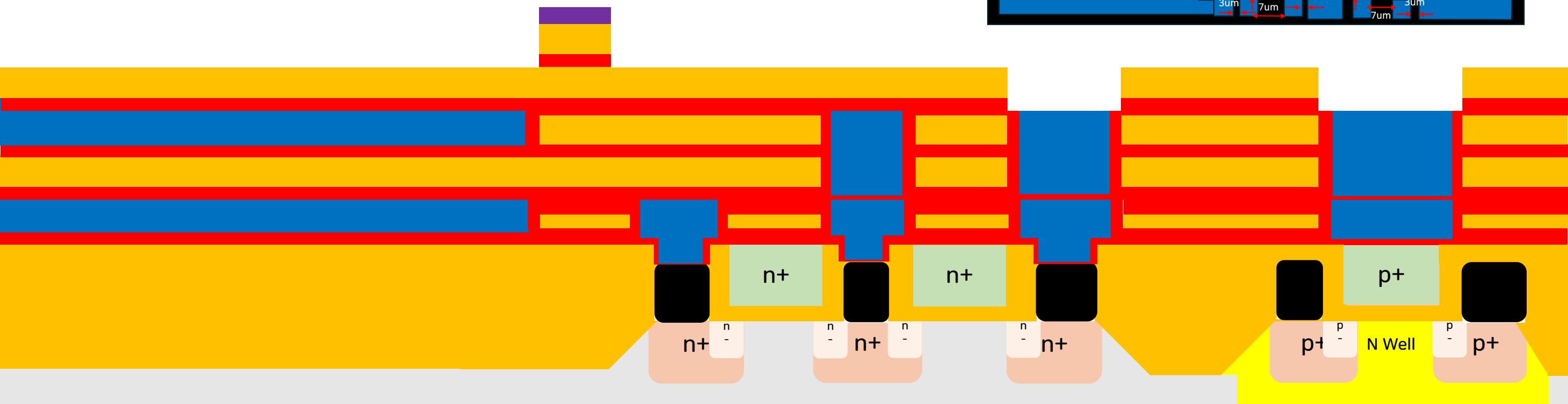
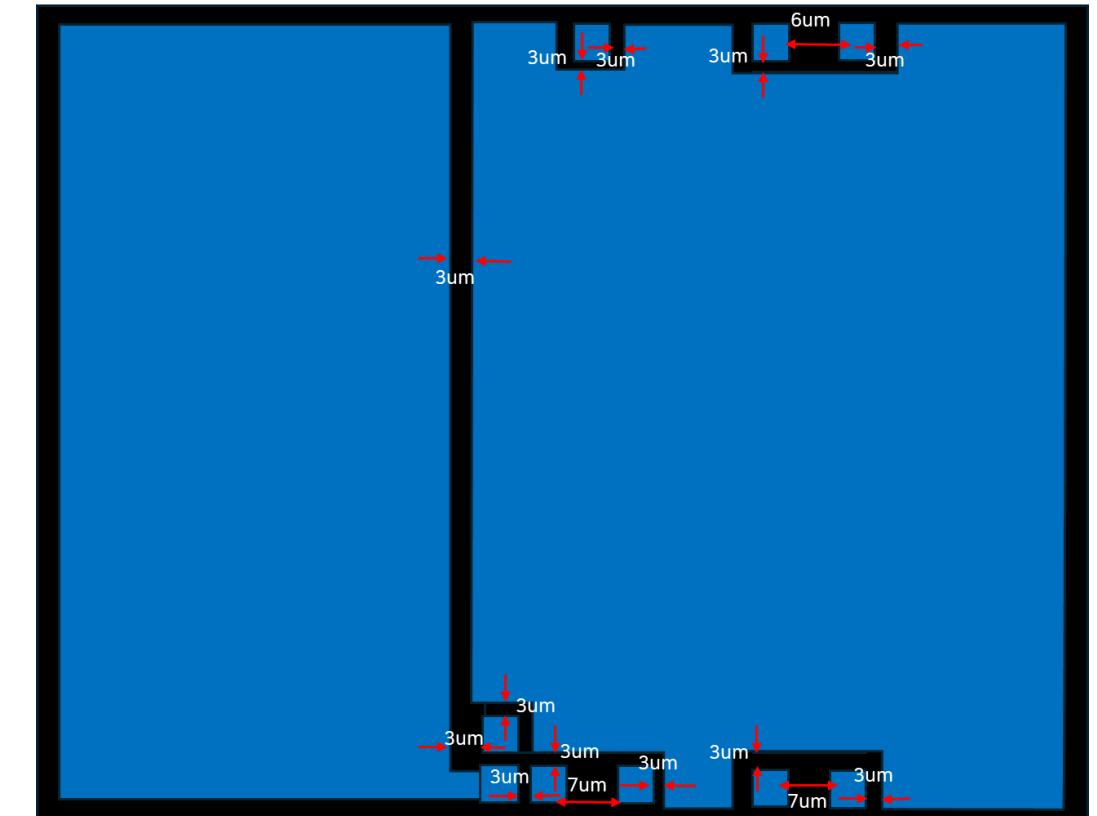
- Etch로 Etch Stop layer, Insulator 제거



9. Interconnection 형성

Dual Damascene *2ndPR MASK

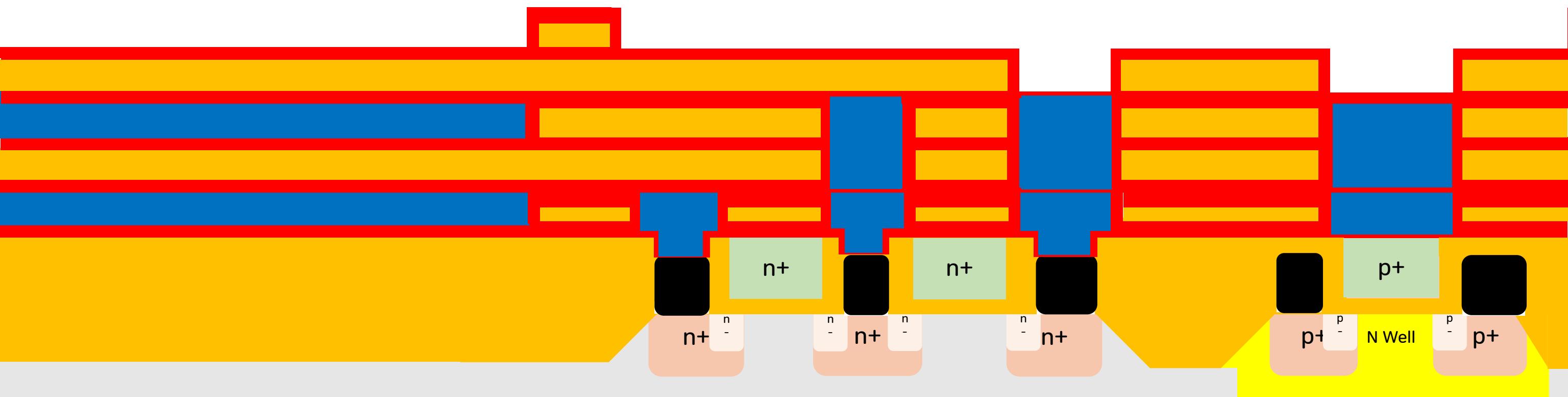
- Etch로 2개의 Etch Stop layer, 1개의 Insulator 제거



9. Interconnection 형성

Dual Damascene

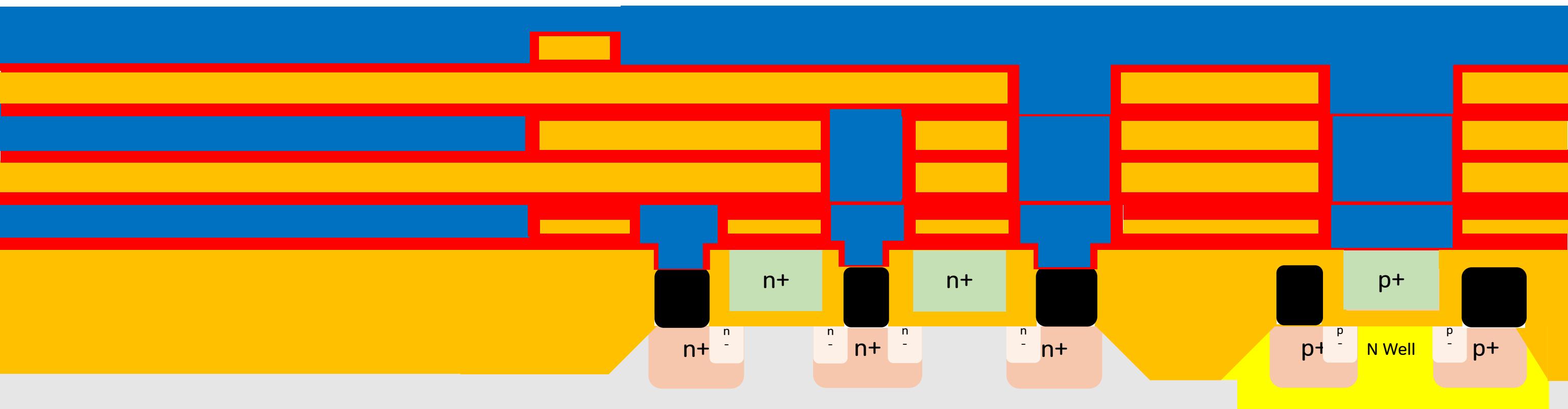
- PR Strip
 - > PECVD 이용하여 Barrier layer 증착



9. Interconnection 형성

Dual Damascene

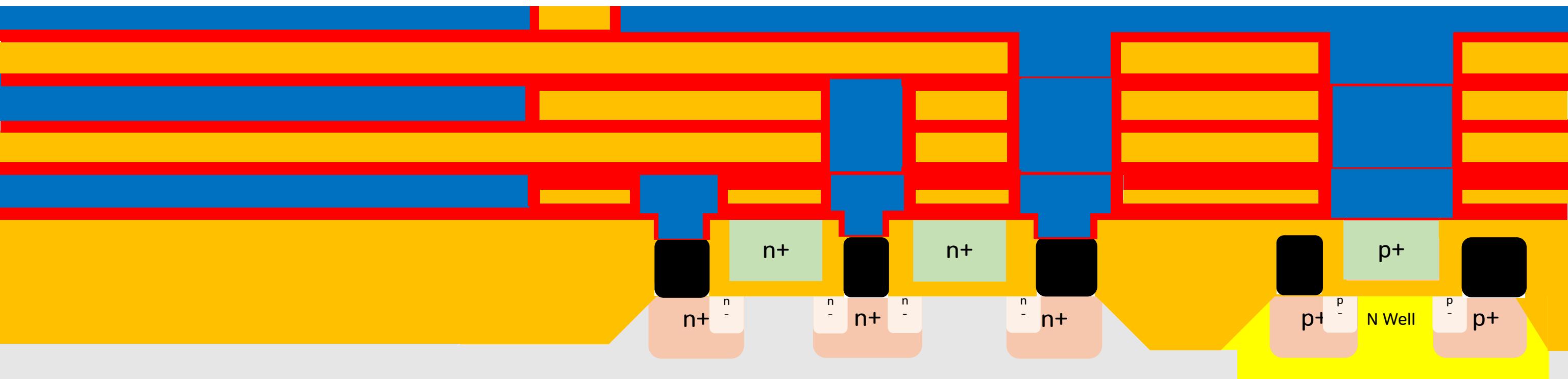
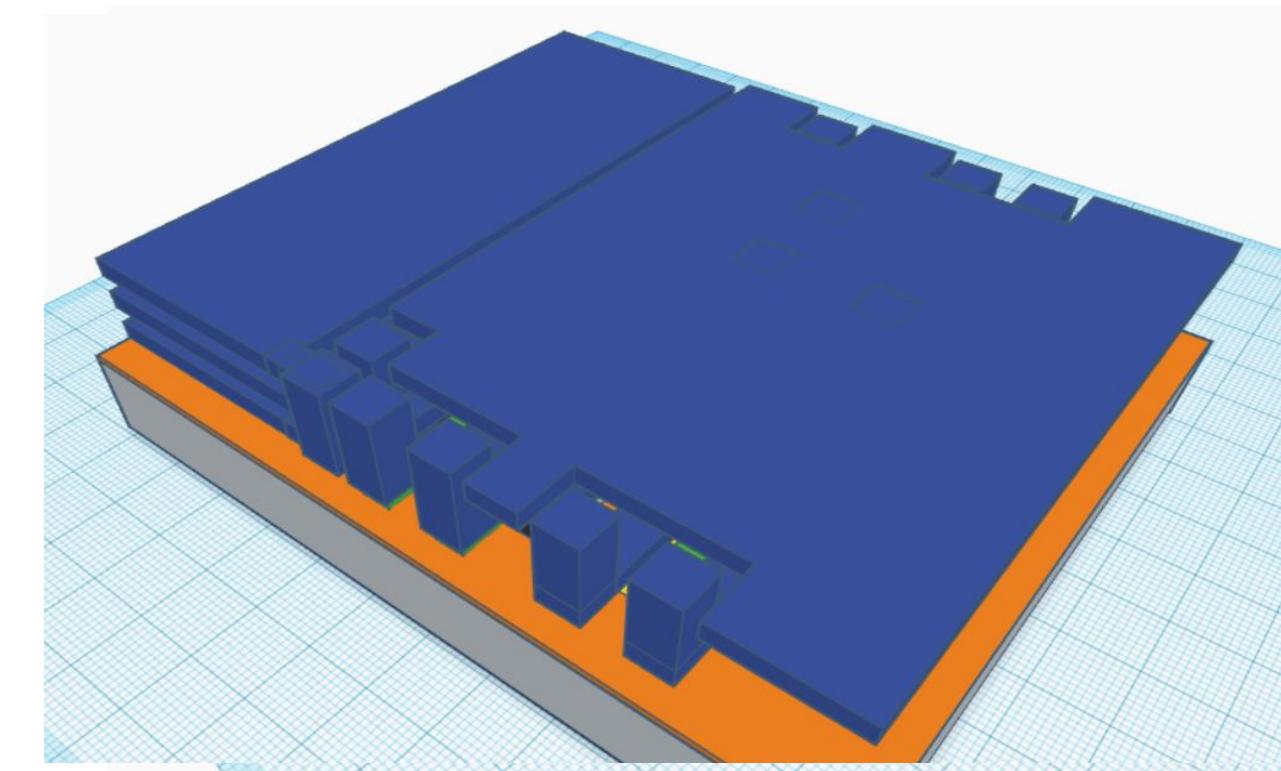
- Sputtering 이용하여 Seed layer 증착
 - > Cu Electroplating[전해도금]



9. Interconnection 형성

Dual Damascene

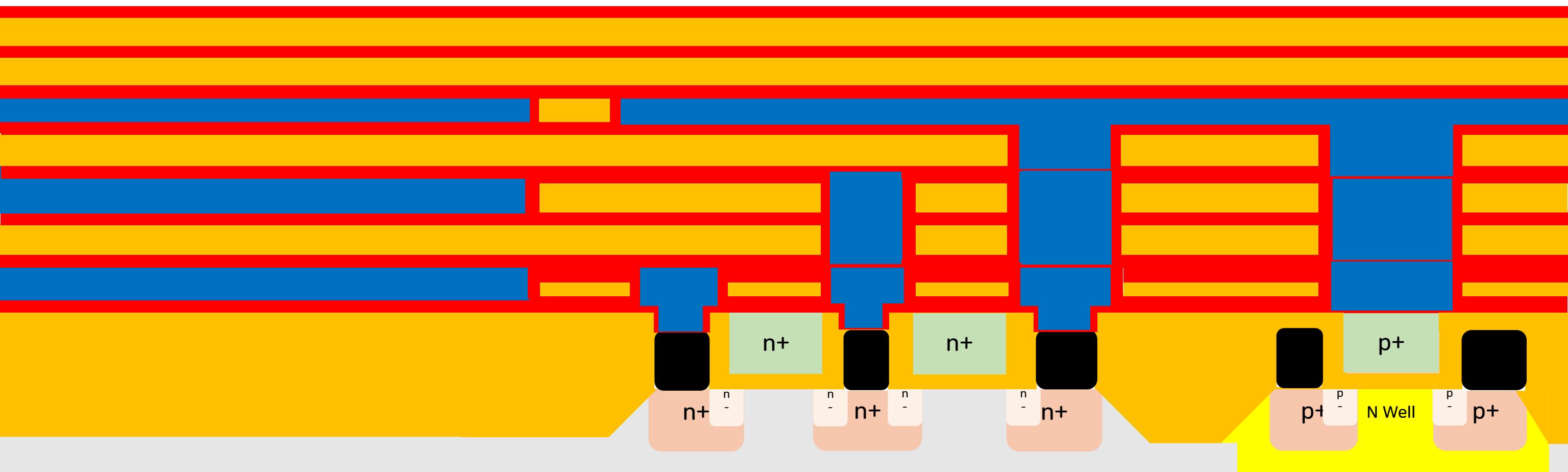
- SiO₂ 바로 위 까지 CMP이용 평탄화



9. Interconnection 형성

Dual Damascene

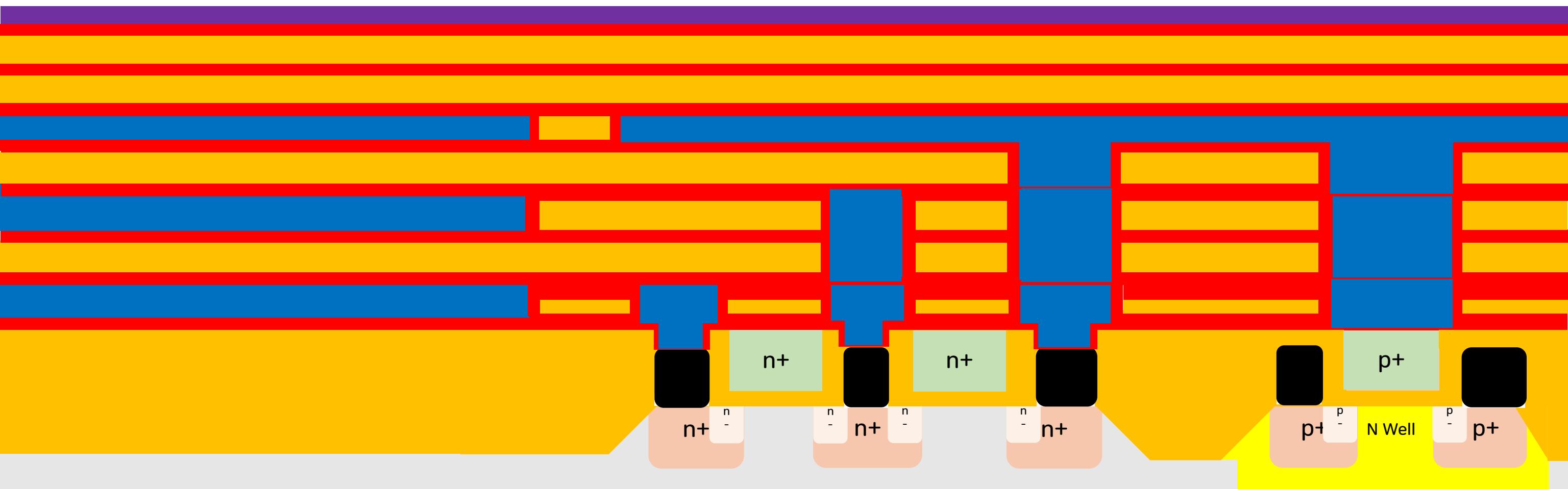
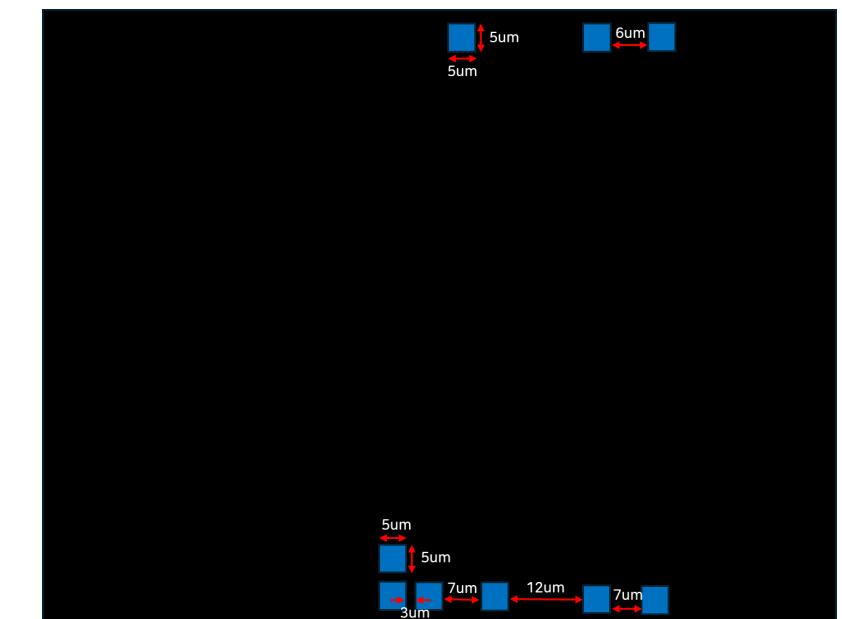
- PECVD이용하여 각각 3개의 Si₃N₄와 2개의SiO₂ 증착
- PR Coating 이후 PR MASK Develop 진행 후 Pattern 형성



9. Interconnection 형성

Dual Damascene *1st PR Mask

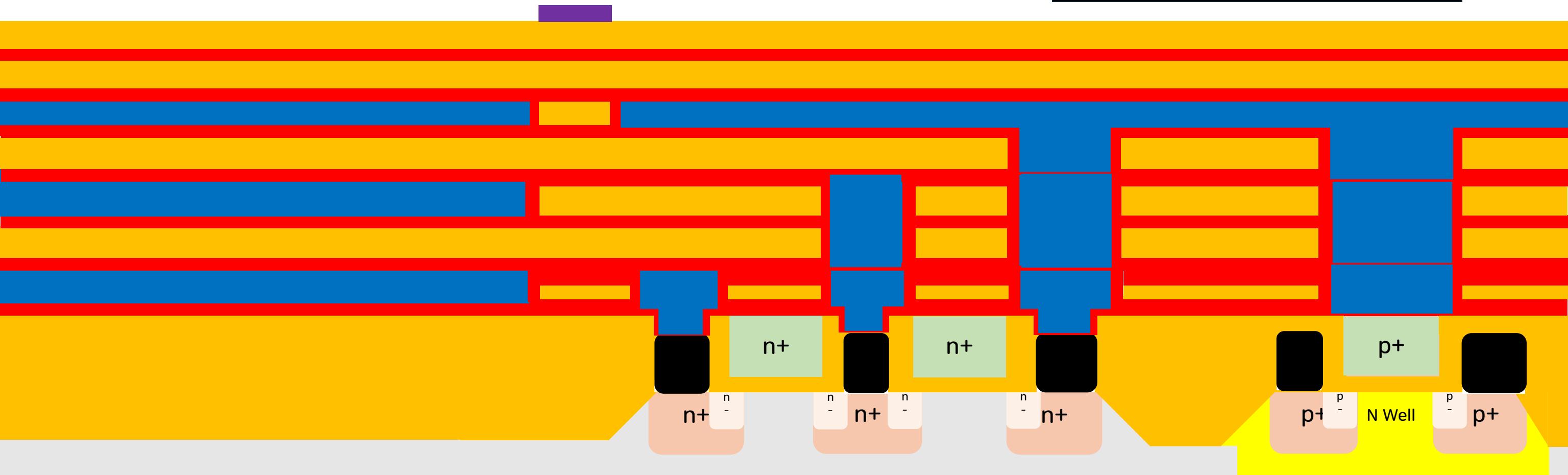
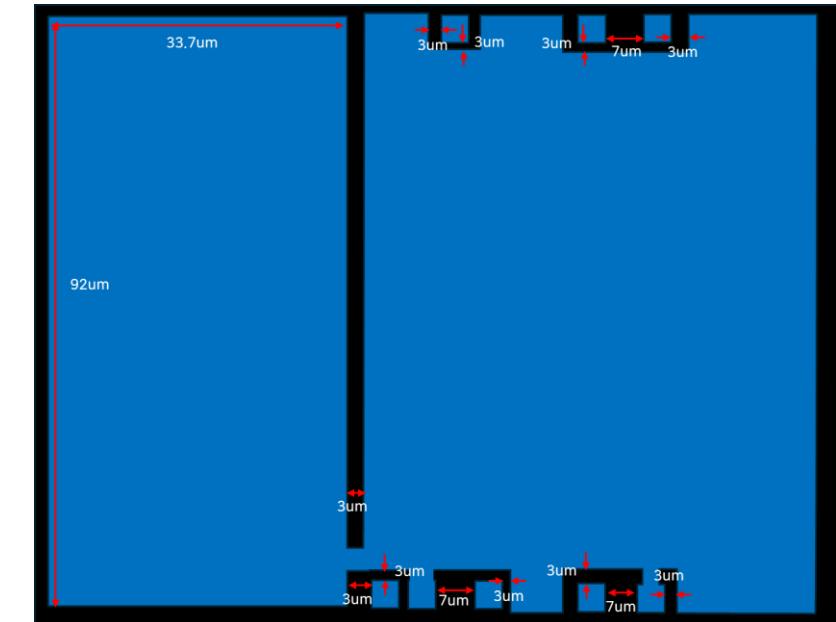
- Etch로 Etch Stop layer, Insulator 제거



9. Interconnection 형성

Dual Damascene *2ndPR MASK

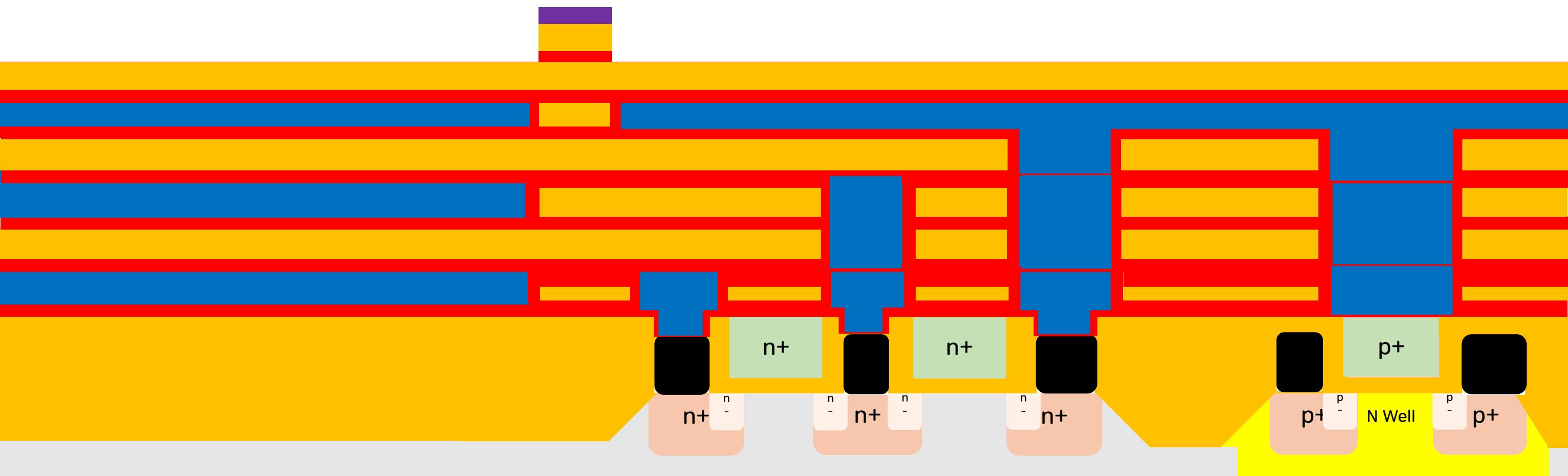
- 새로운 패턴 형성 위한 1st와는 2nd PR MASK 사용



9. Interconnection 형성

Dual Damascene *2ndPR MASK

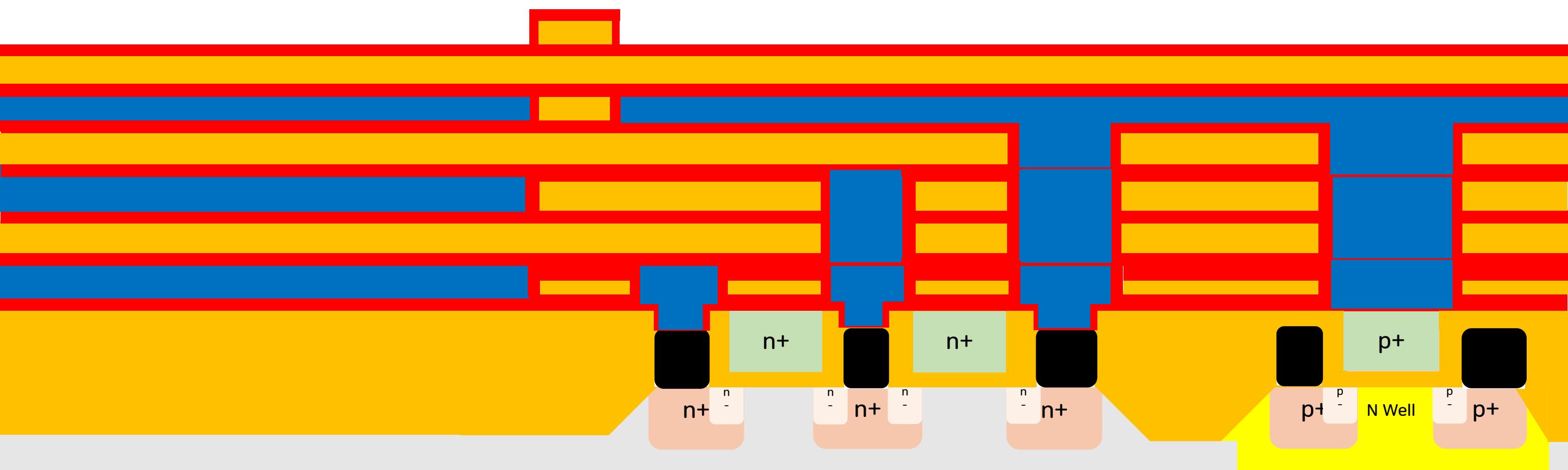
- Etch로 Etch Stop layer, Insulator 제거



9. Interconnection 형성

Dual Damascene

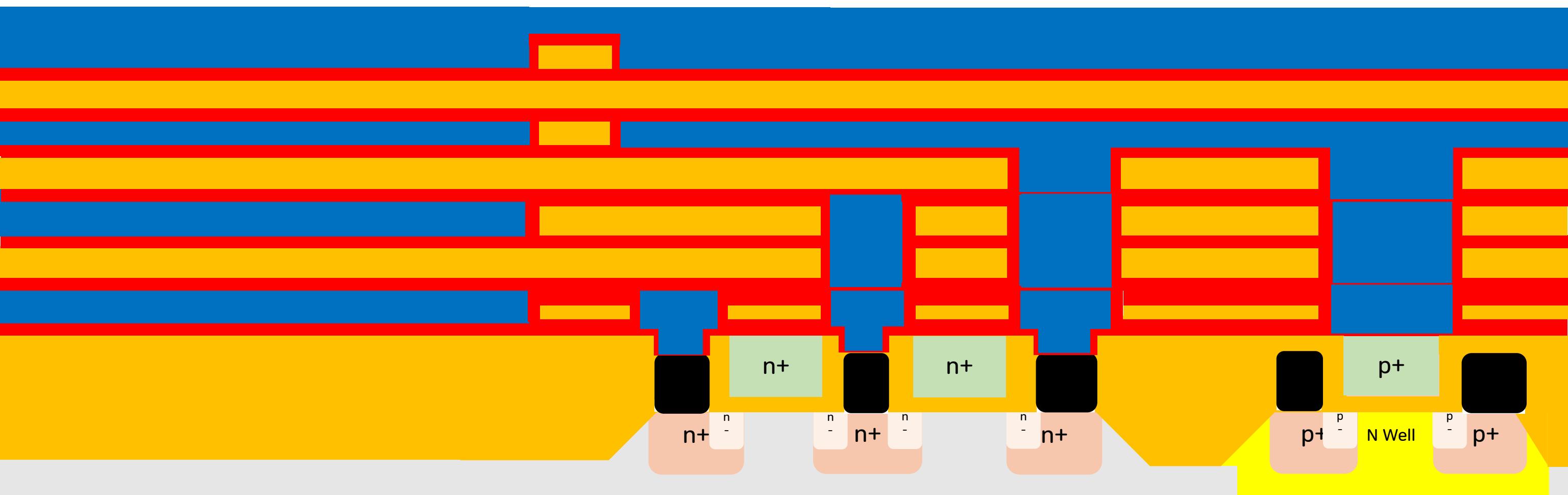
- PR Strip
- > PECVD 이용하여 Barrier layer 증착



9. Interconnection 형성

Dual Damascene

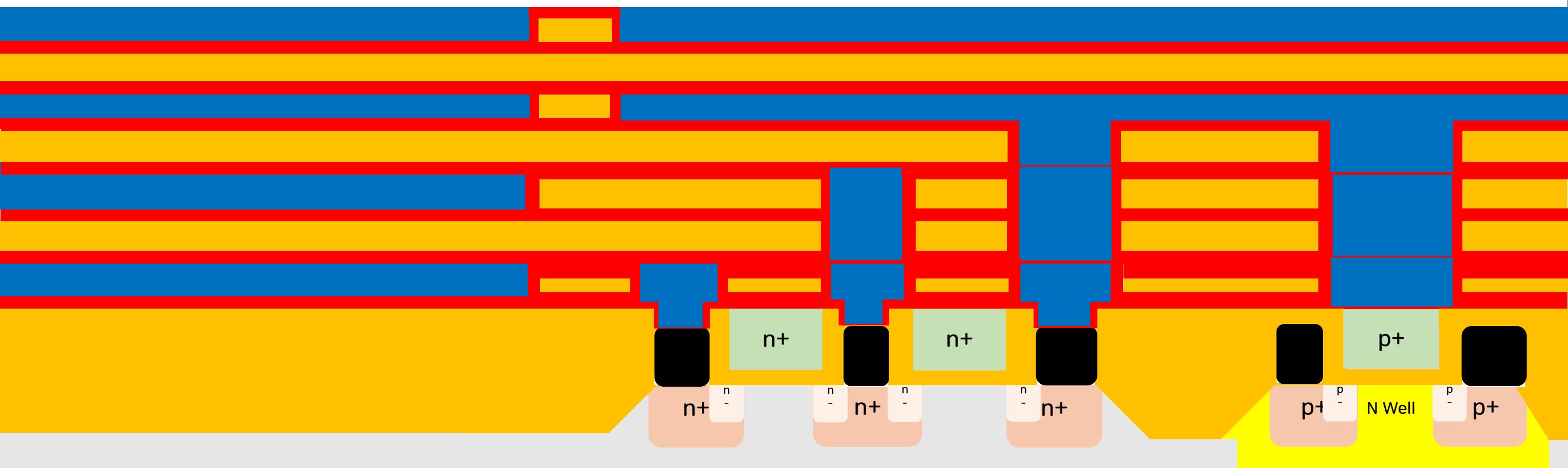
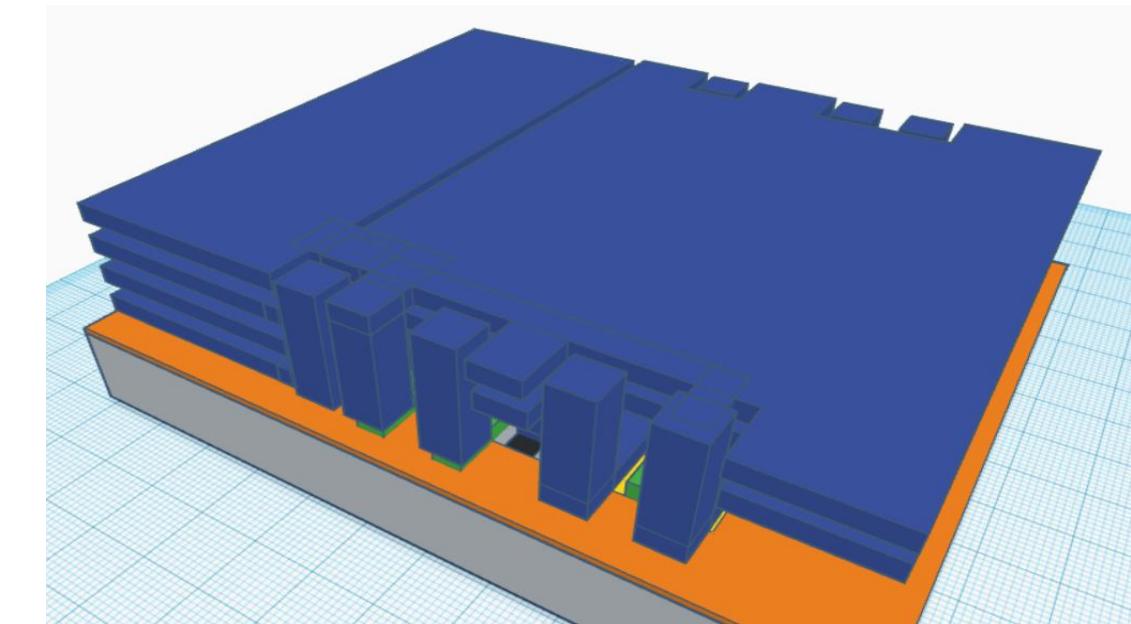
- Sputtering 이용하여 Seed layer 증착
- > Cu Electroplating[전해도금]



9. Interconnection 형성

Dual Damascene

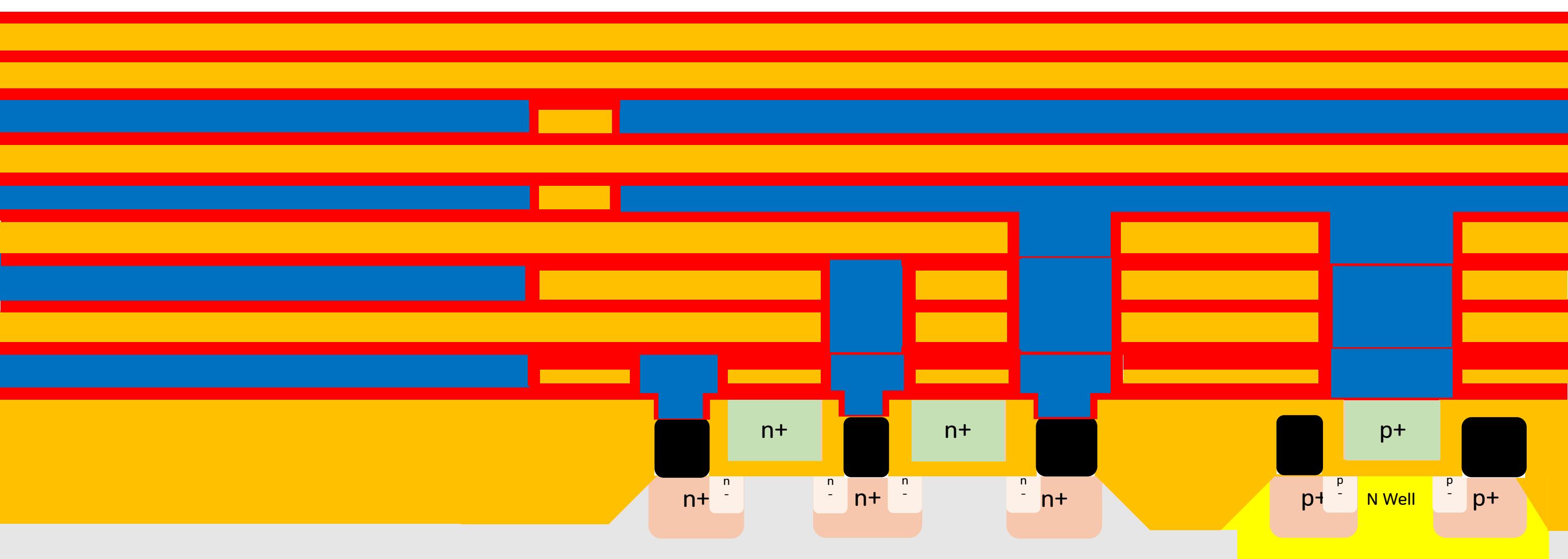
- SiO₂ 바로 위 까지 CMP이용 평탄화



9. Interconnection 형성

Dual Damascene

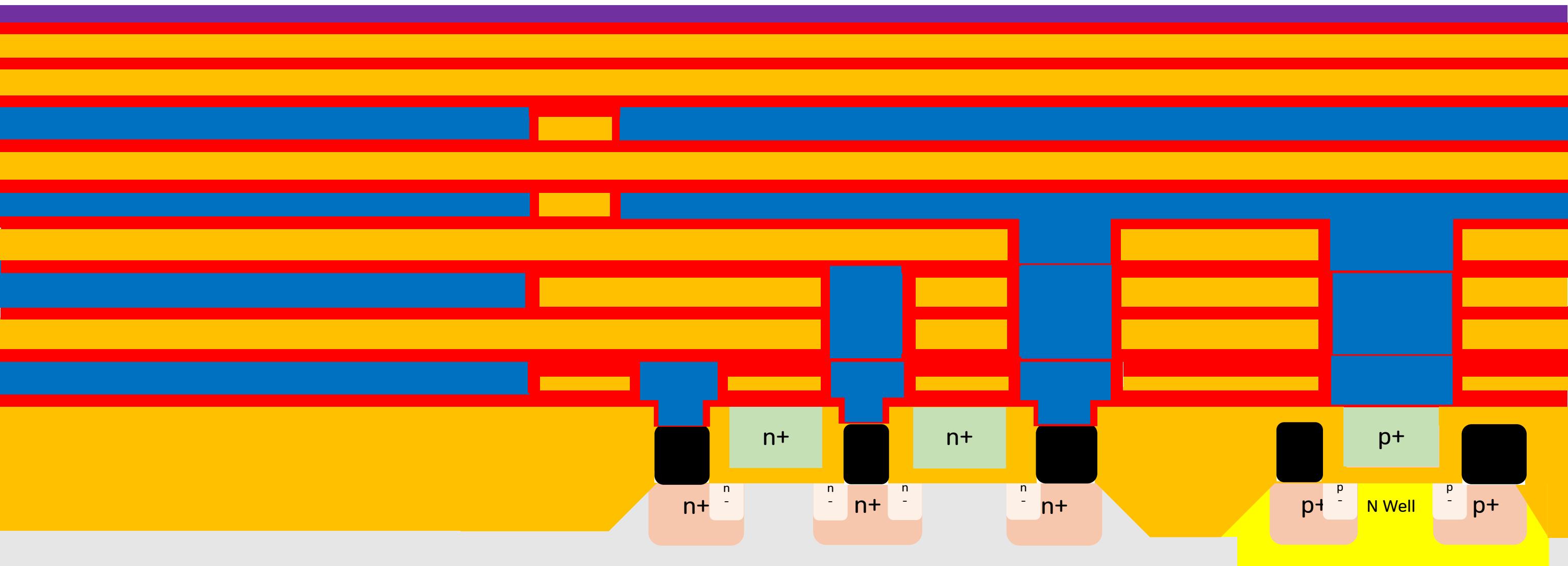
- PECVD이용하여 각각 3개의 Si₃N₄와 2개의SiO₂ 증착
- PR Coating 이후 PR MASK Develop 진행 후 Pattern 형성



9. Interconnection 형성

Dual Damascene *1st PR Mask

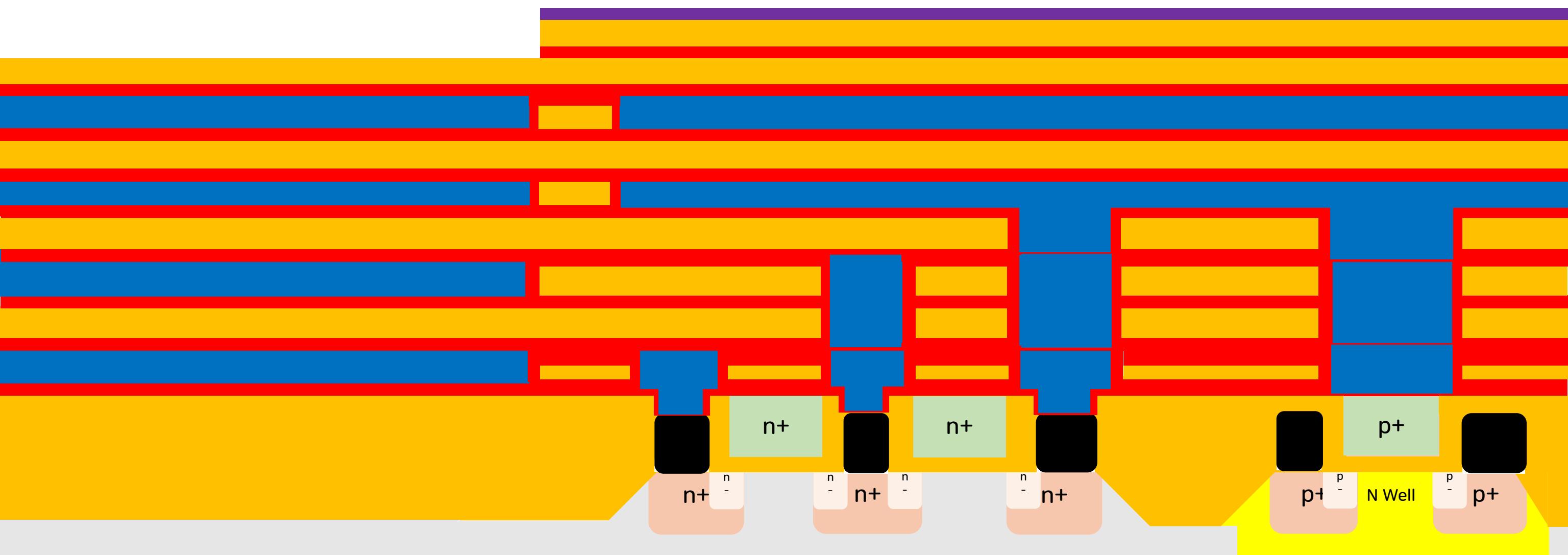
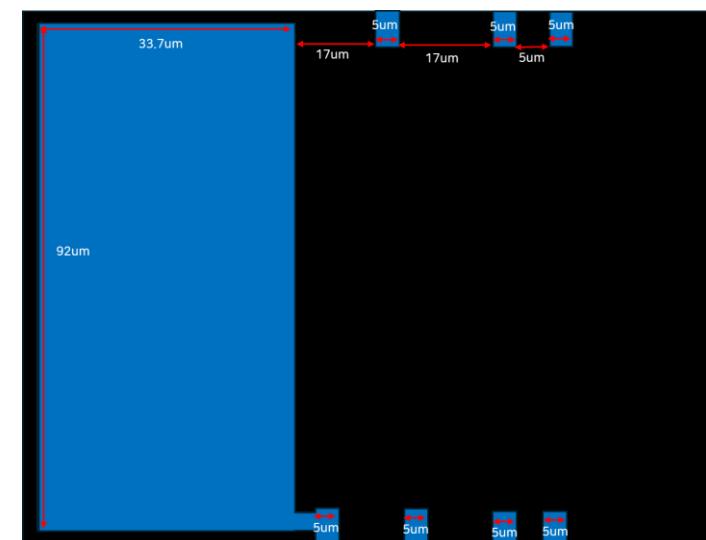
- Etch로 Etch Stop layer, Insulator 제거



9. Interconnection 형성

Dual Damascene *2ndPR MASK

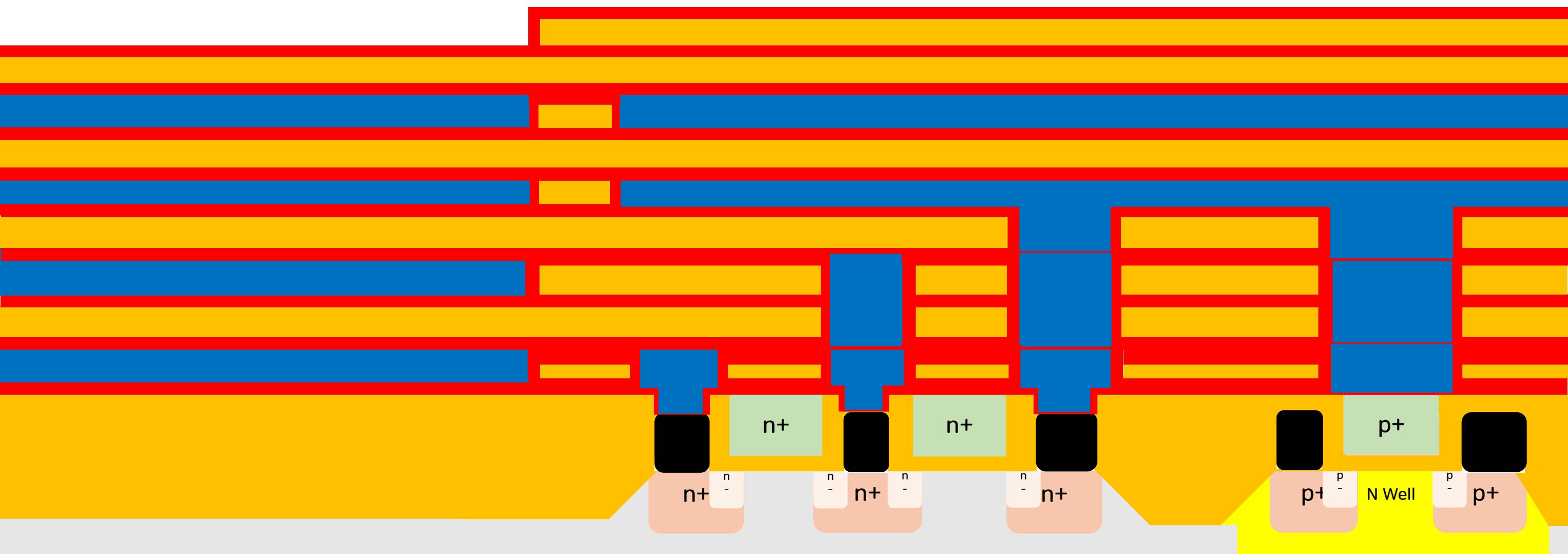
- Etch로 Etch Stop layer, Insulator 제거



9. Interconnection 형성

Dual Damascene

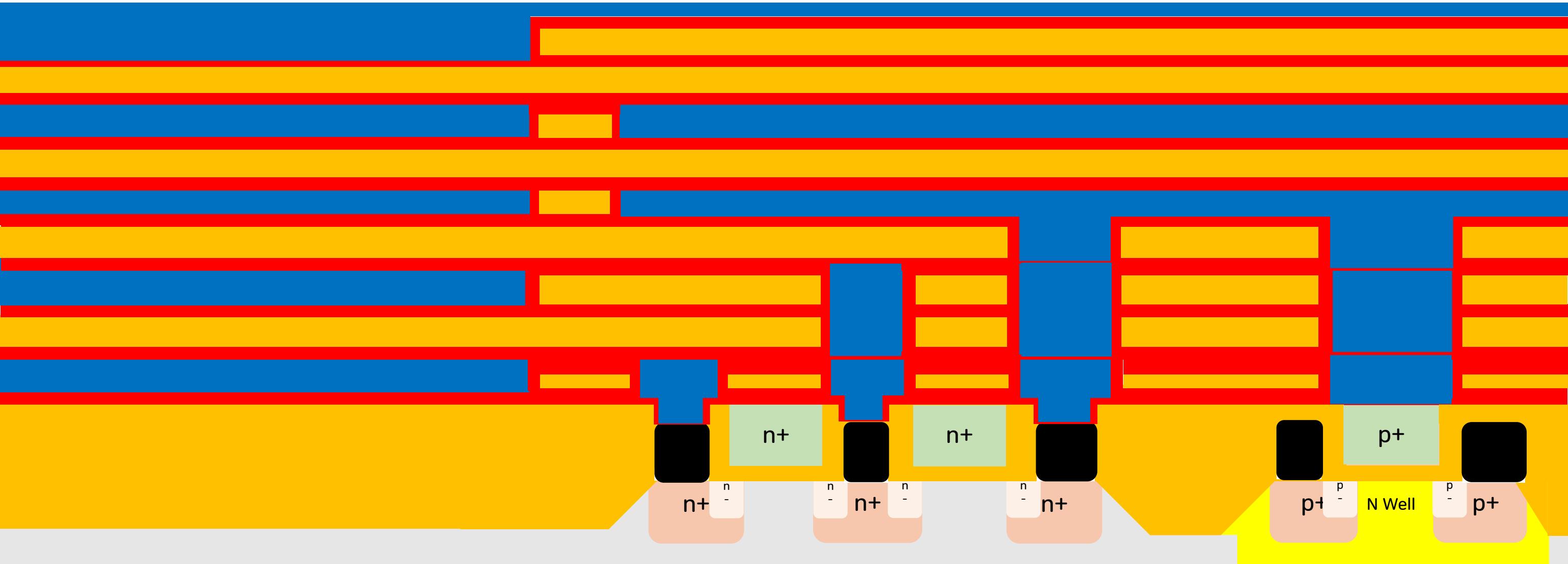
- PR Strip
- > PECVD 이용하여 Barrier layer 증착



9. Interconnection 형성

Dual Damascene

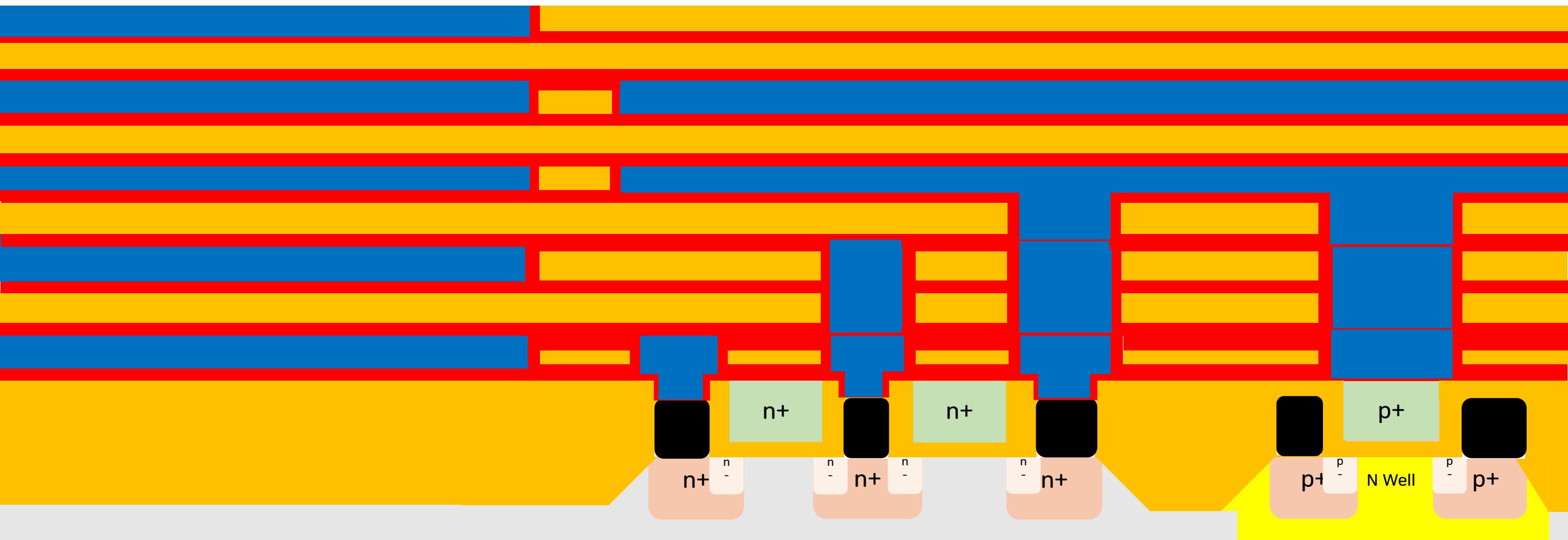
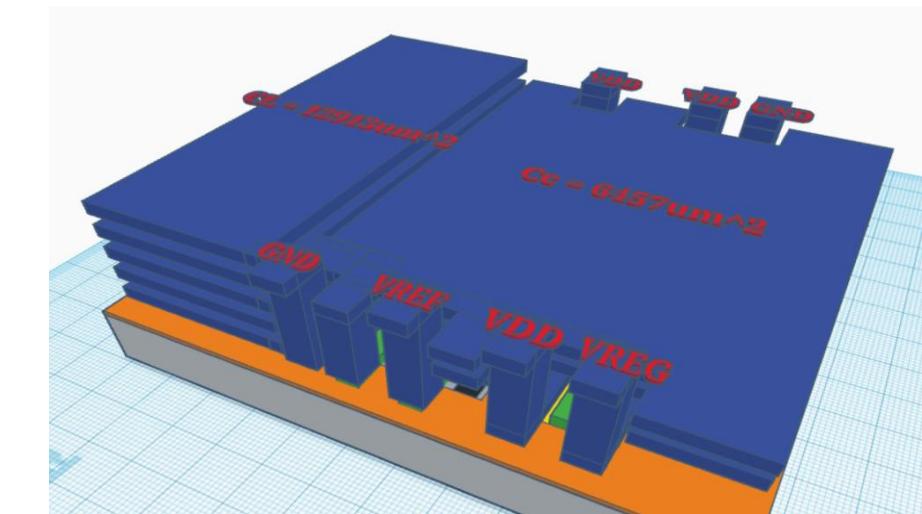
- Sputtering 이용하여 Seed layer 증착
- > Cu Electroplating[전해도금]



9. Interconnection 형성

Dual Damascene

- SiO₂ 바로 위 까지 CMP이용 평탄화
- MIMIM구조 Capacitor형성

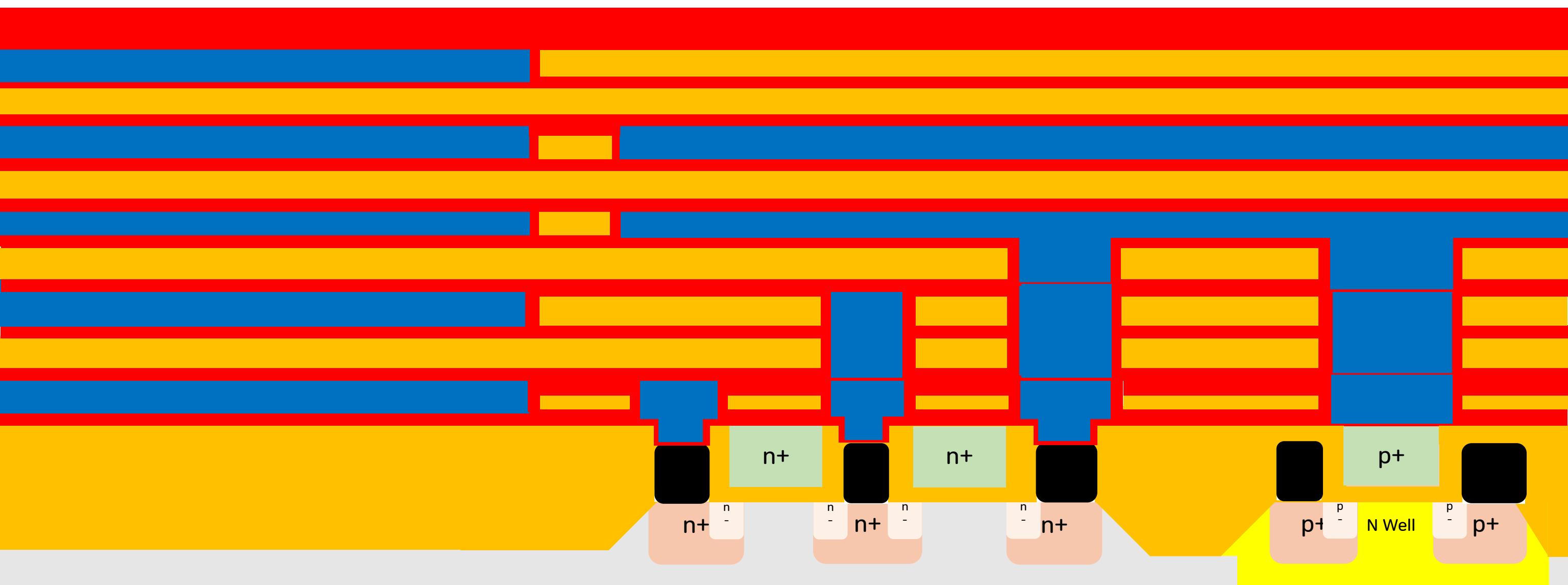


9. Interconnection 형성

Passivation layer 증착

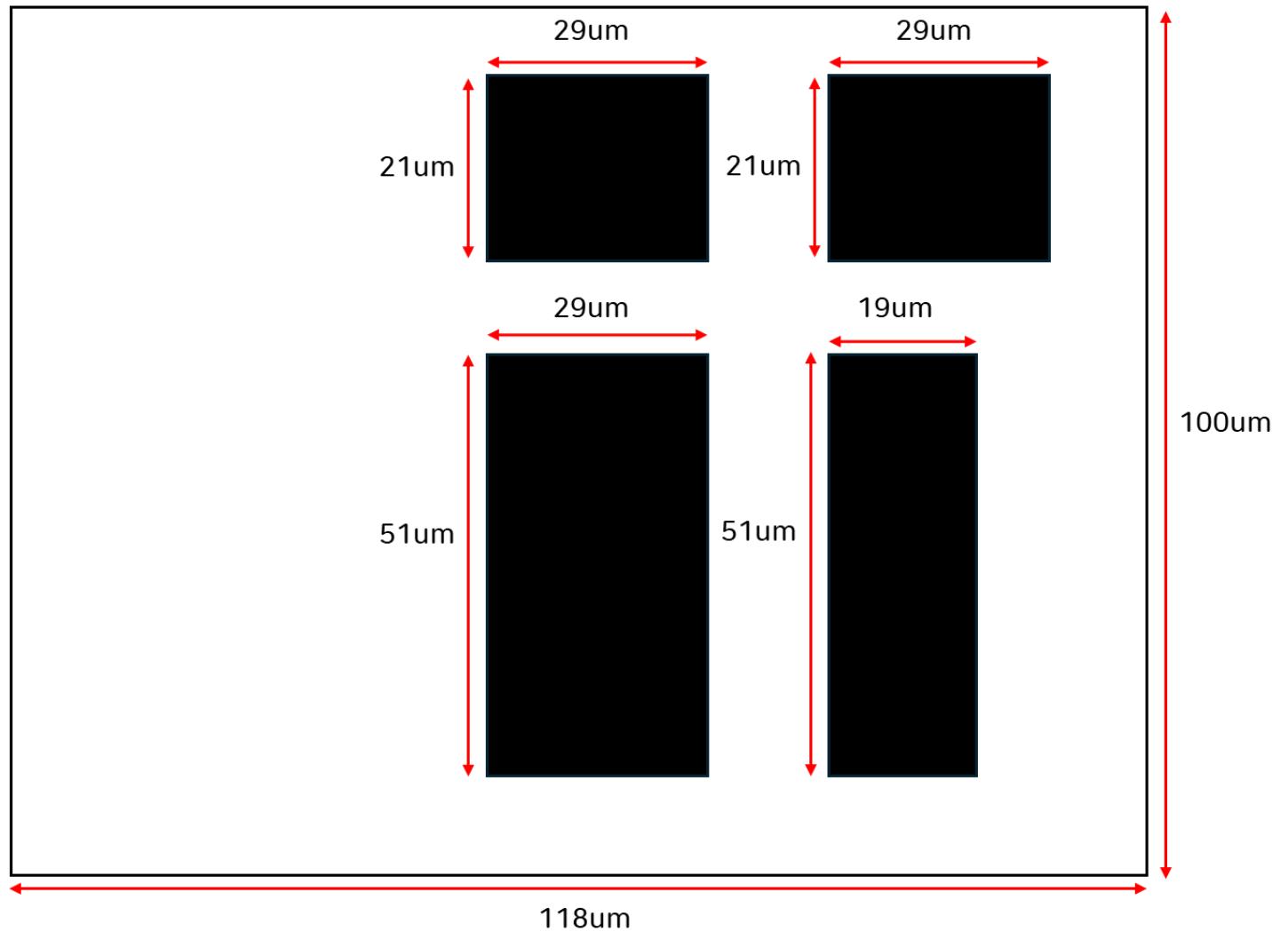
- PECVD이용하여 Si₃N₄를 증착한다.

*Passivation layer의 기능 : 외부 오염, 부식으로 반도체 소자들을 보호한다.

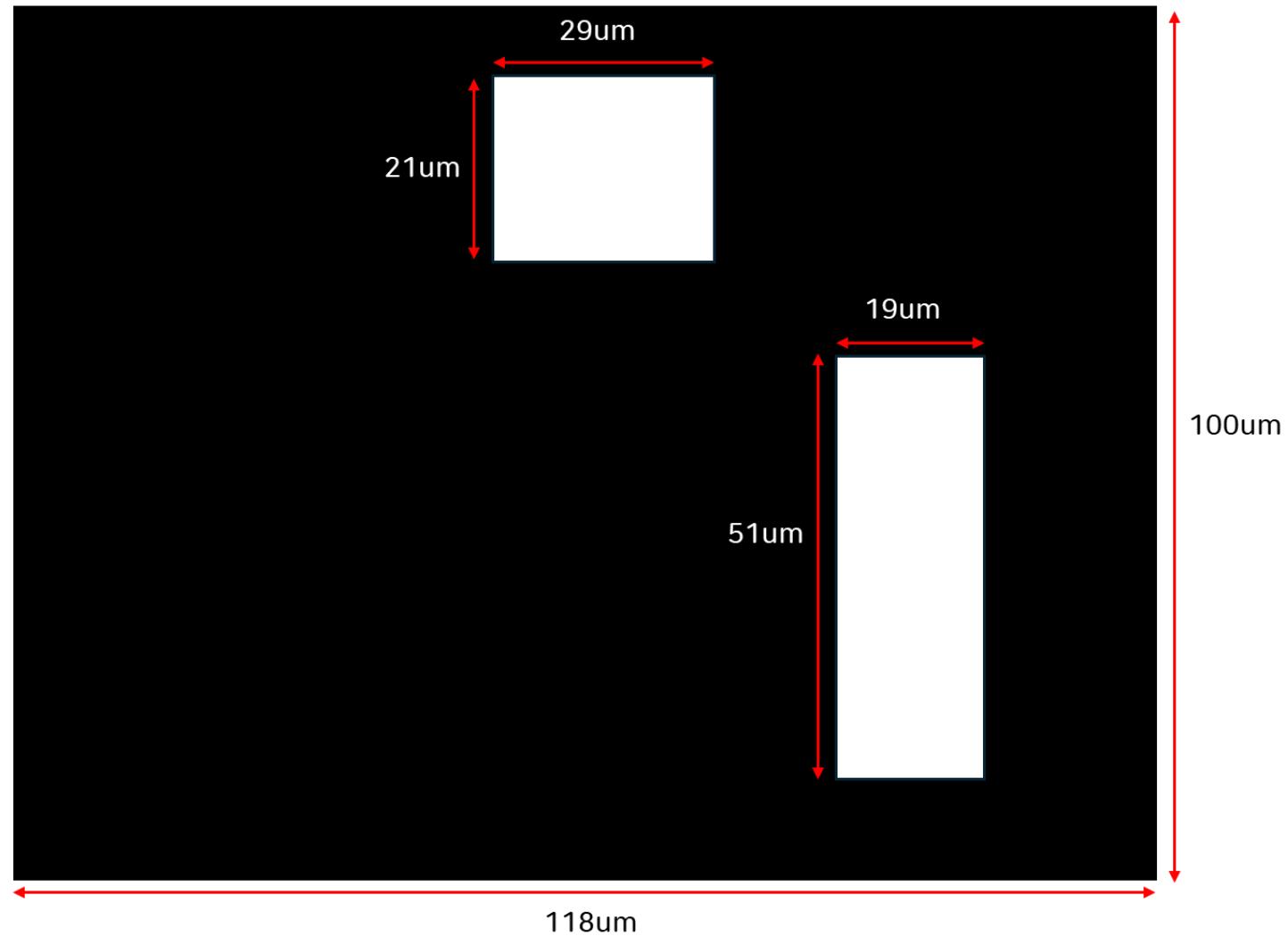


☰ 사용 MASK

MASK1 Active layer

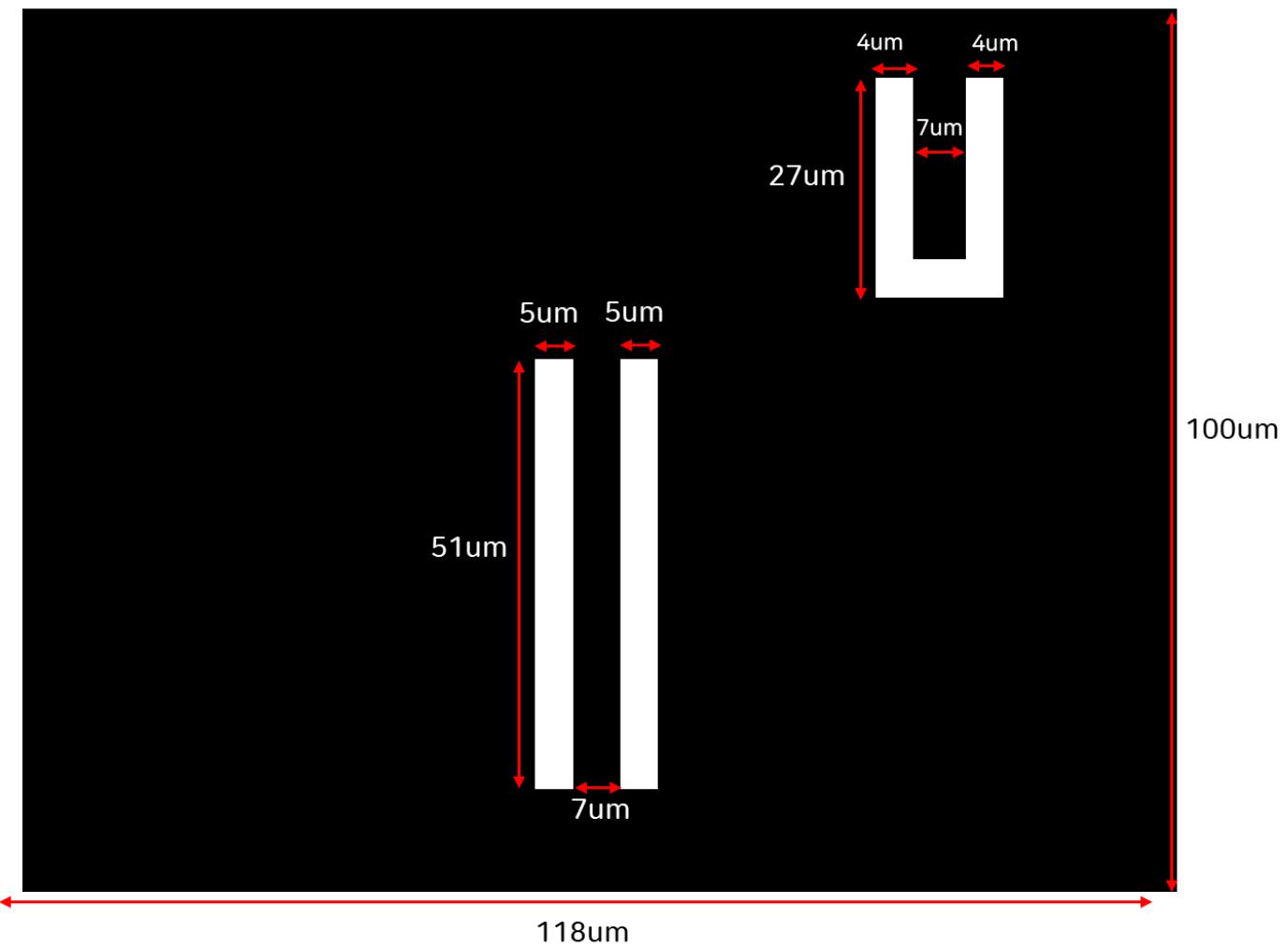


MASK2 N Well

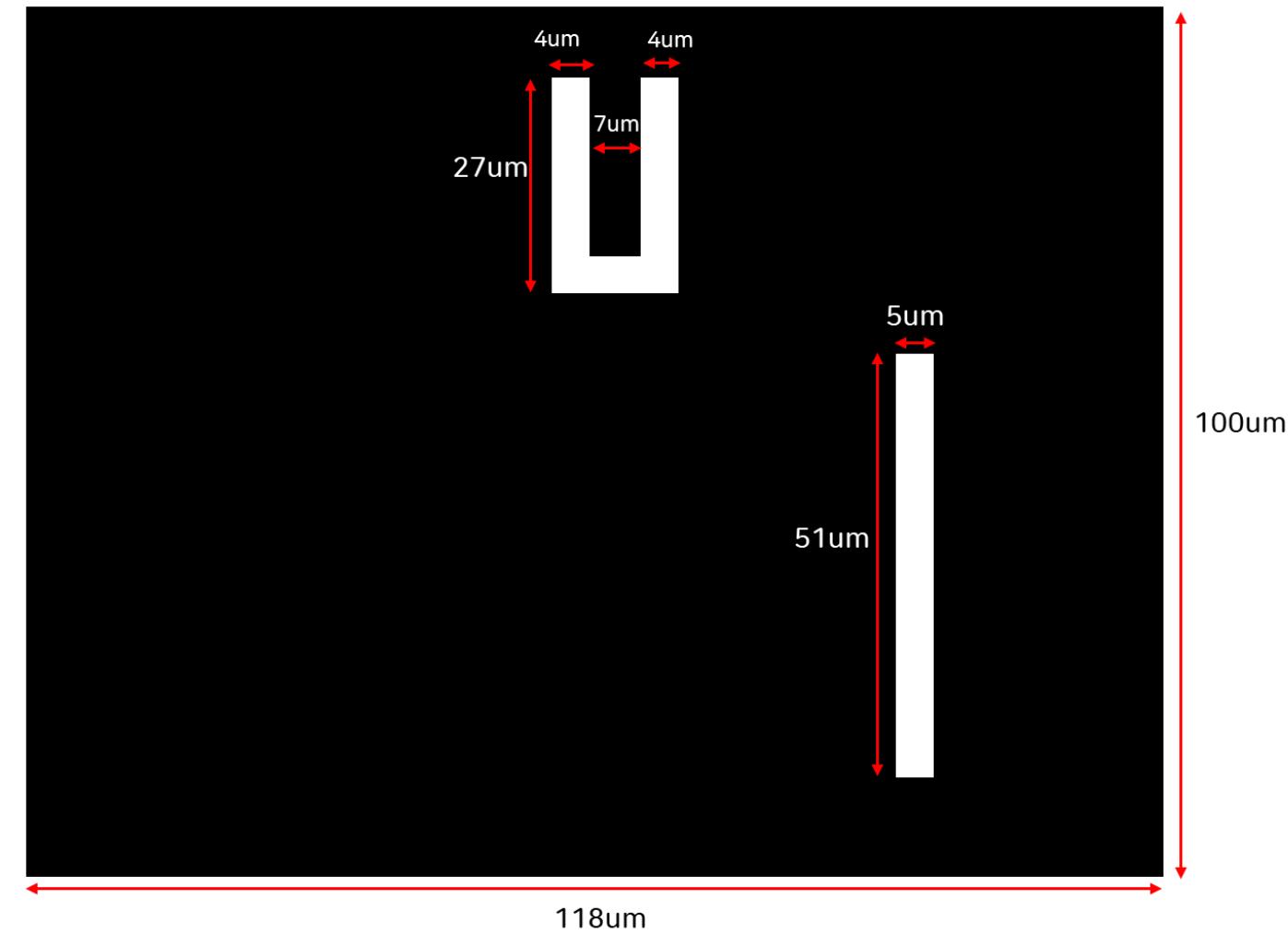


☰ 사용 MASK

MASK3 PMOS Gate

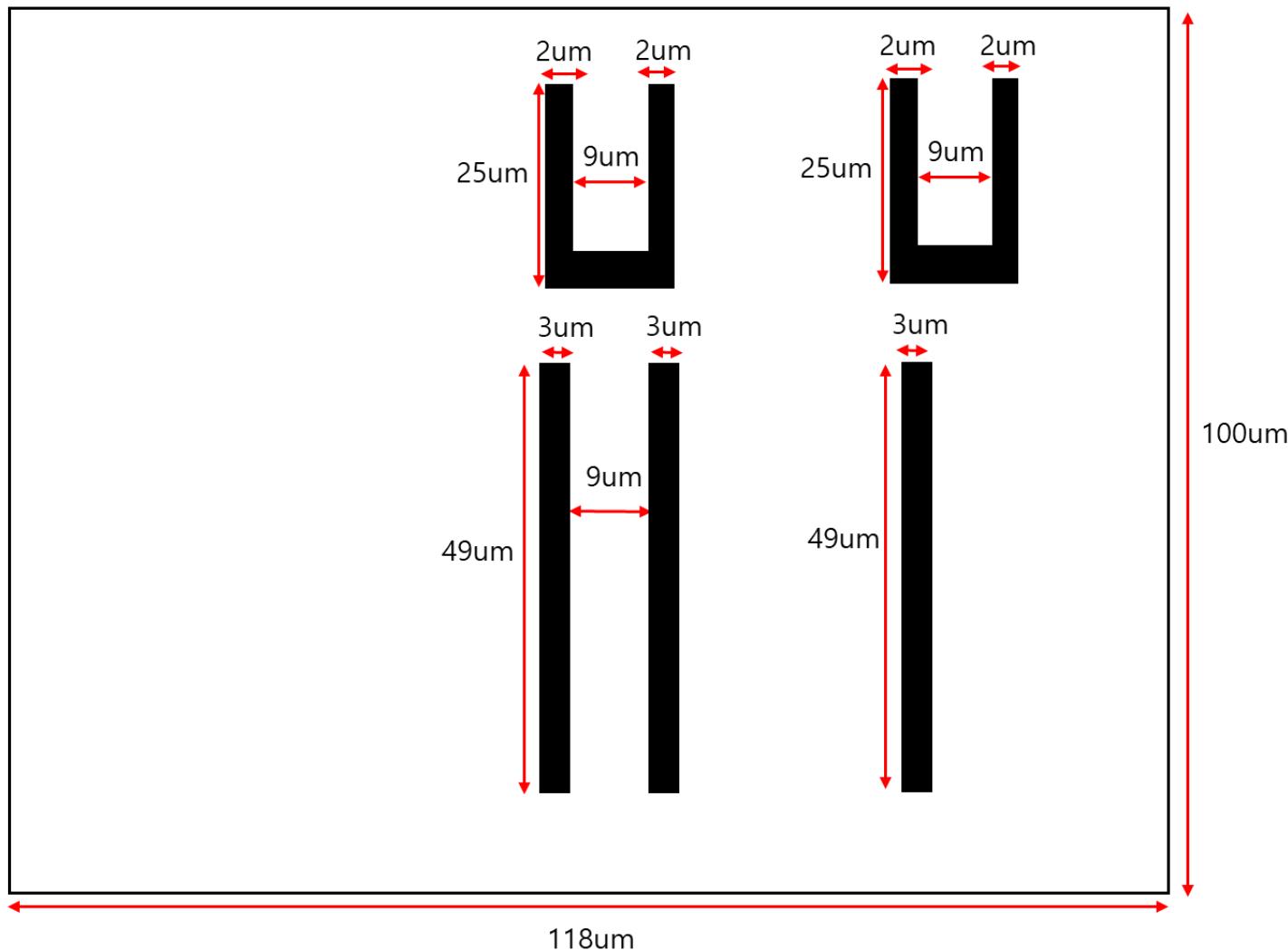


MASK4 NMOS Gate

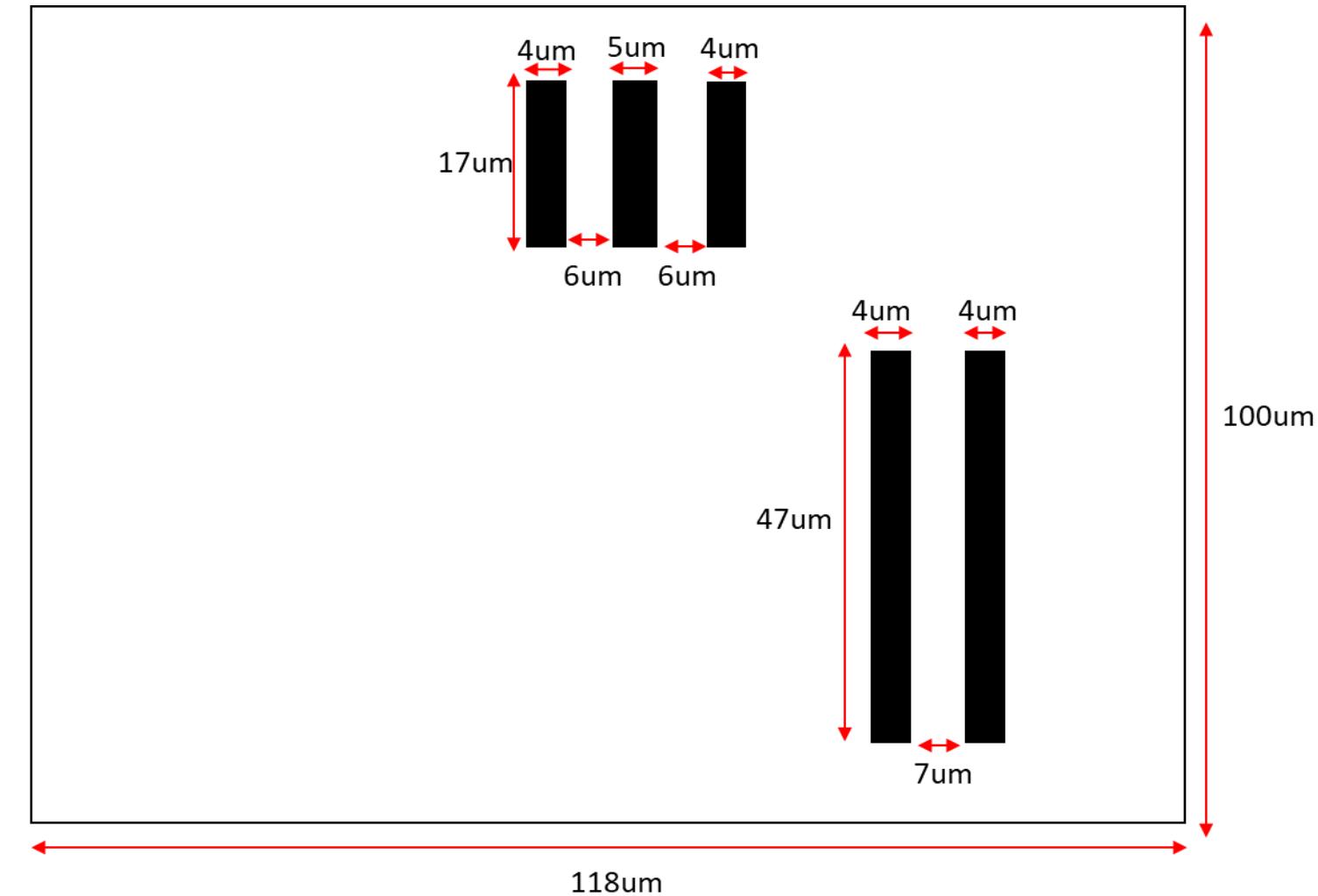


☰ 사용 MASK

MASK5 Gate Etch



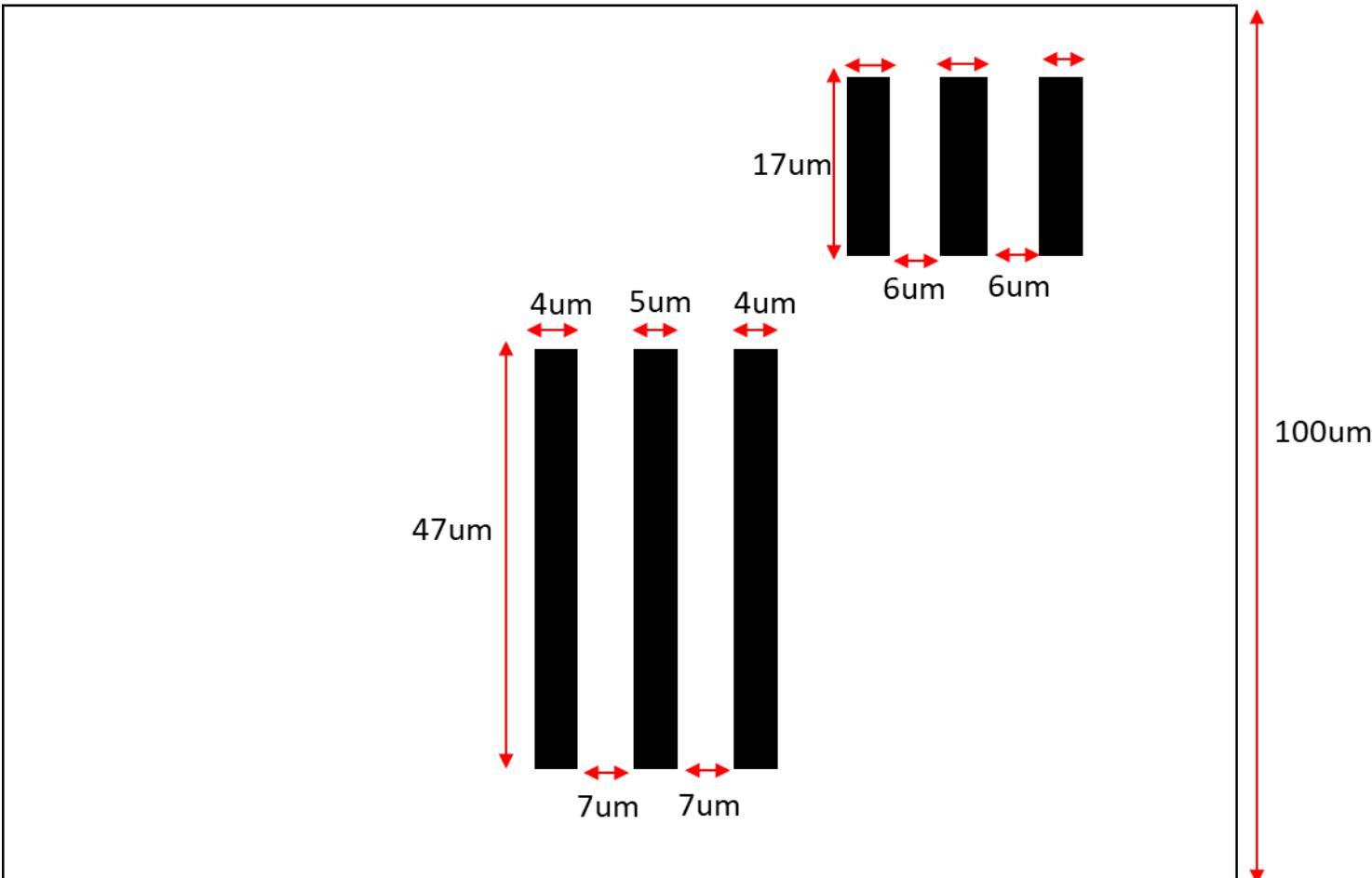
MASK6 PMOS LDD



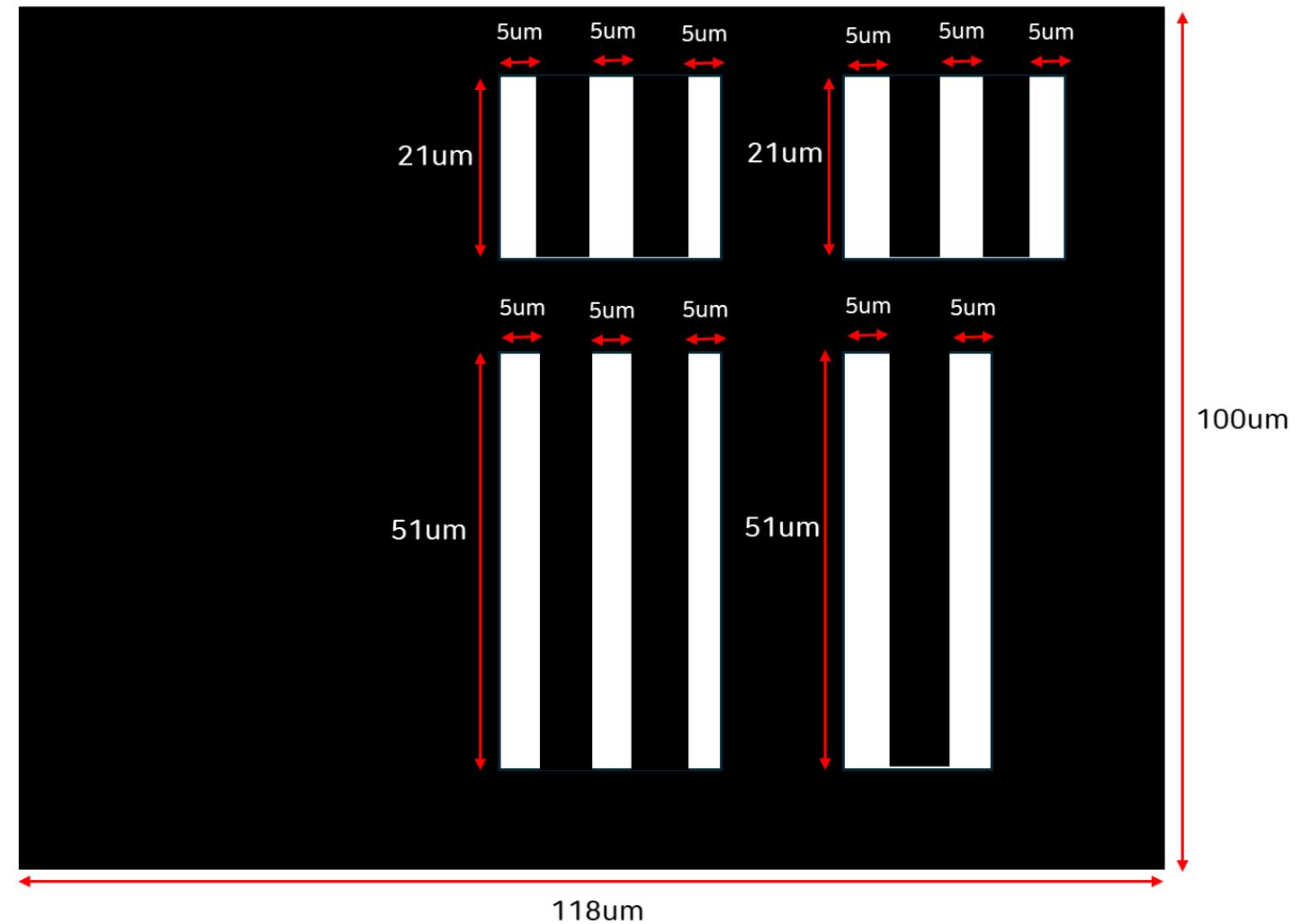
* LDD구조 뿐만 아니라 Source/Drain 형성 시에도 사용함.

☰ 사용 MASK

MASK7 NMOS LDD



MASK8 AI 증착

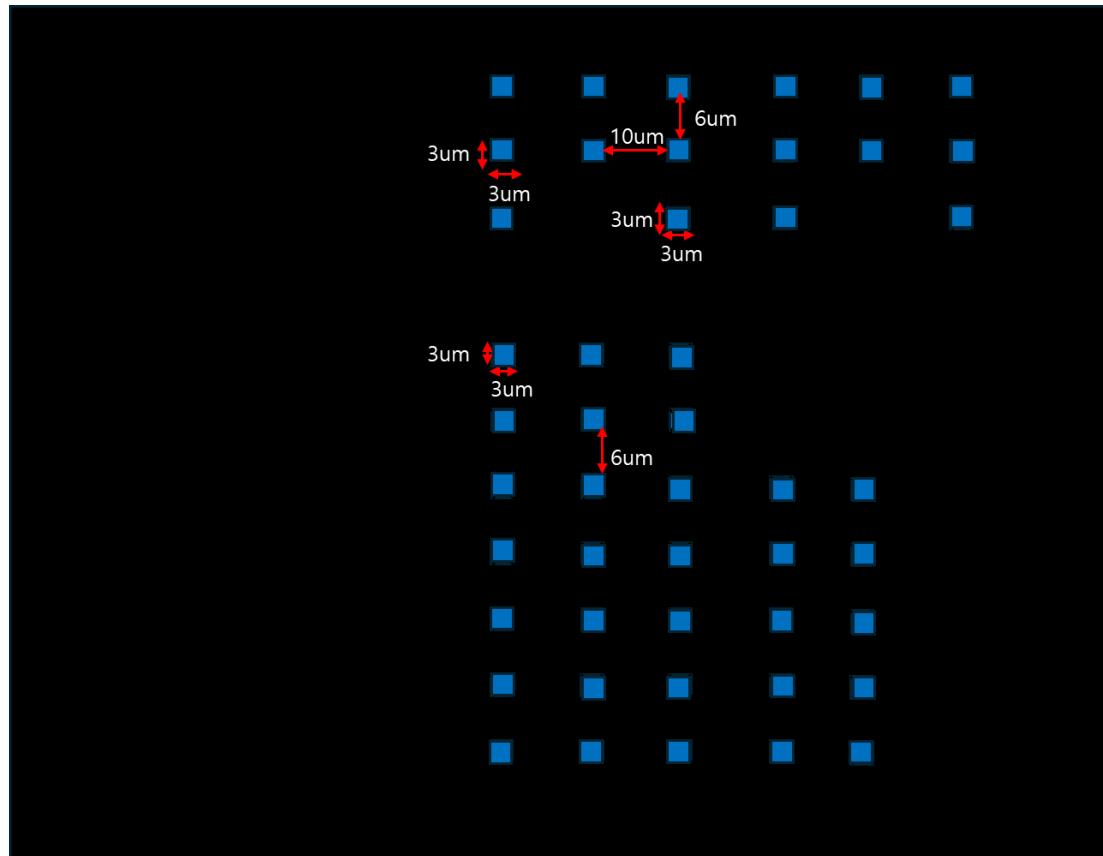


* LDD구조 뿐만 아니라 Source/Drain 형성 시에도 사용함.

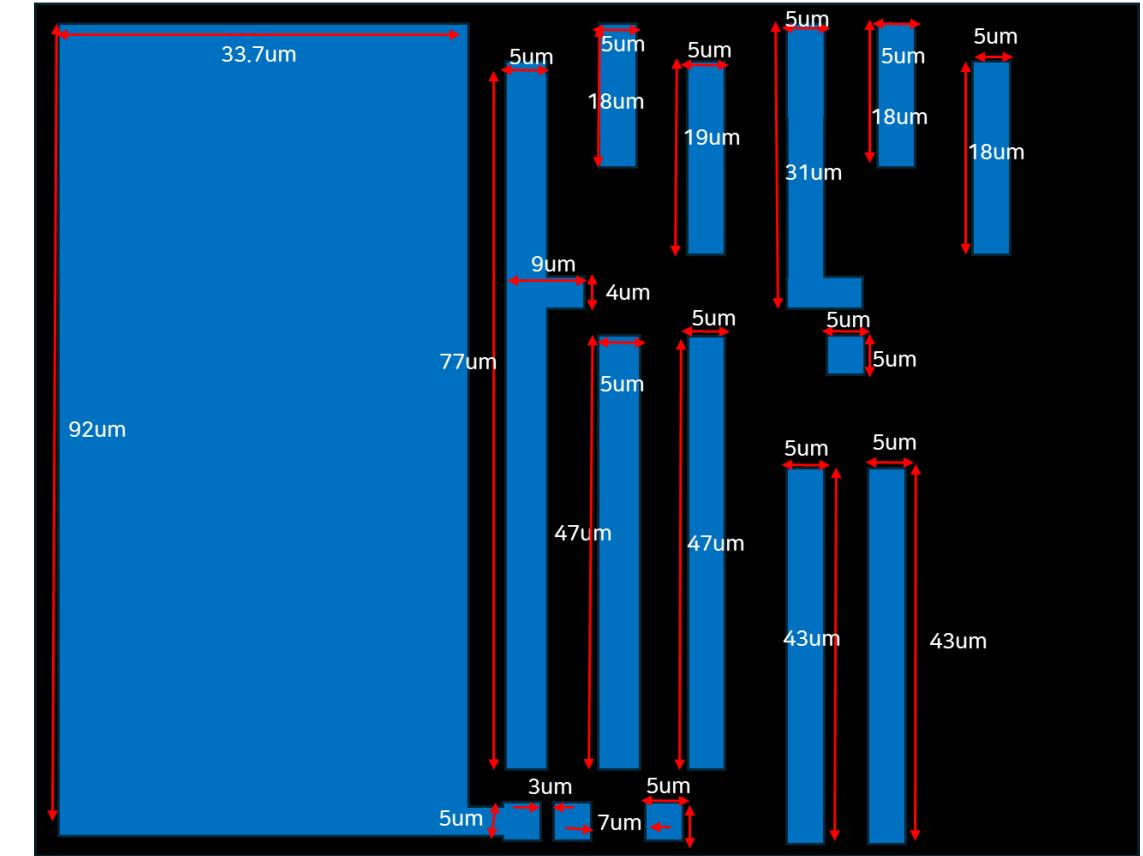
☰ 사용 MASK

1층 Metal MASK / 2층 Metal Mask

Mask 9



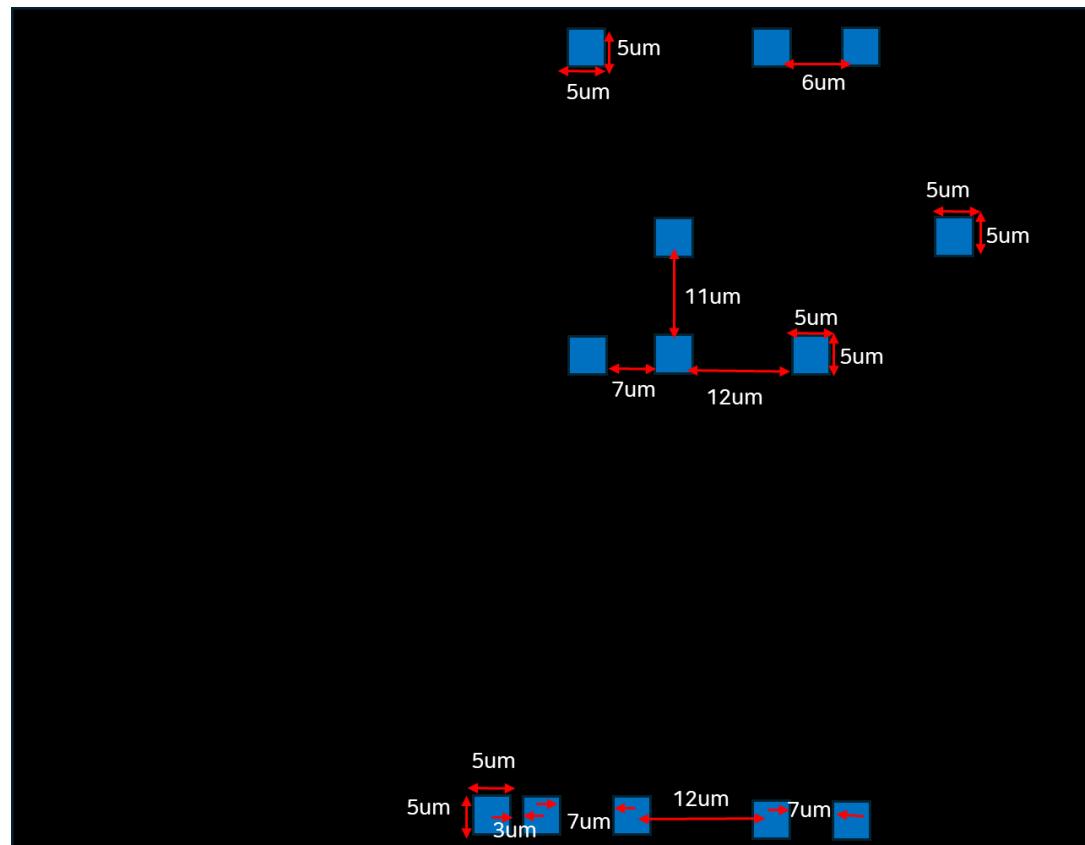
Mask 10



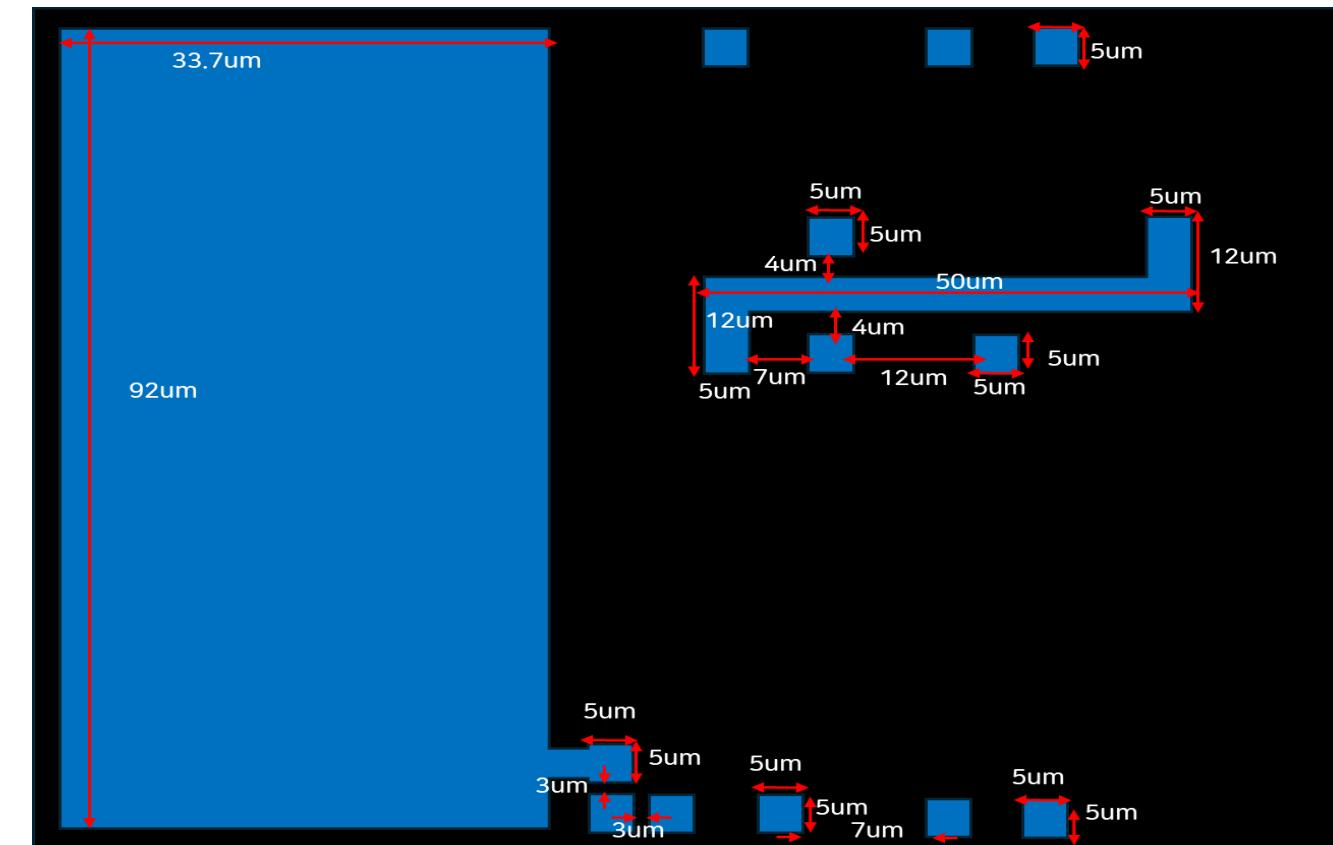
☰ 사용 MASK

3층 Metal MASK / 4층 Metal Mask

Mask 11



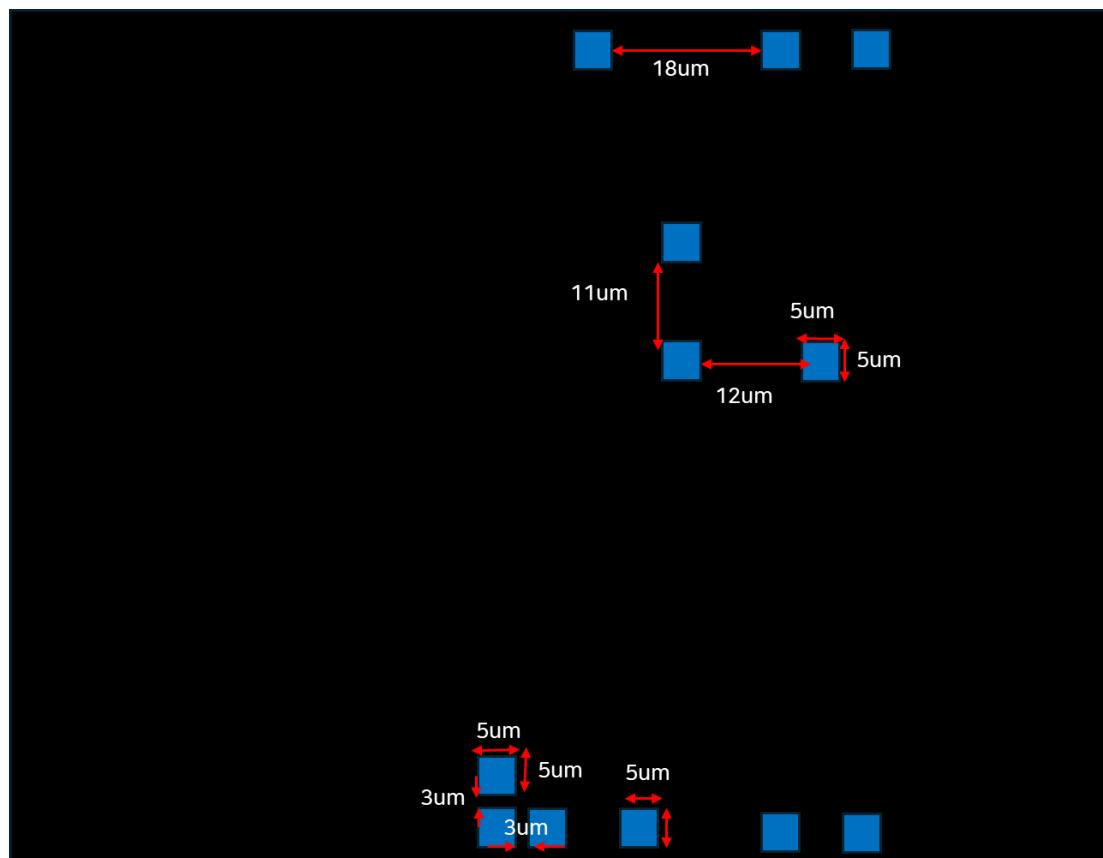
Mask 12



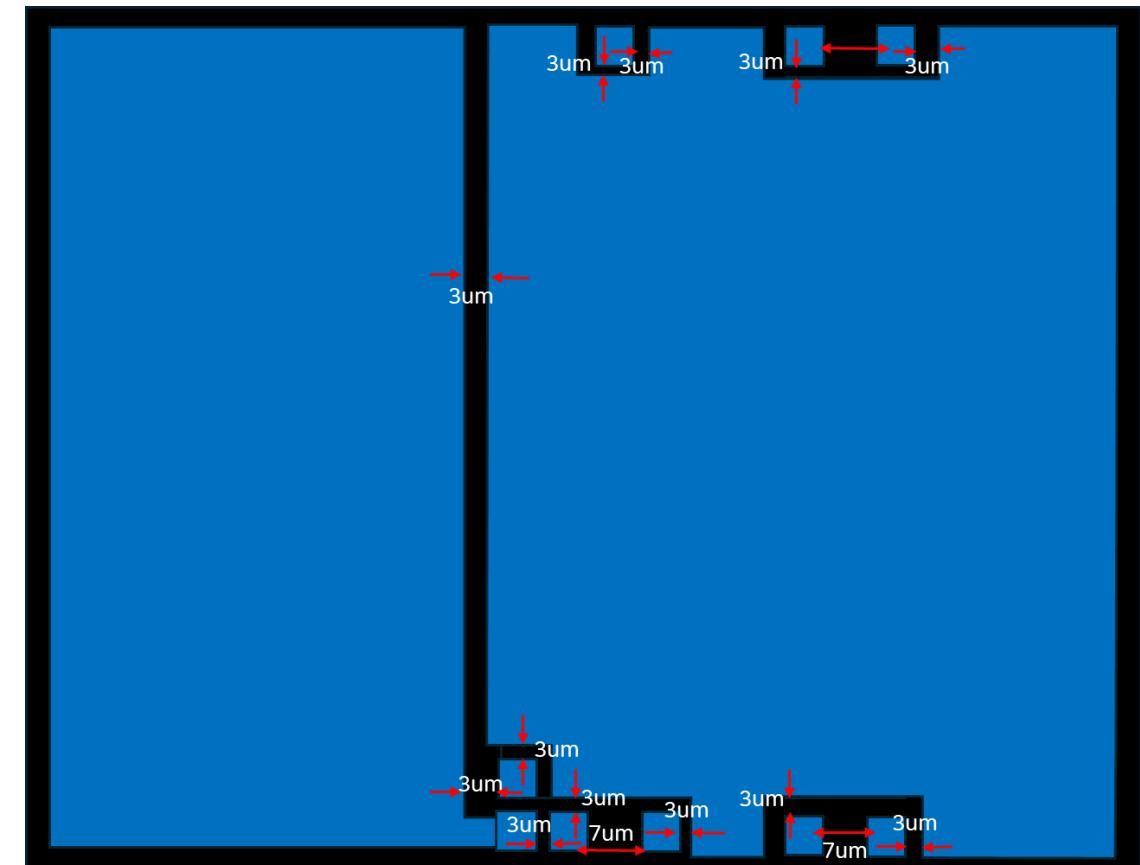
☰ 사용 MASK

5층 Metal MASK / 6층 Metal Mask

Mask 13



Mask 14



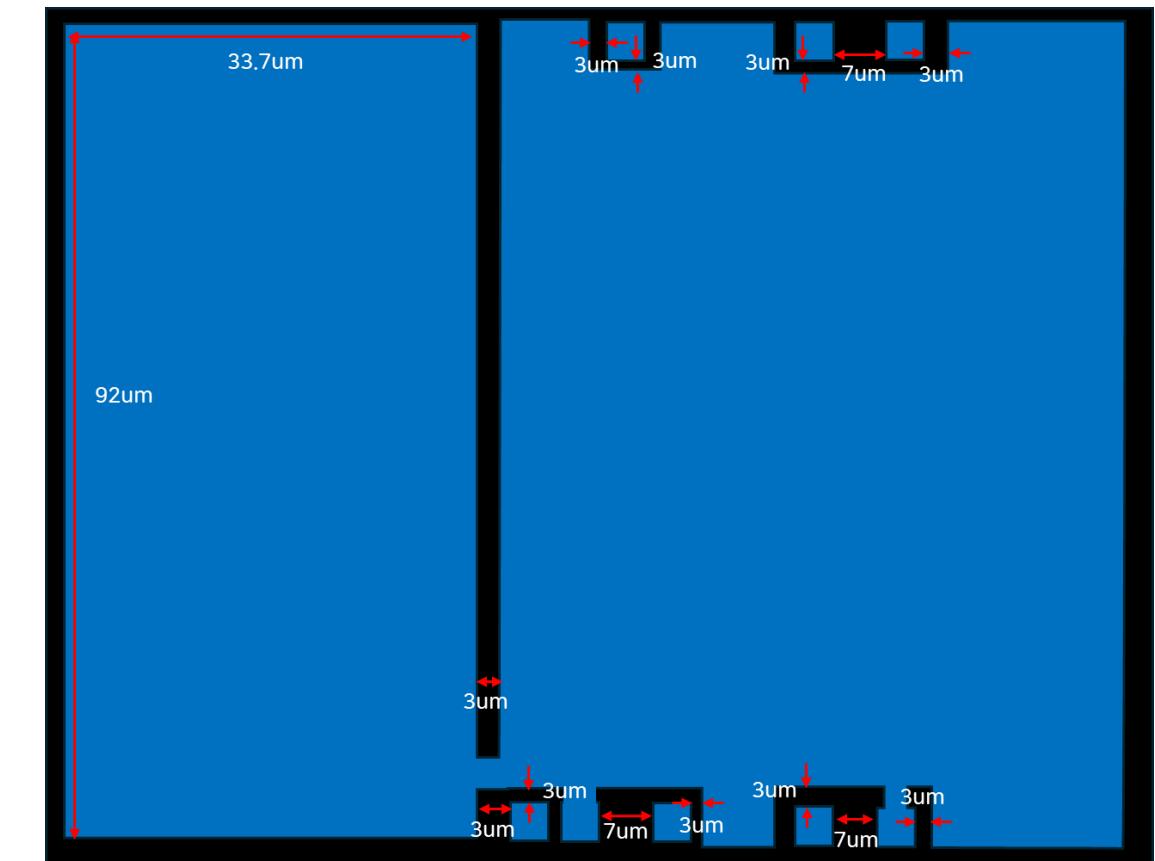
사용 MASK

7층 Metal MASK / 8층 Metal Mask

Mask 15



Mask 16



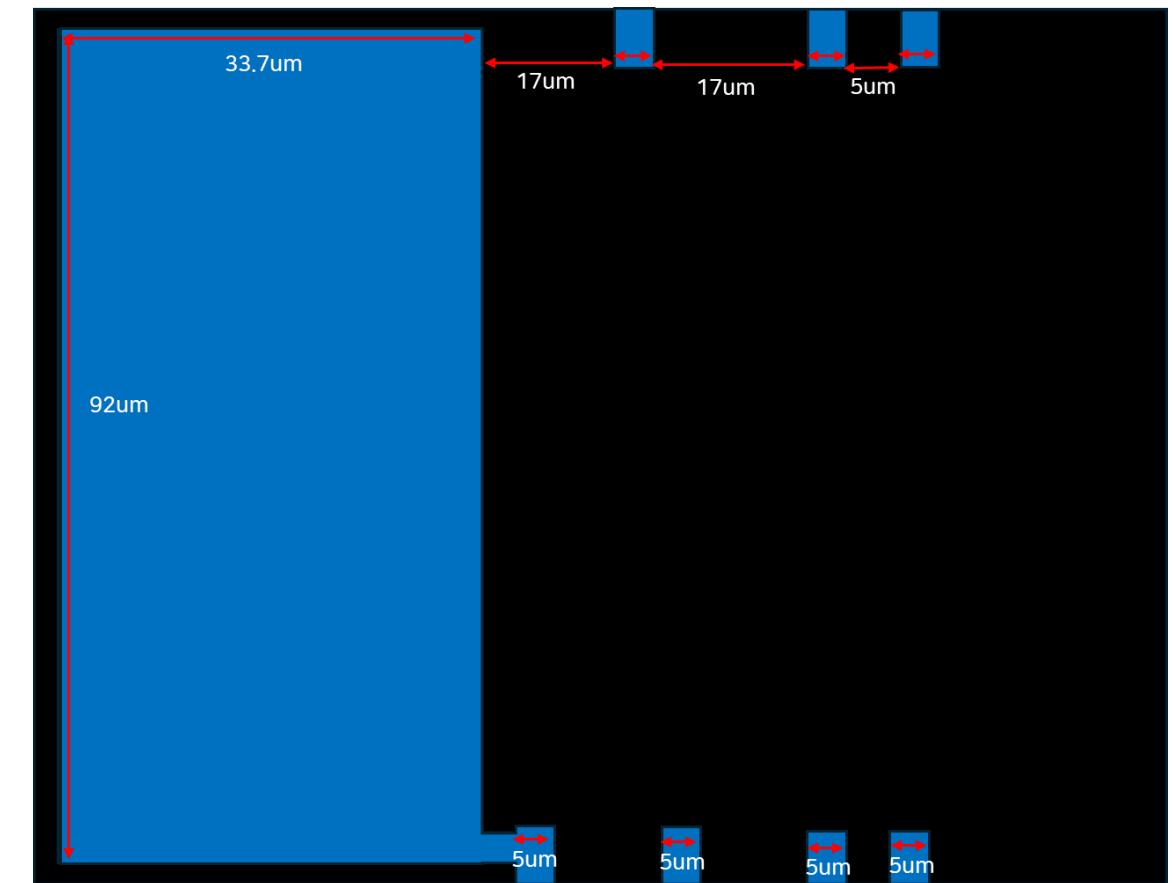
☰ 사용 MASK

9층 Metal MASK / 10층 Metal Mask

Mask 17

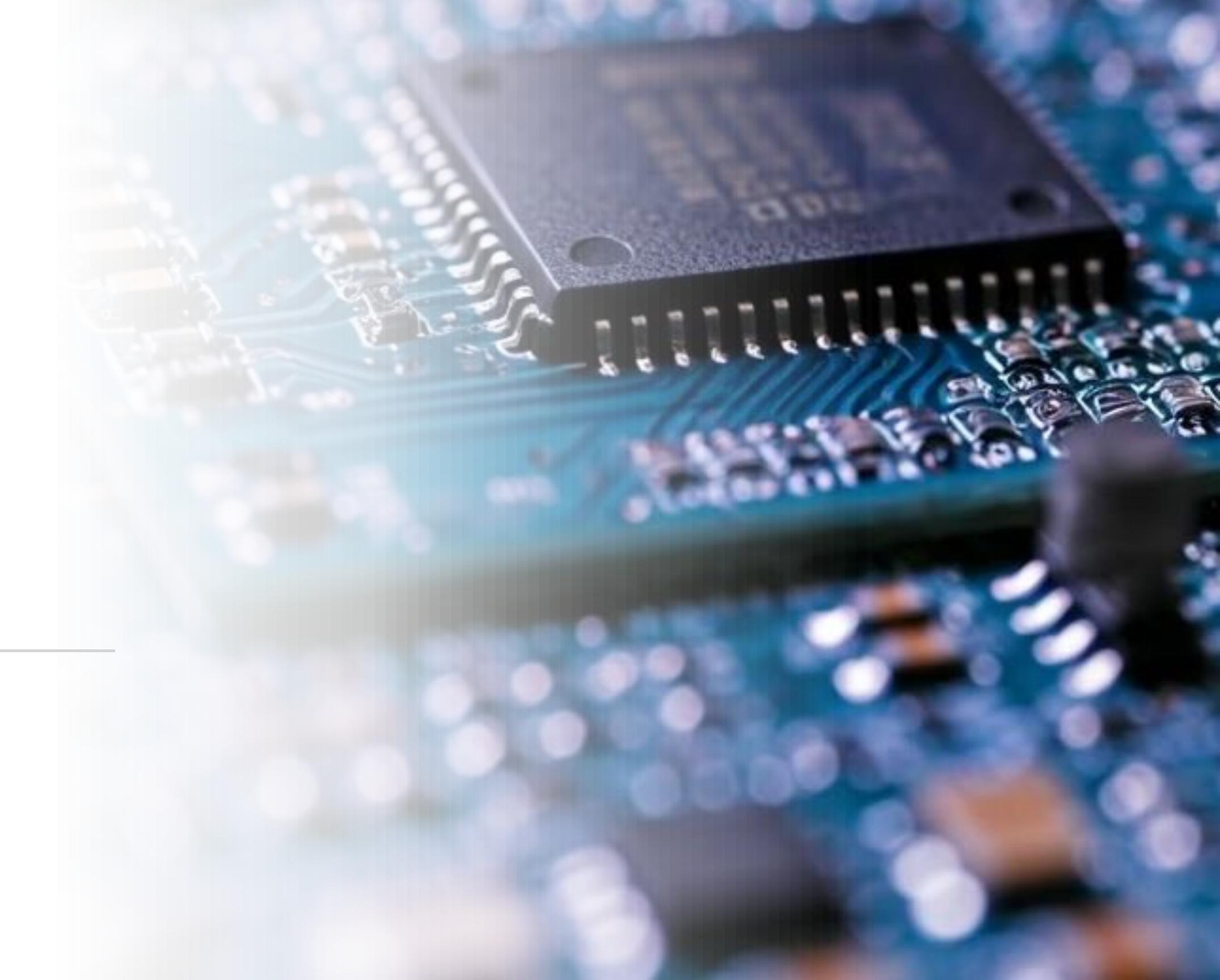


Mask 18



3

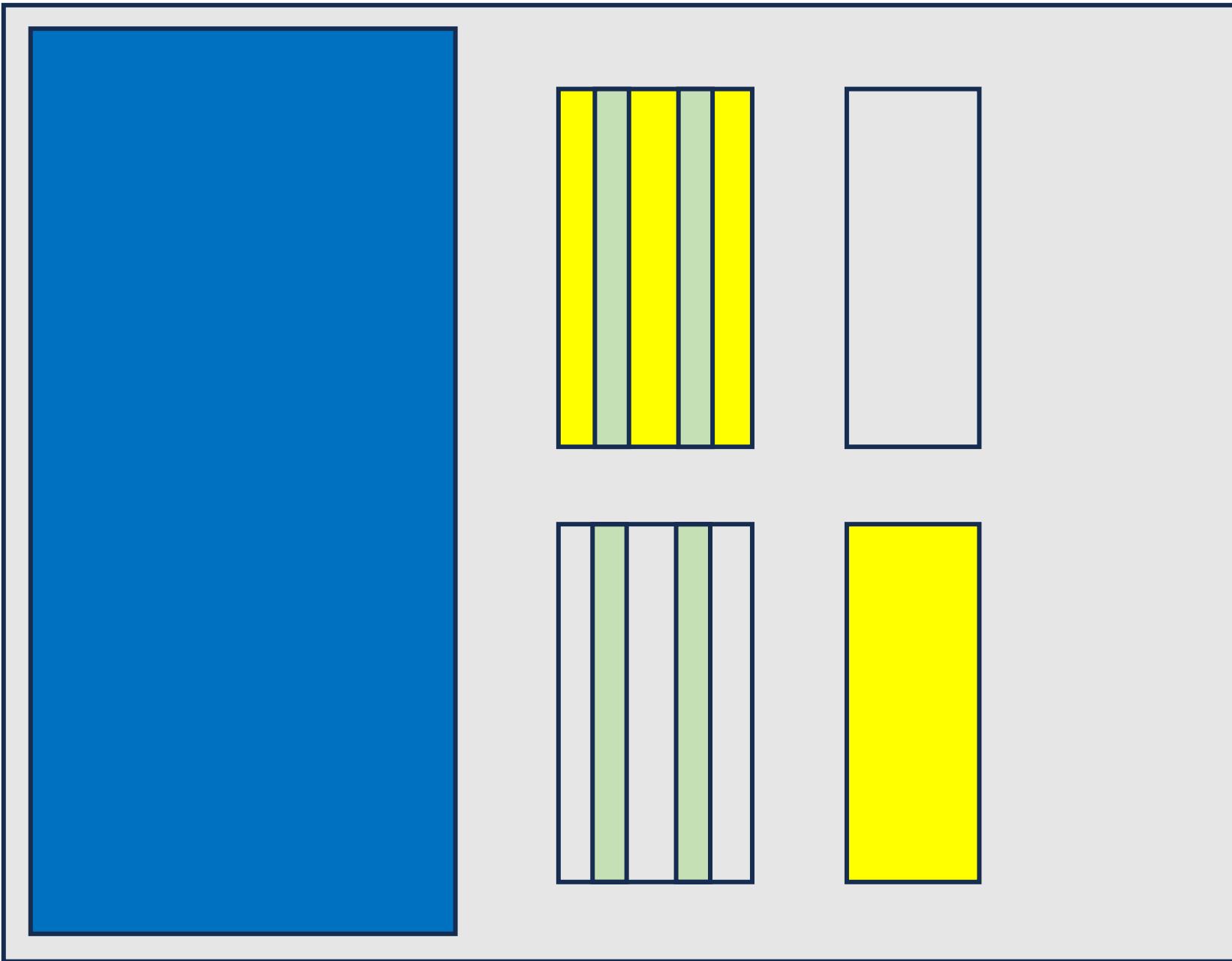
기타



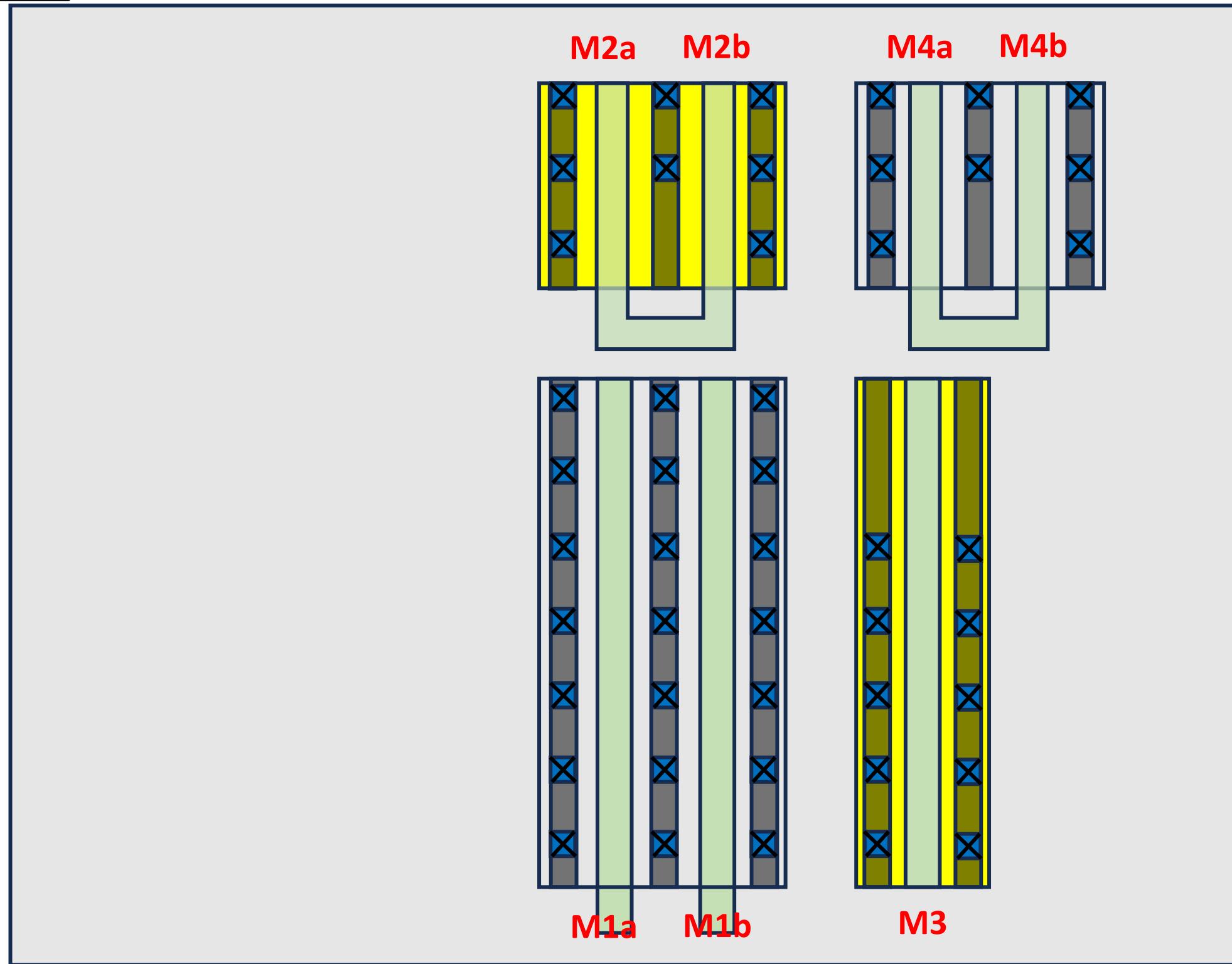


Top View

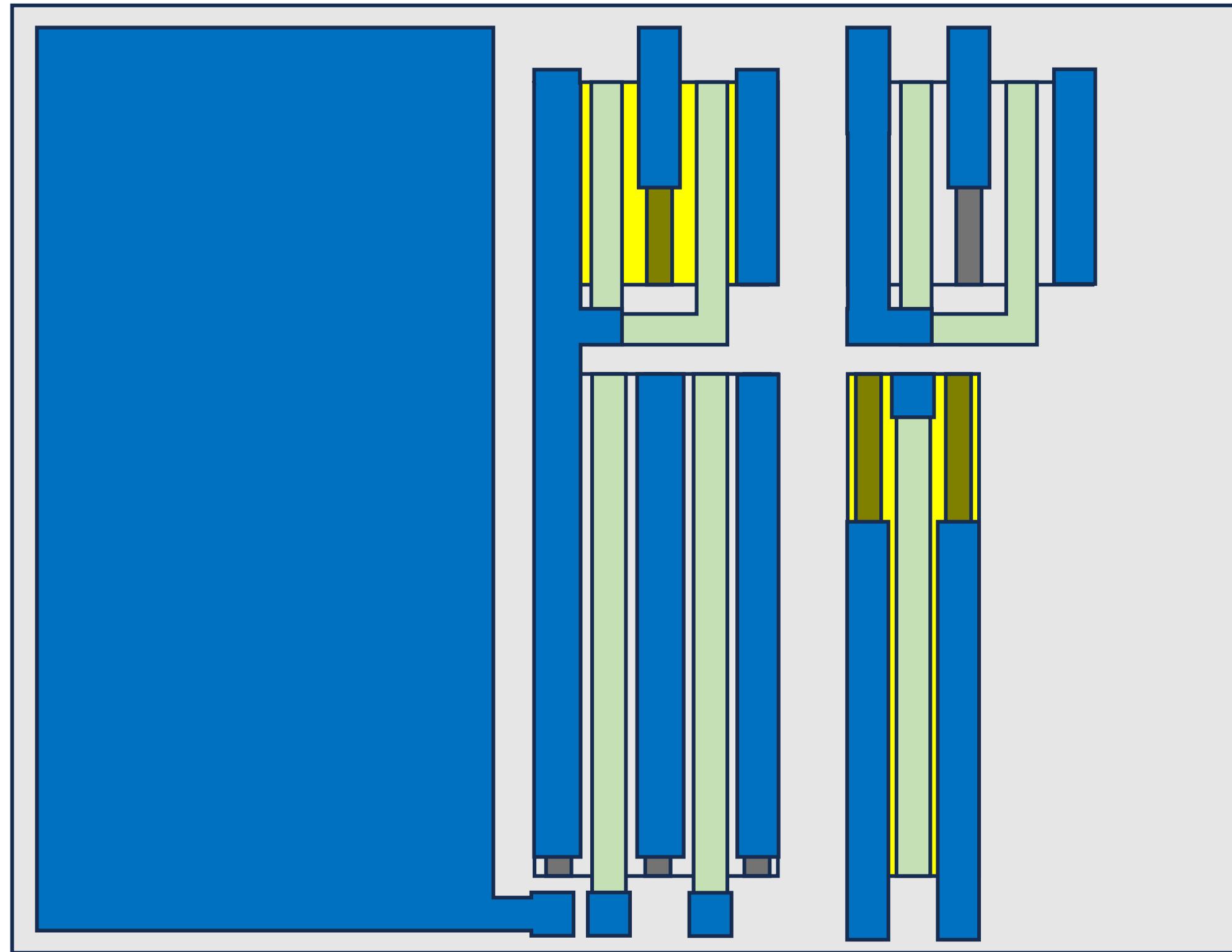
	P-SUB
	N-Well
	Poly-Si
	Cu
	Sio2
	SiNx
	Al
	p+ / n+
	p- / n-
	PR



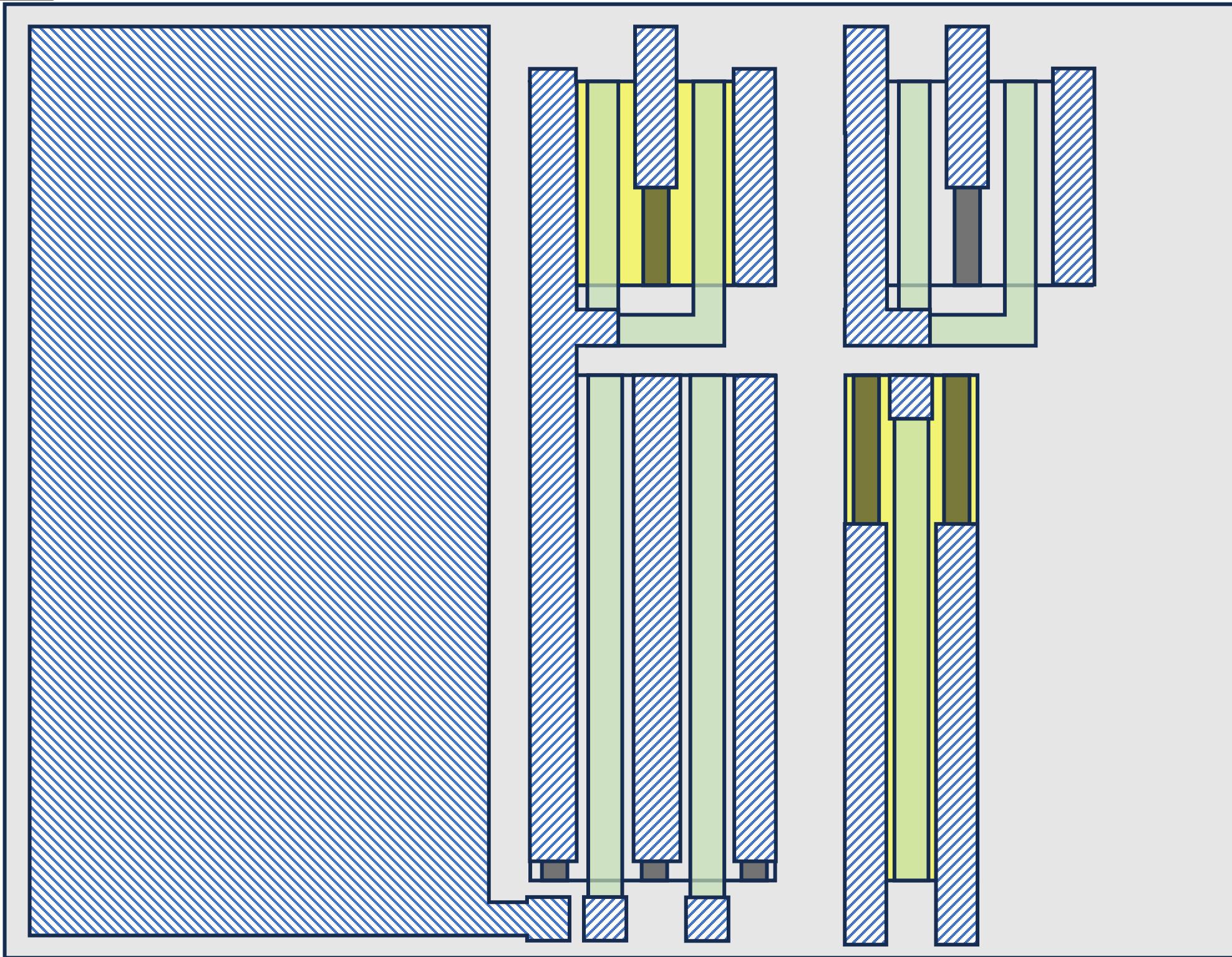
1층 Metalization 완료 후



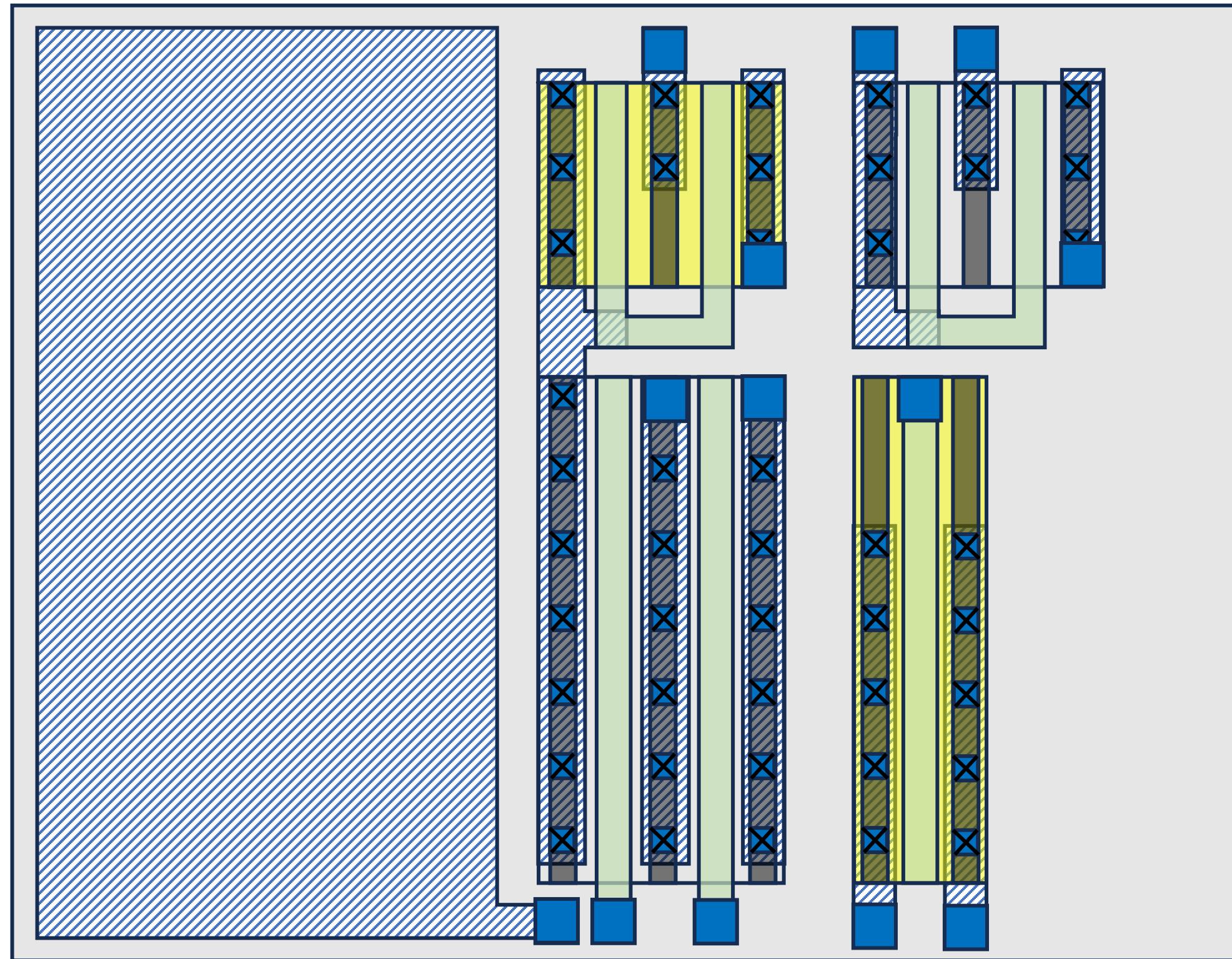
2층 Metal 표시



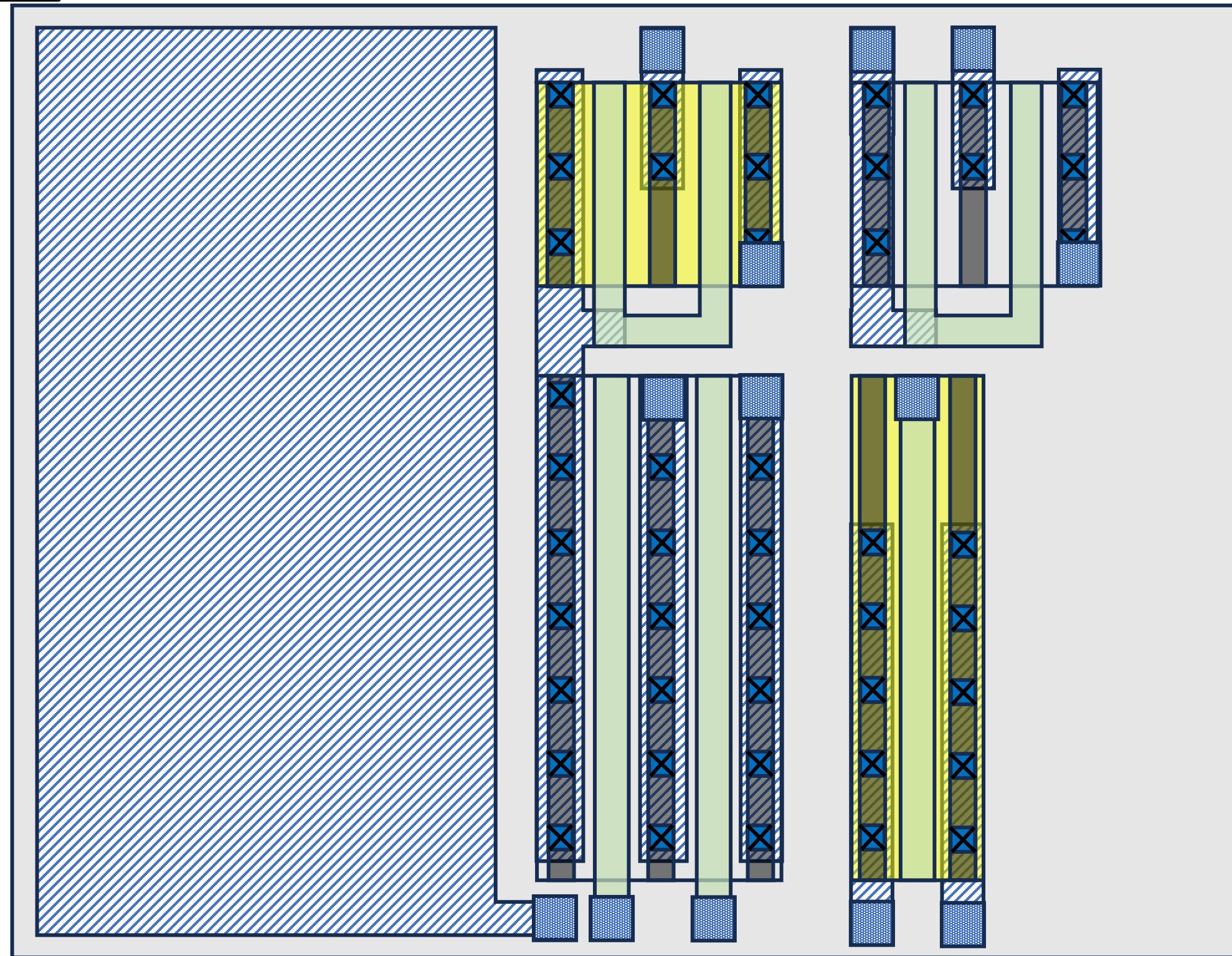
2층 Metalization 완료 후



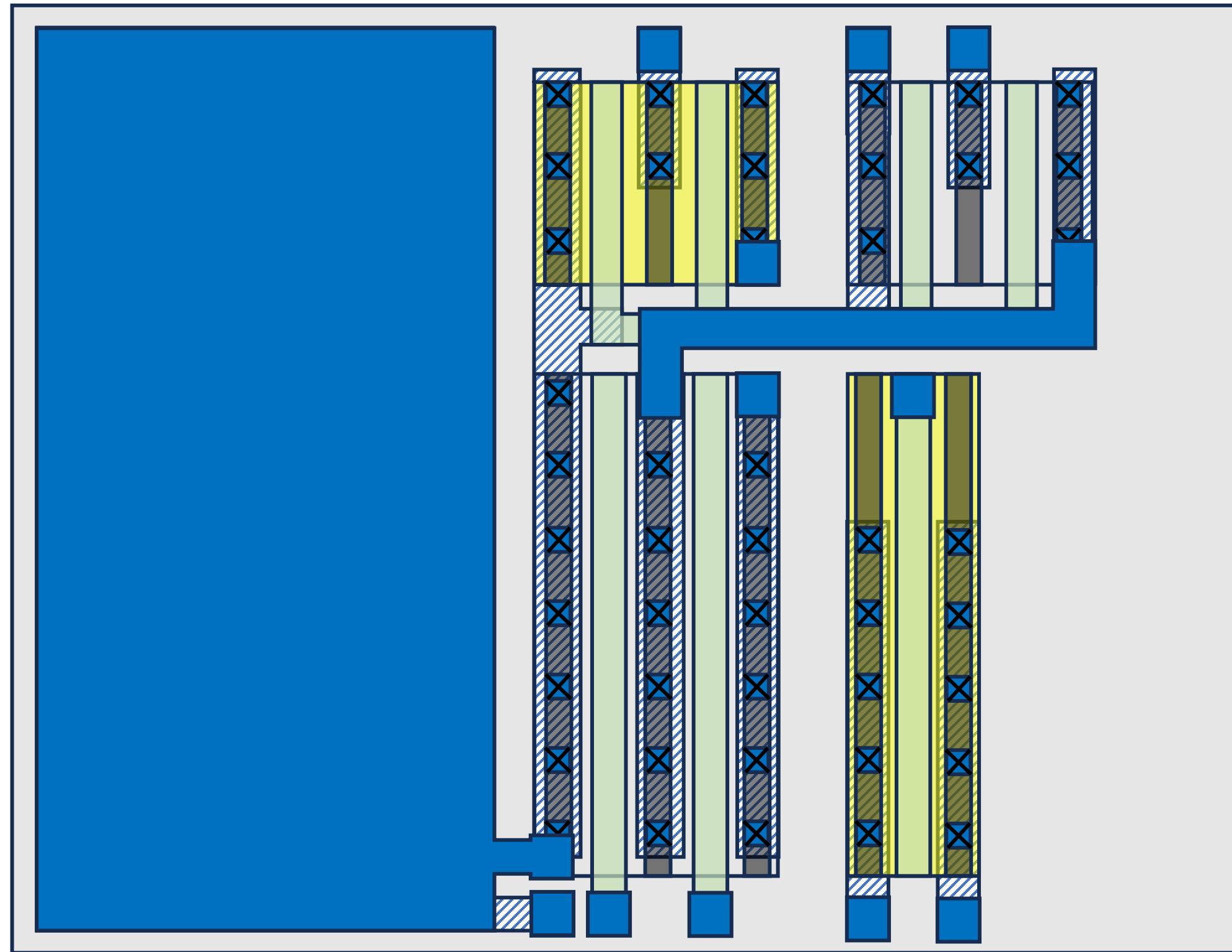
3층 Metal 표시



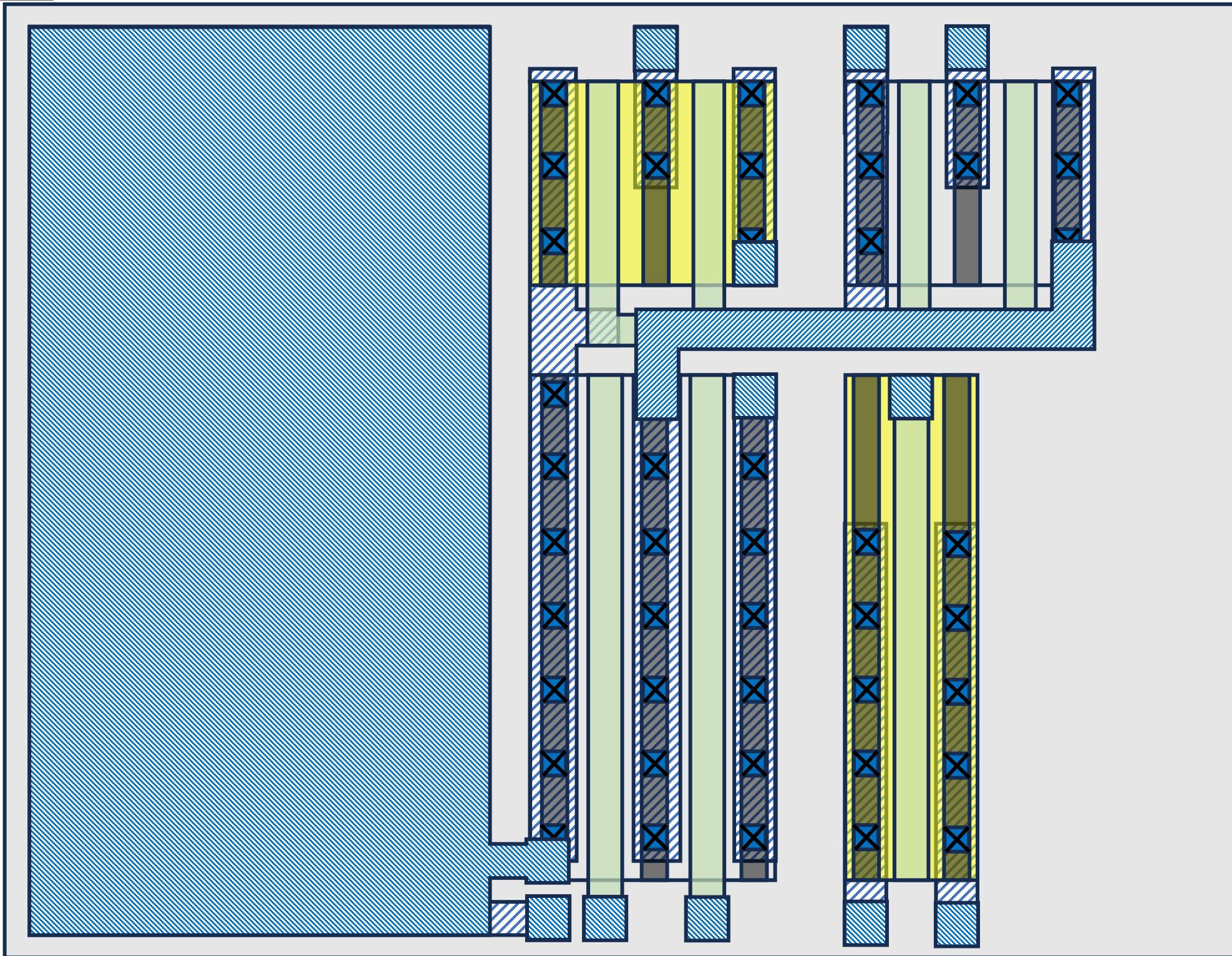
3층 Metalization 완료 후



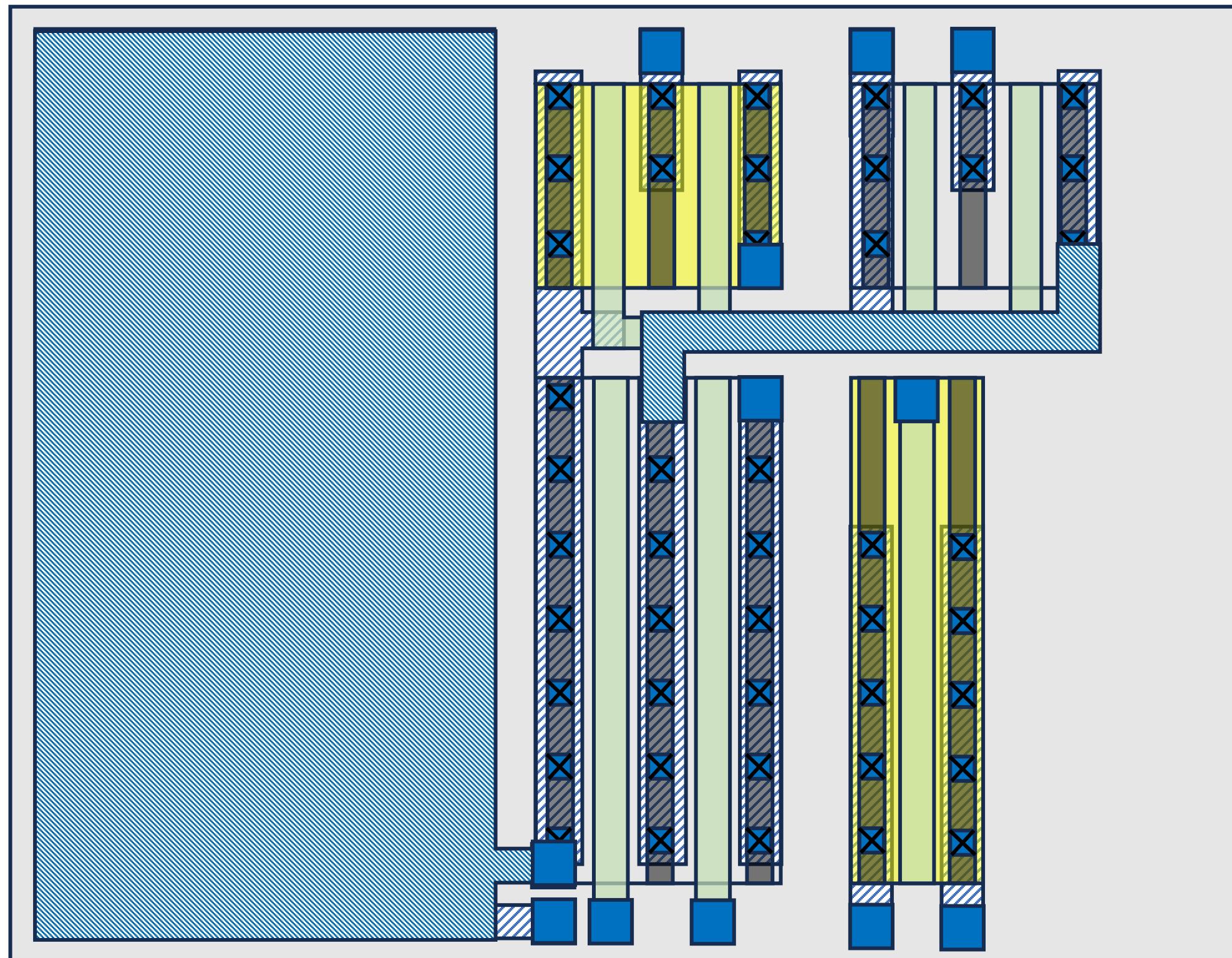
4층 Metal 표시



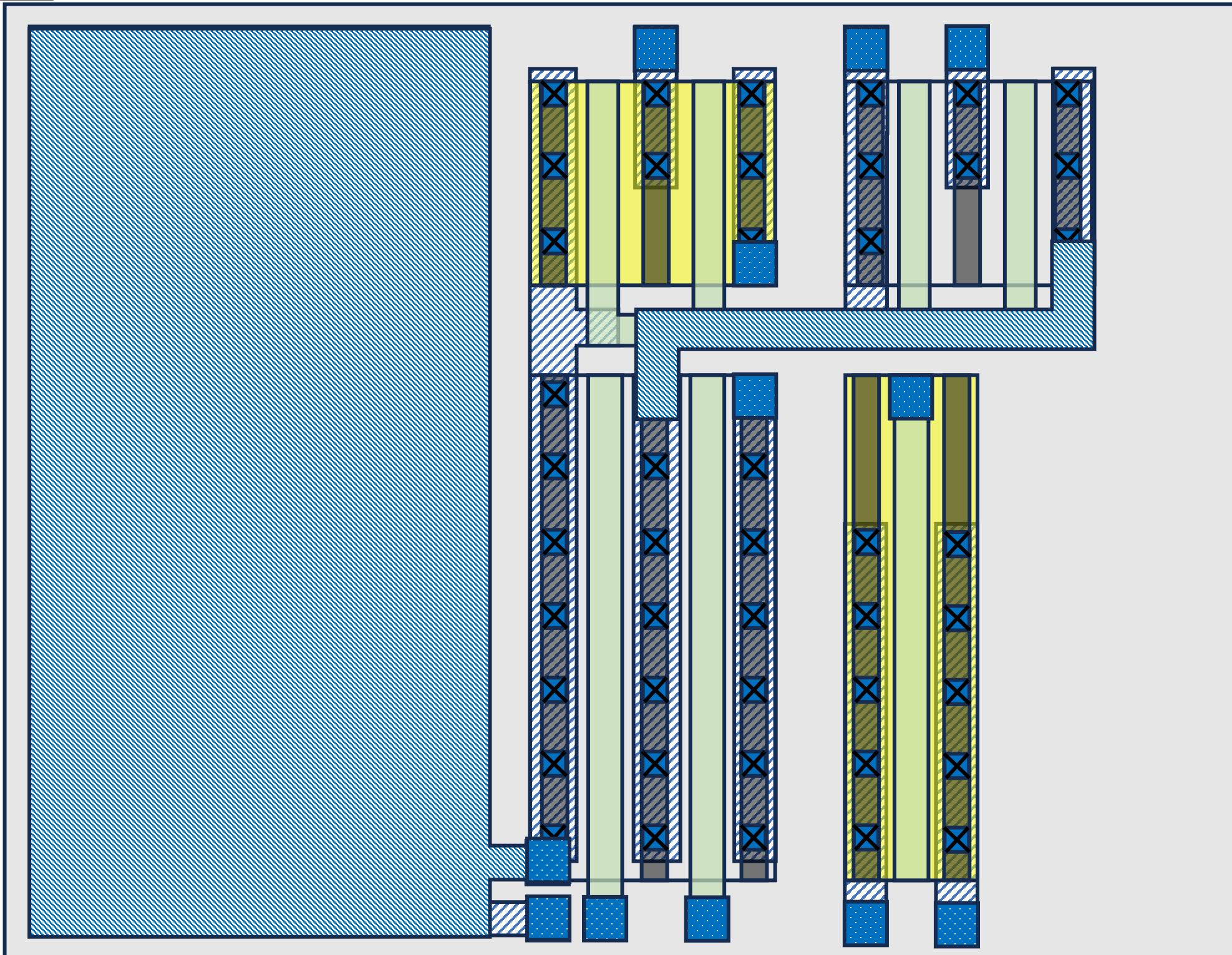
4층 Metalization 완료 후



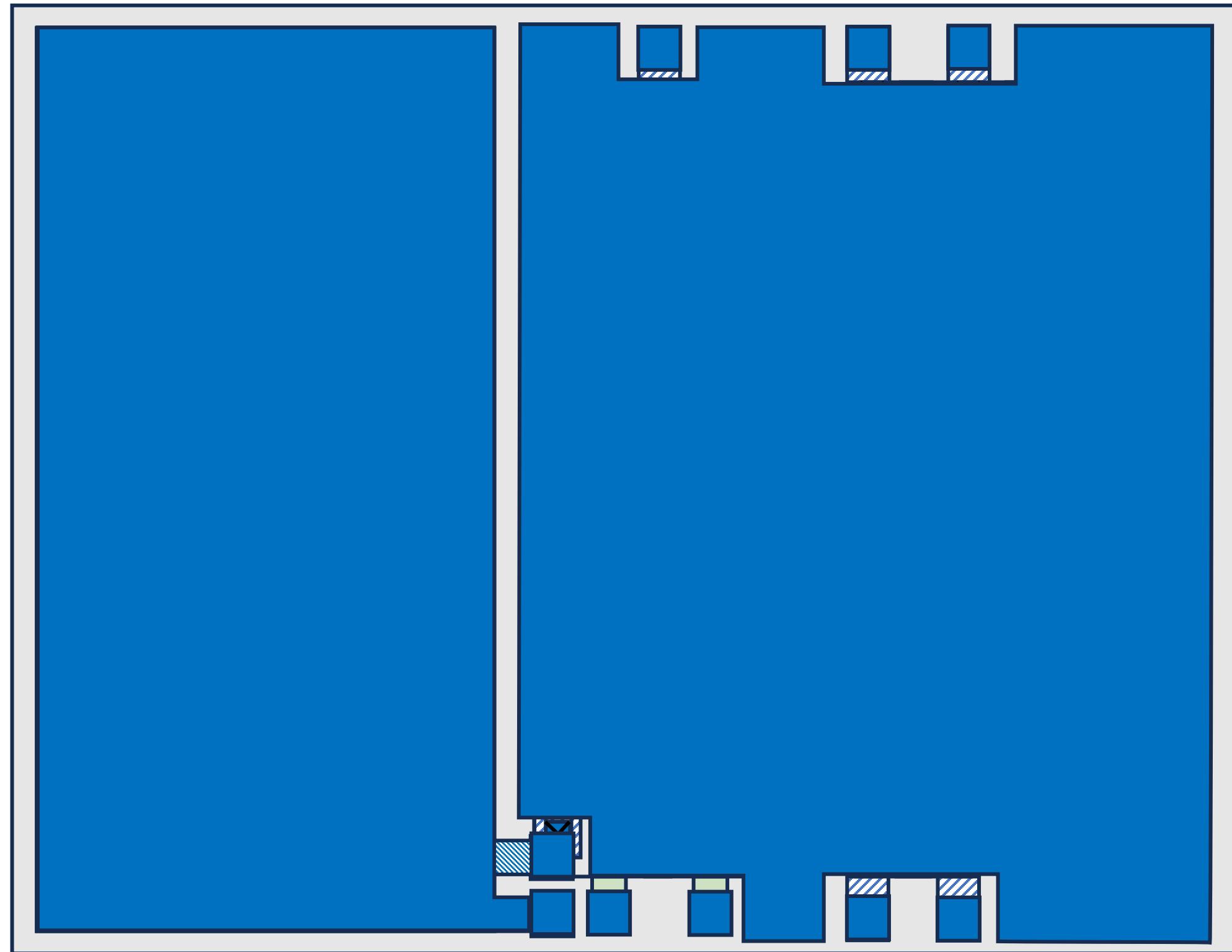
5층 Metal 표시



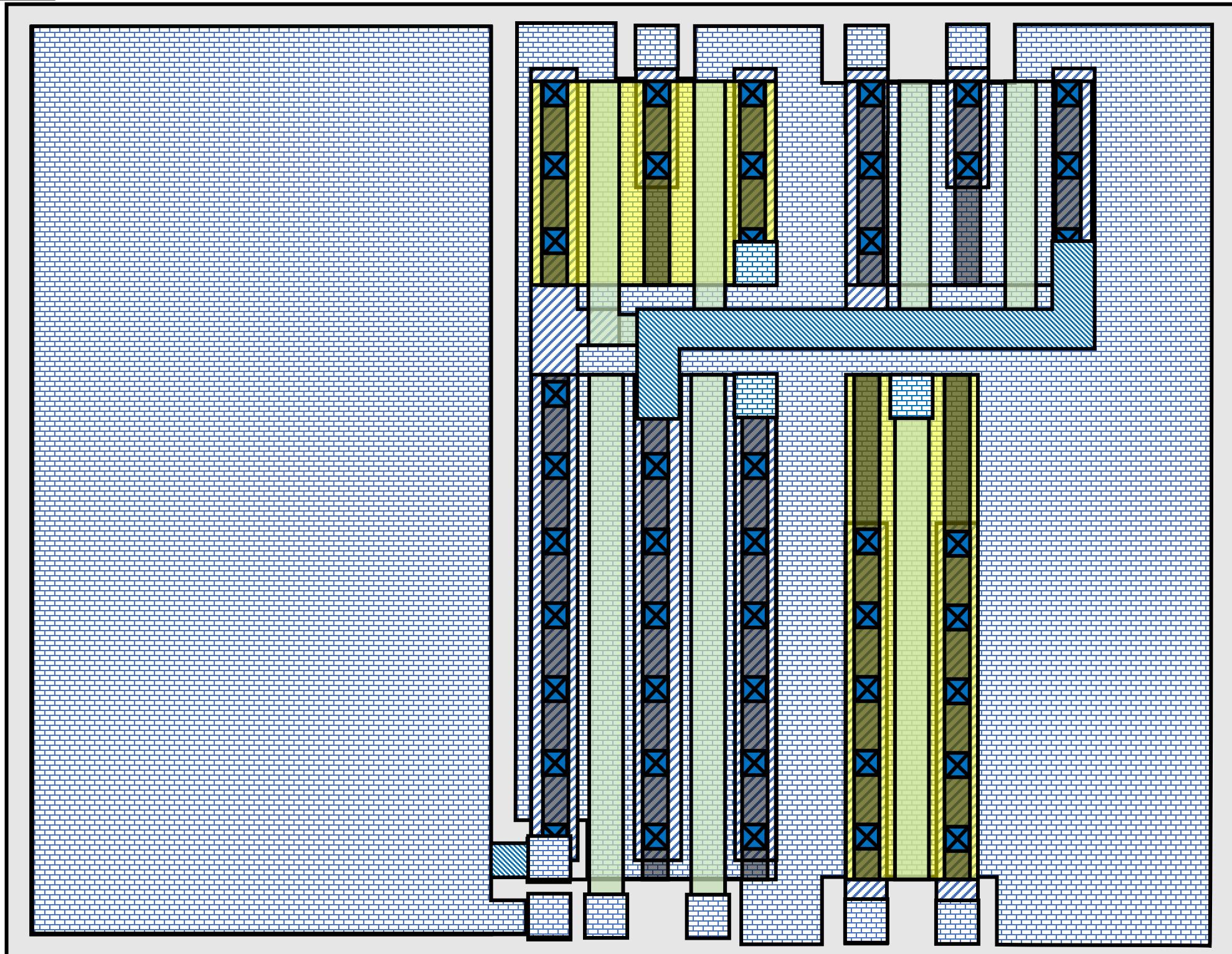
5층 Metalization 완료 후



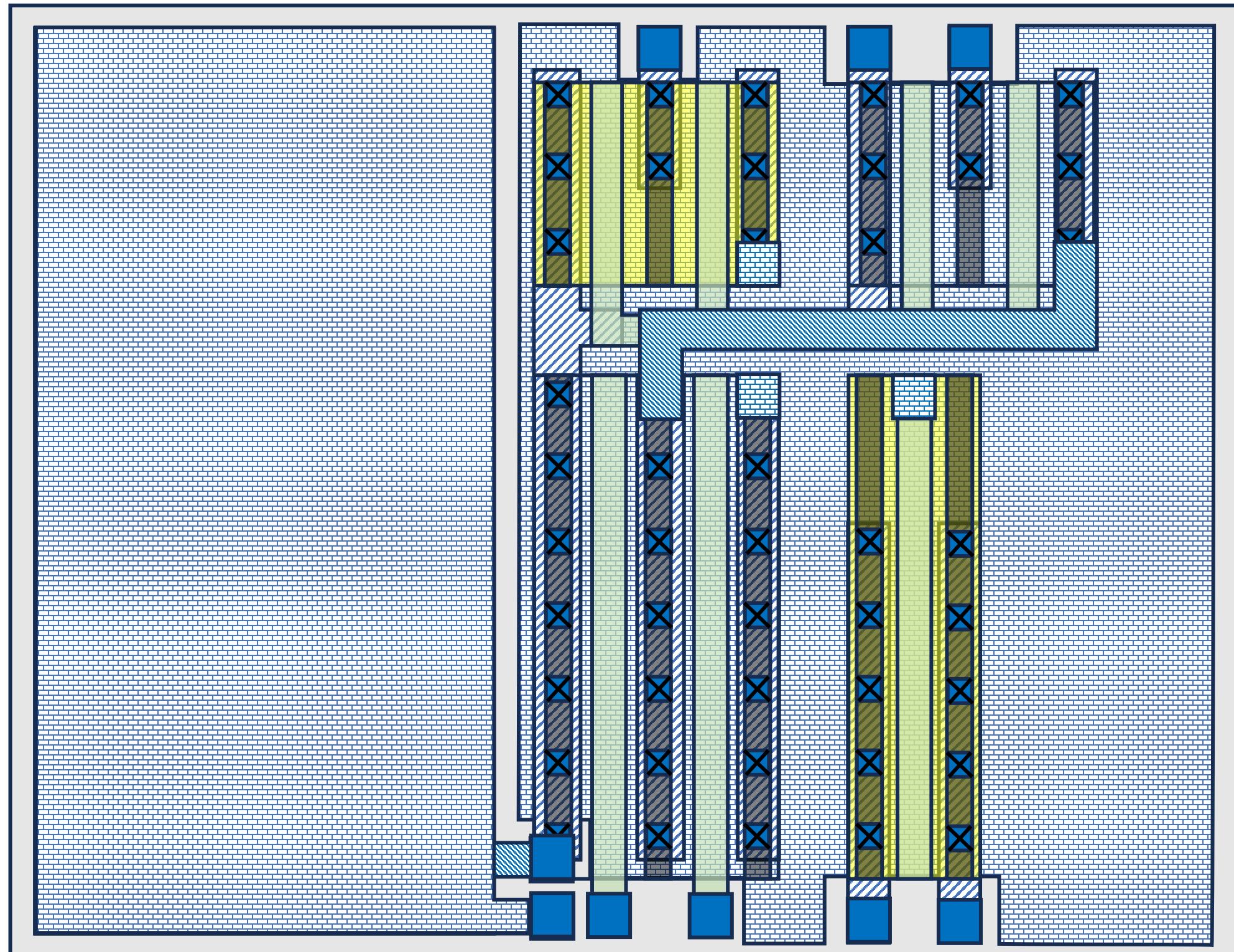
6층 Metal 표시



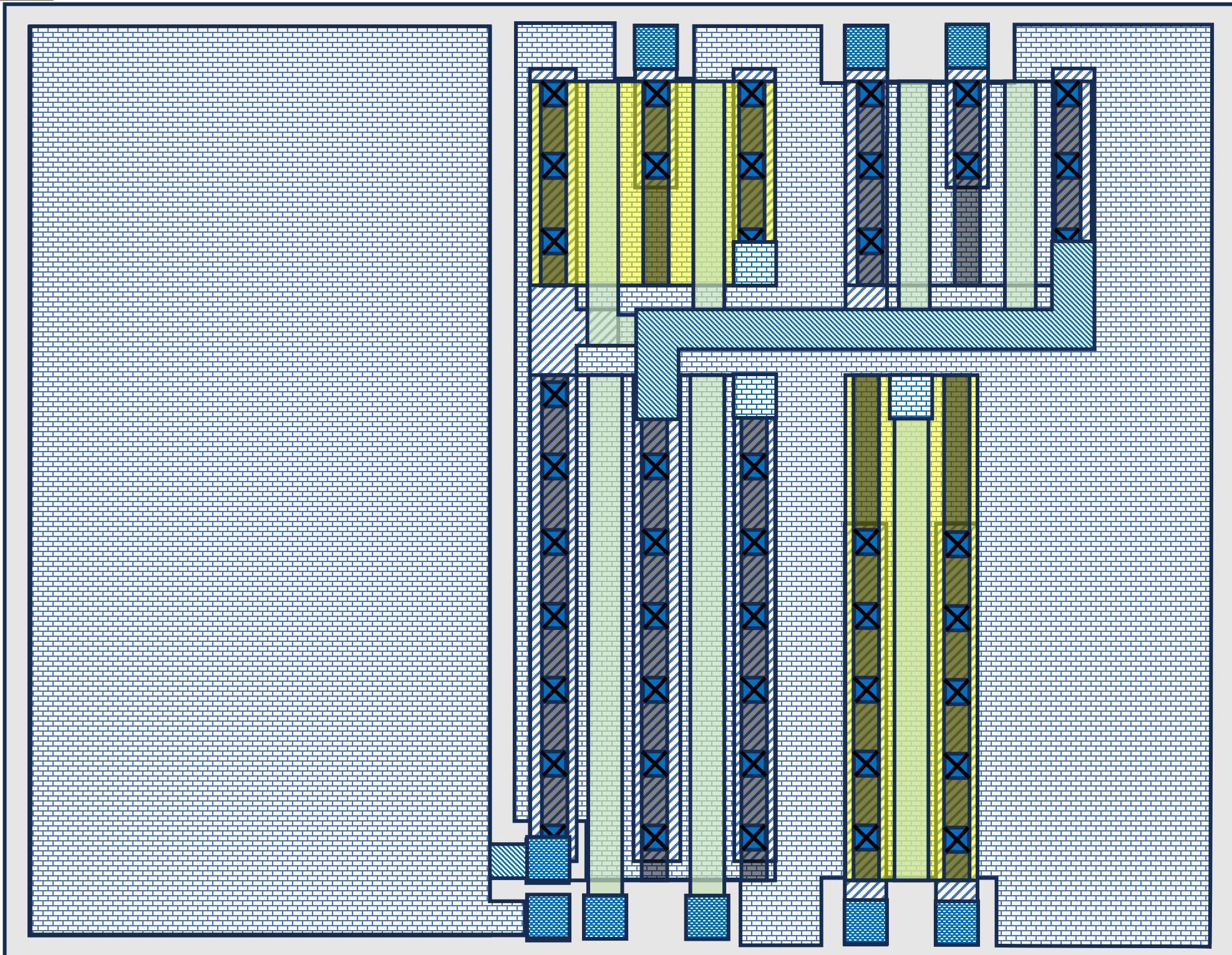
6층 Metalization 완료 후



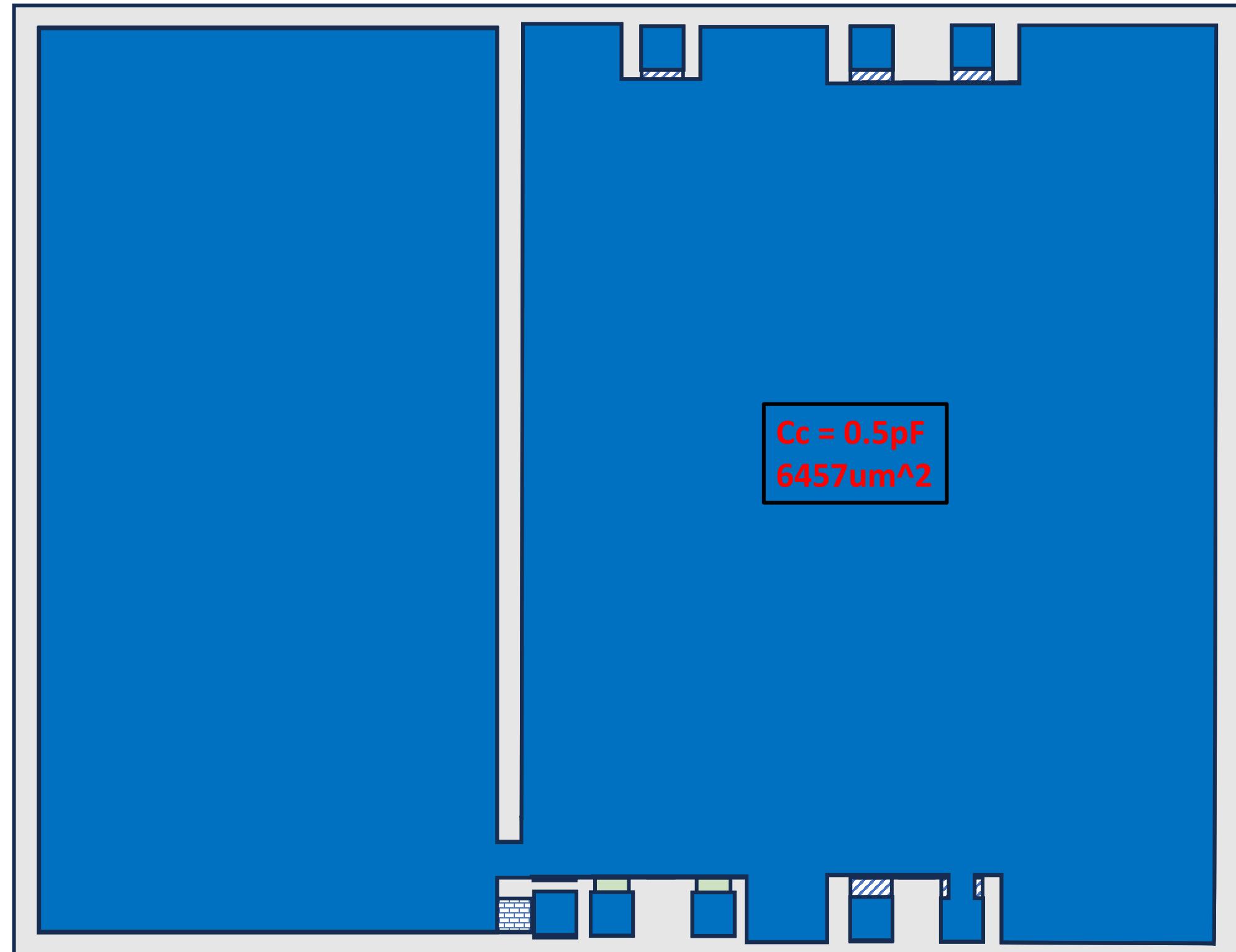
7층 Metal 표시



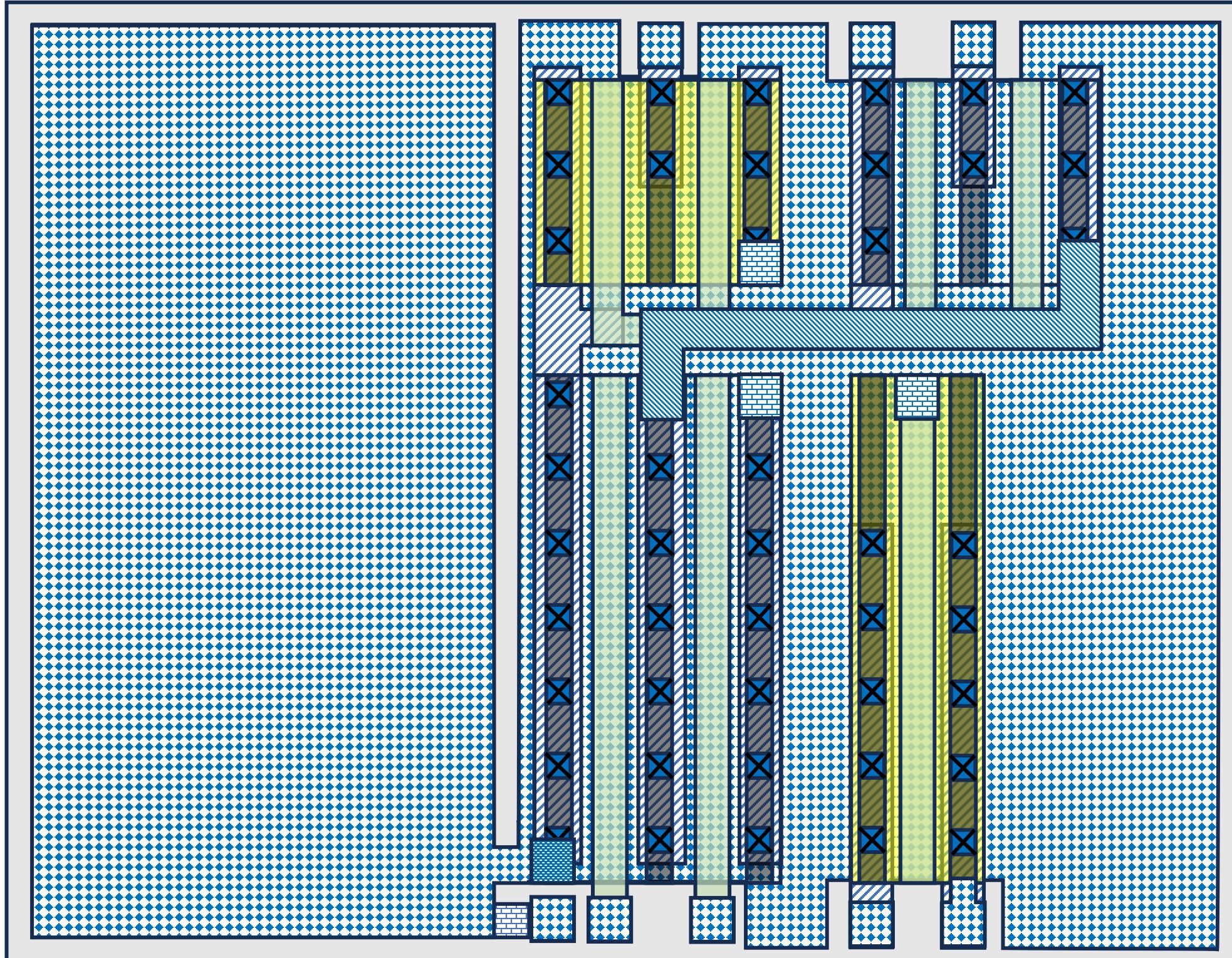
7층 Metalization 완료 후



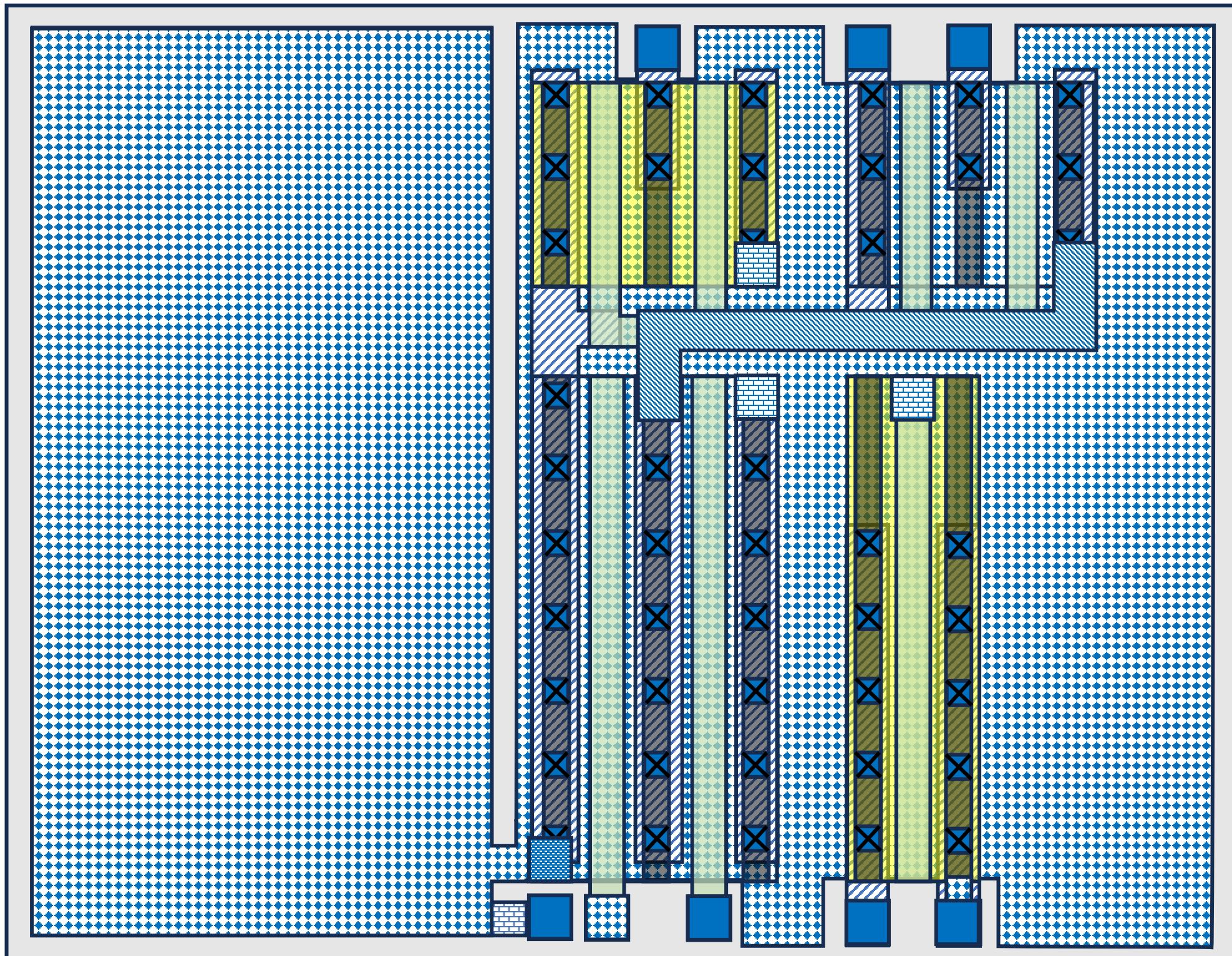
8층 Metal 표시



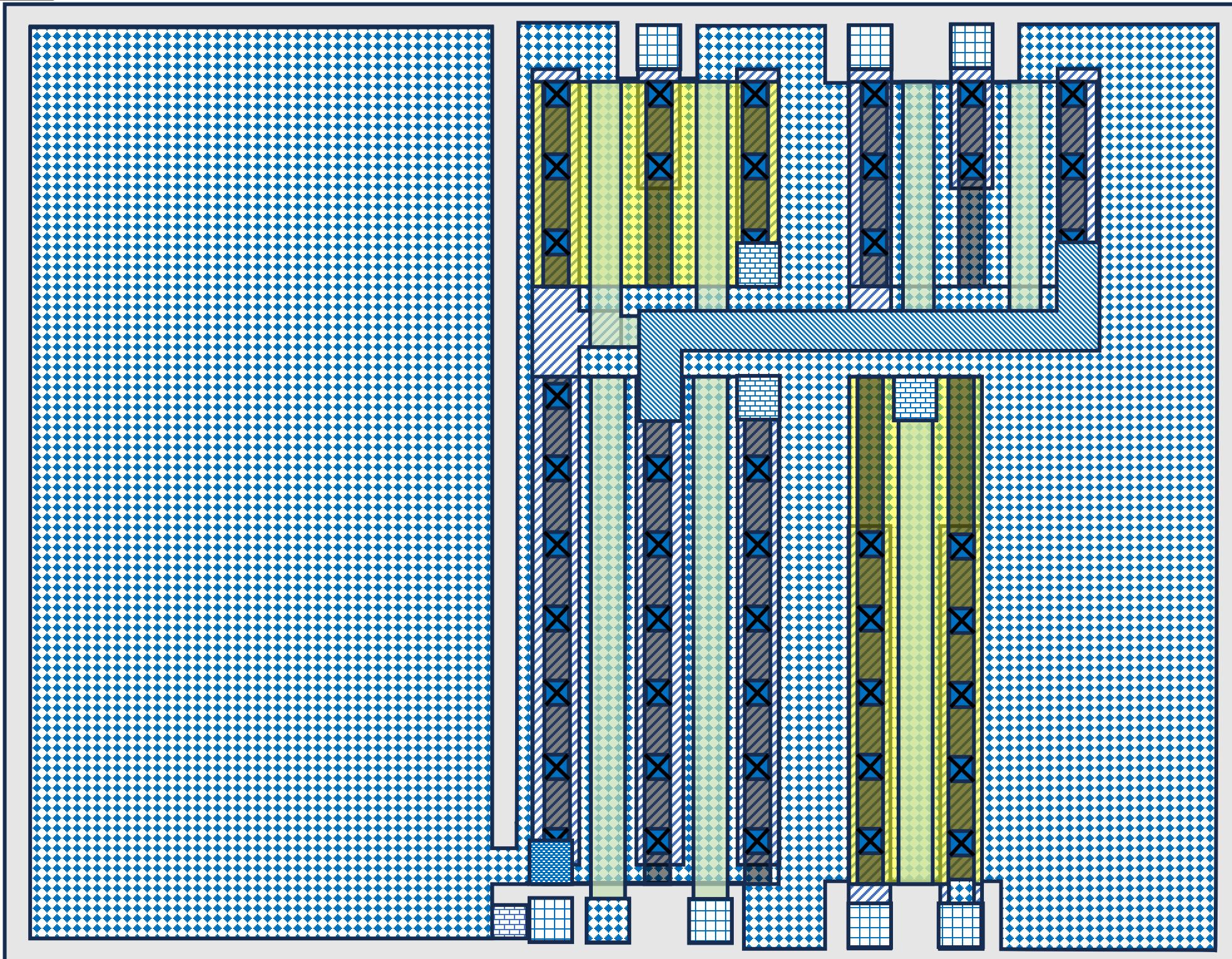
8층 Metalization 완료 후



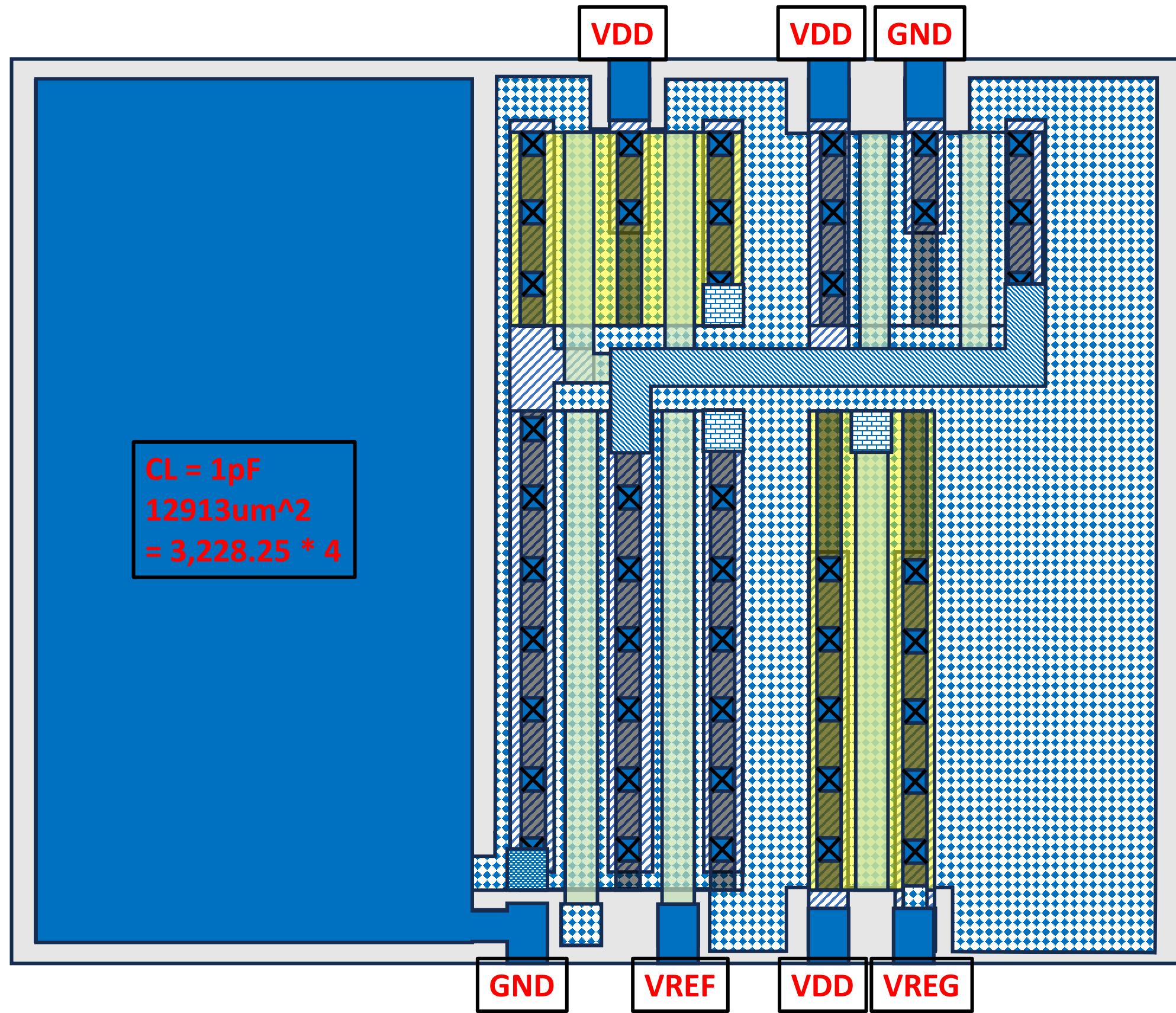
9층 Metal 표시



9층 Metalization 완료 후



10층 Metal 표시



☰ 출처

SK hynix. "다마신 구리 배선 방식_ 알루미늄의 한계를 극복하다." *SK hynix News*, 2024, <https://news.skhynix.co.kr/post/damascene-process>.

SK hynix. (2024). 소자분리막, 미세화 탈환을 위한 참호막(STI) 구축하기. <https://news.skhynix.co.kr/post/device-isolation-membrane-miniaturization>

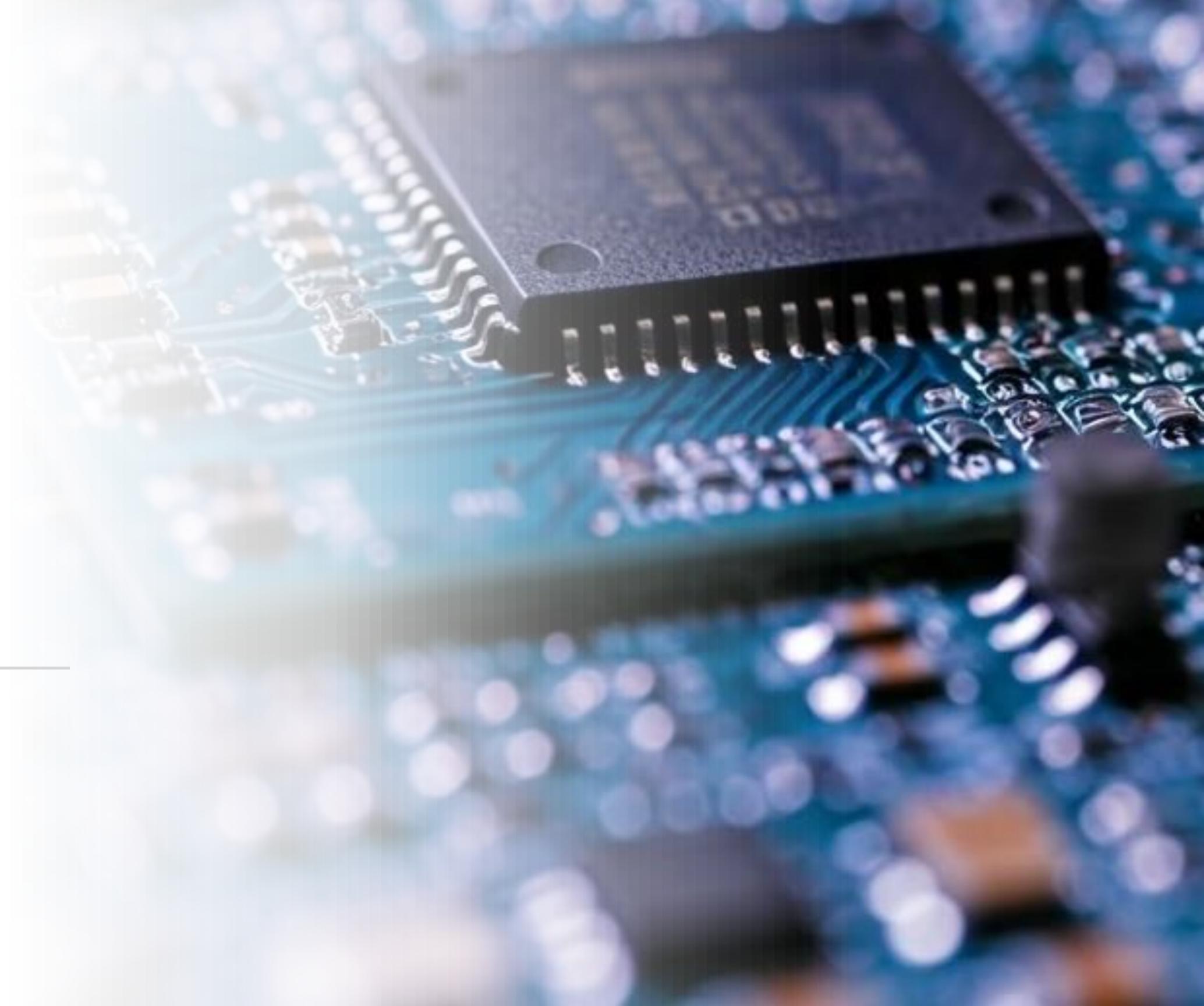
SK hynix. (2024). 스페이서Spacer), 철갑을 두른 게이트. <https://news.skhynix.co.kr/post/spacer>

Jaeger, R. C. (2005). 반도체공정개론 (이상렬, 명재민, & 윤일구, Trans.). 교보문고

Zhen, Chen, et al. "A Study of MIMIM On-Chip Capacitor Using Cu/SiO₂ Interconnect Technology." IEEE Microwave and Wireless Components Letters, vol. 12, no. 7, July 2002, pp. 246-248C

P. Gardes et al., "Thermo-mechanical simulation to optimize the integration of a BST stacked MIMIM capacitor," 2016 17th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE), Montpellier, France, 2016, pp. 1-8.V

4 후기



소감



노영찬

반도체 공정을 이론적으로만 배웠을 때는 별로 와닿지 않고, 이해하기 어려웠는데, 실제 회로에 대해 layout을 그리고, Metal layer를 구상하고, 각각의 요소를 만들기 위한 공정을 결정하는 과정을 통해 반도체 공정에 대한 이해도가 더 높아진 것 같다. schematic 상태의 회로에서 TR을 깔아 작은 Size의 칩을 고안하는 과정은 결코 쉽지 않은 일이었다. 특히 두개의 캐패시터를 제한된 면적 안에 배치하기 위해 많은 고민을 하며 레이아웃 디자인에 대한 수정을 많이 했고, 그 과정이 험난했지만 이를 통해 회로와 레이아웃 전반에 대한 이해도가 많이 향상된 것 같다. 무엇보다 2주가 안되는 시간동안 함께 밤을 지새며 열심히 자기 할일을 묵묵히 해준 팀원들 덕분에 이번 프로젝트를 완료할 수 있었던 것 같다.



김무성

처음 회로도를 보고 7개의 transistor와 2개의 capacitor를 보고 어떻게 chip을 구성해야 되는지에 대한 막막한 마음만 가득했습니다. 하지만 차근차근 stick diagram부터 layout의 기틀을 잡고, design rule를 통해 mask의 size를 결정하고 더 나아가 최소한의 면적을 이루기 위해 논문을 찾아보는 등 일련의 과정을 통해 완성도 있는 결과물을 만든 것 같아 상당히 기쁩니다. 수업 시간에 공정에 대하여 배울 때는 각 챕터를 끊어 배워서 각 공정의 연결성이 크게 부각되지는 않았지만 프로젝트를 진행하면서 특정 공정 때문에 원하는 공정을 사용하지 못하는 상황을 거치면서 공정은 연결성의 미학임을 깨달았습니다.

프로젝트를 진행하면서 팀원들과 거의 매일 만나 의논하고 늦은 시간까지 모임을 진행하면서 많이 힘들었지만 팀원들과 이야기를 나누면서 어떠한 문제를 해결했던 경험은 정말 좋은 기억으로 남을 것 같습니다.

소감



우상욱

회로를 처음 받았을 때는 막막했고, 어떻게 시작해야 할지 갈피를 잡지 못했습니다. 하지만 팀원들과 함께 아이디어를 공유하며 문제를 하나씩 해결해 나가면서 과제를 무사히 끝마칠 수 있었습니다. 과제를 진행하는 동안 설계 과정에서 예상치 못한 문제들을 발견하고 이를 해결하기 위해 팀원들과 끊임없이 논의하며 협력의 중요성을 깨달았습니다.
이러한 과정을 통해 한 학기 동안 배운 공정 이론과 개념을 체계적으로 정리하고, 실제 공정 설계에 적용해 보는 소중한 경험을 할 수 있었습니다.
이번 프로젝트를 통해 반도체 공정에 대해 새롭게 생각해볼 수 있는 경험이 되었던 것 같습니다.



한정호

프로젝트를 처음 접했을 때는 주어진 회로를 어떻게 설계하고 제작해야 할지 두려운 마음이 들었습니다. 하지만 차근차근 문제를 해결해 나가면서, 이론적으로만 배웠던 각 공정들이 실제로는 하나의 유기적인 시스템으로 작동한다는 점을 깊이 깨달을 수 있었습니다.
특정 공정을 선택했을 때 다른 공정에서 발생할 수 있는 문제를 직접 마주하고 이를 해결해 나가면서 공정 전반에 대한 이해도가 크게 향상되었습니다. 가장 큰 어려움은 캐패시터를 효율적으로 배치하는 일이었습니다. 이를 위해 아이디어를 공유하고, 실현 가능한지 검증하기 위해 논문을 찾아 연구했습니다. 이러한 과정을 통해 문제 해결 능력을 키울 수 있었습니다. 이번 프로젝트를 통해 이론이 실제 공정에서 어떻게 적용되는지 간접적으로 경험할 수 있었으며, 공정 엔지니어로서 요구되는 통합적 사고의 중요성을 배웠습니다. 무엇보다 밤낮으로 함께 노력해준 팀원들 덕분에 프로젝트를 완성할 수 있었습니다.

Q&A

