

PCB 교육 정리

Capture Basic usage

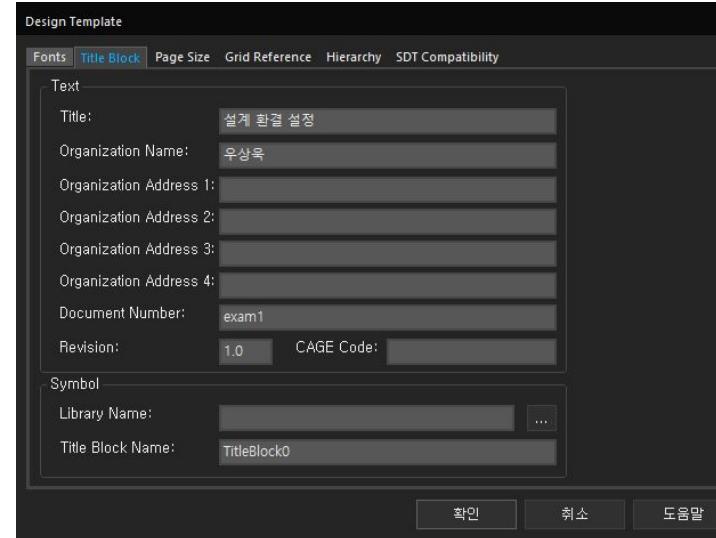
전자정보공학부 20203023 우상욱
wu3643@gmail.com

Contents

- 초기설정
- front-end 기능 학습
- DRC
- 계층 구조
- 전기 기능사 예제

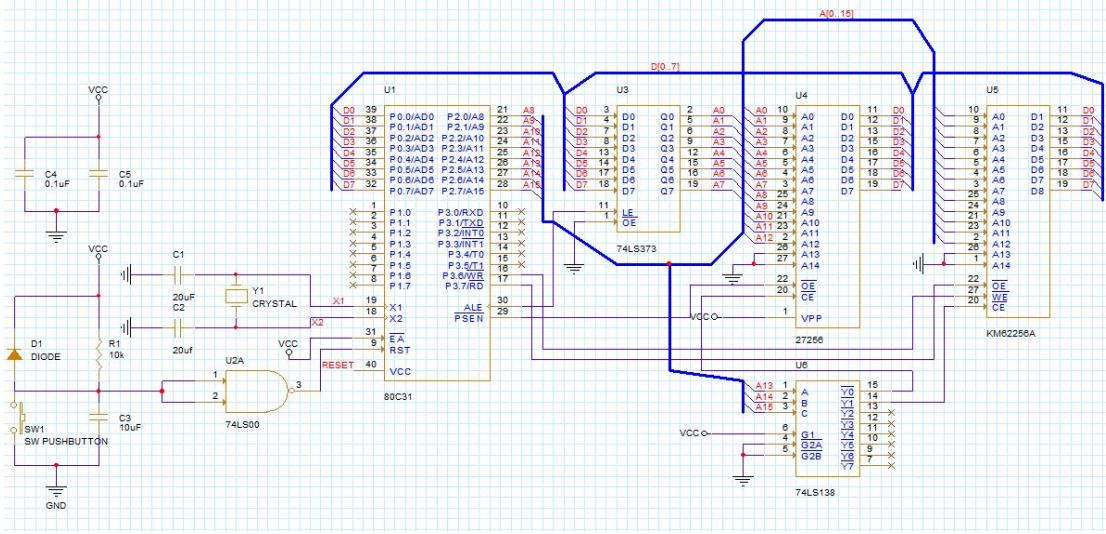
초기 설정

option -> preference/design preference 기능 확인



grid 등의 displayed 속성들은 print시 출력할지 말지를 설정할 수 있다.

front-end 기능 학습



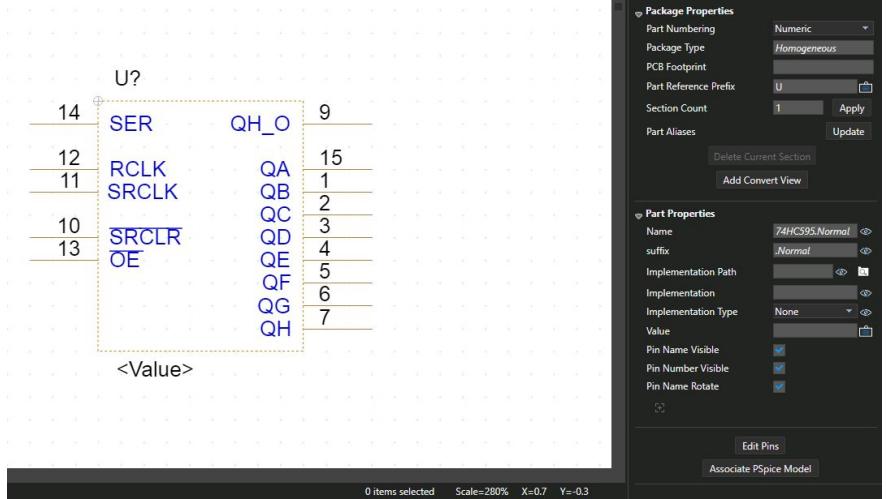
Bus, Bus Entry 활용하여 회로도 완성

module과 연결하기 위해서는 wire를 배준 후 bus entry로 pin과 bus 연결

bus 이름을 붙일 때는 net alias -> n 으로 다른 alias와 동일하지만 NAME[LSB..MSB] 로 문법에 맞게 작성.

현재 실습에서는 GDN을 구분하지 않지만 실무에서는 혼성회로를 많이 사용하므로 name으로 구분하여 사용

front-end 기능 학습



맞는 part가 없을 경우 new part, edit part 기능을 통해 만들거나 있는 part를 수정할 수 있다.

DRC

PCB 작업 중 front-end 기능 연습



파일(F) 편집(E) 서식(O) 보기(V) 도움말(H)

```
exam.up
{
    "Value": "PCB Footprint"
    "80C31": "DIP40_6"
    "27256": "DIP28_6"
    "KMB2256A": "DIP28_6"
    "74LS373": "DIP20_3"
    "74LS138": "DIP16_3"
    "74LS00": "DIP14_3"
    "11.0592Mhz": "CRYSS11MHZ"
    "10k": "RES400"
    "20pF": "CAP196"
    "0.1uF": "CAP196"
    "10uF": "CAP196"
    "DIODE": "CAP196"
    "SW_PB": "JUMPER2"
}
```

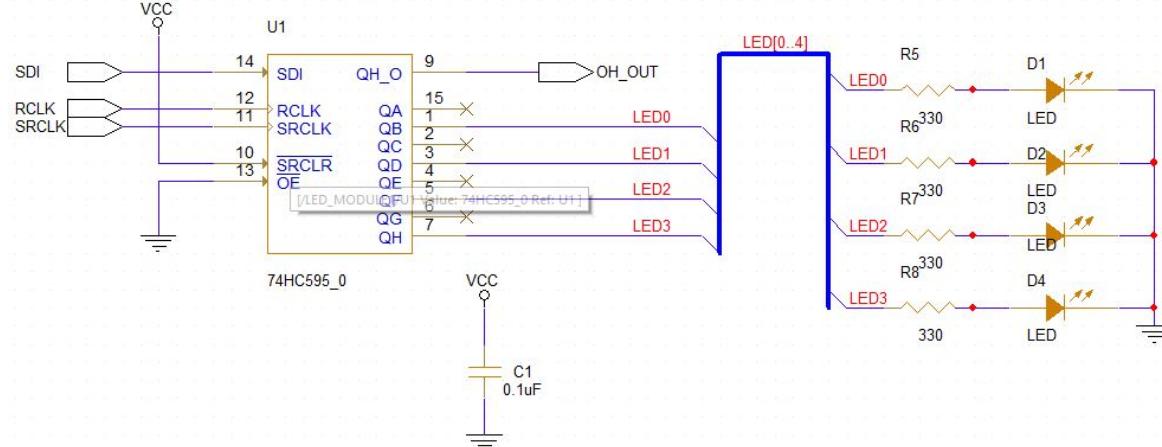
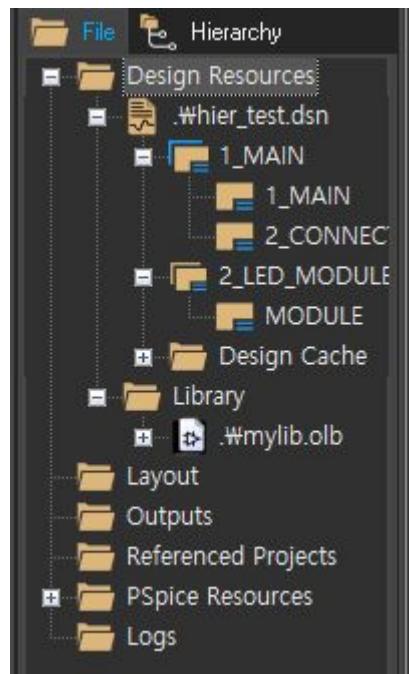
DRC Check를 위한 upd file

```
1: 4.1.0-2024-04-18 Revised: Wednesday, July 16, 2025
2: exam1 Revision: 1.0
3:
4: 2024-07-16
5:
6:
7:
8:
9:
10: Bill Of Materials July 16, 2025 15:23:10 Page1
11:
12: Item Quantity Reference Part
13:
14:
15: 1 2 C1,C2 20pF
16: 2 1 C3 10uF
17: 3 2 C4,C5 0.1uF
18: 4 1 D1 DIODE
19: 5 1 R1 10k
20: 6 1 SW1 SW_PB
21: 7 1 U1 80C31
22: 8 1 U2 74LS00
23: 9 1 U3 74LS373
24: 10 1 U4 27256
25: 11 1 U5 KMB2256A
26: 12 1 U6 74LS138
27: 13 1 Y1 11.0592Mhz
28:
```

DRC Check 후 BOM File

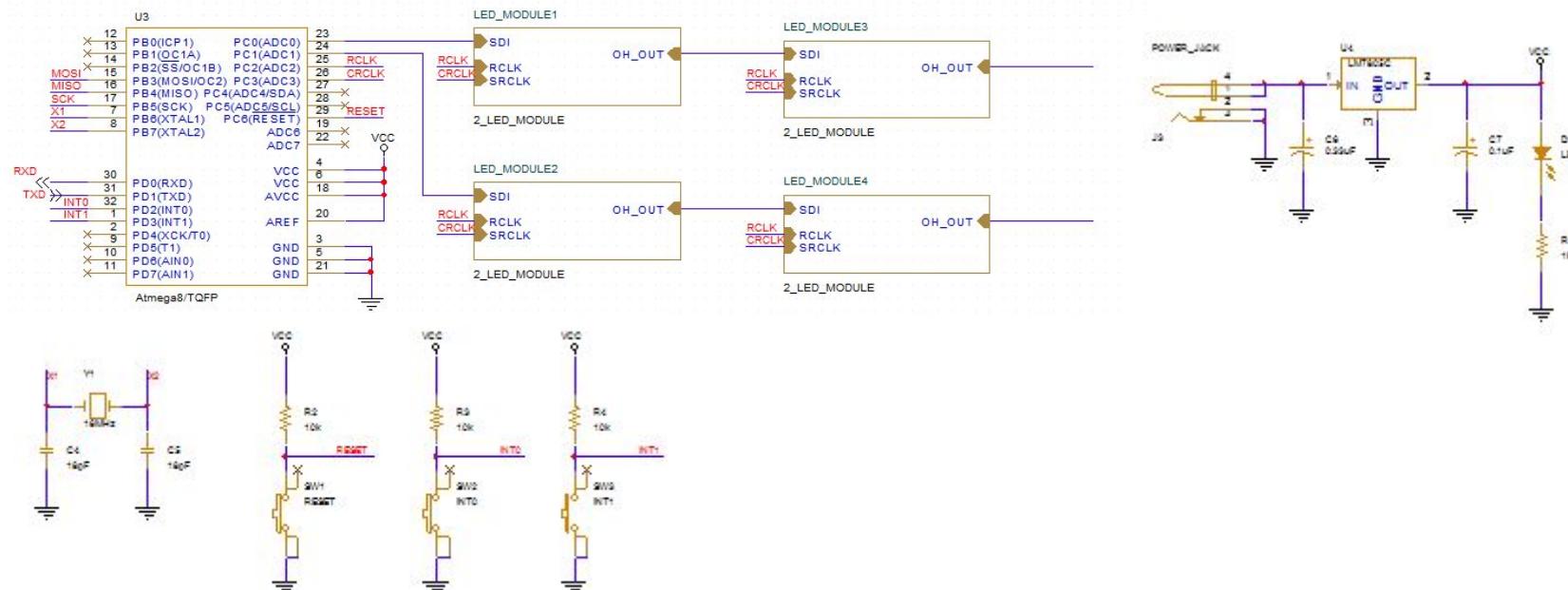
계층 구조

계층 구조를 활용하여 schematic을 완성한다.

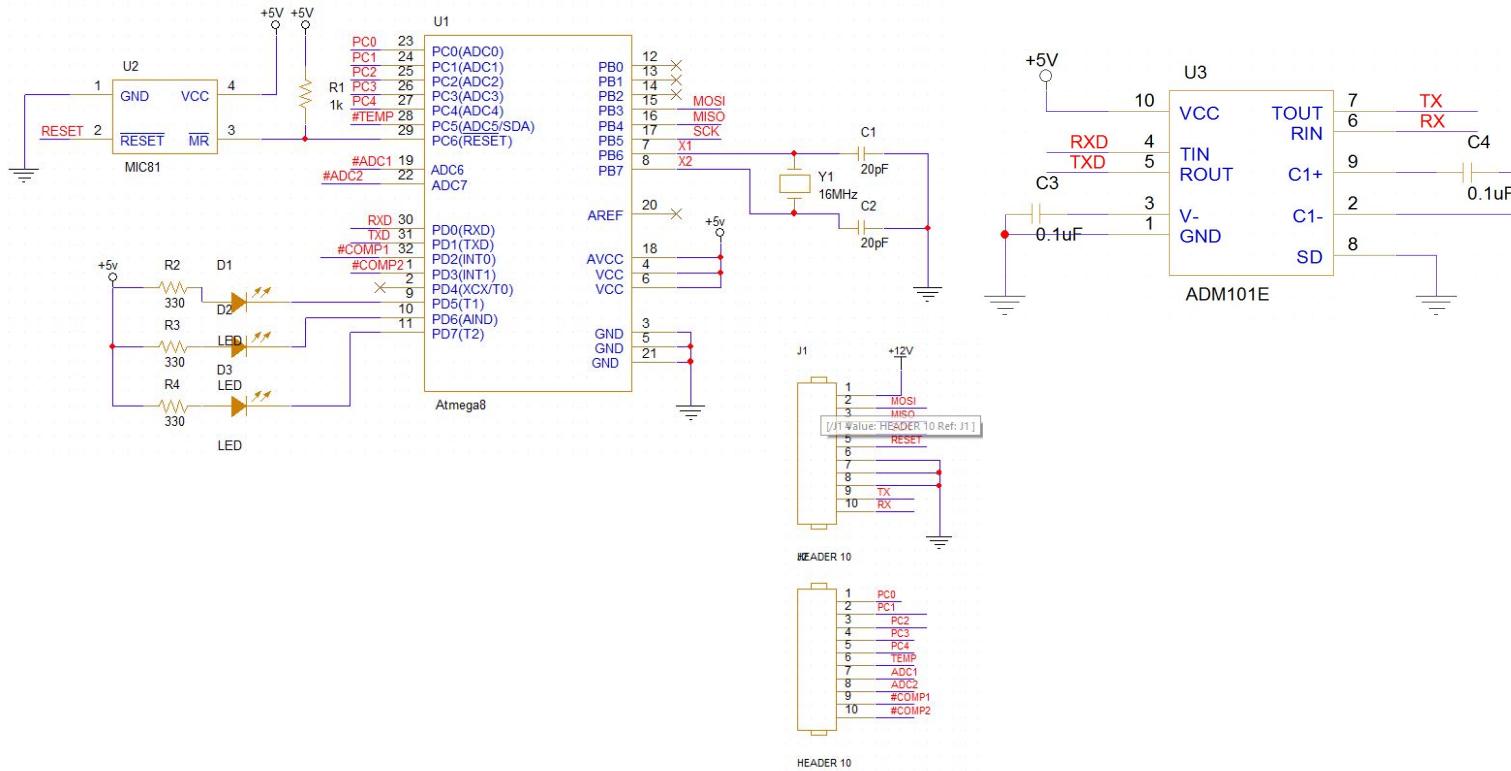


계층 구조

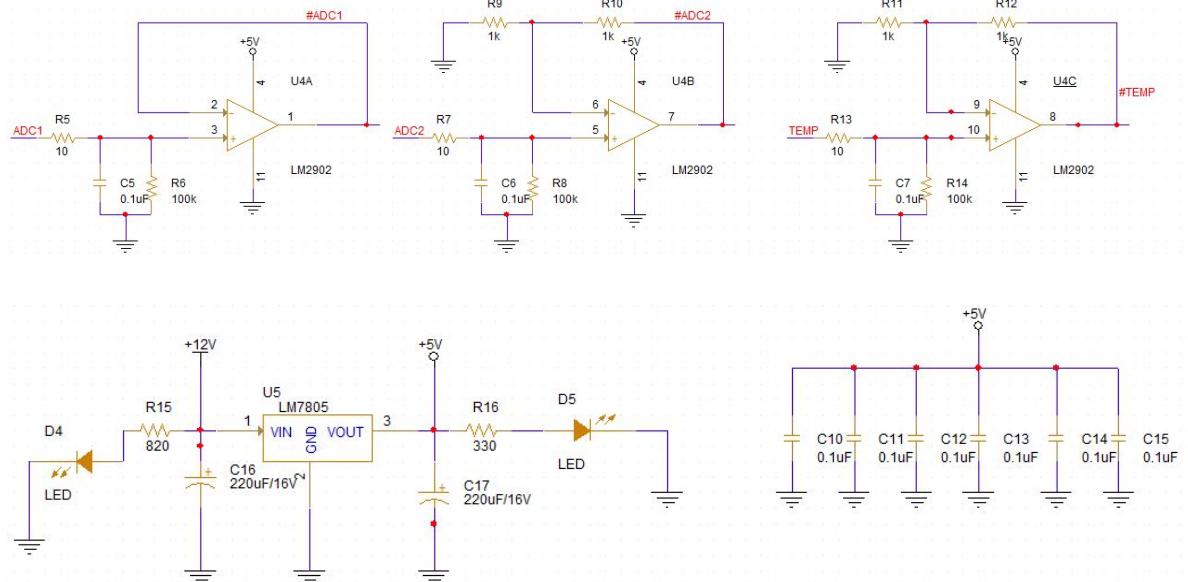
MAIN



전기기능사 예제 문제



전기기능사 예제 문제



전기기능사 예제 문제

	Input	Bidirectional	Output	Open Collector	Passive	3State	Open Emitter	Input Port	Bidirectional Port	Output Port	Open Collector Port	Passive Port	3State Port	Open Emitter Port	Power	Unconnected
Input																
Bidirectional																
Output	W	E														
Open Collector		E														
Passive																
3State		E														
Open Emitter		E	W			W										
Input Port	W	E	E	E												
Bidirectional Port		E														
Output Port		W														
Open Collector Port		W	E	E	W	W	W	W	W	W	W	W	W	W	W	W
Passive Port	W	W	E	E	W	W	W	W	W	W	W	W	W	W	W	W
3State Port																
Open Emitter Port																
Power		W	E	E	E	E	E									
Unconnected	W															

Restore Defaults

Electrical Rules		
	Batch	Online
Check single node nets	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Check no driving source and Pin type conflicts	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Check duplicate net names	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Check off-page connector connections	<input type="checkbox"/>	<input type="checkbox"/>
Check hierarchical port connections	<input type="checkbox"/>	<input type="checkbox"/>
Check unconnected bus nets	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Check unconnected pins	<input checked="" type="checkbox"/>	<input type="checkbox"/>
> Physical Rules		
> Simulation Rules	<input checked="" type="checkbox"/>	
> Custom DRC		

ERC check도 문제 조건에 맞게 수행하였다.