



同濟大學  
TONGJI UNIVERSITY

计算机科学与技术学院  
SCHOOL OF COMPUTER SCIENCE AND TECHNOLOGY

# 《计算机组成原理实验》 数字逻辑设计实验报告

开课学期： 2025-2026 第一学期

项目名称： 抢答器电路设计

专 业： 软件工程

班号组号： 25T90-03

学 号： 2453619

姓 名： 薛毓哲

一、实验方案

项目名称： 抢答器电路设计		实验时间：2025.11.13																												
小组合作：是 <input checked="" type="checkbox"/> 否 <input type="checkbox"/>	小组成员： 韩昊苏、薛毓哲、闻家陆																													
<p>实验目的：本实验旨在综合运用数字逻辑电路的基本原理，设计并实现一个功能完善的四人抢答器系统。实验的主要目标包括：深入理解并掌握计数器、触发器、译码器等芯片的逻辑功能与应用方法；锻炼根据系统功能需求（如倒计时控制、信号锁存与封锁、分数统计等）进行模块化电路设计与系统集成能力；同时，通过使用 NI Multisim 10.0 仿真软件进行电路的布局、调试与故障排查，进一步提升解决实际电路问题的工程实践能力，并规范撰写综合设计性实验报告。</p>																														
<p>实验设备和材料</p> <p>实验软件：NI Multisim 10.0</p> <p>芯片列表（型号及数量）：</p> <table border="1"><thead><tr><th>芯片型号</th><th>芯片作用</th><th>芯片数量</th></tr></thead><tbody><tr><td>74LS192</td><td>十进制加减计算器</td><td>6 片</td></tr><tr><td>74LS47</td><td>BCD-7 段译码器</td><td>7 片</td></tr><tr><td>74LS175</td><td>四位 D 触发器</td><td>1 片</td></tr><tr><td>SEVEN_SEG_COM_A</td><td>共阳极七段数码管</td><td>7 个</td></tr><tr><td>LM555CN</td><td>555 定时器</td><td>2 片</td></tr></tbody></table> <p>其他：</p> <table border="1"><tbody><tr><td>蜂鸣器</td><td>1 个</td></tr><tr><td>4 输入与门</td><td>1 个</td></tr><tr><td>3 输入与门</td><td>2 个</td></tr><tr><td>2 输入或门</td><td>4 个</td></tr><tr><td>2 输入与门</td><td>1 个</td></tr></tbody></table>			芯片型号	芯片作用	芯片数量	74LS192	十进制加减计算器	6 片	74LS47	BCD-7 段译码器	7 片	74LS175	四位 D 触发器	1 片	SEVEN_SEG_COM_A	共阳极七段数码管	7 个	LM555CN	555 定时器	2 片	蜂鸣器	1 个	4 输入与门	1 个	3 输入与门	2 个	2 输入或门	4 个	2 输入与门	1 个
芯片型号	芯片作用	芯片数量																												
74LS192	十进制加减计算器	6 片																												
74LS47	BCD-7 段译码器	7 片																												
74LS175	四位 D 触发器	1 片																												
SEVEN_SEG_COM_A	共阳极七段数码管	7 个																												
LM555CN	555 定时器	2 片																												
蜂鸣器	1 个																													
4 输入与门	1 个																													
3 输入与门	2 个																													
2 输入或门	4 个																													
2 输入与门	1 个																													

实验内容：

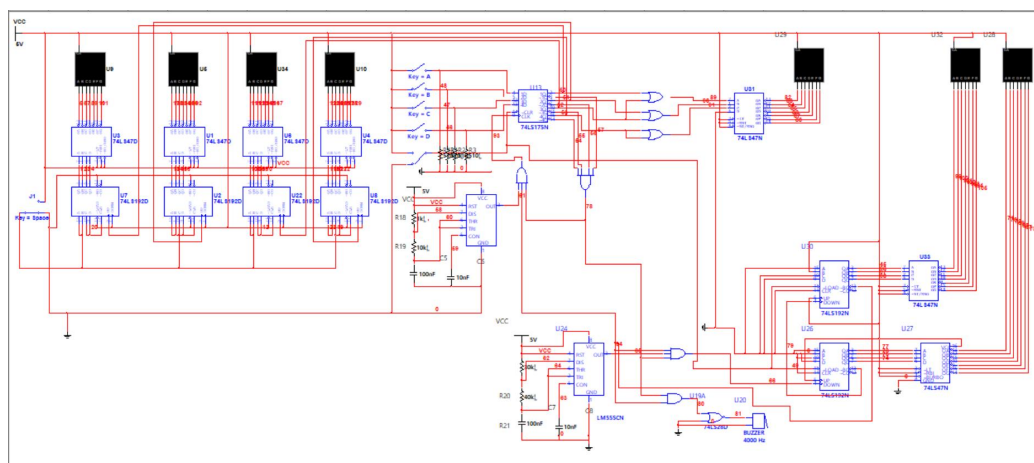
## 1. 设计方案概述：

本设计构建了一个集倒计时、抢答控制及计分统计于一体的综合数字系统。系统的工作流程设计如下：在准备阶段，通过总控开关完成上一轮状态的清除与倒计时预置，此时系统处于待命状态，所有选手的抢答通道开放。比赛开始后，主持人启动倒计时，电路进入核心工作模式，实时监测四路按键输入；一旦检测到任一选手的有效抢答信号，系统将立即执行“信号锁存”与“全局封锁”动作，即锁定该选手编号并显示，同时切断其他选手的输入路径并暂停倒计时。此外，系统还独立配置了计分电路，支持对各组选手的得分进行实时累加与显示，确保了竞赛过程的公平性与可操作性。

## 2. 设计原理介绍：（需包含所设计系统的功能描述，逻辑原理图或接线示意图，要有详细的文字叙述）

### 2.1 总体电路架构与逻辑交互

本系统的逻辑电路主要由三个相互关联的功能模块构成，分别是负责时间控制的倒计时模块（Part A）、负责信号甄别与锁存的抢答记录模块（Part B）以及负责成绩管理的计分模块（Part C）。这三个模块并非孤立工作，而是通过关键的控制信号（如时钟使能信号、清零信号、锁存反馈信号）实现逻辑互锁与状态同步。例如，抢答模块的输出状态会直接控制倒计时模块的时钟输入，而倒计时的借位信号也会触发系统的报警机制，从而形成一个有机的整体控制闭环。

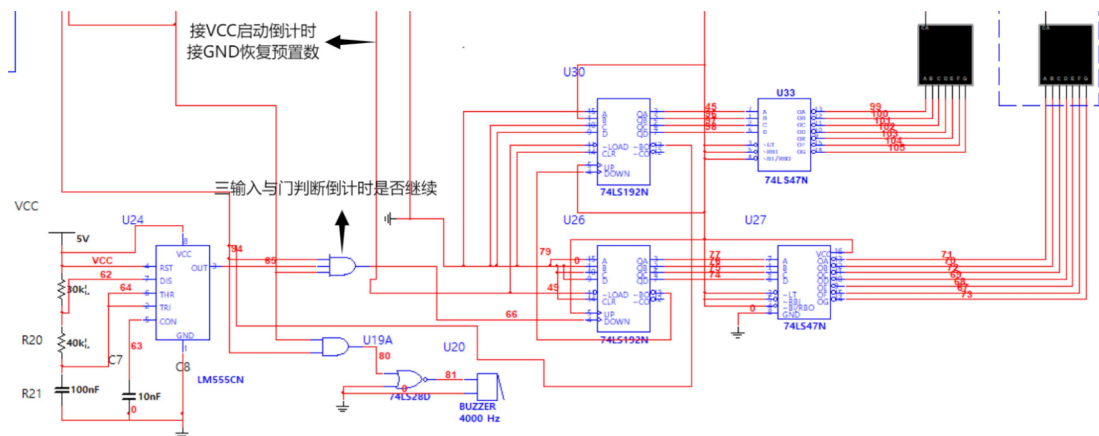


## 2.2 Part A: 倒计时模块逻辑原理

倒计时功能的实现基于时序逻辑电路，核心器件采用两片级联的 74LS192 十进制减法计数器。

该模块的工作时钟源由 LM555CN 定时器构成的多谐振荡器提供，通过逻辑门电路传输至计数器的 DOWN 时钟输入端；为了实现倒计时的启停控制，设计中引入了一个三输入与门作为时钟信号的“阀门”，该与门的三个输入端分别连接时钟源、倒计时非零状态信号以及抢答未发生信号，只有当这三个条件同时满足时，时钟脉冲才能通过与门驱动计数器进行减计数，否则倒计时将立即停止。

此外，计数器的 load 端连接至控制开关，当开关接低电平时，计数器通过异步并行加载功能将预置的时间数值（如 20 秒）置入芯片内部，实现时间的复位；若倒计时减至零或比赛中途停止，电路还会触发蜂鸣器，发出音频报警信号以提示比赛状态的变化。

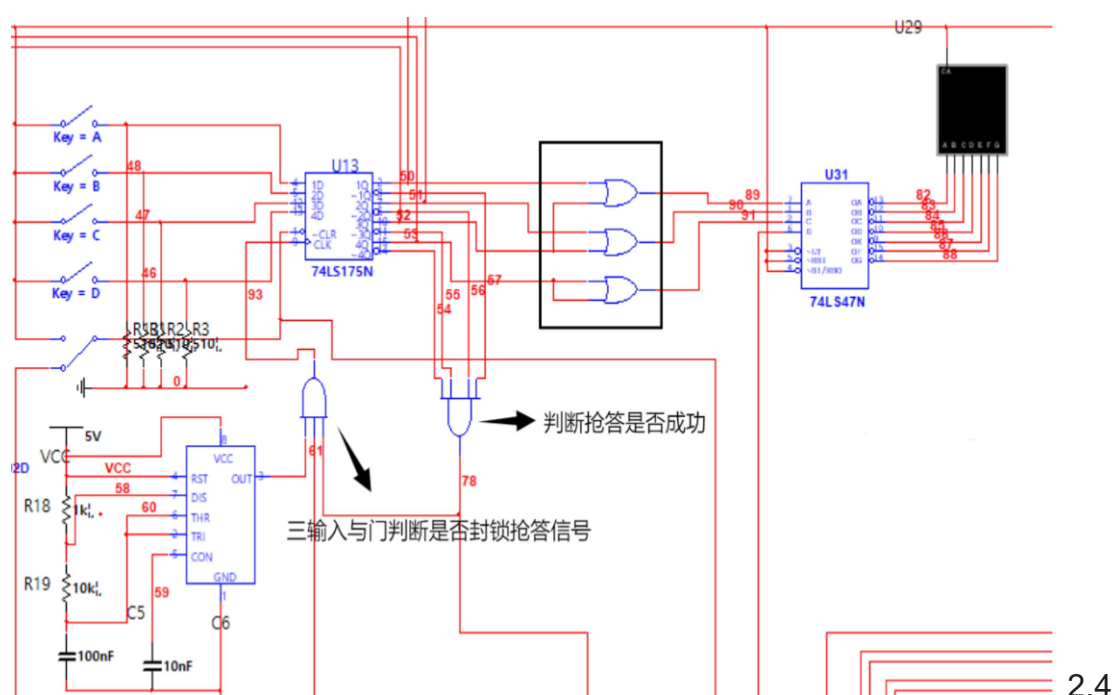


## 2.3 Part B: 抢答记录与锁定模块逻辑原理

作为本系统的核心控制单元，抢答记录模块主要利用 74LS175 四位触发器及其外围反馈逻辑来实现“首按有效、后按无效”的互锁功能。

电路将四位选手的按键分别接接触发器的四个数据输入端（1D-4D），在初始状态下触发器通过 CLR 端复位清零；当任意一位选手按下按键时，对应触发器的输出端（Q）电平发生翻转，这一高电平信号不仅被送入 74LS47 译码器驱动数码管显示该选手的编号，更关键的是，它会通过一个多输入或门电路引出反馈信号；该反馈信号被立即送回至输入控制逻辑中，用于封锁时钟脉冲或屏蔽输入通道，从而确保在第一位选手抢答成功后的瞬间，系统能够强制忽略其他所有选手的按键动作，实现了严格的逻辑闭锁。

此外，该模块产生的“抢答成功”信号还会被引出至倒计时模块，作为停止时钟的控制条件之一，实现了跨模块的逻辑联动。



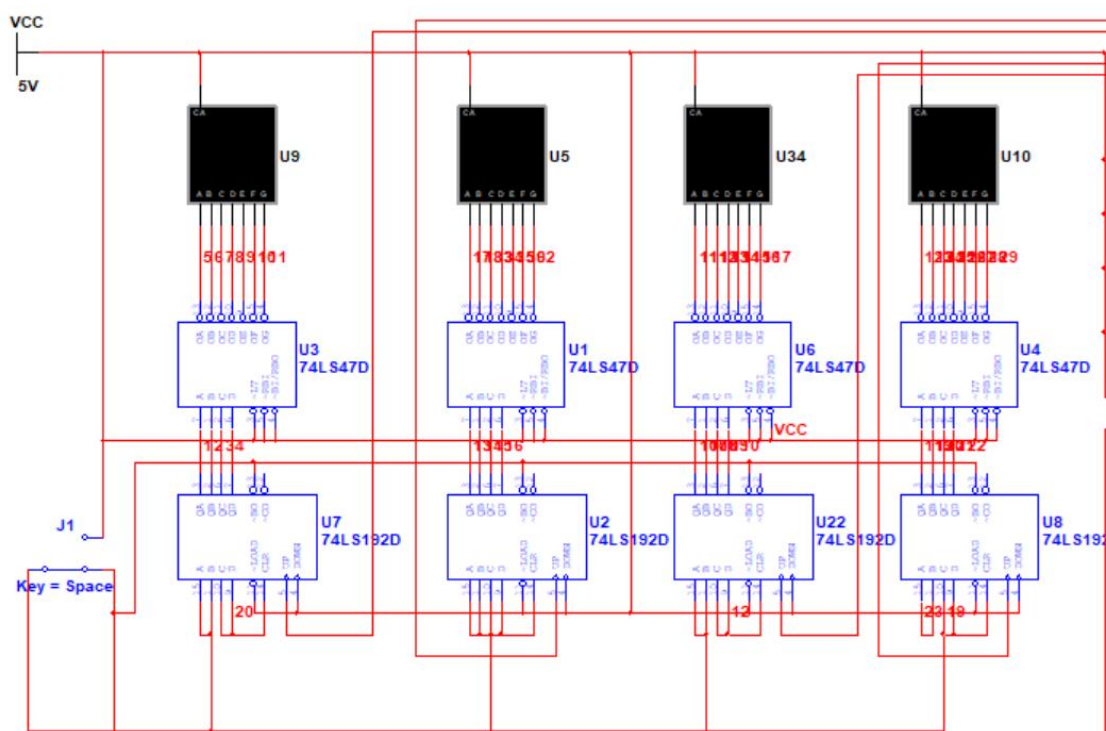
### Part C: 分数记录模块逻辑原理

分数记录模块采用了相对独立的并行电路结构，系统为四位参赛选手分别设计了独立的计数与显示单元。

每个单元的核心是一片工作在加法计数模式下的 74LS192 芯片，其 UP 时钟

输入端连接至对应的 74LS175 输出端；当某位选手抢答成功时，175 芯片会产生一个完整的脉冲信号，触发计数器内部状态加一，从而实现分数的累积。

计数器的输出端直接与 74LS47 译码器相连，将二进制计数值实时转换为七段数码管可显示的十进制数字；为了便于多轮比赛的进行，该模块所有计数器的清除端（CLR）被统一连接至一个总复位开关，主持人只需操作一次即可将四位选手的分数同时清零，为下一场比赛做好准备。



## 二、实验小结与心得

### 1. 项目完成情况总结

本次实验中，小组基于 74LS192（十进制可逆计数器）、74LS175（四位 D 触发器）及 74LS47（BCD-7 段译码器）等芯片，成功构建并调试了四人竞赛抢答器系统。经过多轮测试，电路已能够稳定实现主持人倒计时控制、第一抢答信号的精确锁存与封锁、以及四路独立分数的统计显示等基础指标。然而，在实验验收及与老师的交流中，我意识到现有方案虽然功能达标，但在逻辑严密性与规则执行的自动化程度上仍有欠缺。针对这些不足，我结合芯片的内部逻辑特性，进行了深入的个人思考并提出了改进方案。

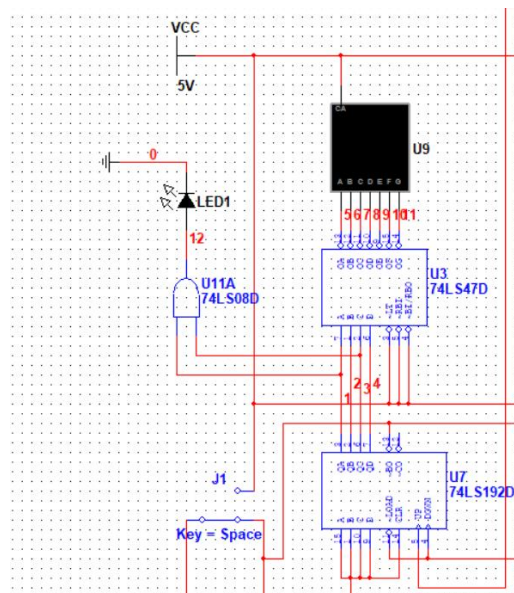
### 2. 对现有电路方案的个人思考与改进

#### 2.1 改进一：基于状态译码的“胜利判定”功能

为了改变仅靠人眼观察数码管判断胜负的现状，我利用数字逻辑的状态检测原理设计了自动判定功能。

本实验使用的 74LS192 输出为 8421 BCD 码（QD QC QB QA）。设定“率先达到 5 分者获胜”，即当计数器数值为十进制 5 时，对应的二进制输出为 0101。此时，引脚 QA（位权 1）和 QC（位权 4）同时输出高电平。我引入一个二输入与门，分别接入 QA 和 QC。当且仅当两者均为高电平时，与门输出逻辑 1，该信号不仅可以驱动特定颜色的 LED 灯亮起以直观展示胜者，还可以作为一个全局复位信号反馈至系统控制端，实现比赛的自动终结。这一改进充分挖掘了计数器并行输出端的组合逻辑功能。

下图是对于四个选手的其中一个引入胜负判定后的电路，其余选手逻辑相同。



## 2.2 改进二：引入的“有条件加减分”机制

目前计分电路中，74LS192 的加计数时钟输入端 (CP<sub>U</sub>) 直接连接按键，极易导致分值错误。为了解决这一问题，我构想引入硬件互锁逻辑。

根据 74LS192 的特性，其计数动作发生在 CP<sub>U</sub> 的上升沿。利用这一点，我设计将 CP<sub>U</sub> 端改为由一个二输入与门驱动：与门的一个输入端连接裁判的加分开关，该开关与 VCC 相连，另一个输入端则引自 74LS175 锁存器的对应输出端 (Q)。74LS175 在触发后会输出稳定的高电平信号，只有当某位选手抢答成功 (Q=1) 且裁判按下按键 (产生脉冲) 时，与门才会输出有效的上升沿信号触发 74LS192 计数。这种设计利用触发器的状态锁存特性作为计数器的使能条件，从物理层面上强制绑定了“抢答资格”与“加分权限”，有效提高了系统的抗干扰能力。

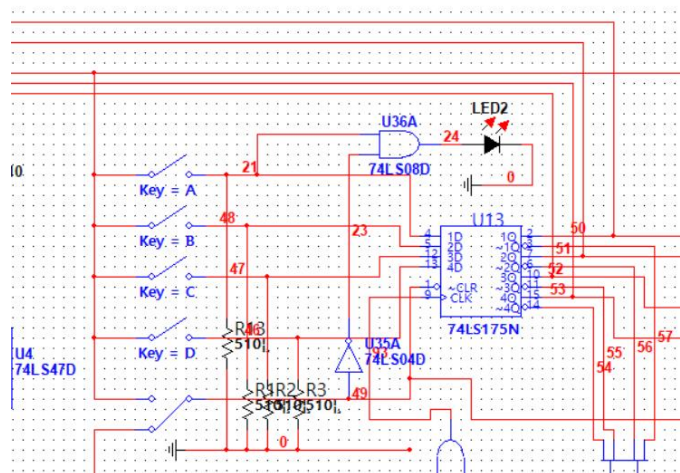


The diagram shows a 4x4 matrix keypad circuit. It features four 74LS192 decade counters (U1, U2, U3, U7) and four 74LS47 BCD-to-7-segment decoders (U1, U2, U3, U7). The keypad is connected to the counters via a 4x4 matrix. The output of the decoders is connected to a 7-segment display (LED1) via a current-limiting resistor (R1). The circuit is powered by a 5V VCC supply. A key labeled 'Key = Space' is connected to the input of the first counter (U1). A key labeled 'Key = A' is connected to the input of the second counter (U2). The output of the second counter (U2) is connected to the input of the third counter (U3). The output of the third counter (U3) is connected to the input of the fourth counter (U7). The output of the fourth counter (U7) is connected to the input of the first counter (U1), forming a loop.

现有电路无法就“违规偷跑”做出相应反应，我提出利用裁判的总控开关信号进行逻辑判别。

该违规信号的处理可以分为两级：第一级是直接驱动红色 LED 报警；第二级是利用 74LS192，将该违规信号接入计数器的减计数输入端（CP\_D）。当 CP\_D 端接收到脉冲信号时，计数器会进行减法操作，从而在物理层面上实现“偷跑自动扣分”。这一设计将简单的开关量与计数器的算术功能结合，完善了竞赛规则的执行。

下图是对于四个选手的其中一个引入抢答违规判定后的电路,其余选手逻辑相同。  
由于图片大小原因,第二级未展示。



## 2.4 改进四：基于数值比较器的“实时排名”系统（理论拓展）

针对多人竞赛中需要了解具体排名的需求，我进行了一项基于 74LS85（四位数值比较器）的理论拓展设计。

虽然本次实验未实现，但理论上可以利用 74LS85 的级联功能解决排名问题。74LS85 具备  $A > B$ 、 $A < B$ 、 $A = B$  三个级联输入和输出端，能够对四组选手的分数进行两两比较。通过多片 74LS85 组成的比较网络，结合 74LS157（四选一数据选择器）进行数据选通，可以将分数值进行实时排序。这种设计思路跳出了单一的计数逻辑，转向了更复杂的数据处理逻辑，虽然连线复杂度较高，但这展示了数字逻辑在处理排序算法方面的硬件实现潜力，是我对本系统未来升级方向的重要思考。

## 3. 心得体会

通过本次四人抢答器的设计与仿真实验，我不仅在技术层面深入掌握了数字逻辑电路的设计方法，更在工程思维和系统观上有了显著的提升。

### 第一，从“理论认知”到“工程实践”的跨越。

在课本学习中，我们往往关注单个芯片的逻辑功能，而在本次实验中，最大的挑战在于处理芯片之间的“时序配合”。例如，在调试抢答记录模块（Part B）时，我体会到了竞争冒险对电路稳定性的影响——必须确保锁存信号的反馈速度快于其他选

手的按键输入，才能真正实现“互锁”。这种对时序逻辑的把控，让我对 74LS175 触发器的工作原理有了比书本更直观的理解，也让我明白了仿真软件虽然理想化，但逻辑设计的严谨性容不得半点马虎。

## **第二，模块化设计思想的深化应用。**

作为软件工程专业学生，我发现数字电路设计与软件开发有着异曲同工之妙。我们将复杂的抢答系统解耦为“倒计时”、“抢答控制”、“计分”三个独立又耦合的模块（Part A/B/C），这种设计思路极大地降低了调试难度。当计分模块出现故障时，我们可以独立排查 74LS192 的连线，而不必拆解整个电路。这种硬件设计中的模块化思维，反过来也加深了我对软件架构设计的理解。

## **第三，对“系统鲁棒性”与“用户体验”的思考。**

在实验初期，我们仅满足于“能亮灯、能计数”的基本功能。但在后续的改进思考中，我意识到一个优秀的工程产品必须具备良好的鲁棒性。例如，我提出的“互锁计分”和“违规判定”改进方案，本质上就是为了消除人为误操作的隐患，提升系统的容错能力。从“实现功能”到“追求公平与自动化”，这一思维转变过程让我明白，工程设计的核心不仅是堆砌芯片，更是通过严密的逻辑去解决实际场景中的痛点。

## **第四，仿真工具与排错能力的提升。**

熟练掌握 NI Multisim 10.0 是本次实验的另一大收获。在调试过程中，我们遇到了数码管显示乱码、倒计时无法停止等问题。通过使用虚拟示波器和逻辑分析仪观察波形，我们学会了如何定位故障点。这种从现象反推本质的故障排查能力，对于未来从事任何技术开发工作都是宝贵的财富。

综上所述，本次实验不仅是一次对数字逻辑知识的综合检验，更是一次宝贵的工程实践训练。那些停留在纸面上的改进构想（如排名系统），虽未能在本次实验中落地，但它们激发了我极大的兴趣，也为我今后的学习提供了明确的探索方向。