

学号: 2453619

同济大学实验报告纸

软件工程专业 2024 届 4 班 姓名 薛毓哲 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 译码器和选择器实验 实验日期 2025 年 10 月 9 日

[实验目的]

1. 掌握译码器的逻辑功能.
2. 掌握数据选择器的逻辑功能.

[实验设备]

1. 数字逻辑实验系统
2. 74LS138 3线-8线译码器
3. 74LS153 双四选-数据选择器

[实验原理]

译码器和选择器是常见的组合逻辑电路,它们任意时刻的输出仅取决于当前时刻的输入,对于一个特定的逻辑问题,其对应的真值表是唯一的,但实现它的逻辑电路可以是多种多样的.

译码器是一种具有翻译功能的多输入多输出的组合电路器件,能将每一组的二进制编码序列信号转化为特定输出信号,它的输入是一组编码序列信号,输出是一条特定的译码信号。当某组编码进入输入端时,相应的译码输出为低电平,与此同时其他所有译码输出保持为高电平。通常译码器的输出端和输入端的关系为 2^n 。

数据选择器是一种多输入单输出的组合逻辑电路,在选择信号的控制下,从多路输入数据中选择其中的一路数据作为输出,选择信号是一组编码序列,也称为地址编码信号,用数据选择器可以实现数据的多路分时传递。

同济大学实验报告纸

专业 _____ 届 _____ 班 _____ 姓名 _____ 第 _____ 组 同组人员 _____
 课程名称 _____ 实验名称 _____ 实验日期 _____ 年 _____ 月 _____ 日

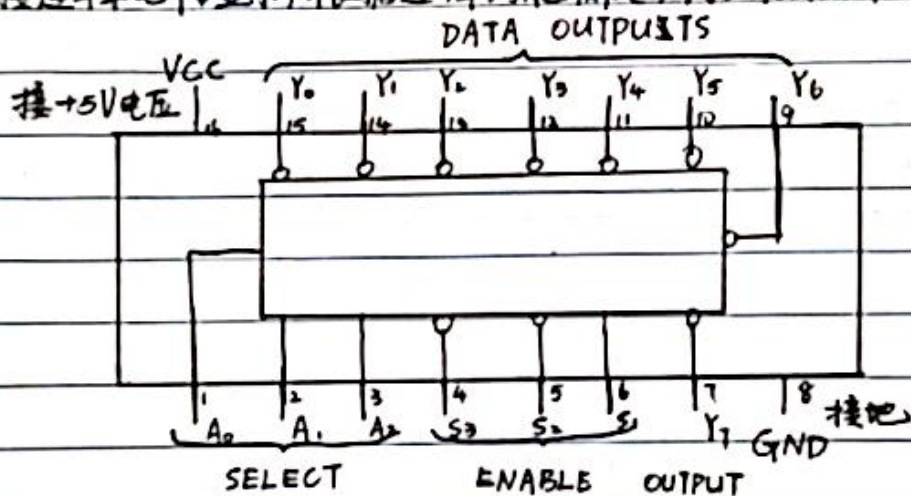
[实验内容及步骤]

1. 74LS138 (3线-8线译码器) 功能验证

(1) 3线-8线译码器的逻辑表达式

$$\begin{aligned} Y_0 &= \overline{A_2} \overline{A_1} \overline{A_0} & Y_4 &= \overline{A_2} \overline{A_1} A_0 \\ Y_1 &= \overline{A_2} \overline{A_1} A_0 & Y_5 &= \overline{A_2} A_1 \overline{A_0} \\ Y_2 &= \overline{A_2} A_1 \overline{A_0} & Y_6 &= \overline{A_2} A_1 A_0 \\ Y_3 &= \overline{A_2} A_1 A_0 & Y_7 &= A_2 \overline{A_1} \overline{A_0} \end{aligned}$$

(2) 按照图中所示的方法进行接线, 输入端接逻辑开关, 输出端接逻辑电平显示, 根据逻辑功能输入, 将测试结果填表



74LS138 芯片的逻辑功能表

输入					输出							
S_1	$\overline{S_2} + \overline{S_2}$	A_2	A_1	A_0	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1

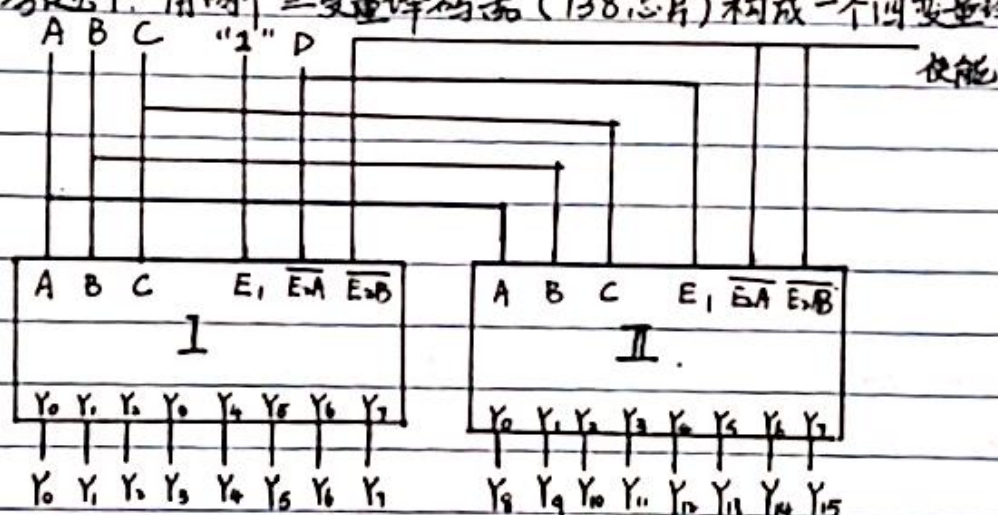
同济大学实验报告纸

专业 _____ 届 _____ 班 _____ 姓名 _____ 第 _____ 组 同组人员 _____
 课程名称 _____ 实验名称 _____ 实验日期 _____ 年 _____ 月 _____ 日

S_1	$\overline{S_2} + \overline{S_3}$	A_2	A_1	A_0	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

总结：当74LS138的八个输出引脚 $Y_0 \sim Y_7$ 均为高电平时，表明芯片被控制端禁止工作；仅当 $S_1=1$ ， $S_2+S_3=0$ 时，译码器处于工作状态。当74LS138的输出有且仅有一个为低电平0，其余均为高电平1，表明芯片处于正常工作状态。若74LS138有多个输出引脚同时为0，说明芯片输出异常，译码逻辑失效。

(3) 思考题1：用两个三变量译码器（138芯片）构成一个四变量译码器。



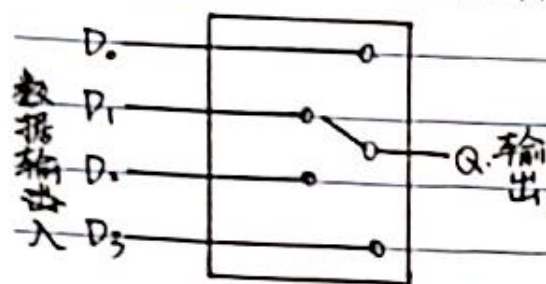
当输入 $D=0$ 时，片I工作，其输出 $Y_0 \sim Y_7$ 中有一个为“0”，其余均为“1”；片II禁止工作，使其输出 $Y_8 \sim Y_{15}$ 均为“1”。当 $D=1$ 时，情况相反，片I禁止工作，片II工作，输出 $Y_0 \sim Y_7$ 均为“1”，输出 $Y_8 \sim Y_{15}$ 中有一个为“0”。使能端 $\overline{E_2B}$ 可以作为整个四输入译码器的使能端，用它可以使两个三变量译码器构成一个四变量译码器。

同济大学实验报告纸

专业 _____ 届 _____ 班 _____ 姓名 _____ 第 _____ 组 同组人员 _____
 课程名称 _____ 实验名称 _____ 实验日期 _____ 年 _____ 月 _____ 日

2. 74LS153 (双四选一数据选择器) 功能验证

(1) 四选一数据选择器原理图:



通常一个数据选择器包含:

n 个地址选择端

2^n 个数据输入端

一个数据输出端

选通功能端 (控制端).

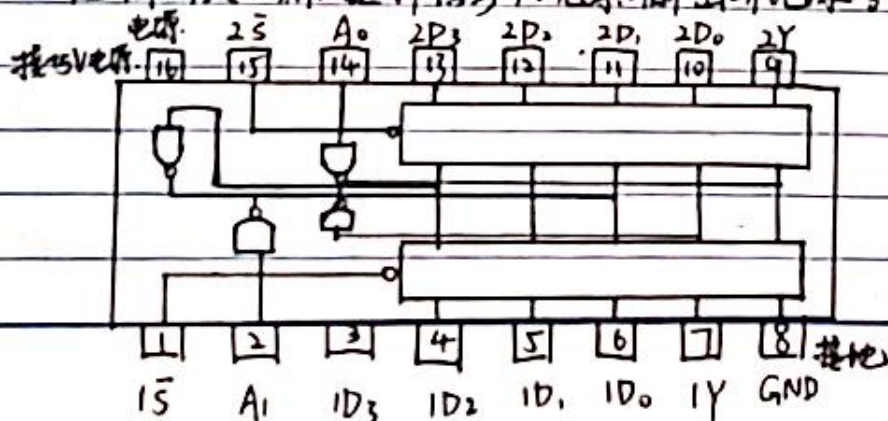
(2) 双四选一数据选择器的逻辑表达式:

$$Y = (\bar{A}_1 \bar{A}_0) D_0 + (\bar{A}_1 A_0) D_1 + (A_1 \bar{A}_0) D_2 + (A_1 A_0) D_3$$

(3) 双四选一数据选择器的逻辑功能表

选通端	地址端		输出端
$\bar{S}_1 (\bar{S}_2)$	A_1	A_0	$Y_i (Y_o)$
1	X	X	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3

(4) 74LS153 为双四选一数据选择器, 任选其中的一组, 按照图中方式接线. 向四个输入端输入不同的频率, A_1, A_0 连接逻辑开关, 输入选择信号, 观察输出并记录。

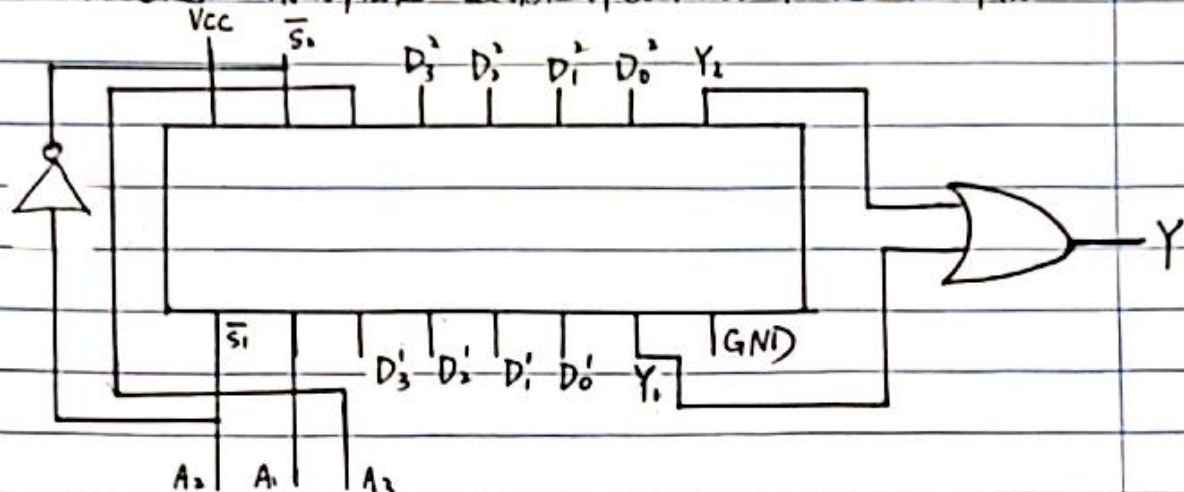


同济大学实验报告纸

专业 _____ 局 _____ 班 _____ 姓名 _____ 第 _____ 组 同组人员 _____

课程名称 _____ 实验名称 _____ 实验日期 _____ 年 _____ 月 _____ 日

(5) 思考题 2: 用两个四选一数据选择器构成一个八选一选择器



当 A_1 为低电平时, $D_0^0 \sim D_3^0$ 正常工作; 当 A_1 为高电平时, $D_0^1 \sim D_3^1$ 正常工作

由于在不正常工作的时候, Y_1 和 Y_0 的输出为 0, 经过或门后, Y 的值

和正常工作时的 Y_1 / Y_0 相同

因此构成一个八选一选择器

[实验小结]

1. 译码器能将每一组编码序列信号转换为一个特定的输出信号, 当输出引脚 $Y_0 \sim Y_7$ 均为高电平“1”时, 表示芯片处于不工作的状态; 如果出现多输出同时为 0, 说明芯片输出异常; 如果芯片正常工作, 则输出仅有一个为低电平 0, 其余均为高电平 1。

2. 数据选择器能从多路输入数据中选择其中的一路作为输出, 在四选一数据选择器中, 选通控制端 S 为低电平有效; 当 $S=0$ 时, 芯片处于工作状态; 当 $S=1$ 时芯片被禁止, 输出 $Y=0$ 。由地址编码 A_1, A_0 来决定 $D_0 \sim D_3$ 中应选择哪一个进行输出。当 $A_1=0, A_0=0$, 输出 D_0 ; 当 $A_1=0, A_0=1$, 输出 D_1 ; 当 $A_1=1, A_0=0$, 输出 D_2 ; 当 $A_1=1, A_0=1$, 输出 D_3 。

同济大学实验报告纸

专业 届 班 姓名 第 组 同组人员

课程名称 实验名称 实验日期 年 月 日

3. 74LS138和74LS153都具有相应的扩展功能,可与合适的门电路配合,变成更多输入/输出的组合逻辑电路