

学号：2453619

同济大学实验报告纸

软件工程专业 2024 届 4 班 姓名 薛毓哲 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 总线基本实验 实验日期 2025 年 12 月 19 日

【实验目的】

1. 理解系统总线工作方式
2. 掌握控制总线的功能和应用

【实验设备】

组成原理实验箱 TD-CMA

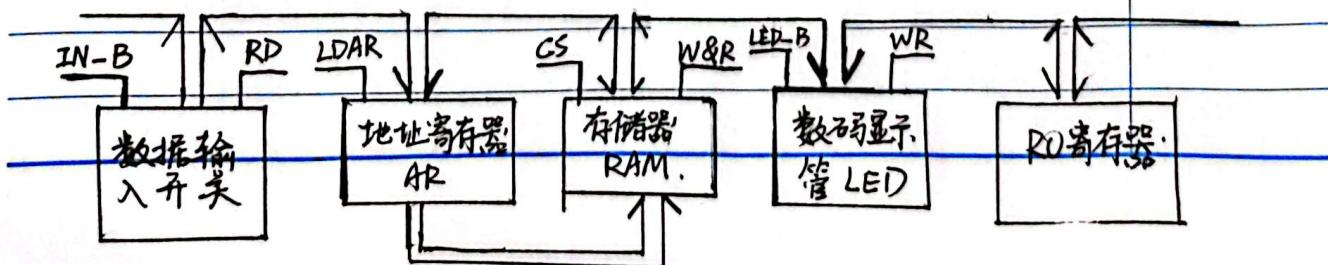
【实验原理】

1. 总线架构的定义与特征

总线(BUS)并非单纯的物理导线集合，而是计算机系统中各个功能模块(如CPU、存储器、I/O接口)之间进行信息交换的共享通信链路。其核心特征在于传输介质的共享性与时间上的复用性。在物理层面上，总线通过一组信号线将各部件并联连接；在逻辑层面上，它遵循严格的时间仲裁机制，即在任意特定时刻，总线仅允许一个部件向其发送信号(占用总线)，但可以允许多个目标部件同时侦听并接收信号。

2. 系统总线的逻辑划分

数据总线：作为双向传输通道，承担着在CPU、存储器及I/O设备之间传递指令字与数据字的任务，其位宽直接影响了单次数据交互的吞吐量。
地址总线：通常作为单向传输通道，由主控设备驱动，用于指定数据交互的目标存储单元或I/O端口的物理地址，从而确立了系统的最大寻址空间。
控制总线：用于承载各类时序控制信号与握手状态信号，其作用在于协调各部件在总线周期内的操作步聚，确保数据传输的同步性和有效性。
外部总线与CPU内总线之间通过三态门连接，实现了内外总线的分离和数据流向的控制。下图是总线传输实验原理图。



扫描全能王 创建

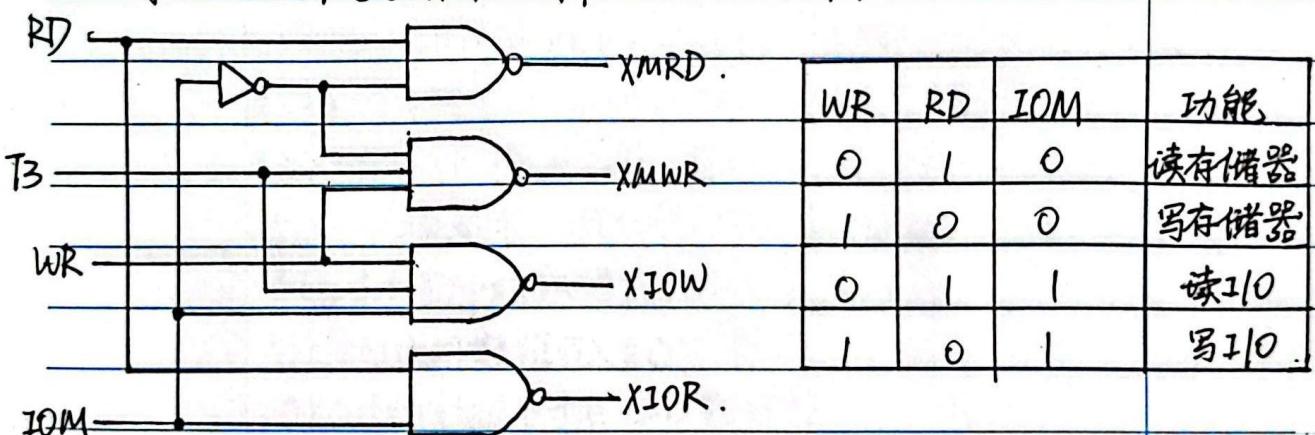
同济大学实验报告纸

专业 ____ 届 ____ 班 ____ 姓名 ____ 第 ____ 组 同组人员 _____

课程名称 _____ 实验名称 _____ 实验日期 _____ 年 ____ 月 ____ 日

3. 读写控制逻辑

系统的读写控制核心由三个信号决定。IOM信号用来选择是对IO设备(高电平)还是对MEM(低电平)；WR为高有效的写信号，RD是高有效的读信号。其原理图和功能表如下所示。



4. 其他控制信号

RO-B: RO与数据总线的三态门控制信号。为高三态门关闭，为低打开。

LDRO: RO的写允许信号。高有效，允许写入

LDAR: AR的写允许信号。高有效，允许写入

基于以上介绍，可以得出此次实验操作中步与控制信号对照表格

操作步骤	RO-B	LDRO	WR	RD	IOM	LDAR
INPUT RO	1	1	0	1	1	0
INPUT AR	1	0	0	1	1	1
RO→MEM	0	0	1	0	0	0
MEM→RO	1	1	0	1	0	0
RO→LED	0	0	1	0	1	0



扫描全能王 创建

同济大学实验报告纸

专业 ____ 届 ____ 班 ____ 姓名 ____ 第 ____ 组 同组人员 _____

课程名称 _____ 实验名称 _____ 实验日期 _____ 年 ____ 月 ____ 日

【实验内容】

1. 实验步骤

(1) 按照接线图进行接线，仔细检查无误后接通电源。如有报警声，说明有总线竞争现象，原理为同一时刻只能有一个部件占用总线发送信息，应关闭电源，检查接线，直到错误排除。

(2) 根据实验原理中给出的对照表格，完成以下操作：

① 输入一个二进制数字，并将其打入R0寄存器；

② 输入一个二进制数，将其打入地址寄存器AR；

③ 将R0寄存器中的数据写入存储器MEM；

④ 将MEM中的数据读入R0；

⑤ 将R0中的数据显示在LED数码管。

2. 思考：MEM中的数据能否直接和IO部件进行数据交换？为什么？

不能。控制对MEM还是IOM进行操作由IOM信号决定，而若想同时对MEM和IOM设备操作，则IOM需既为高又为低，无法实现。只有在引入DMA控制器的情况下，DMA控制器接管总线控制权，发出特定的读写命令，才能实现MEM与IOM设备之间不经过CPU的直接数据交换。

【实验小结】

本次实验成功实现了基于单总线架构的数据传输与控制。通过实际连线与调试，我深入理解了总线分时复用与仲裁机制，验证了三态门在电气隔离和防止总线竞争中的核心作用。同时，熟练掌握了由IOM、WR、RD构成的译码规则，明确了其在精确区分MEM和IOM设备以及读写操作中的决定性意义。实验将理论知识与硬件时序紧密结合，有效加深了我对计算机底层数据通路控制原理的系统认知。



扫描全能王 创建