

计算机组成原理综合练习题

一. 单选题（每题 1 分，共 15 分）

1. 对于第一台电子数字计算机 ENIAC，下列描述正确的是（ ）
A. 存储器采用了磁芯存储器 B. 中央处理器把运算器和控制器做在同一个芯片中
C. 基本元器件为体积很大的真空管 D. 采用了冯若依曼体系结构
2. 下列各叙述中符合“存储程序”思想的是（ ）
A. 把计算机的程序指令存放到存储器，而所需数据从输入设备获取。
B. 程序和数据必须分开存放，否则无法区分。
C. 计算机运行时执行预先存放的程序和数据代码。
D. 为了区分数据和程序需要在代码中使用标志信息。
3. 下列内容中不属于指令集体系结构 ISA 的是（ ）
A. 指令中操作码的长度和编码方法 B. 可编程寄存器的名称、变化和用途等
C. 主存储器的编址方式 D. 编译程序的实现
4. 在浮点运算中，“右规”操作是指（ ）。
A. 尾数左移，阶码增大 B. 尾数左移，阶码减小
C. 尾数右移，阶码增大 D. 尾数右移，阶码减小
5. IEEE754 单精度浮点数表示中，指数移码的偏置常数是（ ）
A. 127 B. 128 C. 255 D. 256
6. IEEE754 标准的浮点数表示中（ ）
A. 阶码和尾数都用补码表示 B. 阶码和尾数都用原码表示
C. 阶码用移码表示，尾数用补码表示 D. 阶码用移码表示，尾数用原码表示
7. 用 2KB 的存储芯片构成 $16K \times 32\text{bit}$ 的存储器，所需芯片数和片选地址分别是（ ）
A. 16 片，A13~A11 B. 32 片，A13~A11
C. 16 片，A13~A10 D. 32 片，A13~A10
8. 在 IEEE754 浮点数格式中， ∞ 的表示是（ ）
A. 指数各位为 0，尾数各位为 0 B. 指数各位为 0，尾数各位为 1
C. 指数各位为 1，尾数各位为 0 D. 指数各位为 1，尾数各位为 1
9. 微程序存放在（ ）。
A. 堆栈中 B. 主存中 C. CPU 中 D. 磁盘中
10. 单周期 MIPS 在一个时钟周期中不能完成（ ）
A. 从数据存储器读数据和向数据存储器写数据；
B. ALU 运算和向寄存器堆写数据。
C. 更新 PC 内容和向数据存储器写数据
D. 寄存器堆读数据，ALU 运算和数据存储器写数据

11. 动态存储器是 ()
A. 依靠 MOS 开关管存储信息 B. 依靠双稳态触发器存储信息
C. 依靠电容存储信息 D. 依靠寄存器存储信息
12. 磁盘存储器属于 ()
A. 随机存取存储器 B. 顺序存取存储器 C. 直接存取存储器 D. 只读存储器
13. 中断响应过程中的保存断点是指 ()
A. 将 CPU 中的各通用寄存器的内容压入堆栈 B. 将程序计数器 PC 的内容压入堆栈
C. 将 CPU 中的 PSW 寄存器的内容压入堆栈 D. 将寄存器 SP 的内容压入堆栈
14. CPU 响应 DMA 请求是在 ()。
A. 一个时钟周期结束时 B. 一个总线周期结束时
C. 一条指令结束时 D. 一段程序结束时
15. 下列总线中不属于 I/O 总线的是 ()
A. FSB B. PCI-X C. ISA D. PCI

二. 填空题 (每空 1 分, 共 16 分)

1. 冯·诺依曼结构计算机包括运算器、()、()、() 和 () 五个基本部件。
2. IEEE754 单精度浮点数表示中, 阶码的位数为 (), 尾数的位数为 ()。
3. MIPS 处理器中包含有 () 个寄存器, 每个寄存器长度为 () 位, 用来装常数的寄存器号为 ()。
4. 主存与 Cache 采用直接映射时, 主存地址被划分为 ()、() 和 () 三个部分。
5. CPU 对 I/O 设备的编址方式有 () 和 () 两种。
6. 五级流水线处理器包括 IF、ID、EX、() 和 () 流水段。

三. 名词解释 (每小题 2 分, 共 10 分)

1. 基准程序 (benchmarks)
2. 对阶 (浮点加减运算)
3. CISC
4. 向量中断

5. 结构冒险

四. 简答题（每小题 4 分，共 16 分）

1. IEEE754 单精度浮点数标准中非规格化数是如何定义的？尾数的隐藏位是多少？阶码的真值是多少？
2. 下列 MIPS 指令中分别包含哪些寻址方式？指令的功能是什么？
 - (1) beq \$s1, \$s2, addr
 - (2) lui \$t1, 100
 - (3) j 100
 - (4) lw \$s3, 20(\$t1)
3. DMA 中常用的数据传送方式有哪三种？简述它们的传送方法。
4. 简述中断响应与中断处理的过程，并指出它们各自是由硬件还是软件实现的。

五. 计算与分析题（共 7 小题，共 43 分）

1. 一个高级语言编写的程序被两个不同的编译器编译生成两种不同的指令序列 X1 和 X2，在时钟频率为 2GHz 的机器上运行，目标指令序列中用到的指令类型有 A、B、C 和 D 四类。四类指令在机器上的 CPI 和两个指令序列所用的各类指令条数如下表所示。

| 指令类型 | A | B | C | D |
|-----------|---|---|---|---|
| 各类指令的 CPI | 1 | 3 | 4 | 2 |
| X1 的指令条数 | 5 | 3 | 2 | 2 |
| X2 的指令条数 | 4 | 5 | 2 | 3 |

问：X1 和 X2 各有多少条指令？所含的时钟周期数各为多少？CPI 各为多少？执行时间各为多少？小数保留到小数点后 1 位。

2. 将十进制数 -135.59375 转换成 IEEE754 的 32 位标准浮点数格式，分别写出其二进制数表示和 16 进制数表示。

3. 若指令 “ORI rt, rs, immediate” 的编码格式如下：

| [31:26] | [25:21] | [20:16] | [15:0] |
|---------|---------|---------|-----------|
| OP | rs | rt | immediate |

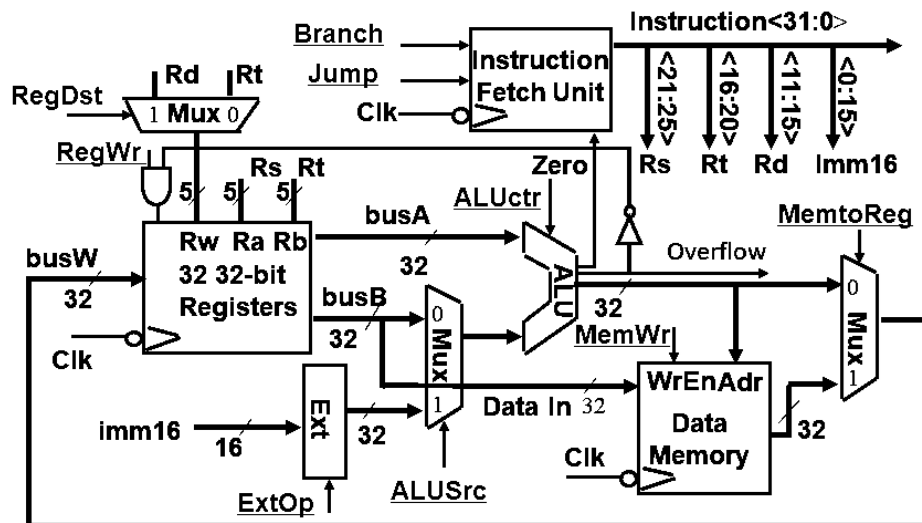
其中，OP 为 001101B，rs 为 8，rt 为 15，immediate 为 200。

将该指令分别按照小端方式和大端方式存储在 2000 号开始的四个字节存储单元中。要求用十六进制数表示，结果直接填入表中。

| | | | | |
|------|------|------|------|------|
| 单元地址 | 2000 | 2001 | 2001 | 2003 |
| 小端方式 | | | | |
| 大端方式 | | | | |

4. 设有下图所示单周期 MIPS 数据通路，试分别指出下列指令在该数据通路中执行时，各控制信号的取值是什么？说明：单一信号取值为：有效为 1，无效为 0；ALUctr 信号取值可为 add, sub, addu, subu, or, and; 无影响为 x。

- (1) andi \$s1, \$s2, 100
- (2) sub \$8, \$4, \$5
- (2) lw \$t1, 20(\$s2)
- (3) beq \$s1, \$t1, 200



| 指令 | RegDst | ALUSrc | ALUctr | MemWr | ExtOP | RegWr | MemtoReg | Branch | Jump |
|------|--------|--------|--------|-------|-------|-------|----------|--------|------|
| andi | | | | | | | | | |
| sub | | | | | | | | | |
| lw | | | | | | | | | |
| beq | | | | | | | | | |

5. 假定采用“取指、译码/取数、执行、访存、写回”五级流水线方式，对于以下指令序列（1）哪些指令对发生数据冒险？（2）哪些可以采用转发技术解决？（3）哪些不能用“转发”技术解决？需要采用什么方法解决？

```

add $s3, $s1, $s0
add $t2, $s0, $s3
lw  $t1, 100($s3)
add $s1, $t1, $s3

```

6. 某计算机存储器按字节编址，虚拟地址空间为 16MB，主存（物理）地址空间大小为 1MB，页面大小为 4KB。Cache 数据区容量为 4KB，主存与 Cache 交换数据单位为 256B，采用 2 路组相联映射方式。系统运行到某一时刻，页表的部分内容和 TLB 的内容如下表所示，表中的页框号及标记字段为 16 进制数。

页表

| 装入位 | ... | 页框号 |
|-----|-----|-----|
| 1 | ... | 06 |
| 1 | ... | 04 |
| 1 | ... | 15 |
| 1 | ... | 02 |
| 0 | ... | - |
| 1 | ... | 2B |
| 0 | ... | - |
| 1 | ... | 32 |
| ... | ... | ... |

TLB

| 组号 | 有效位 | 标记 | 页框号 |
|----|-----|-----|-----|
| 0 | 0 | - | - |
| | 1 | 001 | 15 |
| | 0 | - | - |
| | 1 | 012 | 1F |
| 1 | 1 | 013 | 2D |
| | 0 | - | - |
| | 1 | 008 | 7E |
| | 0 | - | - |

- (1) 虚拟地址共有几位？哪几位表示虚页号？物理地址共有几位？哪几位表示页框号？
 (2) cache 每一行中的标记有多少位？总容量是多少？（每行 1 位有效位 V）
 (3) 虚地址 001C60H 和 024BACH 所在的页面是否在主存中？若在，它们对应的物理地址是多少？这两个单元映射到 cache 的哪一组？

7. 设某计算机有 5 级中断，中断响应优先级为 1>2>3>4>5，而中断处理优先级为 1>4>5>2>3。要求：

- (1) 设计各种中断处理程序的中断屏蔽位(假设 1 为屏蔽，0 为开放)；
 (2) 若在运行主程序时，同时出现第 2、4 级中断请求，而在处理第 2 级中断过程中，又同时出现 1、3、5 级中断请求，试画出此程序运行过程示意图。

计算机组成原理模拟试题参考答案

六. 单选题

CCDCA DBCCA CCBBA

七. 填空题

- 答：控制器，存储器，输入设备，输出设备
- 答：(1) 8 位 (2) 23 位
- 答：32,32,0
- 答：主存群号，标记（或 Cache 行号），块内地址，或者主存组号，组内块号，块内地址
- 答：统一编址方式（内存映射方式），独立编址方式（使用专门的 I/O 指令方式）
- 答：Mem，Wr

八. 名词解释

- 基准程序（benchmarks）

答：专门用来进行性能评价的一组程序，不同的机器运行相同的基准程序可比较它们的运行时间。

- 对阶（浮点加减运算）

答：浮点数加减运算的对阶是使两数的阶码相等(小数点实际位置对齐，尾数对应位权值相同)。

- CISC

答：即复杂指令集计算机，将复杂指令加入到指令系统中，以提高计算机的处理效率。

- 向量中断

答：直接依靠硬件来获得中断服务程序的入口地址的这种中断称为向量中断。

5. 结构冒险

答：同一个部件同时被不同指令所用，即使用硬件资源时发生了冲突。

九. 简答题

2. IEEE754 单精度浮点数标准中非规格化数是如何定义的？尾数的隐藏位是多少？阶码的真值是多少？

答：非规格化数的阶码为全 0，尾数为非 0 值。尾数的隐藏位为 0，阶码的真值为-126。

2. 下列 MIPS 指令中分别包含哪些寻址方式？指令的功能是什么？

(1) beq \$s1, \$s2, addr

(2) lui \$t1, 100

(3) j 100

(4) lw \$s3, 20(\$t1)

答：(1) 寄存器寻址，PC 相对寻址。指令的功能是比较寄存器 \$s1 和 \$s2，如果相等则转移。

(2) 寄存器寻址，立即数寻址。将寄存器 t1 的高 16 位设置为 100，低 16 位为 0。

(3) 伪直接寻址（或页面寻址）。跳转指令，跳转到 PC 指定的指令处，PC 的形成是，高 4 位保持不变，将 100 左移两位（或乘以 4）送入 PC 的低 28 位。

(4) 寄存器寻址，基址寻址。从存储器中取一个字单元内容送入 s3 寄存器中，存储器地址为：将常数 20 加上寄存器 t1 的内容。

3. DMA 中常用的数据传送方式有哪三种？简述它们的传送方法。

答：有 CPU 停止法(成组传送)、周期挪用(窃取)法(单字传送)和交替分时访问法。

CPU 停止法：DMA 传输时，CPU 脱离总线，停止访问主存，直到 DMA 传完一块数据。

周期挪用法：DMA 传输时，CPU 让出一个总线事务周期，由 DMA 控制器控制总线来访问主存，传送完一个数据后立即释放总线。

交替分时访问法：将每个存储周期分成两个时间片，一个给 CPU，一个给 DMA，这样在每个存储周期内，CPU 和 DMA 都可访问存储器。

4. 答：

中断响应是指主机发现外部中断请求，中止现程序的执行，到调出中断服务程序这一过程。中断响应是又 CPU 硬件完成的，它完成工作包括关中断、保护断点和程序状态、识别中断源。

中断处理是指执行相应中断服务程序的过程。中断处理是由软件完成的，它就是执行相应的中断服务程序，不同的中断有不同的中断服务程序，大致包括准备阶段、具体的中断处理阶段和恢复阶段。

十. 计算与分析题

1. 一个高级语言编写的程序被两个不同的编译器编译生成两种不同的指令序列 X1 和 X2，在时钟频率为 2GHz 的机器上运行，目标指令序列中用到的指令类型有 A、B、C 和 D 四类。四类指令在机器上的 CPI 和两个指令序列所用的各类指令条数如下表所示。

| 指令类型 | A | B | C | D |
|-----------|---|---|---|---|
| 各类指令的 CPI | 1 | 3 | 4 | 2 |
| X1 的指令条数 | 5 | 3 | 2 | 2 |
| X2 的指令条数 | 4 | 5 | 2 | 3 |

问：X1 和 X2 各有多少条指令？所含的时钟周期数各为多少？CPI 各为多少？执行时间各为多少？小数保留到小数点后 1 位。

解：X1 有 12 条指令，所含的时钟周期数为 $5 \times 1 + 3 \times 3 + 2 \times 4 + 2 \times 2 = 26$ ，CPI 为 $26/12 = 2.2$ ，执行时间为 $26/2G = 13ns$ 。

X2 有 14 条指令，所含的时钟周期数为 $4 \times 1 + 5 \times 3 + 2 \times 4 + 3 \times 2 = 33$ ，CPI 为 $33/14 = 2.4$ ，执行时间为 $33/2G = 16.5ns$ 。

2. 将十进制数 -135.59375 转换成 IEEE754 的 32 位标准浮点数格式，分别写出其二进制数表示和 16 进制数表示。

解：

$135.59375 = (100001111.10011)_2$

规格化尾数 = 1.000011110011，阶码 $e = 7$ ， $E = 7 + 127 = 134 = (10000110)_2$

尾数符号 $S = 1$ ，尾数 $M = 000011110011$

32 位二进制格式：1 10000110 00001111001 100000000000

16 进制格式：C3079800

3. 若指令 “ORI rt, rs, immediate” 的编码格式如下：

| | | | |
|---------|---------|---------|-----------|
| [31:26] | [25:21] | [20:16] | [15:0] |
| OP | rs | rt | immediate |

其中，OP 为 001101B，rs 为 8，rt 为 15，immediate 为 200。

将该指令分别按照小端方式和大端方式存储在 2000 号开始的四个字节存储单元中。要求用十六进制数表示，结果直接填入表中。

| | | | | |
|------|------|------|------|------|
| 单元地址 | 2000 | 2001 | 2001 | 2003 |
| 小端方式 | | | | |
| 大端方式 | | | | |

解：指令码的二进制表示：001101 01000 01111 00000000 11001000

| | | | | |
|------|------|------|------|------|
| 单元地址 | 2000 | 2001 | 2001 | 2003 |
| 小端方式 | 35 | 0F | C8 | 00 |
| 大端方式 | 35 | 0F | 00 | C8 |

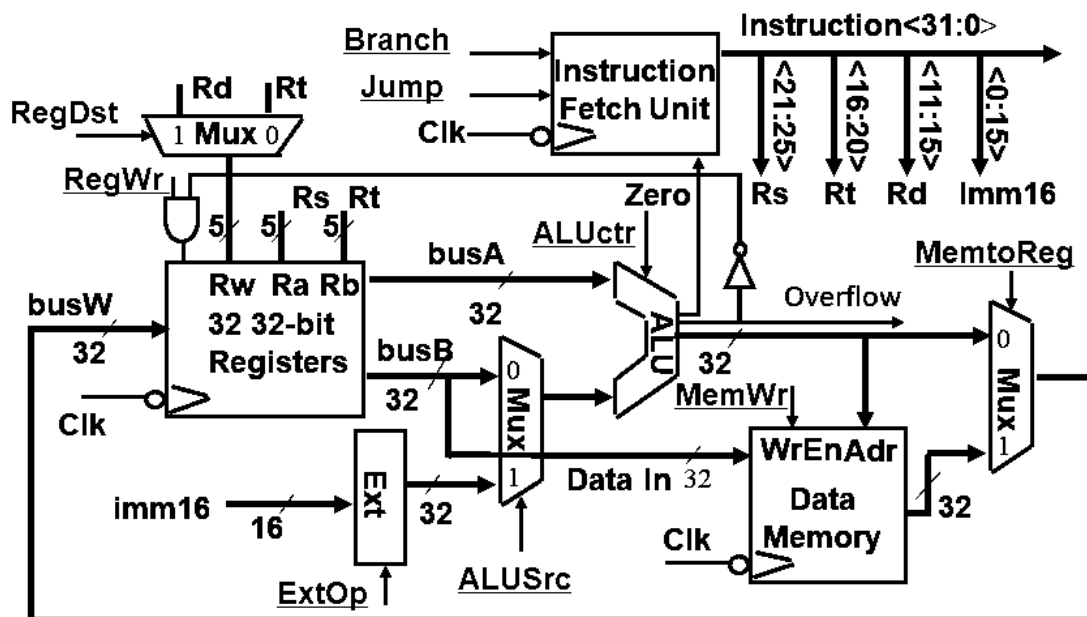
4. 设有下图所示单周期 MIPS 数据通路，试分别指出下列指令在该数据通路中执行时，各控制信号的取值是什么？说明：有效为 1；无效为 0；ALUctr 可为 add, sub, addu, subu, or, and；无影响为 x。

(1) andi \$s1, \$s2, 100

(2) sub \$8, \$4, \$5

(2) lw \$t1, 20(\$s2)

(3) beq \$s1, \$t1, 200



| 指令 | RegDst | ALUSrc | ALUctr | MemWr | ExtOP | RegWr | MemtoReg | Branch | Jump |
|------|--------|--------|--------|-------|-------|-------|----------|--------|------|
| andi | | | | | | | | | |
| sub | | | | | | | | | |
| lu | | | | | | | | | |
| beq | | | | | | | | | |

答:

| 指令 | RegDst | ALUSrc | ALUctr | MemWr | ExtOP | RegWr | MemtoReg | Branch | Jump |
|------|--------|--------|--------|-------|-------|-------|----------|--------|------|
| andi | 0 | 1 | And | 0 | 0 | 1 | 0 | 0 | 0 |
| sub | 1 | 0 | Sub | 0 | X | 1 | 0 | 0 | 0 |
| lu | 0 | 1 | Addu | 0 | 1 | 1 | 1 | 0 | 0 |
| beq | X | 0 | Subu | 0 | X | 0 | x | 1 | 0 |

5. 假定采用“取指、译码/取数、执行、访存、写回”五级流水线方式，对于以下指令序列
 (1) 哪些指令对发生数据冒险？(2) 哪些可以采用转发技术解决？(3) 哪些不能用“转发”技术解决？需要采用什么方法解决？

```

add $s3, $s1, $s0
add $t2, $s0, $s3
lw  $t1, 100($s3)
add $s1, $t1, $s3

```

答:

- (1) 发生数据冒险的指令对有：第 1 条与第 2 条，第 1 条与第 3 条，第 1 条与第 4 条，第 3 条与第 4 条。
- (2) 第 1 条与第 2 条，第 1 条与第 3 条。
- (3) 第 1 条与第 4 条采用将寄存器写口和读口分别控制在前、后半时钟周期内操作；第 3 条与第 4 条采用 lw 指令后插入空操作指令。

6. 某计算机存储器按字节编址，虚拟地址空间为 16MB，主存(物理)地址空间大小为 1MB，页面大小为 4KB。Cache 数据区容量为 4KB，主存与 Cache 交换数据单位为 256B，采用 2 路

组相联映射方式。系统运行到某一时刻，页表的部分内容和 TLB 的内容如下表所示，表中的页框号及标记字段为 16 进制数。

| 页表 | | | TLB | | | |
|-----|-----|-----|-----|-----|-----|-----|
| 装入位 | ... | 页框号 | 组号 | 有效位 | 标记 | 页框号 |
| 1 | ... | 06 | 0 | 0 | - | - |
| 1 | ... | 04 | | 1 | 001 | 15 |
| 1 | ... | 15 | | 0 | - | - |
| 1 | ... | 02 | | 1 | 012 | 1F |
| 0 | ... | - | 1 | 1 | 013 | 2D |
| 1 | ... | 2B | | 0 | - | - |
| 0 | ... | - | | 1 | 008 | 7E |
| 1 | ... | 32 | | 0 | - | - |
| ... | ... | ... | | | | |

- (1) 虚拟地址共有几位？哪几位表示虚页号？物理地址共有几位？哪几位表示页框号？
(2) cache 每一行中的标记有多少位？总容量是多少？（每行 1 位有效位 V）
(3) 虚地址 001C60H 和 024BACH 所在的页面是否在主存中？若在，它们对应的物理地址是多少？这两个单元映射到 cache 的哪一组？

答：
(1) 虚地址空间 $16MB=2^{24}$ ，所以，**虚地址共有 24 位**。
页面大小为 $4KB=2^{12}B$ ，页内地址 12 位，故虚页号有 $24-12=12$ 位地址，即**虚地址的高 12 位**。
因为主存空间为 $1MB=2^{20}B$ ，所以**物理地址共 20 位**。
物理地址与虚地址的页内地址一样同为 12 位，故页框号为 $20-12=8$ 位，即**物理地址的高 8 位为页框号**。

(2) cache 总行数= $4KB/256B=16$ ，组数为 $16/2=8$ ，物理地址中间 3 位为组号，高 $20-3-8=9$ 位为装入 cache 行的标记部分，即**cache 行的标记部分为 9 位**。
Cache 总容量= $16 * (1+9) \text{ bit} + 4KB = 32928 \text{ bit} = 4116B = 4.0195KB$ （三个答案都可以）

(3) 由于 TLB 映射方式为 4 路组相联，共有 2 组，故虚页号中的最低 1 位(bit)为组号，高 11 位(bit)做标记，即虚页号 12 位被分为：11 位标记+1 位组号。

对于虚地址 001C60H，其虚页号为 001，高 11 位为 0，最低位=1，查 TLB 的 1 组中有效位=1 的所有行，没有标记为 0 的行，故 TLB 缺失，需查页表。页表按虚页号排序，001 号虚页为第二行，其有效位为 1，页框号(物理页号)为 04，所示该地址单元已在主存中，**物理地址=04C60H**。该地址映射到 cache 时，低 8 位为块内地址，中间 3 位为组号 100，即映射到**第 4 组**。

对于虚地址 024BACH，虚页号为 024H，其高 11 位为 000 0001 0010B=012H，查找到 TLB 中有“标记”=012H 的行，其“有效位”=1，实页号=1FH，故该虚地址单元在主存的**物理地址=1FBACH**。该物理地址中间 3 位就是映射的组号为 011，即**第 3 组**。

7. 设某计算机有 5 级中断，中断响应优先级为 $1>2>3>4>5$ ，而中断处理优先级为 $1>4>5>2>3$ 。要求：

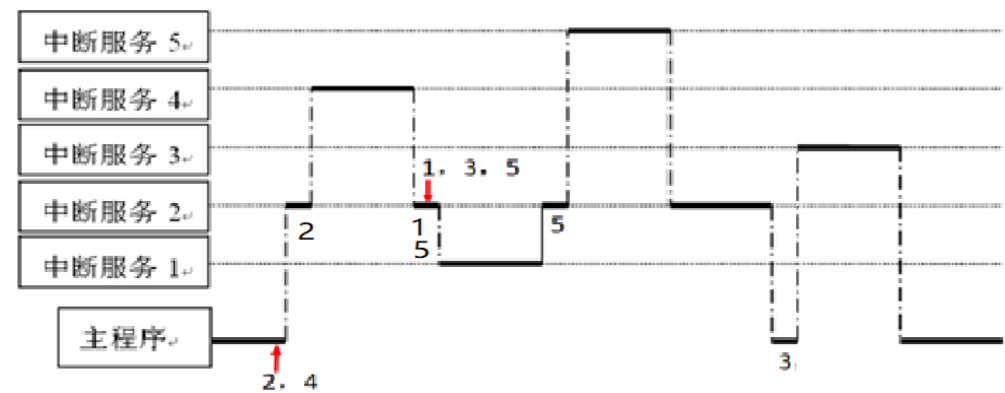
- (1) 设计各种中断处理程序的中断屏蔽位(假设 1 为屏蔽，0 为开放)；
(2) 若在运行主程序时，同时出现第 2、4 级中断请求，而在处理第 2 级中断过程中，又同时出现 1、3、5 级中断请求，试画出此程序运行过程示意图。

解：各级中断处理程序的中断屏蔽字：

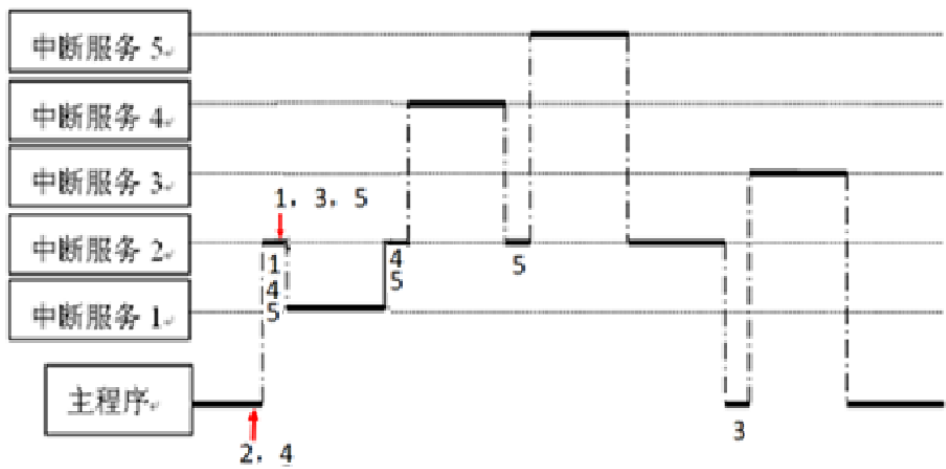
| 中断程序级别 | 中断屏蔽字 | | | | |
|--------|-------|----|----|----|----|
| | 1级 | 2级 | 3级 | 4级 | 5级 |
| 第1级 | 1 | 1 | 1 | 1 | 1 |
| 第2级 | 0 | 1 | 1 | 0 | 0 |
| 第3级 | 0 | 0 | 1 | 0 | 0 |
| 第4级 | 0 | 1 | 1 | 1 | 1 |
| 第5级 | 0 | 1 | 1 | 0 | 1 |

程序运行过程又分成两种情况：

（1）假设第2级中断服务程序中开中断后第1条指令执行时未出现1、3、5级中断请求，即开始2级中断服务程序时排队队列中只有4级中断。4级中断处理结束后才发生1、3、5级中断请求。



（2）假设在第2级中断服务程序开中断前就出现1、3、5级中断请求，即2级中断服务程序中开中断后1、3、4和5级有中断请求。根据2级中断的屏蔽字，3级被屏蔽，优先级响应队列中有1、4、5，1级得到响应，在1级中断中屏蔽了所有的中断，1级中断处理完后回到2级，响应4级。在4级中根据其屏蔽字3级和5级被屏蔽，4级处理完后回到2级，响应5级，在5级中根据其屏蔽字3级被屏蔽，5级处理完后回到2级。2级处理完回到主程序，最后响应3级，3级处理完后回到主程序。



如果在从2级转换到4级的处理时，或者从2级转换到1级处理时，发生了1、3、5级中断请求，处理过程又会是怎样呢？