

参数  
1.256KHZ采样率  
2.50uV输入失调电压  
3.最高带宽110.8Khz  
4.30ppm增益误差  
5.菊花链数字接口

时钟参数  
1. 芯片时钟32.768Mhz  
2. 占空比 50%  
3. MCLK脉宽12.2ns  
4. LVDS ?

ADC从上电唤醒到第一个DRDY，最少延时：1.66ms  
最小RESET 2xTmclk

逻辑电平  
H : 0.8 IOVDD  
L : 0.4IOVDD

电流功耗，请参考P9-15页  
时钟计时规范，请参考P16页

\*\*\*\*SPI时钟规范\*\*\*\*\*  
P18页 timing diagrams

最大额定参数P21

引脚定义（使用说明）  
AINX-：ADC negative analog  
AINX+：ADC positive analog  
AVSS1A：负极输入，通常0V  
AVDD1A：模拟电源输入，电压5V ± 10%到AVSS  
REFX-：输入参考负极 [AVSS - AVDD-1],需要耦合电容  
REFX+：输入参考正极 [1V - AVDD-AVSS],需要耦合电容  
FILTER/GPIO4：DC滤波，spi模式下可用于GPIO4  
MODE0-3：引脚控制模式下  
GPIO0-3：spi模式下  
CS/SCLK/SDI/SDO：spi设置项  
DCLK/D0-D7：并口输入，这些引脚于SPI无关  
DRDY：数字准备就绪  
RESET：硬件异步重置  
XTAL1：外部时钟，当CLK\_SEL为0，XTAL1->DGND  
XTAL2：LVDS时钟必须与通道4相关联  
DGND：数字地  
DREGCAP：数字地调试引脚 10uF  
IOVDD  
SYNC\_IN：菊花链使用，同步输入  
START：开始信号  
SYNC\_OUT：菊花链使用，同步输出  
DORMAT0/1：格式选择引脚，用于设置ADC转换数据的DOUTx引脚数量  
PIN/SPI：高电平SPI模式  
CLK\_SEL：时钟选择引脚，0-CMOS时钟 1-晶振或LVDS时钟  
VCM：共模电压输出。引脚输出ACDD-AVSS/2,SPI模式下 2.5V 2.14V 或者1.65V，建议串联50 +电容

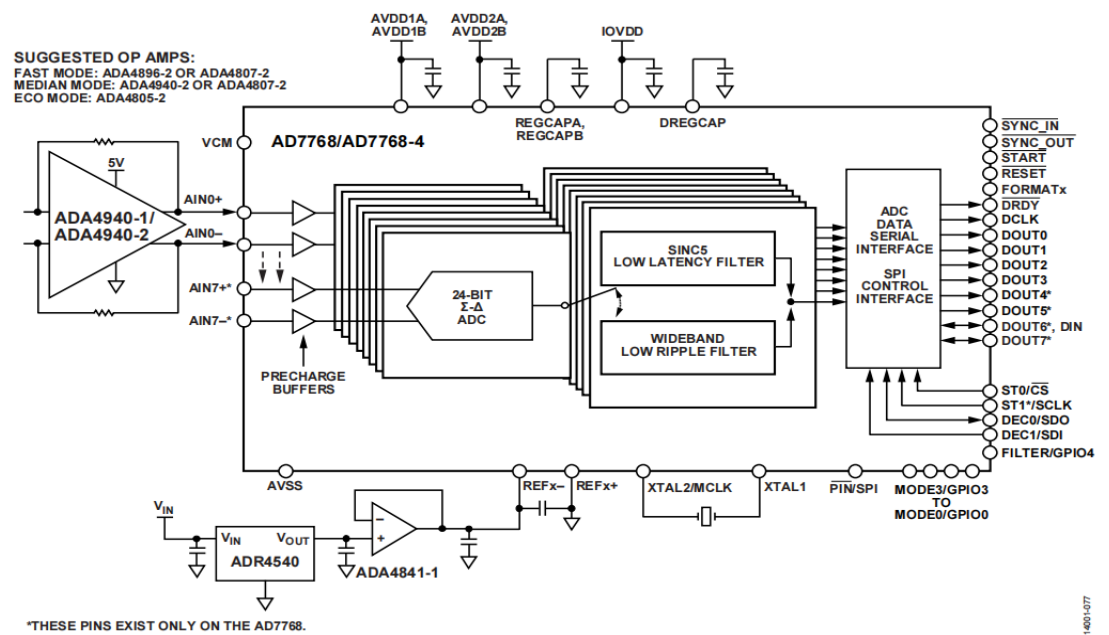


Figure 73. Typical Connection Diagram

操作理论  
AD7768：3种是时钟源1. CMOS/晶振/LVDS  
直接作用于MCLK。  
MCLK信号定义了调制器时钟速率fMOD，进而定义采样频率2xfMOD，时钟图P41

AD7768有3种电源模式：ACDD1 AVDD2 IOVDD P45页

SPI Interface Details P50

电力供应说明  
AVDD1A和 AVDD1B为模拟前端，参考输入和共模输出的供电电源。AVDD1参考AVSS，所以AVDD1的电压为5V，与电源通电为

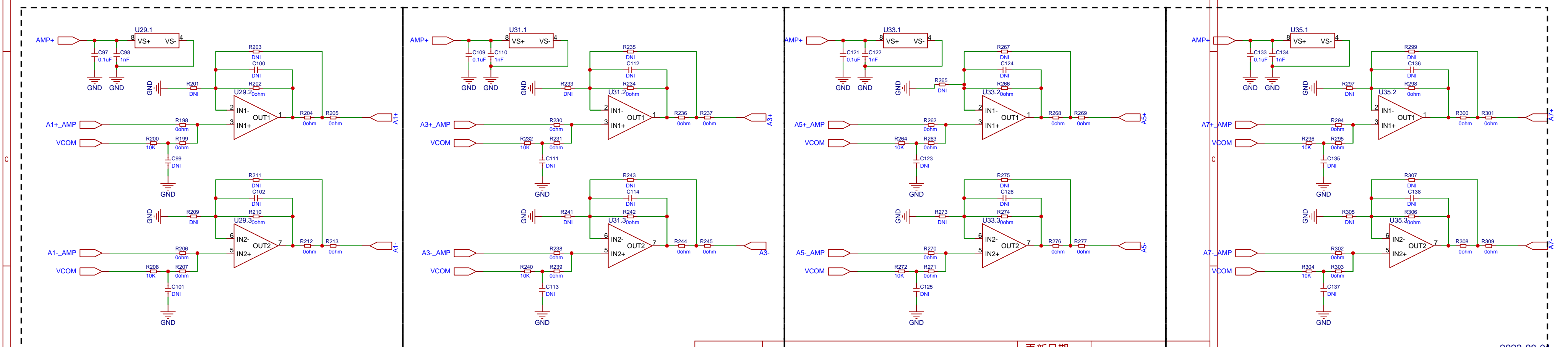
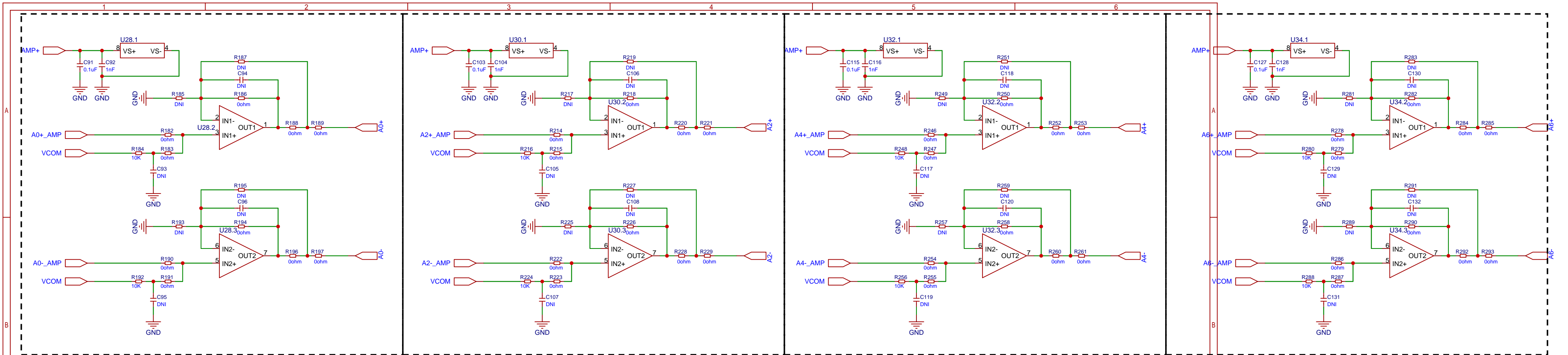
AVDD2A和AVDD2B电源给内部1.8V的模拟LDO供电，所以电压范围可以2v - 5v之间

IOVDD供电电压范围相对于DGND范围2.25V - 3.6V，如果配置为最小1.8V，IOVDD需要和REGCAP直接绑定在一起

原理图		AD7768		更新日期	2023-07-28
				创建日期	2023-07-27
图页	discovery			物料编码	
绘制		AD7768验证板			
审阅					
		版本	尺寸	页	1 共 5
嘉立创EDA		V1.0	A4	嘉立创EDA	







### 原理图

图页

## 绘制

审阅

---

---



**更新日期**

创建日期

物料编码

## 版本

尺寸

页

共

AD7768

### Analog Extern OP

V1.0

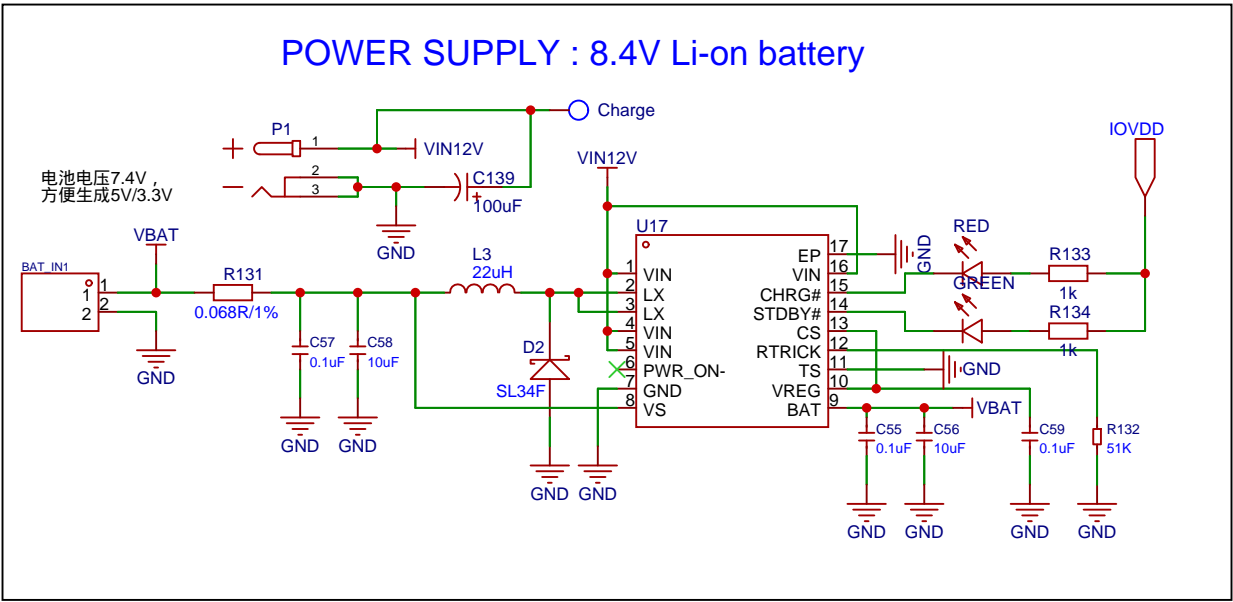
A4

## AD7768验证板

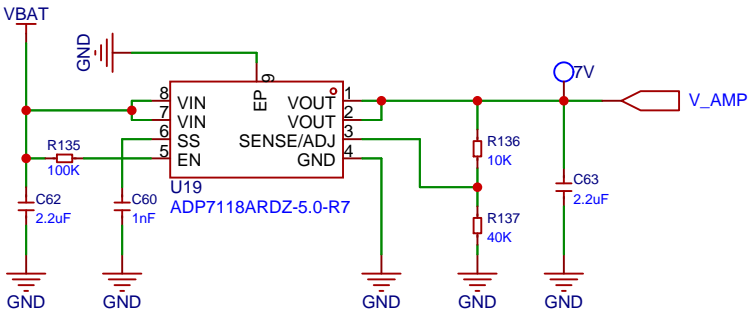
4

嘉立创EDA

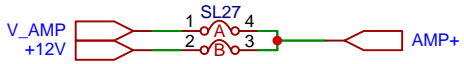
5



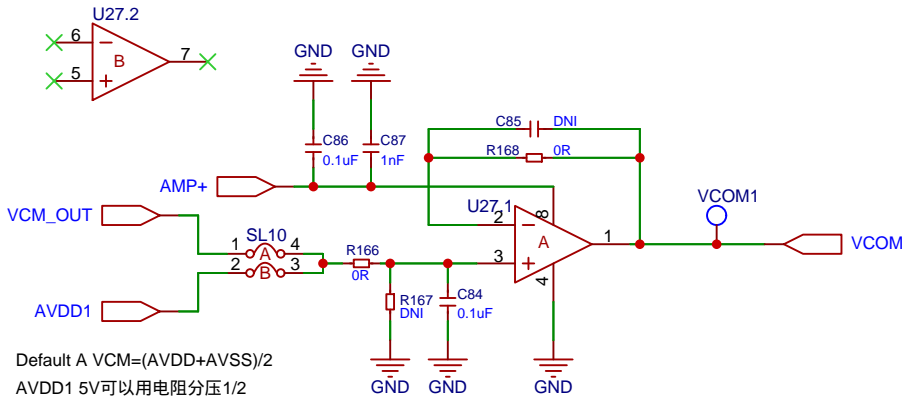
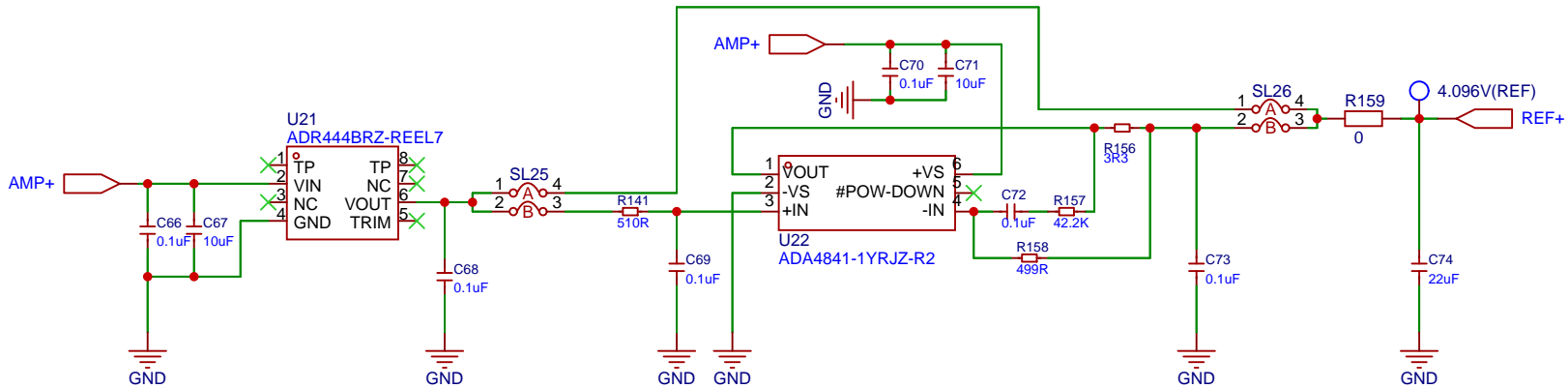
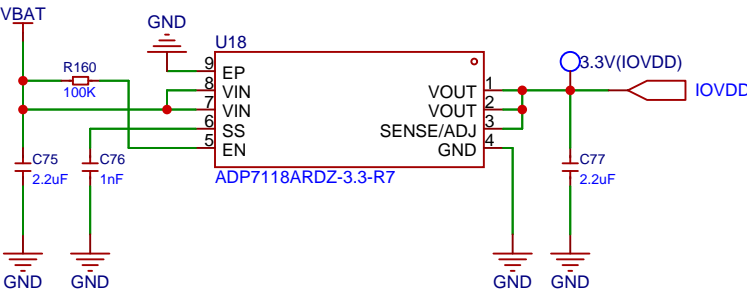
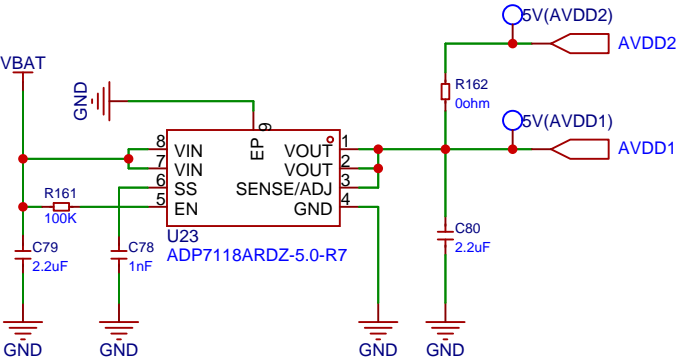
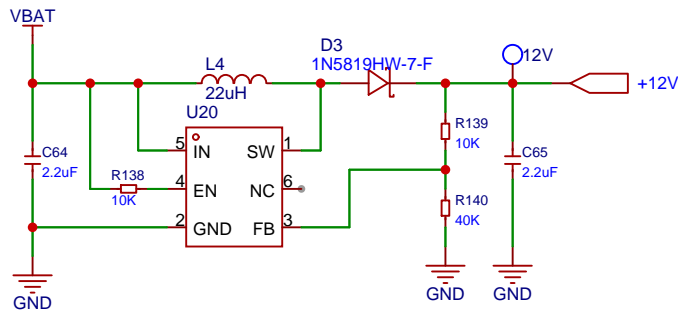
Amplifer and Reference Supply  
7V out or DC-DC +12V



Default A 7V supply



AMP+ supply ADR444 LDO  
to 4.096V for REF+



Default A VCM=(AVDD+AVSS)/2  
AVDD1 5V可以用电阻分压1/2

原理图	AD7768		更新日期	@Update Date : 2023-08-01
图页	POWER		创建日期	2023-07-28
绘制			物料编码	
审阅			AD7768验证板	
		版本	尺寸	页 5 共 5
嘉立创EDA		V1.0	A4	嘉立创EDA