



北京航空航天大学
B E I H A N G U N I V E R S I T Y

《通信电路原理》课题研究报告

高动态接收机的 捕获与跟踪

同组者：何沃洲 13021264

王子绪 13021107

顾慧毅 13021111

指导教师：刘荣科

2016 年 1 月

摘 要

高动态环境给接收机中载波的捕获和跟踪带来了很多问题。高动态会使载波产生较大的多普勒频移和频率变化率，导致载波跟踪环路的失锁。因此高动态和低信噪比环境下解决载波的跟踪问题具有十分重要的意义。

本文以高动态的一个典型场景 EDL 阶段为例进行引入，对捕获跟踪的过程进行了由浅入深的剖析和设计，依次从大家比较熟悉的 PLL，到动态性能更好的 FLL，再引入这两者的互补结合，最后由 FFT 的开环快捕对闭环进行补偿。其中的每一个环节都将结合这几种方法的优缺点，围绕环路带宽导致的抗噪性能与动态性能这一对矛盾约束关系为核心进行对比和讨论。

本文的每一章都会使用 MATLAB 为仿真平台，分别对理想情况、高动态和低信噪比环境下的载波跟踪方案进行仿真，验证理论部分所做的分析和假设。

关键词：高动态接收机、载波同步、锁相环、锁频环、FFT

Abstrast

The high-dynamic conditions will bring a lot of challenges to the capturing and tracking of carrier. With problems of larger Doppler frequency shift and frequency ramp, the carrier tracking loop will be lost easily. Therefore, it is significant to resolve the problem of carrier tracking in the high-dynamic and low-SNR environment.

In this paper, the topic will be introduced by EDL, a typical scene of high-dynamic environment. We develop our carrier-tracking scheme from PLL initially, then FLL for better dynamic performance, and the combination of both. At last, FFT for open-loop lock will be used for compensation. The analysis will discuss the merits and demerits of each method in detail, which centers the contradictory relationship between anti-noise performance and dynamic performance caused by the loop bandwidth.

For each chapter, in order to verify the conclusions made by analysis before, we use MATLAB to simulate different carrier-tracking schemes in ideal conditions, high-dynamic and low-SNR environment respectively.

Key Words: High-dynamic receiver, Carrier synchronization, PLL, FLL, FFT

目 录

(一) 背景.....	1
1.1 接收机的捕获与跟踪.....	1
1.1.1 载波同步.....	1
1.1.2 主要问题.....	2
1.2 高动态带来的挑战.....	2
1.2.1 典型场景.....	2
1.2.2 火星探测器着陆 EDL 阶段.....	2
1.2.3 高动态下的矛盾约束.....	5
(二) 设计架构.....	5
(三) PLL 模块.....	6
3.1 PLL 的原理.....	6
3.2 Costas 环.....	6
3.3 仿真实现.....	8
3.3.1 Costas 二阶环路的静态捕获性能.....	9
3.3.2 Costas 三阶环路的静态捕获性能.....	10
3.3.3 Costas 环的失锁.....	13
(四) FLL 模块.....	14
4.1 PLL 的局限性.....	14
4.2 FLL 的原理.....	14
4.3 叉积自动频率跟踪算法(CPAFC).....	15
4.4 仿真实现.....	16
(五) PLL 与 FLL 的综合.....	19
5.1 FLL 与 PLL 结合结构.....	19
5.2 仿真实现.....	20
(六) FFT 模块.....	21
6.1 闭环跟踪的局限性.....	21
6.2 FFT 实现开环锁定.....	22
6.3 仿真实现.....	23
(七) 附录.....	24
7.1 PLL 的 FPGA 实现.....	24
7.2 课堂提问整理.....	25
7.3 课程感悟.....	26
7.4 参考文献.....	28

(一) 背景

1.1 接收机的捕获与跟踪

同步是通信领域中一个重要的技术问题,同步性能的优劣将直接决定整个通信系统的性能。在通信系统中,同步是进行信息传输的前提。随着现代通信与网络技术的飞速发展,同步的重要性更加突出。许多先进的通信技术与系统都要求精确地实现载波同步、位同步与帧同步,否则系统的优越性能将无法得到保证。

在通信系统中,数据序列都是经过一定的方式映射、被发射机调制到一定的频率然后通过信道发送出去的。接收机要在对这些参数准确估计的基础上依靠判决装置恢复发送数据。同步技术就是对这些参数实现准确的估计和校正。

一般接收机的信号处理部分分为 7 个部分:载波同步、降采样、匹配滤波、位同步、均衡、判决、信道解码。而与接收机的捕获与跟踪最密切相关的则是**载波同步**的环节。

发射机发射的信号在到达接收机之前经历了宽带噪声、窄带噪声衰落、其它用户的干扰、多径效应、多普勒效应等多种干扰,并且在射频前端的中频变换部分本地振荡并不能与接收信号完全同步,所以 A/D 所采集的信号并不是标准的中频信号,而是一个根据干扰大小不同在中频左右实时变化的频率。这就要求在去除载波时要能够跟踪载波的变化,所以载波跟踪是一个关键环节,特别是在高动态、低信噪比和大多普勒频偏下,载波跟踪是个极具挑战性的任务。

1.1.1 载波同步

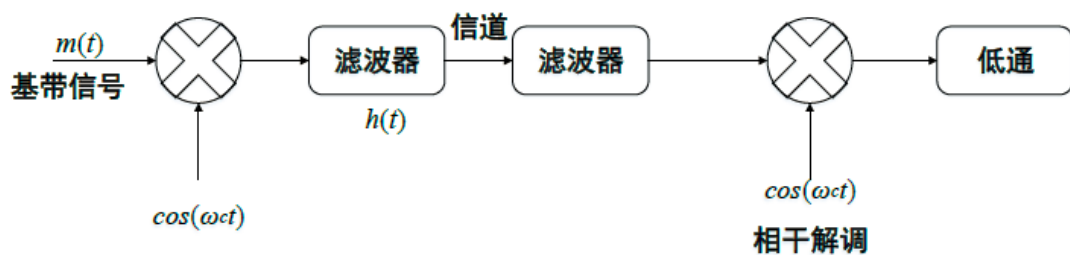


图 1 载波同步示意图

如图 1 所示,当接收端采用相干解调时,接收端需要提供一个与发射端调制载波同频同相的相干载波,这个相干载波的获取就成为载波同步,载波同步是实现相干解调的基础。在中频数字接收机中,数字下变频的本地振荡信号是一个固定频率的自由振荡信号,它不可能和输入信号的载波频率完全相等,必然产生一

个频偏；相位噪声也会引起载波相位和频率偏差；同时运动中的物体进行通信时出现的多普勒效应，都会对通信系统产生恶劣的影响，使接收系统性能下降。因此，如何抵抗噪声的干扰，从噪声中提取高质量的相干载波，是载波同步的一个关键技术问题。

1.1.2 主要问题

载波同步主要解决两个问题：

- 1) 载波频率捕获（同频）；
- 2) 载波相位跟踪（同相）。

根据是否含有向前端进行反馈的标准，载波同步分为两类：一种是开环同步，即直接估计载波相位误差及收发载波的频偏并在解调时给予补偿；另一种是闭环同步，即载波恢复采用反馈控制方式实现。下面都会分别进行详细的讨论。

1.2 高动态带来的挑战

1.2.1 典型场景

- 1) 飞机和同步卫星之间进行通信；
- 2) 高铁在高速运行中接收基站的信号；
- 3) 导弹在高速飞行的时候接收信号；
- 4) 火星探测器着陆的 E(Entry)D(Descent)L(Landing)阶段。

下面以超高动态中的 EDL 阶段为例进行详细说明。

1.2.2 火星探测器着陆 EDL 阶段

对于着陆火星的飞行器，其着陆过程可分为四个阶段：接近阶段、大气进入段、降落伞减速段和动力下降段，其中将后三个阶段称为“进入(Entry)、下降(Descent)、着陆(Landing)”，简称为“EDL”过程。

大气进入段始于进入点($h=125\text{km}$, $V=5\sim 7\text{km/s}$, $FPA=-10^\circ\sim -20^\circ$)，结束于降落伞展开。这个阶段利用大气进行减速，将速度减到开伞条件(马赫数 2 左右)。这个阶段飞行器超声速飞行，动力学模型高度非线性化，环境模型有很多不确定因素和干扰，期间经历热流峰值、过载峰值和动压峰值，这些对着陆精度影响甚大，是火星着陆过程中气动环境最恶劣的阶段，也是最为重要的阶段。

降落伞减速段始于降落伞的展开($h=10\text{km}$, $Ma=2$ 左右)，结束于下降主发动机点火。这个阶段主要利用降落伞进行减速。由于受降落伞材料和结构的影响，

其开伞高度和速度受到严格的限制。若开伞高度太高，速度达不到开伞要求；若开伞高度太低，飞行器将没有足够的高度和时间将速度减小到安全着陆范围。

动力下降段始于下降主发动机点火($h=0.5\sim 2\text{km}$, $V=40\sim 100\text{m/s}$), 结束于最后着陆在火星表面。为达到高精度的着陆, 在利用反推火箭进行减速的同时, 用推力器控制飞行器进行姿态调整以规避障碍物并达到预定着陆点。

人类的火星探测史上有三种着陆方式: 以“火星漫游者”、“勇气号”、“机遇号”为代表的气囊着陆; 以“海盗号”和“凤凰号”为代表的支架着陆; 美国计划 2012 年发射的“火星科学实验室”为代表的空中吊车着陆。

EDL 过程的通信分为两个阶段: 一是降落探测器与环绕卫星之间的通信(UHF 波段), 以及卫星与地球保持联系的 DTE 通信(X 波段)。DTE 通信采用的是适应高动态和低信噪比的 MFSK 形式, 其中将使用多达 256 个频点, 大约每 10s 进行一次切换, 来最大限度地提高被捕获的概率。当动态逐渐降低而剧烈变化的信噪比成为主要影响因素的时候, 频点切换的周期将减慢至 20s, 这时信息传递的速率减慢而稳定性却大大提高。

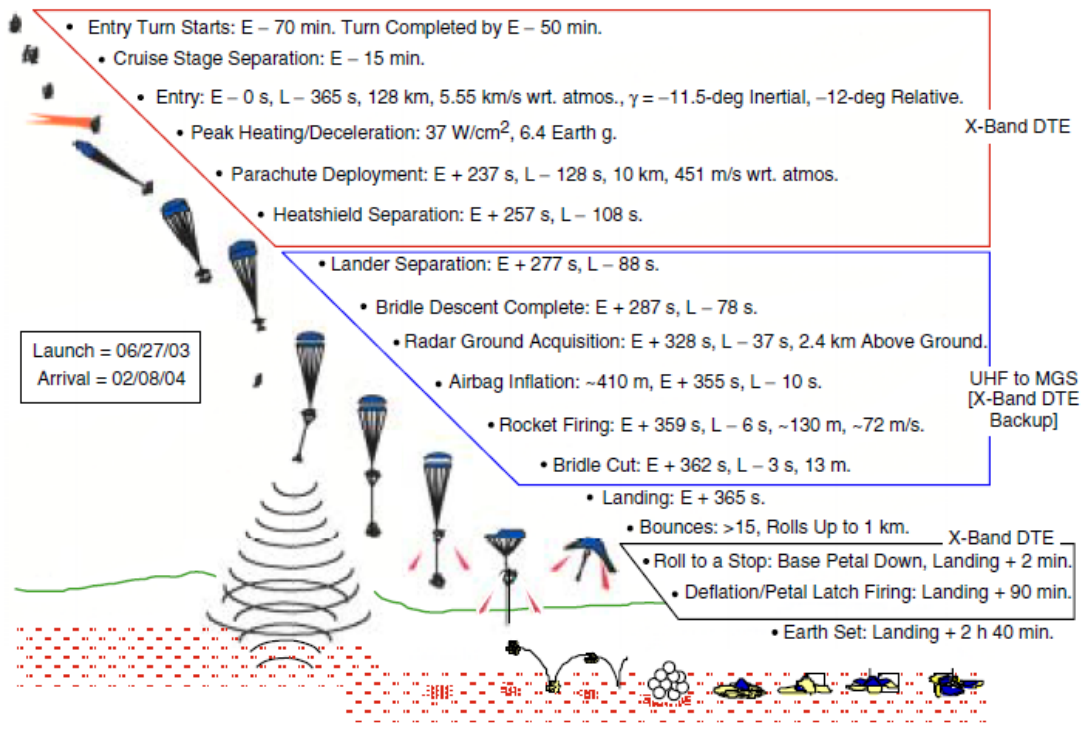


图 2 “机遇”号火星探测器的 EDL 阶段

EDL 阶段是人类迄今遇到的最高动态的情境之一, 不但存在巨大的多普勒频移, 而且这个频偏还具有很大的变化速度和变化加速度(如图 3~图 5 所示)。

其高动态的原因是非常复杂的, 主要包括: 飞行器的超高声速进入; 火星上变幻莫测的大气情况等。此外, 该过程中飞行器姿态的不确定使天线朝向变化, 改变了信号定向发射的强度导致信噪比的急剧变化, 也给这个过程中的通信带来巨大的挑战。

根据查阅的文献，该过程中高动态的各项参数大概如下：

- 多普勒频移可达 90kHz
- 频率变化率最大可达 $700\sim 1200\text{Hz/s}$
- 频率变化率的变化率达 $25\sim 40\text{Hz/s}^2$
- SNR 从 5dB-Hz 到 30dB-Hz 的迅速变化

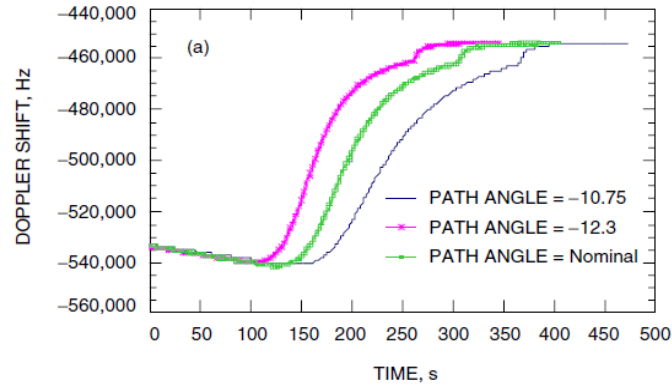


图 3 不同航迹倾角下的多普勒频移

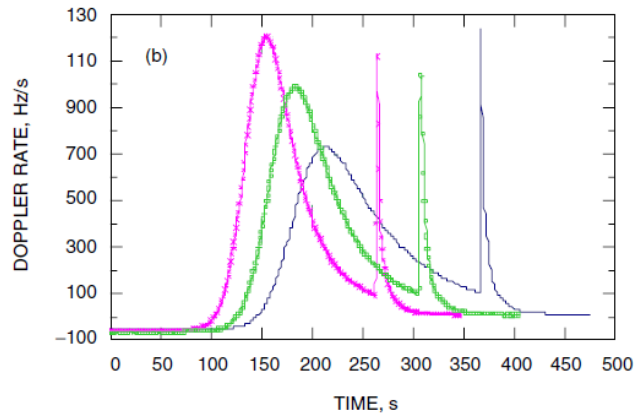


图 4 不同航迹倾角下的频率变化率

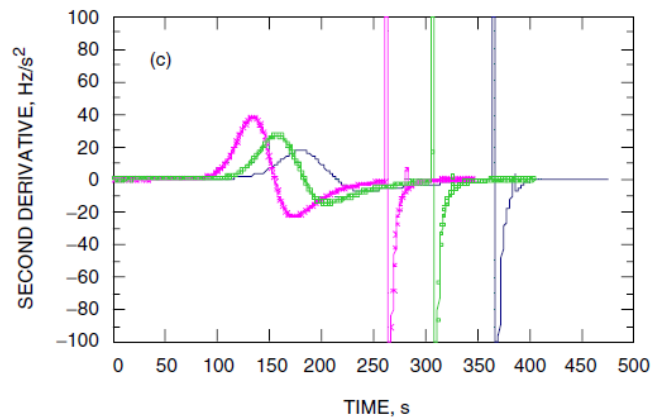


图 5 不同航迹倾角下频率变化率的变化率

1.2.3 高动态下的矛盾约束

所谓的高动态实际上是一个相对的概念。相对于同类型静止或低速运动的条件，高动态往往会涉及到频率变化率、变化加速度、甚至加加速度的影响，从而对接收机的捕获与跟踪提出了高难度的挑战。

同时，在高动态的情况下，往往伴随着低信噪比的条件，较低的信噪比将会显著地增加环路失锁的概率。信号淹没在噪声中更是给载波捕获提出了更高的要求。例如上一节讨论的火星探测器着陆的 EDL 阶段中，典型的 SNR 低至 -27dB，对于 13Hz 带宽的环路来说将比成功捕获所要求的最低载噪比还要低若干 dB。高动态加低 SNR 的恶劣环境下探测器与卫星之间保持持续的通信几乎是不可能的，但保持通信、及时反馈状态信息对飞行器的成功着陆却至关重要。

归结而言，高动态接收机最大的矛盾在于环路带宽与抗噪性能之间的矛盾，更直观的反映也就是动态性能和跟踪精度的矛盾。例如 PLL 跟踪精度高，但动态性能较差。FLL 直接跟踪载波频率，载波鉴频器输出频移估计误差，动态性能好但跟踪精度不如 PLL 来得准确。这一对矛盾将成为下文讨论的一个核心问题。

（二）设计架构

我们将以火星探测器着陆的 EDL 阶段的各影响因素为参考指标对捕获跟踪的过程进行由浅入深的剖析和设计。我们的考虑主要分为以下几个模块：

1. 采用 **Costas** 环解决频偏较小、变化率不大的捕获和跟踪问题；
2. 采用 FLL 中的叉积自动频率控制环(CPAFC)解决频率变化率较大的情况，实现与 PLL 的协同捕获跟踪；
3. 采用 FFT 针对频偏过大，开环结构不足的问题进行开环的快捕；
4. 在上述问题的基础上分别加上噪声的影响，逐渐降低信噪比，调整相关参数观察实现效果

最终希望能在仿真中达到或者逼近目前 EDL 阶段实际过程的各项指标。

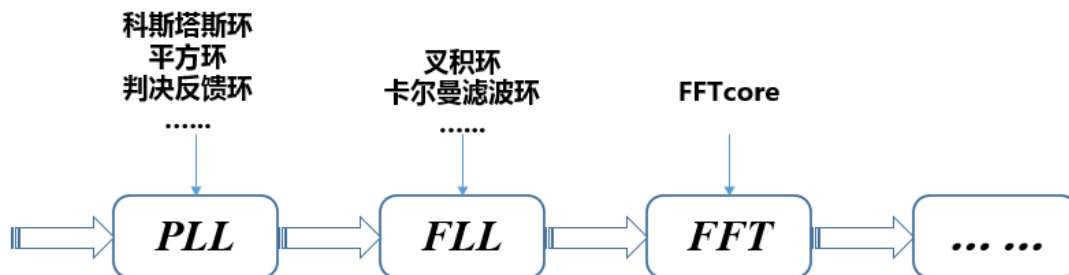


图 6 设计各模块的扩展示意图

(三) PLL 模块

3.1 PLL 的原理

最传统的载波恢复就是采用模拟的锁相技术来实现的。如果接收信号中包含有载波，就可用窄带滤波器直接把它取出来。由于锁相环路具有良好的跟踪、窄带滤波和记忆性能，常规接收机中常通过锁相环路提取相干载波。

锁相环路是一种反馈控制电路，是一个能够跟踪输入信号相位的闭环自动控制系统，它能够极准确的跟踪淹没在噪声中比噪声小很多倍的微弱信号，简称锁相环(PLL)。锁相环的特点是：利用外部输入的参考信号控制环路内部振荡信号的频率和相位。因锁相环可以实现输出信号频率对输入信号频率的自动跟踪，所以锁相环通常用于闭环跟踪电路。锁相环在工作的过程中，当输出信号的频率与输入信号的频率相等时，输出与输入保持固定的相位差值，即相位被锁住，这就是锁相环名称的由来。

锁相环是一个相位误差控制系统，通常由鉴相器(PD)、环路滤波器(LF)和压控振荡器(VCO)三部分组成，其组成的原理框图如图 7 所示。锁相环中的鉴相器(PD)又称为相位比较器，它的作用是检测输入信号和输出信号的相位差，并将检测出的相位差信号转换成 $u_D(t)$ 电压信号输出，该信号经环路滤波器(LF)滤波后形成压控振荡器(VCO)的控制电压 $u_C(t)$ ，对振荡器输出信号的频率实施控制，使之朝着减小两信号相位误差的方向改变 VCO 输出的频率和相位，最后使两信号间的频差消失且相位误差足够小而达到锁定(同步)的目的。

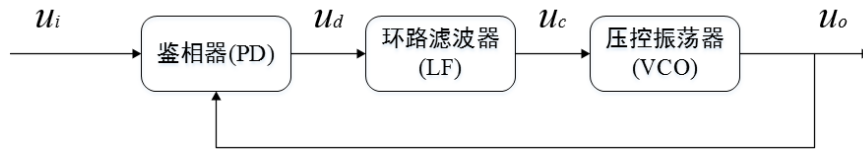


图 7 PLL 的结构示意图

3.2 Costas 环

在 PLL 中一种非常经典和流行的环路结构是 **Costas** 环路(又名同相正交环)，原理如下面图 8 所示。

环路的工作过程如下：

设输入信号为 $S(t) = A_d(t) \cos(\omega_c t + \theta_i)$

压控振荡器输出的两路正交信号为：

$$I_o(t) = \cos(\omega_c t + \theta_o), \quad Q_o(t) = \sin(\omega_c t + \theta_o)$$

经相乘器混频可得： $I(k) = 0.5d(k)\cos(\theta_e)$ ， $Q(k) = 0.5d(k)\sin(\theta_e)$

最后这两路信号经过第三个相乘器，等效于进行一次反正切运算。得到：

$$\theta_e = \tan^{-1}(Q(k)/I(k))$$

即得到相位误差函数，经过环路滤波器作为 VCO 的控制电压信号对输出信号的相位进行控制，实现跟踪的过程。

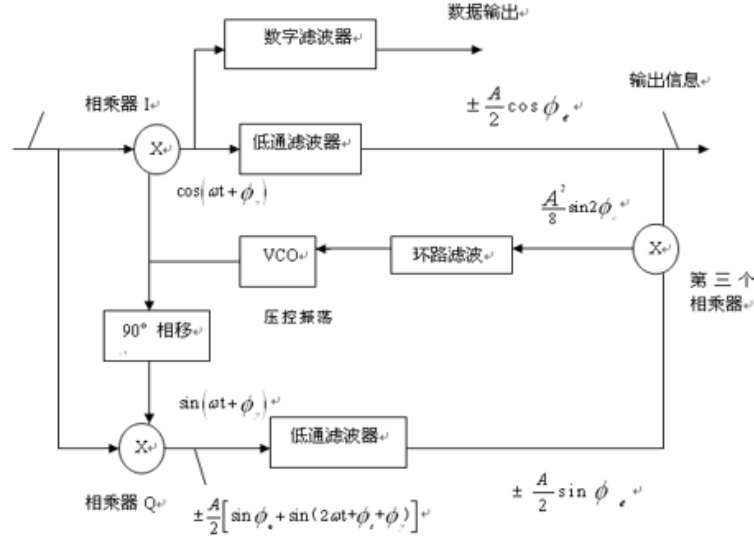


图 8 Costas 环的原理图示

环路滤波器的噪声带宽决定了跟踪的速度及跟踪的范围，一般的规律是环路滤波器噪声带宽越宽，环路收敛速度越快，而进入环路滤波器的噪声也就越大。这样达到跟踪稳态时，环路滤波的输出会有较大的抖动，能跟踪较快的频率变化；反之，当环路滤波器噪声带宽越窄时，环路收敛速度越慢，进入环路滤波器的噪声也就越小，达到稳态时，环路滤波器的输出抖动较小。然而，当频率变换较快时，则有可能永远无法达到稳态，即环路滤波器的输出变化跟不上频率变化。

所以，**Costas** 环能捕获跟踪的频偏大小和信号的信噪比高低是一对矛盾约束关系。当需要跟踪的频偏较大时，则噪声带宽需要设置宽一点，但这样一来，进入环路的噪声功率增加，会使环路的信噪比恶化，但环路内的信噪比必须保持在一定的值以上，所以信号本身的信噪比就不能太低。反过来，当信号本身的信噪比很低时，要想成功捕获载波，则环路噪声带宽需要设置窄一点，这样，进入环路的噪声功率相对会小点，依然可以保持环路内的信噪比在一定值以上，但是这个时候对频偏的跟踪能力就差了，因此信号的频偏就得小一点。所以同一个 **Costas** 环路，对信号的要求可概括为：信号频偏大时，信噪比就得高；信号信噪比低时，频偏就得低。

这些在后面部分的仿真中都会进行详细的讨论和呈现。

3.3 仿真实现

为了对 *Costas* 环捕获速度、抗噪声干扰等各方面的性能进行验证，我们通过 MATLAB 平台根据其原理在算法层面上进行了仿真。

在 MATLAB 的具体实现上，我们首先构造了一个连续时间信号 $x_c(t)$ ，然后按照给定的 f_s 进行信号的采样，分别与本振产生的复信号 $\exp(j\omega t)$ 的实部和虚部相乘进行下变频。在这里我们对数据序列进行了分块处理，在每个数据块里面进行了中值滤波，来达到低通滤波器的效果。后面是 I 、 Q 两路相角的提取，通过反正切鉴相得到一个关于相位的函数，再由它经过理想积分低通滤波器反馈到 NCO 对本振的频率 f_c 进行调节。

其中，数字低通滤波器采用理想积分滤波器，闭环传递函数为 $(z) = C_1 + C_2 \frac{1}{1-z^{-1}}$ ，通过参数 C_1 、 C_2 的即可方便地设置滤波器的增益和带宽。

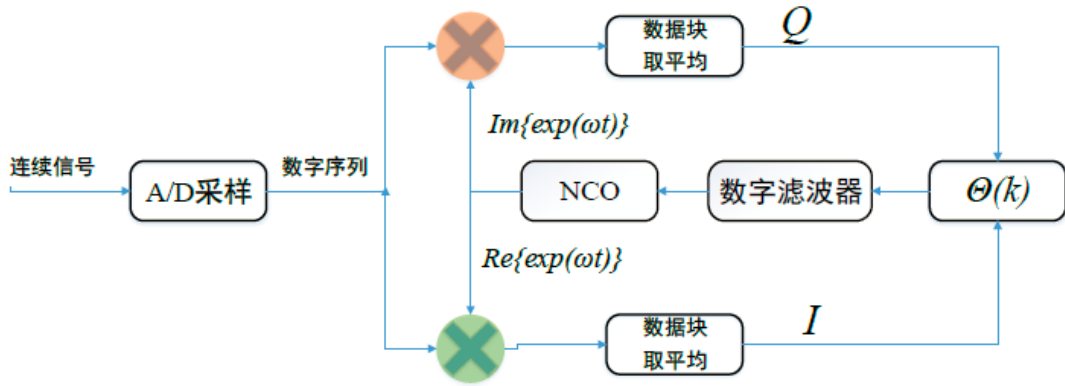


图 9 *Costas* 环 MATLAB 实现的示意图

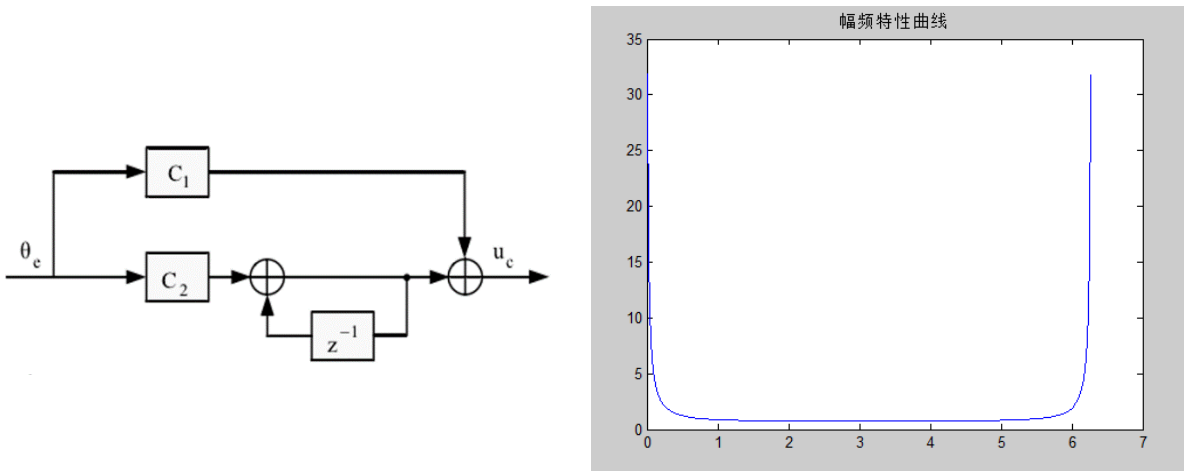


图 10 二阶环路中所设计的一阶理想积分低通滤波器及其频率特性

3.3.1 Costas 二阶环路的静态捕获性能

我们先考虑一种最简单的情况，假设多普勒频移保持恒定的 100Hz ，即通信的两者之间的相对运动速度保持不变。仿真的初始条件和仿真结果如下表所示。

表 1 Costas 二阶环路静态捕获性能的仿真条件和结果

仿真条件	本振频率	采样频率	初始 Doppler 频移
	$f_c = 10\text{MHz}$	$f_s = 50\text{MHz}$	$f_d = 100\text{Hz}$
仿真结果	锁定频差 f_e	捕获时间 t	捕获频带 f_p
	0.00106Hz	4.460ms	约 200Hz

虽然根据定义，捕获时间体现为本振频率逐渐逼近信号频率直到完全相等的过程，但是理论上来说这在时域上是一个趋向于无穷的过程。所以在程序实现上，我们规定只要连续十个样本点的频率与载波相差小于 1.000Hz 就可以认为已经进入了锁定。具体的流程示意图如图 11 所示。

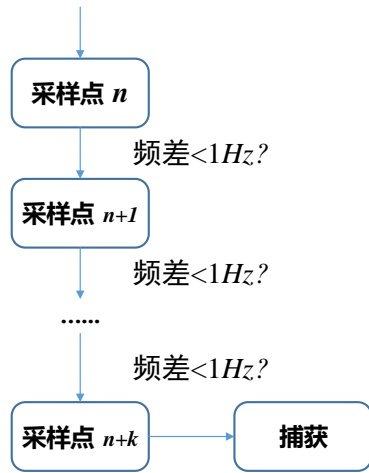


图 11 锁定状态的判定

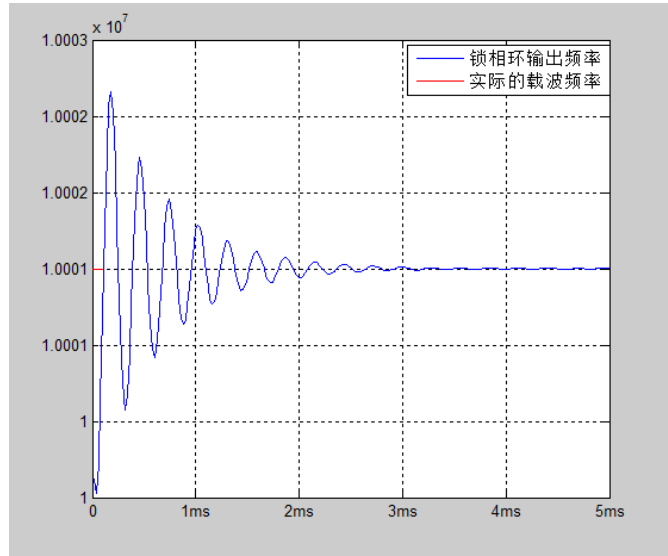


图 12 Costas 环的静态捕获过程

可以看出，**Costas** 环对恒定 100Hz 频移的捕获时间短至若干 ms 的量级，进入锁定之后的平均频差也远远小于 1.000Hz ，这都说明了 **Costas** 环具有静态跟踪入锁快、跟踪精度较高等等的优点，验证了理论部分的论述。

3.3.2 Costas 三阶环路的静态捕获性能

为了验证 *Costas* 环阶数对其性能的影响，我们对三阶 *Costas* 环进行了与上一节相同条件的仿真，从而更方便直观地进行对比。

为了设计三阶环路中的二阶低通滤波器，我们利用并联型的 *IIR* 滤波器来实现 $F(z) = G_1 + \frac{G_2}{1-z^{-1}} + \frac{G_3}{(1-z^{-1})^2}$ 。滤波器的具体实现及频率响应如图 13、图 14 所示。

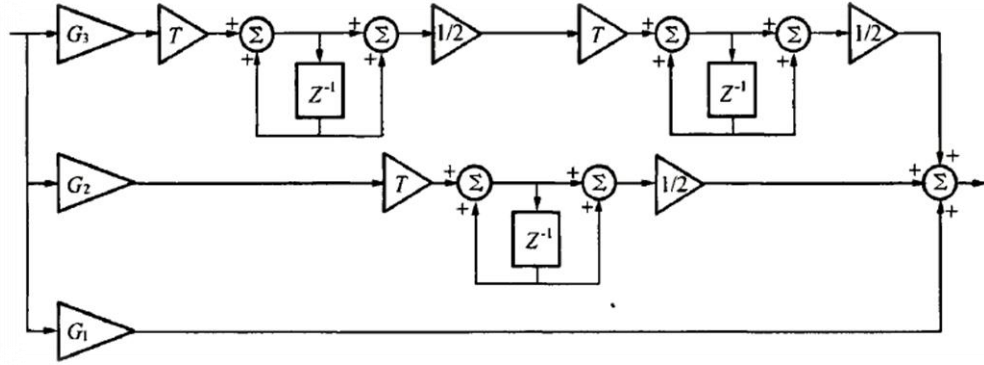


图 13 并联型的二阶 IIR 滤波器

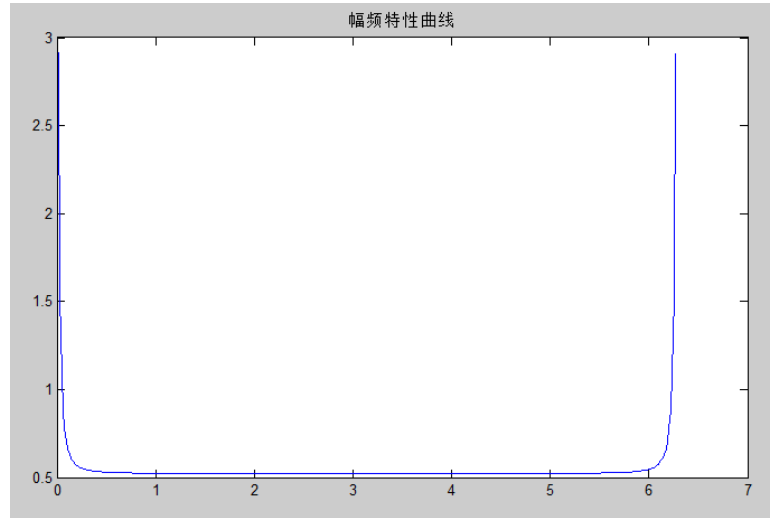


图 14 二阶 IIR 滤波器的频率响应

同样的，我们假设多普勒频移为恒定 100Hz 。仿真的初始条件和结果如下表所示。

表 2 *Costas* 三阶环路静态捕获性能的仿真条件和结果

仿真条件	本振频率	采样频率	初始 <i>Doppler</i> 频移
	$f_c = 10\text{MHz}$	$f_s = 50\text{MHz}$	$f_d = 100\text{Hz}$
仿真结果	锁定频差 f_e	捕获时间 t	捕获频带 f_P
	0.0017Hz	2.370ms	约 500Hz

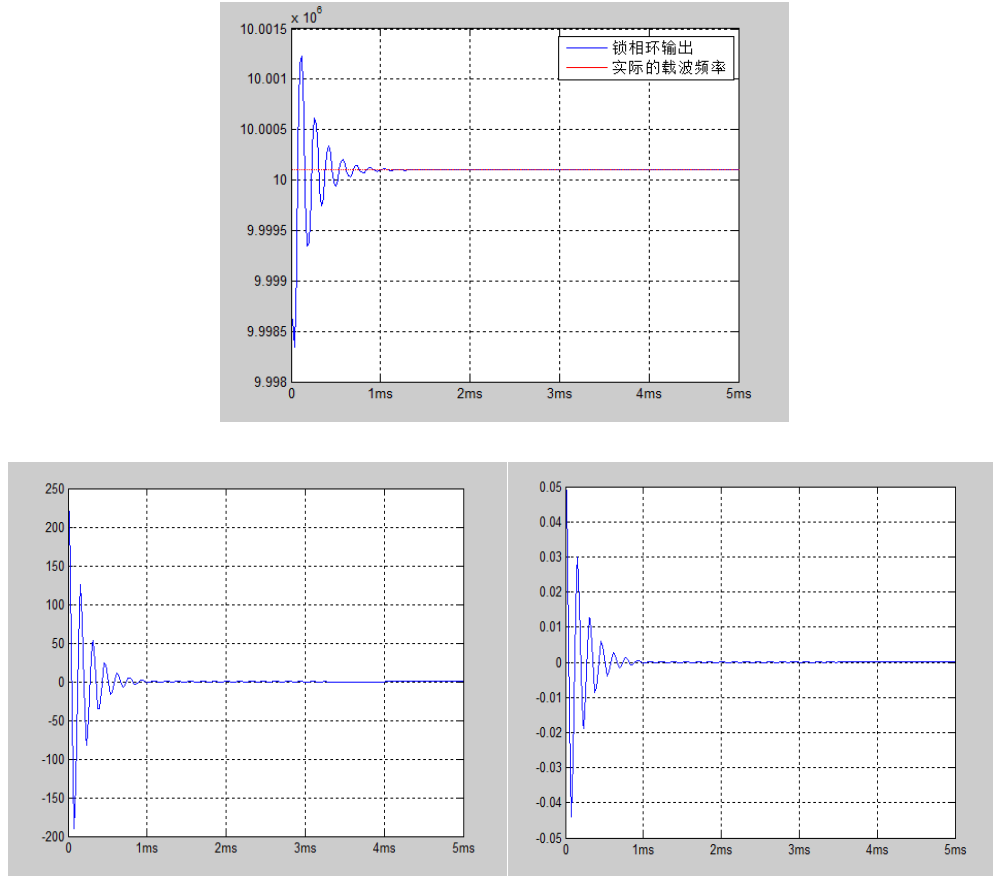


图 15 *Costas* 三阶环路的捕获过程(上)、鉴相器输出(左)、环路滤波器输出(右)

可见，在相同条件下，三阶环路的动态性能明显要比二阶环路优越，体现在：捕获时间更短、捕获频带 f_p 更宽等。然而值得注意的是，入锁之后的平均频差反而增大，这正验证了动态性能与跟踪精度之间的矛盾约束关系。动态跟踪误差实际上与环路阶数和环路带宽有关。当环路阶数一定时，带宽越大，动态性能越好，但是抗噪声性能越差。

为了研究 *Costas* 环的抗噪声性能，我们在上面的基础上对输入信号叠加了 1:1 的高斯白噪声(即信噪比 0dB)。下面的仿真结果可以看出，无论是入锁后的频差、捕获时间和捕获频带，都体现出高斯白噪声使 *Costas* 环工作的工作环境变得恶劣，鉴相器(PD)和振荡器(NCO)的输出出现了更明显的“抖动”。然而环路最终能把频差控制在较小的范围(0.1Hz)，说明 *Costas* 环具有一定的抗噪声性能。

表 3 SNR=0dB 下 *Costas* 三阶环路静态捕获性能的仿真条件和结果

仿真条件	本振频率	采样频率	<i>Doppler</i> 频移	高斯白噪声
	$f_c = 10MHz$	$f_s = 50MHz$	$f_d = 100Hz$	SNR = 0dB
仿真结果	锁定频差 f_e	捕获时间 t	捕获频带 f_p	/
	0.1530Hz	9.735ms	约 200Hz	/

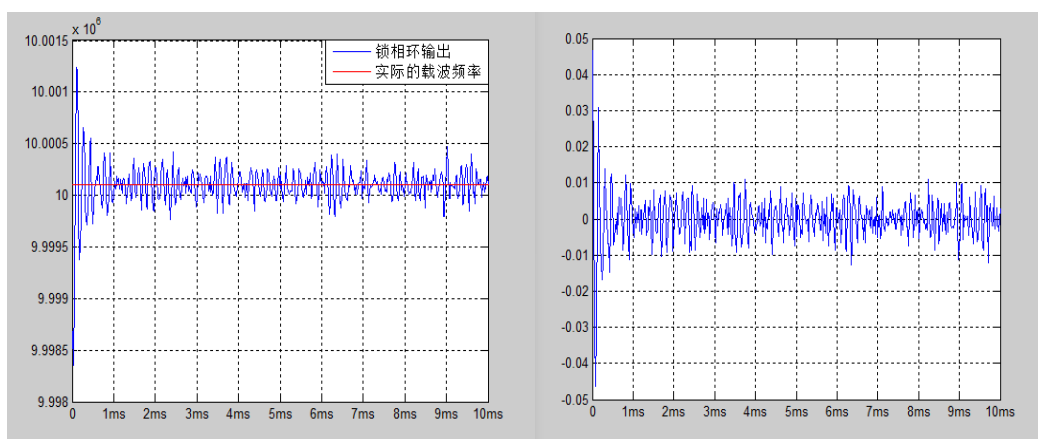


图 16 叠加噪声后 *Costas* 三阶环路的捕获过程 (左)及鉴相器的输出(右)

进一步的研究发现, 当信噪比降低到约-20dB 以下时, 环路将一直无法进入锁定(如图 17 所示), 说明 *Costas* 环的抗噪声性能也是有一定限度的。

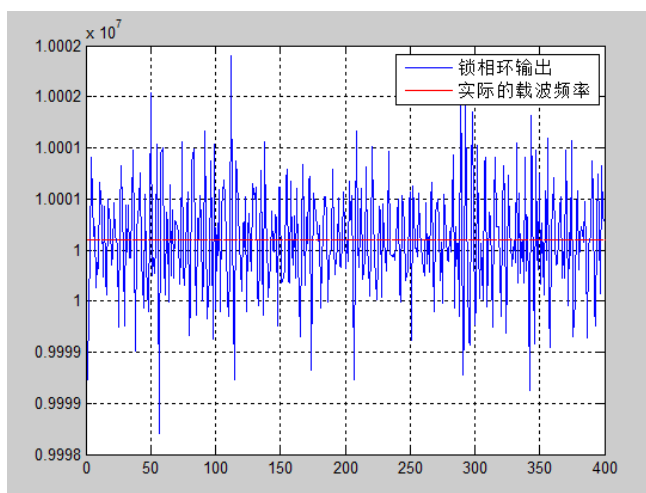


图 17 信噪比-20dB 下环路一直无法进入锁定

3.3.3 Costas 环的失锁

在上面的基础上，我们对三阶的 **Costas** 环仿真了若干种常见的不能进入锁定的情况。

当初始的多普勒频移太大超出了环路的动态范围，将导致环路无法捕获到信号的频率。但仍可以从平均频率的变化趋势观察到“频率牵引”的现象。

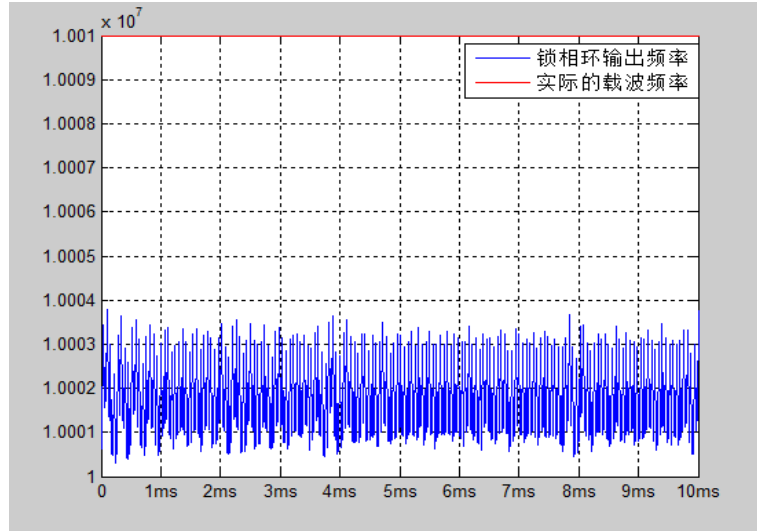


图 18 初始的多普勒频移超出了动态范围
($f_d = 10\text{kHz}$, 其它仿真条件与上节相同)

即使初始的多普勒频移并不大，但频移存在一定的变化率，即除相对运动速度外还有加速度，这种情况下 **Costas** 环的动态性能也无法实现对变化频率的捕获，将出现“振荡”而无法进入锁定。上述两种情况都说明，**Costas** 环较高的跟踪精度限制了其动态性能。对于这两种对环路动态性能要求比较高的情况，我们将在下一节讨论解决的办法。

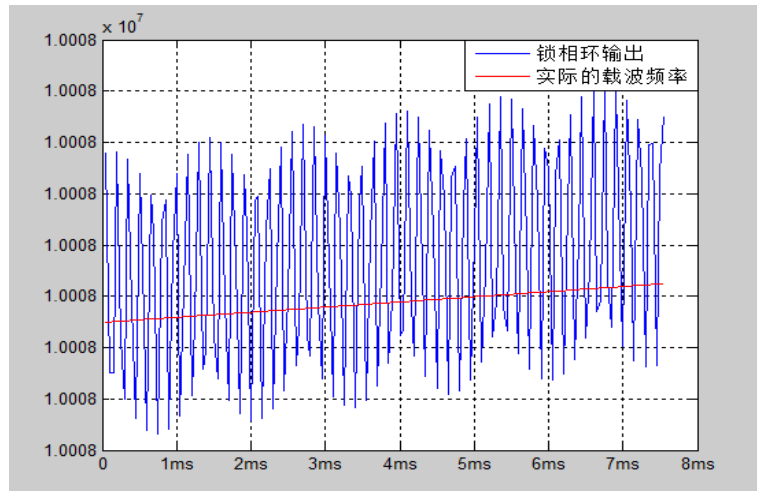


图 19 多普勒频移具有 1kHz/s 的变化率
($f_d = 100\text{Hz}$, 其它仿真条件与上节相同)

另外，若环路滤波器的参数(如环路滤波器带宽)设置不当，也将严重影响环路的正常工作，使输出频率发生“漂移”。如下图 20 所示。

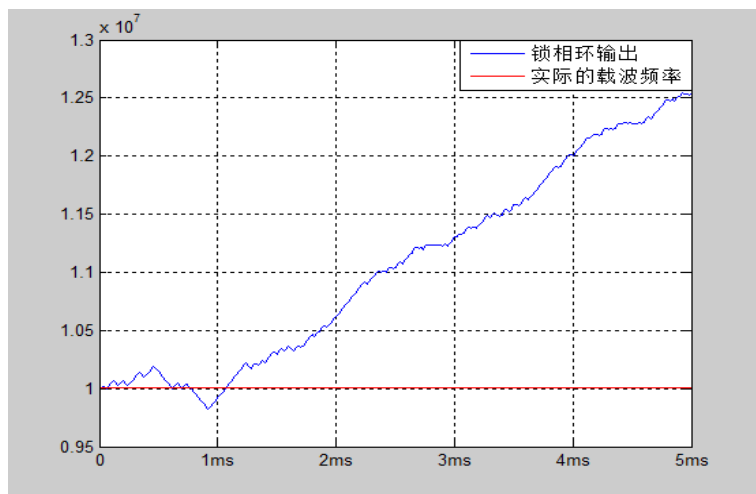


图 20 环路滤波器带宽设置太窄

(四) FLL 模块

4.1 PLL 的局限性

PLL 在低动态时，具有较高的跟踪精度和很好的抗噪性能。但是在高动态环境下，由于多普勒效应使接收信号产生的频偏可能会达到几百千赫兹，频率变化率会达到几千赫兹/秒甚至几十千赫兹/秒。通过课程中学习的知识我们知道当输入与输出信号的初始频差超过整个环路的增益时 PLL 将永远无法实现对信号的捕获。这时为了满足高动态的要求，PLL 必须具有较宽的带宽，这又意味着抗噪性能和跟踪精度随之降低。所以在高动态环境下，采用 PLL 跟踪的高动态扩频接收机必须承受环路带宽与动态性能之间的折衷，即噪声引入跟踪误差随环路带宽降低而增加，此时便较难同时满足跟踪精度与动态性能的要求。

4.2 FLL 的原理

如上一节所述锁相环在高动态条件下性能会大大下降，故在这种情况下应采用捕获效果更好的锁频环(FLL),锁频环的结构如下面图 21 所示。

与锁相环的工作原理类似，锁频环 FLL 一般由自动频率控制环路(AFC)来控制含噪声的调制信号的频率。其中基本的部分是频率检测器(FD)，作用是产生一个与载波频率和数控振荡器(NCO)产生的本地参考频率之间的频差成比例的误差电压，用来控制 NCO 使得本振频率向载波逼近。其余原理与锁相环相同，这里不再赘述。

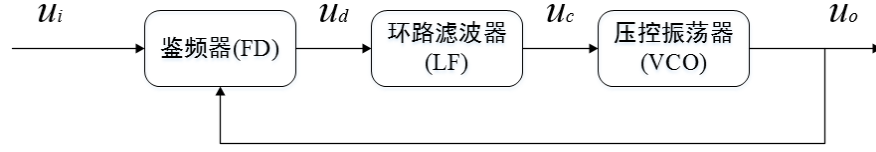


图 21 FLL 的结构示意图

常见的两种频率检测器的具体算法有：最大似然估计算法和叉积自动频率跟踪算法。最大似然算法提出较早，但运算复杂，包含卷积和积分过程，需要占据大量电路资源，而且捕获时间较长。而叉积鉴频算法实现简单，捕获时间快，但是跟踪范围较小，若要实现这一算法，则需要在叉积鉴频器之前增加四相鉴频器，将频偏误差降低到叉积鉴频器的跟踪范围之内。在低信噪比情况下，叉积自动鉴频环路的性能明显好于最大似然跟踪环路。下面选择较常用的叉积自动频率跟踪算法为例子进行详细的说明。

4.3 叉积自动频率跟踪算法(CPAFC)

在 FLL 的具体实现中，最为经典的结构是叉积自动频率控制环(CPAFC 环路)，其工作原理如下图 21 所示。

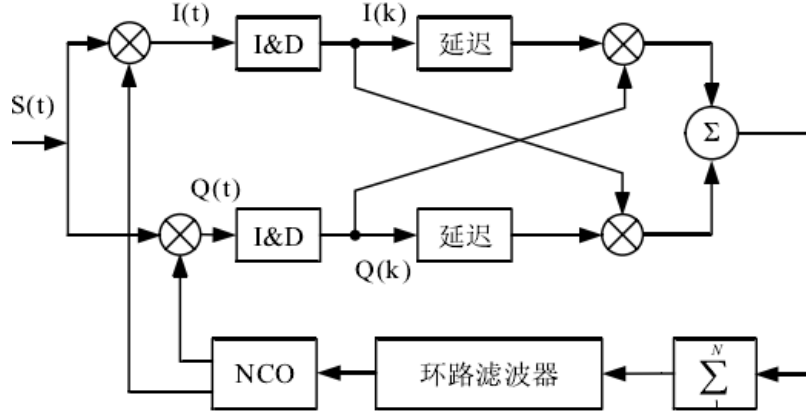


图 22 叉积自动频率控制环(CPAFC)的结构示意图

具体工作过程为：

设输入信号为： $S(t) = Ad(t) \cos(\omega_i t + \theta_i)$

压控振荡器输出的两路正交信号为：

$$I(t) = \cos(\omega_c t + \theta_o)$$

$$Q(t) = \sin(\omega_c t + \theta_o)$$

两路正交信号通过乘法器与积分清除器之后得到的信号为：

$$I(k) = 0.5A \text{sinc}(\Delta\omega T) \cos(\Delta\omega t_{k-1} + \Delta\omega T/2 + \theta)$$

$$Q(k) = 0.5A \text{sinc}(\Delta\omega T) \sin(\Delta\omega t_{k-1} + \Delta\omega T/2 + \theta)$$

通过延迟与相乘环节，对这两路信号进行叉积运算可得到频率误差函数为：

$$V_e(k) = I(k-1)Q(k) - I(k)Q(k-1) = 0.25A^2 d_k d_{k-1} \sin^2 c(\pi\Delta f T) \sin(\Delta\omega T)$$

假定输出数据位不变，即有 $d(k)d(k-1)=1$ ， $|\Delta\omega T| \ll \pi/2$ 时，

$$\sin(\Delta\omega T) \approx \Delta\omega T$$

可以用此输出量控制载波 NCO 调整频率产生，达到频率跟踪的目的。

在接收到的信号具有加加速度变化，并且有热噪声存在时，二阶 FLL 的动态跟踪阈值与环路带宽的关系如图 23 所示。可见，由动态跟踪误差跟环路阶数和环路带宽有关。环路阶数越高，动态跟踪性能越好。当环路阶数一定时，环路带宽越大，动态性能越好，但是抗噪性能越差；而带宽越小，抗噪性能越好，动态性能却越差。可见，FLL 环路的动态跟踪性能与抗噪声性能二者同样是相互矛盾的。下面还会通过仿真进行具体的验证。

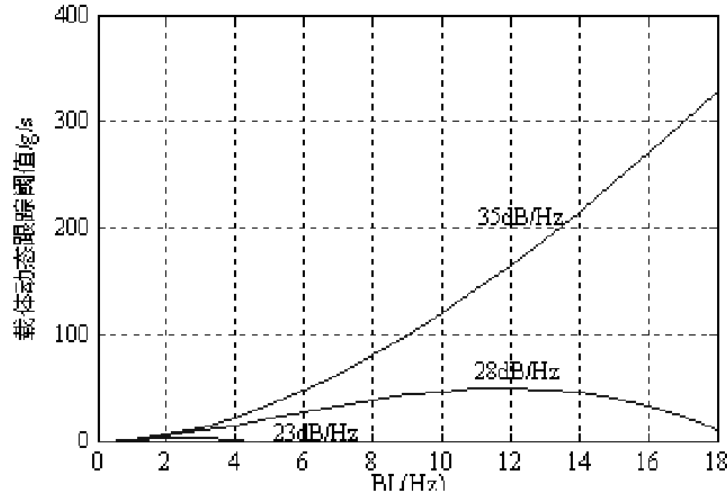


图 23 FLL 动态跟踪阈值与噪声带宽关系

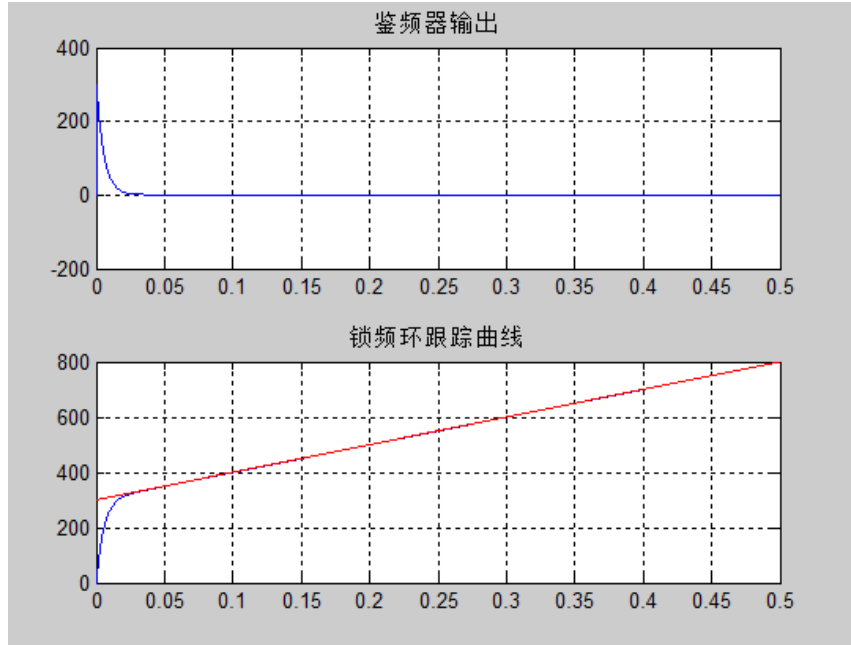
4.4 仿真实现

我们根据上述 CPAFC 的结构进行了 MATLAB 仿真。具体的构造流程与上章 Costas 环类似，在此不再赘述。

为了通过与 PLL 的对比突出 FLL 优良的动态性能，我们选择了上一节中 Costas 环所不能处理的条件(变化率达 1kHz/s)对 CPAFC 环路进行仿真。

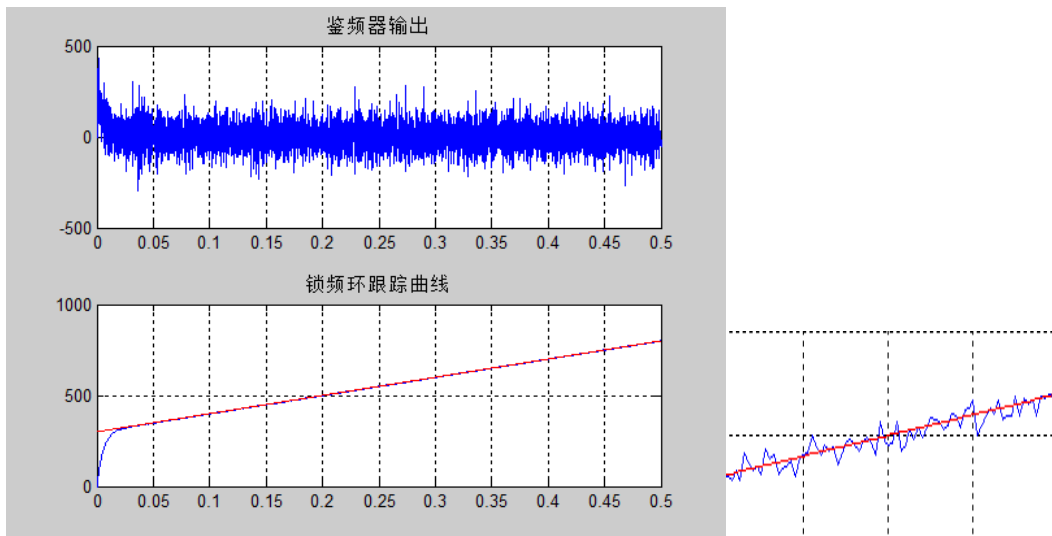
表 4 理想情况下 *CPAFC* 对变化频率捕获性能的仿真条件和结果

仿真条件	本振频率	采样频率	<i>Doppler</i> 频移	频率变化率
	$f_c = 10\text{MHz}$	$f_s = 50\text{MHz}$	$f_{d0} = 100\text{Hz}$	1kHz/s

图 24 *CPAFC* 环路对 1kHz/s 高动态信号的跟踪 (时间单位:秒)

经过测试, 在没有噪声的理想情况下, *CPAFC* 环路可跟踪的最大频率变化率可达 5 kHz/s , 这种高动态的要求已经满足了 EDL 阶段对频率变化率的要求 (最大约 1.2 kHz/s)。如此优越的动态性能是诸如 *Costas* 环的 PLL 所无法比拟的, 也是高动态情况下 FLL 的优势所在。

与上一章类似的, 我们又仿真了加噪情况下 *CPAFC* 的抗噪声性能。噪声的参数依然与上一章类似(高斯白噪声 $\text{SNR}=0\text{dB}$, 其它条件与无噪声时相同)。

图 25 $\text{SNR}=0\text{dB}$ 下 *CPAFC* 环路对 1kHz/s 高动态信号的跟踪 (时间单位:秒)

从鉴频器的输出可以看出，噪声给高动态信号的捕获带来了明显的干扰，由放大后的输出也可以看出输出在载波附近较小的区间内随机地波动，但最终依然能够进入锁定，体现了 **CPAFC** 环路的抗噪声性能。

此外对于 **FLL**，为了验证带宽导致的噪声误差与动态性能之间的矛盾关系，我们在小初始频差条件下仿真了不同环路带宽的热噪声误差变化及等效噪声带宽对动态性能的影响曲线。

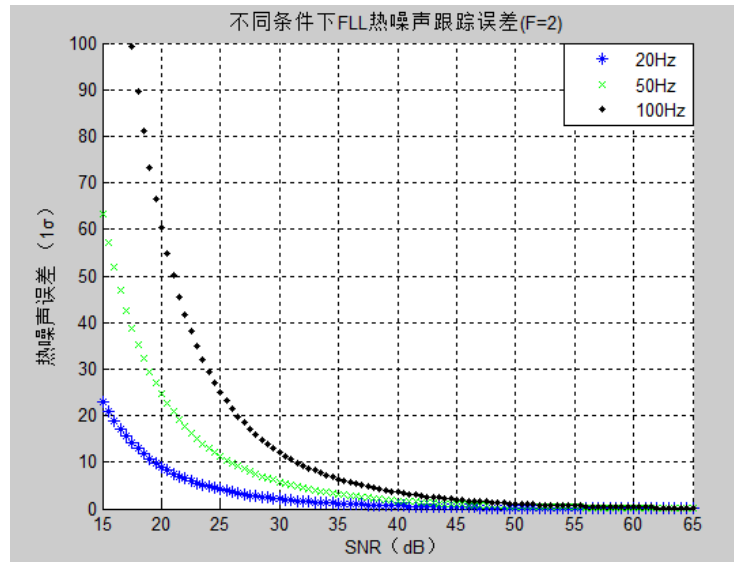


图 26 不同环路带宽下 FLL 热噪声误差随 SNR 的变化

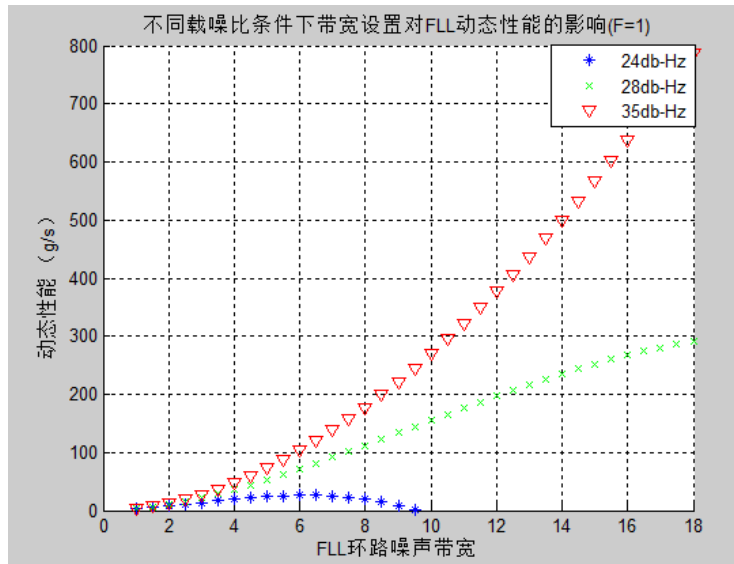


图 27 噪声带宽对 FLL 动态性能的影响

(五) PLL 与 FLL 的综合

5.1 FLL 与 PLL 结合结构

相比之下，锁频环 FLL 则直接跟踪载波频率，通过载波鉴频器输出频移估计误差，具有较好的动态性能，但跟踪精度却比 PLL 跟踪精度低，二者存在一定的矛盾，实际设计中必须采用折衷的原则。

这样看来，这两个系统在噪声性能与动态性能上具有很好的互补性。较理想的载波跟踪环是以 FLL 跟踪与较大的滤波器带宽闭环跟踪环路，然后转入锁相环跟踪，在容许预期动态影响的前提下，尽量采用窄的滤波器噪声带宽以维持环路的跟踪状态，当动态增强时，转入 FLL 跟踪，重复上述过程。即当动态性变化时，环路自动实现 FLL 与 PLL 跟踪方式的切换。

所以我们考虑将这两个系统级联，先将信号输入 FLL，得到频差较小甚至没有频差的信号，再将这个信号输入到 PLL 中，完成整个动态条件下的信号捕获与跟踪。两者级联的原理和结构框图如下图 28、图 29 所示。频率一次斜升和二次斜升的跟踪由前端的 AFC 环完成，残余的频差和相差则由 *Costas* 环来补偿。

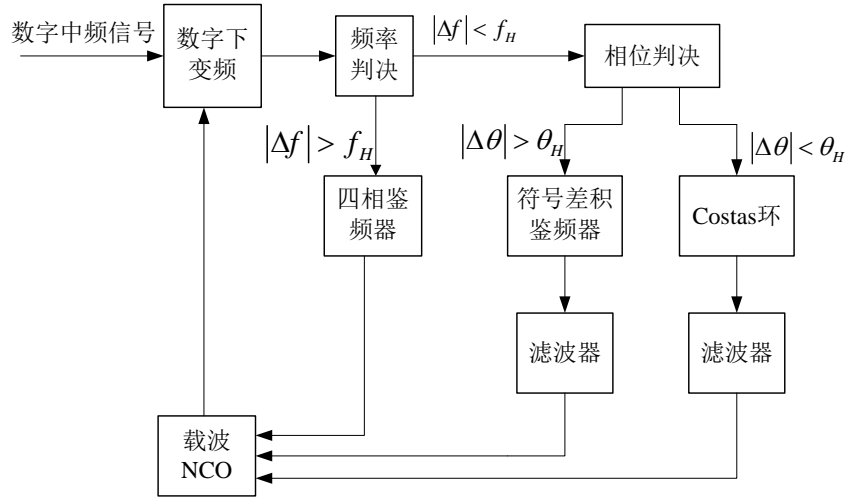


图 28 FLL 与 PLL 的级联原理示意图

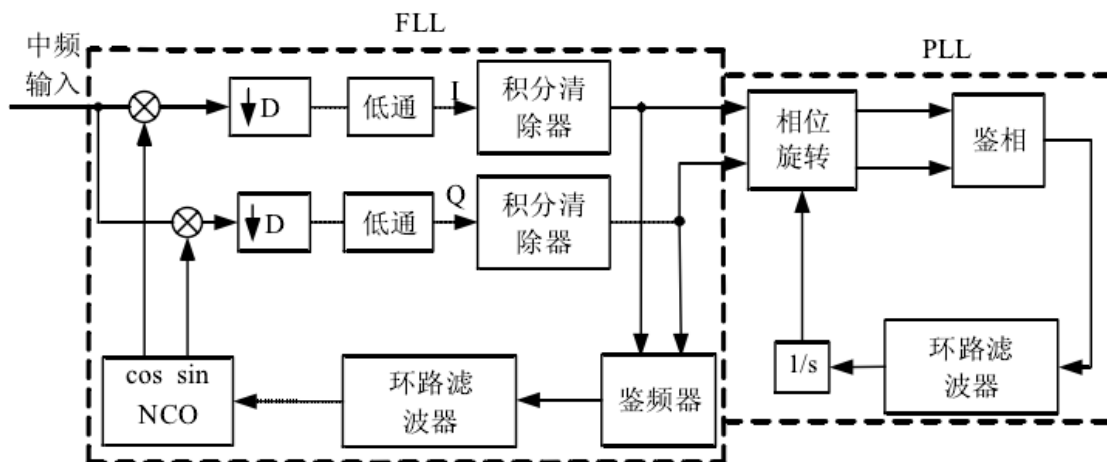


图 29 FLL 与 PLL 的级联结构示意图

与一般 PLL 不同的地方在于此结构中检相时采用了相位旋转，目的是提高相位跟踪的效率。其具体的思想是：在锁相环获得相位 φ_k 的估计值 θ_k 后，将原坐标系旋转 θ_k ，用鉴相器输出的相差 $\Delta\theta_k$ ，经过环路滤波器后得到下一次相位旋转值的增量，并用 $\theta_k = \theta_{k-1} + u_k$ 的累加值作为下一时刻的相位旋转值。可见，当接收到的信号加速度为零并且不考虑噪声的影响时，相位跟踪环路只需要调整一个固定的相差，即可得到正确的相位，此后，相位跟踪环路相位将不再旋转。当加速度不为零时，由于加速度产生信号频率偏移的变换率为 Δf ，相关时间间隔 T 内的对应的频率变化为 $\Delta f T$ 。此时，频率跟踪环路与相位跟踪环路两个环路同时启动。这里 φ_k 等效为输入信号的相位， θ_k 等效为 VCO 输出信号的相位，其原理示意图如图 30 所示。

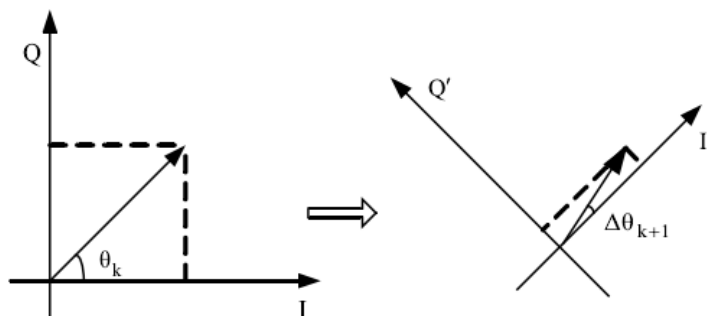


图 30 相位旋转示意图

相位旋转的具体公式为： $I'(k) = I(k)\cos\theta_k + Q(k)\sin\theta_k$

$$Q'(k) = Q(k)\cos\theta_k - I(k)\sin\theta_k$$

5.2 仿真实现

从前两章的仿真结果可以看出，PLL 与 FLL 分别在跟踪精度和动态性能上各有所长。为了更加强直观地发现这种差异，我们对两者进行了小变化率下捕获跟踪的对比。仿真结果如下图和下表所示。

表 5 PLL 与 FLL 对小变化率的捕获和跟踪特性

噪声情况	无噪声 ($\text{SNR} = \infty$)		信噪比 1:1 ($\text{SNR} = 0\text{dB}$)	
	入锁频差	捕获时间	入锁频差	捕获时间
FLL	0.1443Hz	2.910ms	0.2679Hz	4.530ms
PLL	0.084Hz	2.130ms	0.1841Hz	2.800ms

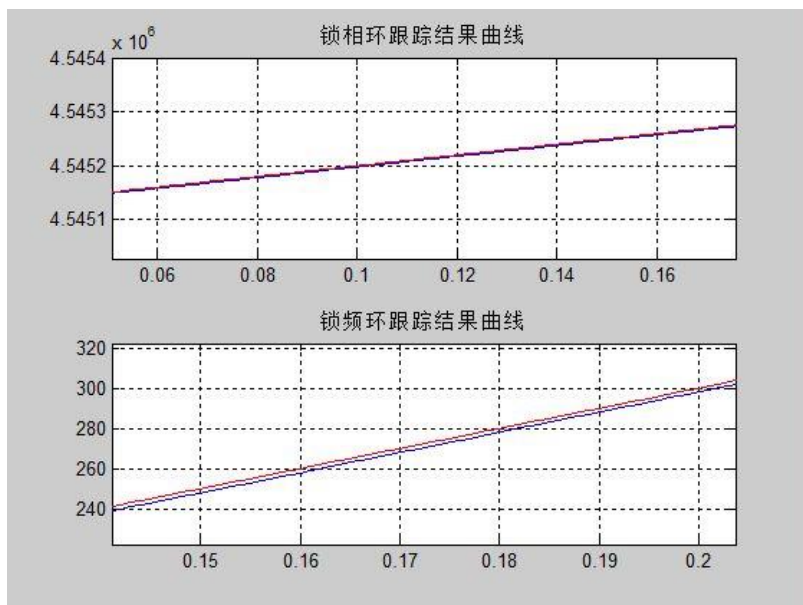


图 31 PLL 与 FLL 对小变化率的捕获和跟踪特性

如果用入锁平均频差衡量跟踪精度而用捕获时间反映动态性能的话，从这表格中 PLL 与 FLL 的性能对比可以明显地发现跟踪精度和动态性能之间的矛盾约束关系，这也是我们的讨论中一贯的核心所在。另一方面，由于动态性能由环路的带宽决定，带宽将同时决定环路的噪声情况(可通过噪声等效带宽来体现)，因此这对矛盾实际上等价于环路噪声带宽与跟踪速度及跟踪范围之间的矛盾。从这个意义上来说，表格上也反映了抗噪声性能方面 PLL 要优于 FLL。

(六) FFT 模块

6.1 闭环跟踪的局限性

之前我们讨论的 PLL 与 FLL 都是带有反馈环节的闭环控制系统，然而由于反馈环节的存在，整个跟踪过程就存在时间上的限制，故当处理高动态问题时由于信号频率变化率过大，这样的闭环控制系统就无法实现对信号的实时捕获与跟踪了，这就需要先对信号进行快速傅里叶变换(FFT)进行一个开环的快捕过程。

6.2 FFT 实现开环锁定

对信号进行快速傅里叶变换的目的就是得到载波频率较为准确的估计值，得到载波频率的估计值以后就可以去调整本地振荡器的频率使得接收信号的载波频率进入叉积自动频率控制环的捕获范围。可见，FFT 频偏估计算法可以在低载噪比和大多普勒频偏下估计出载波频偏值。它的信噪比增益和频率分辨率均与点数有关。如果保持采样频率不变，可以通过增加 FFT 的长度来获得一个更佳的频率分辨率和更高抗噪性能，但是随着 FFT 长度的增加 FFT 运算量也会有很大的增加。

对信号进行快速傅里叶变换的目的就是得到载波频率较为准确的估计值，得到载波频率的估计值以后就可以去调整本地振荡器的频率使得接收信号的载波频率进入叉积自动频率控制环的捕获范围。

但是出于更高层次的考虑，在我们之前分析的火星飞行器 EDL 阶段这个高动态场景中，频率的变化率是相当大的，如果直接对信号进行 FFT 运算可能无法得到准确的频谱图，可能出现如下图所示的情况：

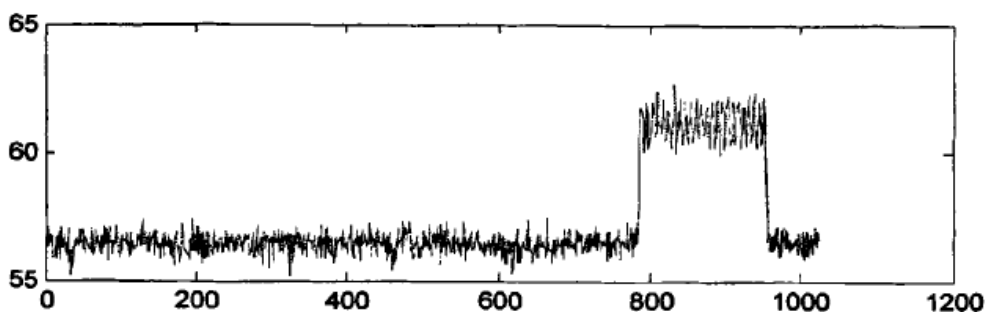


图 32 直接进行 FFT 的可能结果

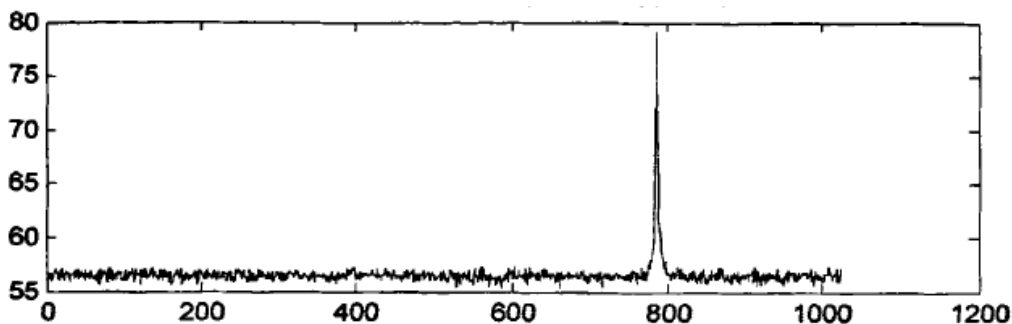


图 33 理想的频谱图

为了解决这样的问题，需要对输入信号进行分段预置，其具体的分析思想如下。

通过对 NCO 斜率进行预置， n 个通道可以将斜率减小 n 倍，因此理论上，可以采集的测频数据点数可以提高 n 倍。每个斜率预置支路又通过均匀 DFT 分析多相滤波器组进行频率范围分段，每个分析滤波器组得到 D 个分段。此时得到

以 $n \times D$ 个斜率和频率都进行了分段的二维斜率-频率区域。这些区域的数据送到 RAM 进行缓存，由 *FFTcore* 进行频率检测，找到载波所在的分段区域，即可确定频率和斜率。由于近似认为斜率在测频期间是不变的，而频率会根据斜率线性变化，通过对时间的延迟定标，可以得到一个很小范围的频率。根据前面检测的结果，继续重复上面的过程，测频的精度就会逐级提高。

可以看出，FFT 频偏估计辅助锁相环设计方法可以解决大频偏和低信噪比情下载波同步问题。与单锁相环载波环路比，在同样的条件下可以极大地缩短捕获时间，在工程应用中具有良好的效果

6.3 仿真实现

为了验证前置 FFT 的作用，我们对 3.3.3 第一种初始频偏过大导致 *Costas* 环不能入锁的情况进行了重演，利用 FFT 直接预置 *Costas* 环路跟踪的起点，利用足够的点数使 FFT 的分辨率得以落在 *Costas* 环的动态范围以内，将大大地缩短捕获的时间和提高跟踪的精度。

表 6 前置 FFT 的仿真条件

仿真条件	跟踪频率	采样频率	Doppler 频移	FFT 点数
	$f_c = 20\text{MHz}$	$f_s = 50\text{MHz}$	$f_d = 10\text{kHz}$	$N=2^{18}$
仿真结果	锁定频差 f_e	捕获时间 t	/	FFT 分辨率
	0.0032Hz	0.580ms	/	190Hz

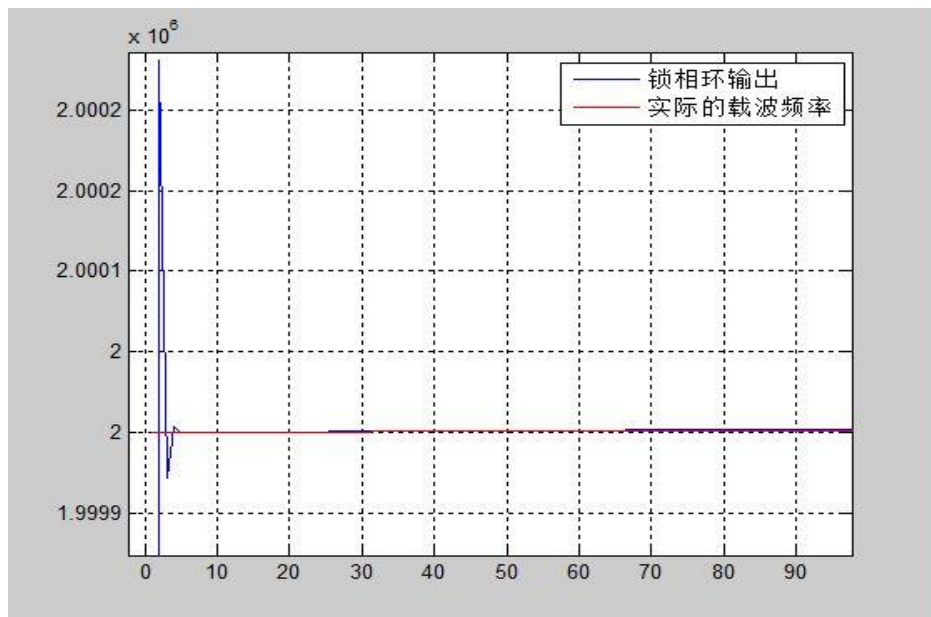


图 34 *Costas* 环前置 FFT 的捕获过程

(七) 附录

7.1 PLL 的 FPGA 实现

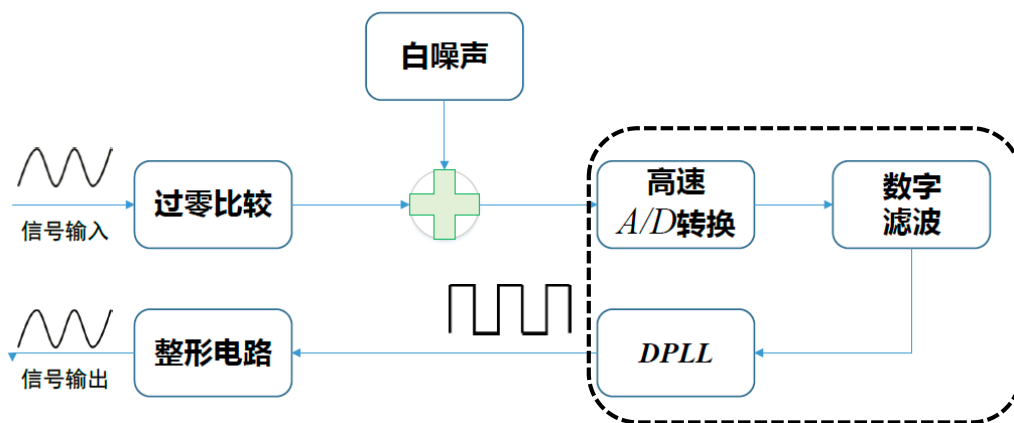


图 35 PLL 的 FPGA 实现流程示意图

最后，我们以 FPGA 为平台对低信噪比情况下的 DPLL 进行了实现。具体的流程框图如下图所示。其中，输入信号和一定功率的高斯白噪声均由信号发生器产生，白噪声的叠加利用 TI 公司的高速运放 THS4001 实现。虚线框内部分都由 FPGA(Altera 公司 CycloneIV 系列)完成，采样频率 25MHz。实物图如下面所示。



图 36 加法器(左)、FPGA(中)、含电源的系统连接图(右)

系统输入的信号为 100kHz 正弦波，经过高速过零比较之后得到脉冲波形(如图)，叠加一定功率的高斯白噪声后(如图)由 DPLL 对波形进行提取和恢复。



图 37 比较波形(左)、叠加 100mV 白噪声后的波形 (右)

经过测试,系统最高能在 1000mV 高斯白噪声(如图,波形已几乎被噪声淹没)的情况下把比较波形恢复,再通过整形电路便可以得到与所跟踪同频同相的正弦信号,说明所设计的系统具有一定的抗噪性和可靠性。

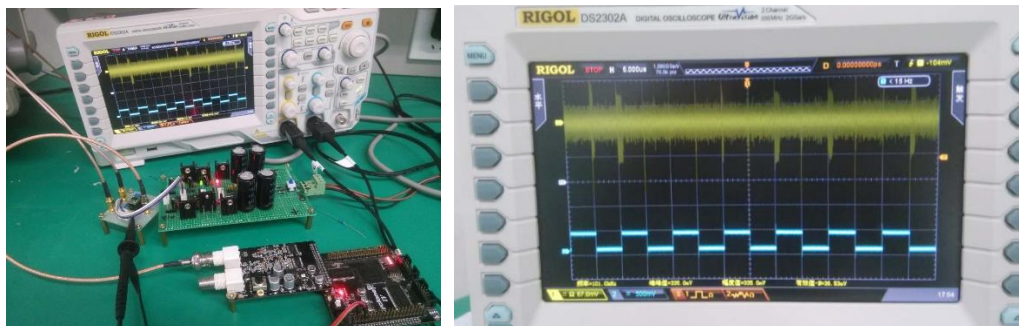


图 38 系统测试(左)、加噪后的波形及恢复波形(右)

7.2 课堂提问整理

Q1: 采用数字滤波器而不是其他类型滤波器的原因?

A1: 一来是因为仿真的对象是现在普遍使用的数字通信系统,信号都是通过采样成为离散的数据序列进行处理的,那其中的滤波器必然是用数字滤波器实现的;二来考虑到采用数字滤波器非常易于在 MATLAB 平台上以编程来实现,通过修改传递函数中相应参数便可以方便地设置滤波器的带宽和增益,从而适应在环路不同带宽条件下进行仿真的要求。

Q2: 采用 PLL 与 FLL 级联的原因?

A2: 环路带宽同时决定动态性能和跟踪精度,使这两者成为一对矛盾约束关系。PLL 与 FLL 的长处分别是跟踪精度和动态性能,而在另一方面却都略逊于对方。如果采用如正文第五章所述 PLL 与 FLL 级联的结构,采用 FLL 进行载波频率的跟踪,在 FLL 之后用一个二阶锁相环来进行相位补偿。一方面用 FLL 进行载波频率的跟踪, FLL 具有较好的动态性能;另一方面在频率跟踪之后采用热噪声误差小的 PLL 能更好的解调数据,那么可以达到这两者的优势互补,两者相结合可以满足动态性能和跟踪精度的要求。

Q3: 仿真是否考虑了信噪比特别低的情况?

A3: 这是必然需要考虑的。虽然从课题上看只涉及“高动态”,但由于动态捕获能力和噪声带宽之间的矛盾约束,脱离信噪比空谈动态性能是不切实际的。而且实际情况下高动态和低信噪比往往是同时出现又互相制约的,我们开题时用作引入的 EDL 阶段便是超高动态加超低信噪比的典型。所以每次仿真的时候我们都先

仿真没有噪声的理想情况观察环路入锁的过程,然后在 0dB 信噪比下进行对比,并逐渐降低信噪比研究环路在临界的超低信噪比下逐渐进入失锁的过程。

Q4: 你们在仿真中发现了入锁之后输出频率依然有轻微抖动的现象,那么在实物实现时这一点有没有体现出来呢?

A4: 因为环路的跟踪精度毕竟是有限的,再加上噪声等等的干扰,出现轻微的“抖动”是必然的。在实物实现的时候,我们关注于恢复出来的波形与原始信号相比是否同频同相。由于我们使用数字示波器进行观察,以示波器在 100kHz 时 100Hz 的分辨率是观察不到频率的这种抖动的,研究这种细微的抖动还需专业的频率测量仪器才能观察到。

Q5: 为何选择 *Costas* 环而不是其他的 PLL?

A5: *Costas* 环是一种非常经典的锁相环路,也是我们课堂上着重介绍和应用最为广泛的一种。选择 *Costas* 环也是考虑到与课本知识的结合。另一方面, *Costas* 环也是比较易于进行实现和不同条件下的仿真。

7.3 课程感悟

通信电路原理这门课算是大学这几年来我们平时投入最多的一门课了,尤其是为了完成期末的大作业连续两天几乎都是通宵,可以算是一个比较痛苦的经历。但是现在回过头来想想整个拼搏努力的过程还是很有意义的,算起来这是我们第一门形式如此丰富多彩的课程,课堂上除了基础知识的学习,我们还获得了很多工程实践的知识;课外的大作业对我们来说尤其是一次历练的过程,一开始我们仅仅是从课本的知识出发,认为我们学的锁相环就可以完成这个任务,但随着考虑的因素越来越多诸如大频偏,高频率变化率,极低的信噪比等等我们渐渐意识到了 PLL 的局限性,于是我们不得不查阅资料,发现 FLL 具有较好的动态特性,好像可以解决我们的动态捕获与跟踪问题,但又认识到它的跟踪精度较低,而 PLL 的跟踪性能较为优越,后来我们就想到既然这两个系统是优势互补的,我们应当把他们级联起来,于是就有了我们之前提到的那个级联系统的框架。通过 MATLAB 建模仿真,捕获跟踪效果确实好了很多,但是依旧存在瓶颈,当频率变化率加到 100Hz/s 跟踪就已经无法完成。我们只能继续查阅文献,了解到闭环控制系统固有的缺点,认识到当频率变化率太高时捕获过程是无法完成的,只有先通过 FFT 进行一次开环的快捕,而为了保证频率测量的正确性还需要对信号的频率及变化率进行分段预置。做了这些准备工作之后我们对系统进行了改进,得到了最终的系统总体实现框图,通过建模仿真取得了较为理想的结果。这样一个过程走下来我完整地体会了科研工作的历程,认识到课本学的知识是基础,是研究工作的出发点,但并不是全部,在处理实际的工程问题中还有很多需要考虑

的问题，甚至很多指标之间都是存在矛盾关系的，比如动态特性与跟踪性能之间的矛盾；设计环路滤波器时，我们遇到了跟踪性能与噪声带宽的矛盾等等。我认识到一个好的设计并不一定需要每个部分都达到极致，而是应当权衡利弊，使各个模块之间有最高的兼容性。联系到学习生活就是我们既要有高智商保证“性能强”，还要培养较高的情商保证“兼容性好”，这样才能成为有用的一分子。

另外，这次大作业对我们解决问题的能力以及面对困难的心理都有了很大的锻炼，一开始我们选择这个课题时认为这个题目着眼点很小，也和我们学的知识联系很紧，想进行深入的研究应该相对比较容易，但随着研究的深入我们发现自己掉入了一个“深坑”——当我们发现仅仅一个锁相环很难满足所有的设计指标时，我们感到了前所未有的绝望与迷茫。好在我们没有放弃，决定先花一周的时间，分工查阅参考文献。通过对文献的阅读我们渐渐形成了思路，对每个模块的构建有了较为清晰的认识，于是我们针对每个模块都通过 **MATLAB** 建模，从原始模型开始，逐步使条件要求变得更高，再不断调整参数，终于得到了较为理想的仿真和设计成果。

总之，通过一学期“痛并快乐”的经历，我们小组都体会到了通信电路原理这门课是一门应用性很强的课程，又是一门过渡性很强的课程，既承接了前面的基础知识的学习又为我们之后的科研工程实践铺了很好的路。同时我们也开始接触和了解完成一个课题的整个过程，以及每个人的分工配合，这对于今后尽快掌握自主学习是非常有效的。

7.4 参考文献

- [1] 张伯川,张其善.高动态接收机的关键问题研究.北京航空航天大学电子工程系. 2003.
- [2] 王兰芳.基于 FLL 和 PLL 的载波跟踪技术研究.燕山大学信息科学与工程学院.2009.5
- [3] 梁保卫等. 大频偏低信噪比条件下QPSK载波环的设计. 中国电子科技集团公司第五十四研究所. 2010.
- [4] 段旭等.一种高动态低信噪比下载波快速捕获跟踪方法.中国电子科技集团公司第五十四研究所. 2014.3
- [5] 王宇舟.三阶锁相环路滤波器参数设计.中国西南电子技术研究所.2008.9
- [6] 梁丹丹等.高动态直扩接收机载波跟踪技术研究.哈尔滨工业大学. 2010.
- [7] 邓伏虎.基于二维分区的深空频率捕获算法仿真及设计.电子科技大学.2009.5
- [8] 周美江.火星 EDL 轨迹优化和进入制导研究. 2012.7
- [9] 尉燕.高动态 GPS 软件接收机的算法研究.电子科技大学.2011.
- [10] Yan Yang; Huang Zhengquan. High Performance Digital Carrier Tracking Loop Design for High Dynamic GPS Receiver. 2009.
- [11] A wide-dynamic-range and extremely high-sensitivity CMOS optical receiver IC using feed-forward auto-bias adjustment.1994
- [12] E. Satorius, P. Estabrook, J. Wilson, D. Fort2. Direct-to-Earth Communications and Signal Processing for Mars Exploration Rover Entry, Descent, and Landing.
- [13] W.J.hurd, J.I.stateman, V.A.vilnrotter.High Dynamic GPS Receiver Using Maximum Likelihood Estimation and Frequency Tracking. IEEE Transaction on Aerospace and Electronic System.