

# 数字密码锁实验报告

## 1 案例下载、测量分析（实验时间：2022.11.9）

### 1.1 软件安装操作及其现象

操作：

首先在电脑上安装 **quartus** 软件，接着安装 USB 硬件驱动及工程文件，做好准备之后，将实验板连接到电脑上，打开实验板电源开关，打开 **quartus** 软件，依次点击 **Tools->Programmer**，进入到下载窗口页面。在这个页面，单击 **Add File** 选择添加下载好的 **scan\_led3.sof**，单击 **Hardware setup**，再在硬件列表中选择 **USB\_Blaster**，最后返回点击 **Start**，加载 100%后下载成功。

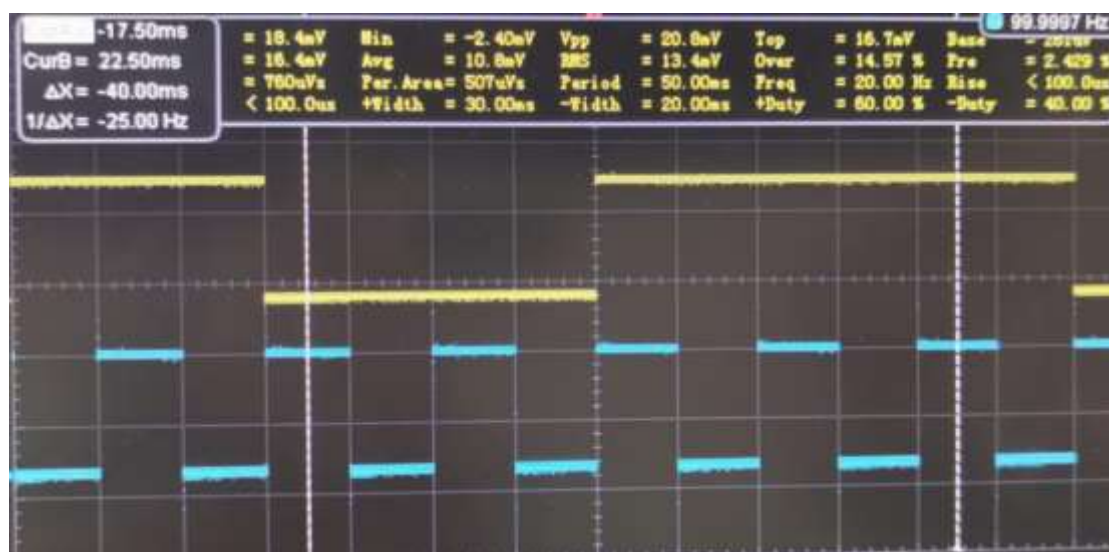
现象：

下载成功后实验板上方的三位数码管均持续显示为 0，熄灭时间极短；下面的 X0 和 X7 两个二极管保持常亮。为了使三个数码管依次显示，需要降低时钟频率（拨动 CLK 开关），合理推理我们可以分别对三个数码管进行设置。我们对三个拨码开关进行相应的调整后，可以看到显示出相应的数字。最下方的 A7-A4 是上方数码管的控制信号，分别控制的数码管字符为：8、4、2、1。

### 1.2 测量信号波形图及其解读

利用示波器双通道同时测量位选信号（Pin101）和时钟信号（Pin100），下面附上其波形图。

波形图：



解读：

蓝色的是示波器测量的时钟信号，时钟信号输出到 Y7 二极管，三位数码管的轮流显示，只有当该二极管亮时才会发生改变。黄色的是示波器的位选信号，SEL7 数码管的位选信号输出到 X0 二极管，当该二极管亮时，第一位数码管不亮。相反的，当该二极管不亮时，第一位数码管亮。

因此，可见 FPGA 版上的位选信号是低电平有效。而且我们还可以根据示波器图片发现位选信号都是在时钟信号上升沿发生改变。

## 2 实验报告

## 2.1 实验目的

### 【目标】

1. 结合三位数码管显示实验，熟悉软件 quartusII 的使用，熟悉 FPGA 开发模式；  
2. 在 DDA—IIIA 实验平台上完成三位数码管显示实验的观察与测量，进一步加深通过实验板验证电路的方法；

3. 掌握时钟及位选等信号波形，多位数码管显示电路由显示字符的段选信号和选通数码管的位选信号控制，深入理解各个信号之间的联系；

4. 利用 Quartus II 来完成三位数码管显示电路的逻辑设计，通过仿真波形及硬件实验平台验证设计，掌握硬件实验平台的一系列操作方法，进一步了解三位数码管显示电路的逻辑设计。

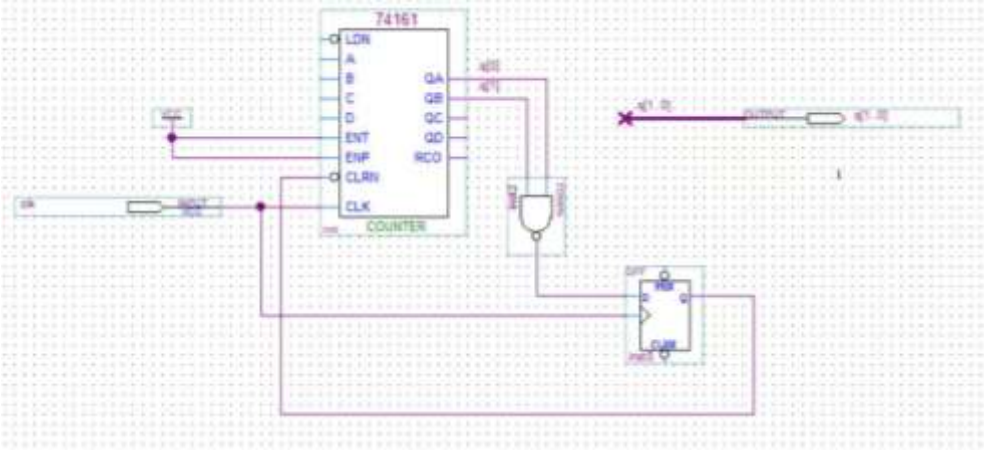
### 【资源】

基于 windows 10 的联想小新 pro13 电脑，quartus||配套软件以及装有 cyclone||-ep2c5t144c8 的 DDA 数字系统实验平台等

## 2.2 实验设计

### 2.2.1 模 4 计数器电路图（含管脚分配的）截图与文字说明

其模 4 计数器电路图：



其管脚分配图：

	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard
1	clk	Input	PIN_91	3	B3_NO	3.3-V LVTTTL (default)
2	q[1]	Output	PIN_118	2	B2_NO	3.3-V LVTTTL (default)
3	q[0]	Output	PIN_115	2	B2_NO	3.3-V LVTTTL (default)
4	<<new node>>					

文字说明：

- Quartus II 工程设计过程包括以下几个部分——创建工程文件、电路设计、编译综合、仿真验证、引脚配置、编程下载、硬件验证等。
- 模 4 计数器(采用 74161 芯片为设计核心，74161 是 4 位二进制计数器，为同步载入，异步清零。)采用 00 01 10 11 循环计数，具有清零、置数、保持和加法计数功能。模 4 计数器的 A<sup>~</sup>D 不需要输入，且由于是用来连续的输出，所以直接将两个使能端 ENT 和 ENP 设置为 VCC 高电平，使其永远成立。QA 和 QB 是输出端，取否后当且仅当两者全为 1 的时候会输出 0，而当其输出 0 的时候发生器 DFF 会产生一个时钟周期的停留，所以展示出来的结果就是数字。

### 2.2.2 模 4 计数器下载现象描述并举证从验证实验时的现象上如何看出你实现的电路行为正确并下结论

**其下载现象描述：**下载完成并打开后，可以很明显的看到二极管 118 和 115（即分配好的两个二极管引脚）在交替闪烁，闪烁的规律大致为 00（全灭）->01->10->11（全亮），并且 00 的时间明显要长于其他情况（可结合上文，00->01->10->11>00，即实现了循环计数）

**其举证并下结论：**在时序仿真的情况下，修改 clk 时钟信号为 100ns 的周期信号后，观察结果 q 的值随时钟信号变化的过程。q 随着时钟上升沿改变并且改变的过程为 00->01->10->11>00 这样往复循环。这和我们所看到的实验结果是一致的，由此可见，我所实现的电路行为是正确的。

2.2.3 比较验证仿真验证与下载验证 2 种方法

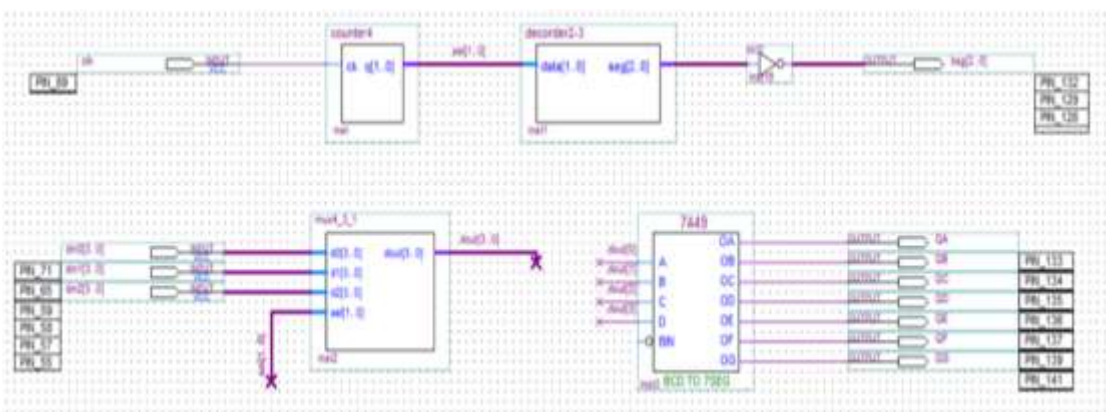
**其仿真验证：**仿真验证分为功能验证和时序验证，我们做实验时一般采用功能仿真。**其优点为：**不需要分配引脚，操作简单。结果直接以波形图显示，更便于观察、分析。**其缺点为：**设计文件比较大时，仿真速度变慢，验证速度大打折扣。且其相对于下载验证，更为理想化。

**其下载验证：****其优点为：**实验结果更贴近现实，具有实践性和真实性。**其缺点为：**与仿真验证相较比较麻烦，且有些现象通过人眼观察可能并不是很明显，仍有漏洞，且验证速度较慢。

2.3 实现

2.3.1 顶层电路截图（带附加电路与管脚分配）截图与文字说明，并说明各模块的功能与实现方式等方面

其顶层电路截图：



其管脚分配图：

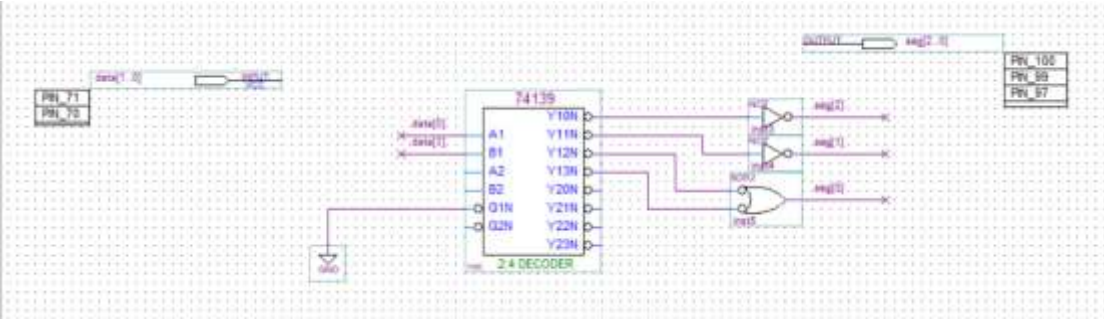
	Node Name	Direction	Location	I/O Bank	WREF Group	I/O Standard	Reserved	Group
1	seg[2]	Output	PM_113	2	W2_N1	3.3-V LVTTL (default)		seg[2..0]
2	seg[1]	Output	PM_114	2	W2_N1	3.3-V LVTTL (default)		seg[2..0]
3	seg[0]	Output	PM_115	2	W2_N1	3.3-V LVTTL (default)		seg[2..0]
4	clk	Input	PM_118	2	W2_N1	3.3-V LVTTL (default)		
5	reset	Input	PM_115	4	W4_N0	3.3-V LVTTL (default)		reset..0
6	data[2]	Input	PM_113	4	W4_N0	3.3-V LVTTL (default)		data[2..0]
7	data[1]	Input	PM_114	4	W4_N0	3.3-V LVTTL (default)		data[2..0]
8	data[0]	Input	PM_115	4	W4_N0	3.3-V LVTTL (default)		data[2..0]
9	data[2]	Input	PM_113	4	W4_N0	3.3-V LVTTL (default)		data[2..0]
10	data[1]	Input	PM_114	4	W4_N0	3.3-V LVTTL (default)		data[2..0]
11	data[0]	Input	PM_115	4	W4_N0	3.3-V LVTTL (default)		data[2..0]
12	data[2]	Input	PM_113	4	W4_N0	3.3-V LVTTL (default)		data[2..0]
13	data[1]	Input	PM_114	4	W4_N0	3.3-V LVTTL (default)		data[2..0]
14	data[0]	Input	PM_115	4	W4_N0	3.3-V LVTTL (default)		data[2..0]
15	data[2]	Input	PM_113	4	W4_N0	3.3-V LVTTL (default)		data[2..0]
16	data[1]	Input	PM_114	4	W4_N0	3.3-V LVTTL (default)		data[2..0]
17	data[0]	Input	PM_115	4	W4_N0	3.3-V LVTTL (default)		data[2..0]
18	Qa	Output	PM_117	2	W2_N1	3.3-V LVTTL (default)		data[2..0]
19	Qb	Output	PM_118	2	W2_N1	3.3-V LVTTL (default)		
20	Qc	Output	PM_119	2	W2_N1	3.3-V LVTTL (default)		
21	Qd	Output	PM_120	2	W2_N1	3.3-V LVTTL (default)		
22	Qe	Output	PM_121	2	W2_N1	3.3-V LVTTL (default)		
23	Qf	Output	PM_122	2	W2_N1	3.3-V LVTTL (default)		
24	Qg	Output	PM_123	2	W2_N1	3.3-V LVTTL (default)		

其文字说明：

可以看出整个电路大致是通过四个模块组成：  
左上角的是为 counter4 模块，即上文的模 4 计数器；



右上角为 decoder2-3，是一个 2-3 译码器，接受模 4 计数器传来的信号，输出数码管的位选信号，通过画图的方式实现，电路图如下：



左下角为 MUX4-3-1 模块，是自己写出来用来通过拨码开关对数码管上的显示数字进行控制的模块，其产生的数据 dout 将会传给右下角的模块。通过编写 vhd1 语言的方式实现，代码如下：

```

library IEEE;
use IEEE.std_logic_1164.all;
entity mux4_3_1 is
port (d0,d1,d2:in STD_LOGIC_VECTOR(3 downto 0);
      sel :in STD_LOGIC_VECTOR(1 downto 0);
      dout:out STD_LOGIC_VECTOR(3 downto 0) );
end mux4_3_1;
architecture rtl of mux4_3_1 is
begin
    dout <=
        d0 when sel="00" else
        d1 when sel="01" else
        d2;
end rtl;

```

右下角的模块为一个 7449 芯片，用来进行 4-7 的 BCD 译码，以此来对段选信号进行控制，通过从 ABCD 输入的一个四位二进制数，对其进行编译解码，是之可以在数码管上进行显示，比方说数字 0 展示在数码管上就要求段选信号 a~g 的值是 1111110。

2.3.2 下载实作截图，列表记录输入 0-f 时，7449 译码符号的显示情况  
其实作截图（以此为例）：



其输入 0-f 时，输出列表：

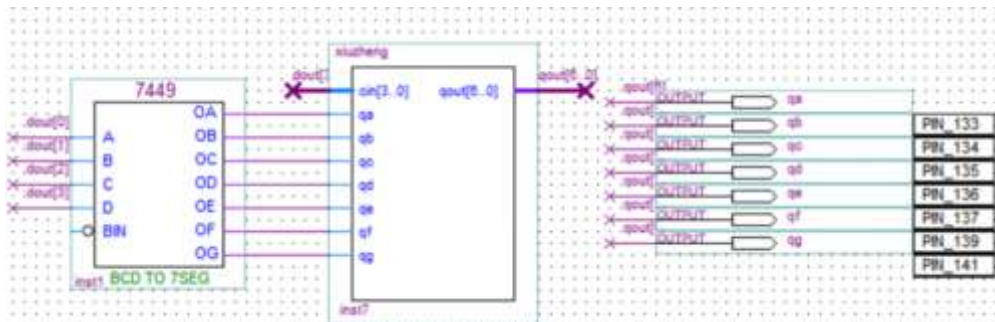


2.3.3 顶层电路图中的 7449 存在“A-F”译码缺陷，请在不删除 7449 的情况下优化顶层电路图，说明优化的设计思路、实现电路和实验验证。

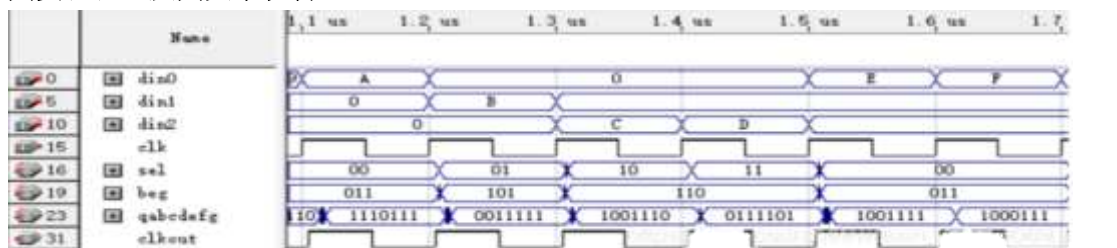
**其设计思路：**在 7449 后加一个模块来控制 10 以上数字的输出。当 7449 输出为 A-F 时，分别对应转化输出为 1110111、1011111、1001110、0111101、1001111、1000111，这样按道理就可以正确输出了。这个模块可用通过 VHDL 对其进行修正设计一个 VHDL 实现的模块将输入 A-F 的输出信号修改成特定的信号。将手动输入 4 位构成的编码，输出对应的 7 位段选信号。VHDL 代码如下：

```
library IEEE;
use IEEE.std_logic_1164.all;
entity mux4_3_1 is
port (d0,d1,d2:in STD_LOGIC_VECTOR(3 downto 0);
      sel :in STD_LOGIC_VECTOR(1 downto 0);
      dout:out STD_LOGIC_VECTOR(3 downto 0) );
end mux4_3_1;
architecture rtl of mux4_3_1 is
begin
    dout <=
        d0 when sel="00" else
        d1 when sel="01" else
        d2;
end rtl;
```

其实现电路：



其实验验证及其文字说明：



**其文字说明：**前面 09 不变，观察 1015 的变化；从 1.1us 至 1.7us 分别输出 a-f 的译码情况，可以看出：A 输出 1110111、b 输出 0011111、C 输出 1001110、d 输出 0111101、E 输出 1001111、F 输出 1000111，即正确输出。

### 3 实验收获

- 1     (学到的知识点) 了解了 **FPGA** 的 **EDA** 开发流程, 还学到了数码管相关基础知识, 如数码管段选, 学习到了对数码管的使用方法, 明白了仿真验证的原理。
- 2     (掌握的技能) 在第一节课学到了示波器的使用, 接下来几周学会了如何画图, 搭建电路, 熟悉使用 **quartus** 软件, 并且还掌握了 **quartus** 软件和实验板来验证设计的电路是否正确合理。
- 3     **(人文) 现实应用和书本理论有着很大的差距。**学习理论是接受知识, 而将理论实操则是告诉了我们为什么我们应该接受这个知识, 且在这个过程中锻炼了我们的动手能力。通过实际的操作和观察, 我能够从差异出发, 从一些错误出发, 通过比较以不同的角度更好地理解所学的知识, 这是单独阅读书本所不能做到的。在这次实验中, 我们学习到新知识, 也锻炼了实操能力, 很开心很快乐。
- 4     **(人文) 在此过程中, 与同学交流讨论和向老师寻求新知识都让我感到另一种层面上的充实。**在实验中, 我不小心遗漏了一些细节, 导致我怎么想都想不明白, 然后同学一句指导就让我豁然开朗。我向老师询问了一些更深层面的问题, 让我的操作现象更好的与理论相结合, 也让我一定程度上拓展了知识面。
- 5     **思政部分 (个人使用实验室过程中的安全责任方面的感悟)** 作为实验室的使用者, 我们学生更应该遵守实验室的安全规定, 为自己负责, 发现存在在自己身边的安全隐患, 及时向老师和实验室相关的管理人员报告, 将危险降到最低, 为他人也为自己。同时我们也应该尽自己的努力去保护好这个实验室, 在日常里要注意收拾好自己使用过的电子器件, 也要注意实验室的整洁卫生。