分类号： TN79 单位代码： 10335

密 级： 公开 学 号：



硕士学位论文



**中文论文题目： 基于CBCM方法的MOSFET寄生电**

**容测量系统设计**

**英文论文题目： Design of MOSFETs’ Parasitic Capacitances**

**Measurement System Based on CBCM**

申请人姓名：

指导教师：

合作导师：

专业名称： 电路与系统

研究方向： 数字集成电路设计

所在学院： 电气工程学院

**论文提交日期 2017年4月**

**基于CBCM方法的MOSFET寄生电**

**容测量系统设计**

****

**论文作者签名:**

**指导教师签名:**

论文评阅人1：

评阅人2：

评阅人3：

评阅人4：

评阅人5：

答辩委员会主席：

委员1：

委员2：

委员3：

答辩日期：

**Design of MOSFETs’ Parasitic Capacitances**

**Measurement System Based on CBCM**



**Author’s signature:**

**Supervisor’s signature:**

External Reviewers:

Examining Committee Chairperson:

Examining Committee Members:

Date of oral defence：

浙江大学研究生学位论文独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得 **浙江大学** 或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名： 签字日期： 年 月 日

学位论文版权使用授权书

本学位论文作者完全了解  **浙江大学** 有权保留并向国家有关部门或机构送交本论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 **浙江大学** 可以将学位论文的全部或部分内容编入有关数据库进行检索和传播，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后适用本授权书）

学位论文作者签名： 导师签名：

签字日期： 年 月 日 签字日期： 年 月 日

# 致 谢

# 摘 要

**关键字**：

# Abstract

**Keywords**:

# 目 录

目录

[致 谢 I](#_Toc471237558)

[摘 要 II](#_Toc471237559)

[Abstract III](#_Toc471237560)

[目 录 IV](#_Toc471237561)

[插图和附表目录 VI](#_Toc471237562)

[1. 绪论 1](#_Toc471237563)

[1.1 研究背景 1](#_Toc471237564)

[1.2 国内外研究现状 2](#_Toc471237565)

[1.2.1 使用CBCM方法测量互连线电容 2](#_Toc471237566)

[1.2.2 对于传统CBCM方法的改进版本 3](#_Toc471237567)

[1.2.3 当前各种CBCM方法的局限性 4](#_Toc471237568)

[1.3 文章创新点与结构安排 5](#_Toc471237569)

[2. 一种全新的SDCBCM测试结构 6](#_Toc471237570)

[2.1 CIEF CBCM方法 6](#_Toc471237571)

[2.1.1 电荷注入效应导致的误差 7](#_Toc471237572)

[2.1.2 CIEF CBCM方法的工作原理 7](#_Toc471237573)

[2.2 SDCBCM方法原理介绍 8](#_Toc471237574)

[2.2.1 SDCBCM电路结构 9](#_Toc471237575)

[2.2.2 SDCBCM测试步骤 9](#_Toc471237576)

[2.3 SDCBCM控制信号产生方法 13](#_Toc471237577)

[2.3.1 原始波形的产生——环形振荡器 13](#_Toc471237578)

[2.3.2 一种新型的相对恒定频率产生电路 14](#_Toc471237579)

[2.3.3 互不交叠时钟发生电路 15](#_Toc471237580)

[2.4 SDCBCM片上实测结果 16](#_Toc471237581)

[2.4.1 电容测量阵列 16](#_Toc471237582)

[2.4.2 测量数据分析 17](#_Toc471237583)

[2.5 本章小结 21](#_Toc471237584)

[3. 一种全新的MCCBCM测试结构 22](#_Toc471237585)

[3.1 MCCBCM方法相关的研究工作 22](#_Toc471237586)

[3.1.1 MOSFET寄生电容模型 22](#_Toc471237587)

[3.1.2 现有的一些MOSFET电容分离提取实测方法 23](#_Toc471237588)

[参考文献 25](#_Toc471237589)

[攻读学位期间科研成果 28](#_Toc471237590)

# 插图和附表目录

[图 1.1 用于测量互连线电容的CBCM电路结构 2](#_Toc471237535)

[图 1.2 互连线电容CBCM控制信号波形 3](#_Toc471237536)

[图 1.3 用于测量MOS电容的CBCM电路结构 4](#_Toc471237537)

[图 2.1 CIEF CBCM方法电路结构 6](#_Toc471237538)

[图 2.2 CIEF CBCM方法的控制信号波形 7](#_Toc471237539)

[图 2.3 SDCBCM电路结构（左）和控制信号波形（右） 9](#_Toc471237540)

[图 2.4 SDCBCM测量步骤一和步骤二中待测电容充电电量示意图 10](#_Toc471237541)

[图 2.5 CDUT|VGB=-V0的计算过程说明示意图 12](#_Toc471237542)

[图 2.6 SDCBCM测量步骤总结图 13](#_Toc471237543)

[图 2.7 相对恒定频率发生器电路架构 15](#_Toc471237544)

[图 2.8 相对恒定频率发生器波形示意图 15](#_Toc471237545)

[图 2.9 互不交叠时钟发生电路 16](#_Toc471237546)

[图 2.10 多级电容测量阵列结构框图 17](#_Toc471237547)

[图 2.11 芯片照片 17](#_Toc471237548)

[图 2.12 传统CBCM（左）与SDCBCM（右）测量结果对比，从上到下所测的MOSFET宽长比分别为1/0.18μm、2/0.18μm、4/0.18μm和6/0.18μm。 18](#_Toc471237549)

[图 2.13 SDCBCM方法对不同沟道宽度的MOSFET在不同偏置电压下的采样结果 19](#_Toc471237550)

[图 2.14 同一块芯片上所有待测PMOS电容的在偏置电压为-1.8V时的测量结果 20](#_Toc471237551)

[图 2.15 同一块芯片上相同宽长比待测PMOS电容的测量结果标准差 21](#_Toc471237552)

[图 3.1 平面CMOS工艺MOSFET寄生电容分布图 23](#_Toc471237553)

# 绪论

## 研究背景

寄生参数测量一直是集成电路领域的重要研究课题。根据摩尔定律的描述，集成电路上可容纳的晶体管数目，约每隔两年就会增加一倍，在CMOS工艺中，金属氧化物场效应晶体管（MOSFET）的特征尺寸约每隔两年缩小为原先的0.7倍。[1]与此同时，CMOS电路的物理结构也在不断的复杂化。例如，用作连线的金属层数不断增加，从三层增加到十层以上；晶体管的结构从原先的平面结构，发展到现在最新的14nm鳍式立体结构（FinFET）。

随着电路规模的不断增大，特征尺寸的不断缩小，以及电路物理结构的不断复杂化，电路的寄生参数将呈现以下趋势：一是寄生参数的数量级不断减小，例如寄生电容的数量级从原来的皮法级（10-12）减小到现在的飞法级（10-15）；二是寄生参数的分布变得愈加复杂，一些寄生参数因为受到多方面因素的影响已经难以用直接测量手段提取；三是寄生参数对电路性能的影响越来越大，已经成为了限制高频数字电路的速度和功耗的瓶颈。目前，对于寄生参数的提取主要有两种手段，一是软件建模分析，通过建立待测电路的物理模型来计算出寄生参数的大小，这种方法对于一些无法直接测量或者测量精度无法保证的寄生参数还是非常有效的，但是由于制造工艺的偏差，这种方法得出的值往往与真实值有差异；二是搭建测试电路直接测量，又分芯片外测试和芯片内测试，在深亚微米工艺中，芯片外测试的精度已经越来越难以满足要求，芯片内测试将成为今后的主流趋势。

片内测试具有灵活、精确、实时可靠的优点，对于提高制造工艺的可靠性、增加产品的产出以及验证模型的准确性都有参考意义，是集成电路设计与制造过程的一种重要辅助手段。[2]本文所涉及的基于充放电的电容测量方法（CBCM）就是一种用于测量寄生电容的片内测试结构。片内寄生电容分布复杂，种类繁多，有互连线电容、金属电容、MOS电容等，由于RC延时对于电路性能的巨大影响，电容的精确获取将会是电路模型的重要部分。CBCM方法是目前运用最多的片上电容测量方法，从它诞生至今，已经有了众多的改良版本。

## 国内外研究现状

CBCM方法经过多次改进，已经成为片上测量电容的主流方法。它的基本原理是通过测量充放电电流大小间接计算出电容大小。最初提出这个方法是为了测量互连线电容，因为互连线电容是恒定电容，易于获取。随后的改进版本陆续实现了对金属电容、MOS电容的测量，影响测量精度的误差因素也逐渐被分析透彻。但是对于最新工艺的电容测量，现有的测量方法在测量精度上依然难以满足要求，而且现有的测量电路都是只局限于对单个电容的测量，而没有对多个电容同时测量的版本。

### 使用CBCM方法测量互连线电容

CBCM方法最初提出来是为了测量互连线电容的。[3]电路的结构图如图1.1所示。该电路由两个相对称的部分组成，每个部分都是一个NMOS和一个PMOS的类反相器结构的连接，NMOS和PMOS都是用作开关的作用，其中PMOS用来对待测电容充电，NMOS用于对待测电容放电，右半部分用于测量互连线电容的充电电流大小，记为I，左半部分用于测量对参考寄生电容的充电电流，记为I’。由于充电与放电的过程不能同时进行，否则会导致从VDD到GND的漏电流太大，使得充电电流的测量失去意义，因此控制图中四个MOSFET开关的控制信号clk1和clk2被设计成如图1.2所示的波形。

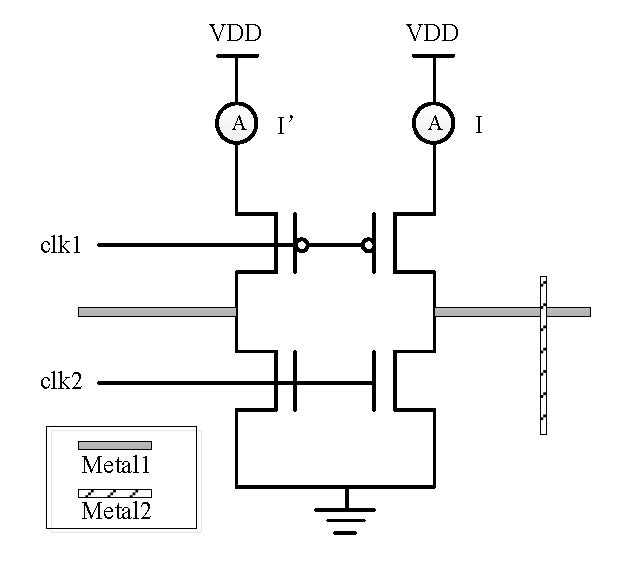


图 1.1 用于测量互连线电容的CBCM电路结构

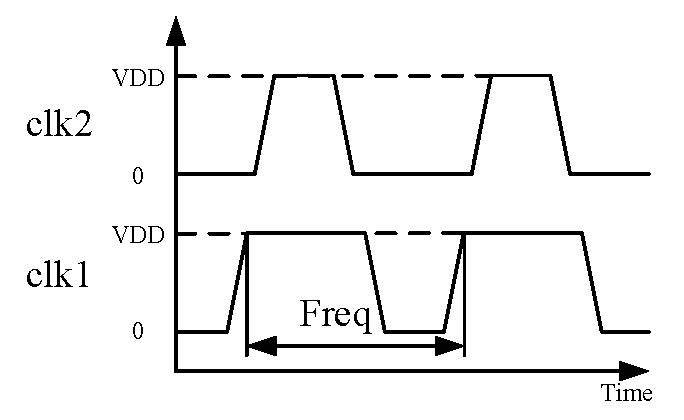


图 1.2 互连线电容CBCM控制信号波形

可以看到，clk2的高电平和clk1的低电平不会同时出现，因此NMOS和PMOS不会同时开启，设控制信号的频率是f，待测电容（金属1层和金属2层的交叠电容）值将可以由以下公式计算得出：

这个版本的CBCM方法测量结果中还存在很大的误差，主要误差来源于参考端和测量端的不对称、漏电流、电荷注入误差以及电流测量的随机误差。

### 对于传统CBCM方法的改进版本

传统CBCM方法在测量对象和测量精度上都有很大的局限性。在测量对象方面，传统CBCM方法只能测量恒定不变的电容，在测量精度方面，它又受到多种误差因素的影响，因此陆续出现了很多针对这两个方面的改进版本。

首先是测量对象从恒定不变的互连线电容发展到可变的MOS电容，这个改进首先由文献[4]提出，电路结构图如图1.3所示。相比于传统CBCM结构，这个版本的CBCM结构的主要改动在于电压V0、Vcap和VGate都是可变的，这是因为待测器件（DUT，device under test）的电容是随着偏置电压的变化而变化的，因此电容值要通过计算电流的数值微分的方式获取。图1.3中的MOS电容一端被加上电压VGate，另一端在V0和Vcap之间变化，只要保证V0和Vcap足够接近，就可以通过数值微分计算出MOS电容在某一偏置电压上的值，再改变VGate的大小，就可以获取一条电容-电压（C-V）曲线。由于这篇文献将传统CBCM结构中下端两个MOSFET替换为PMOS，它们的控制信号clk2也要高低电平互换。MOS电容的计算公式如下：

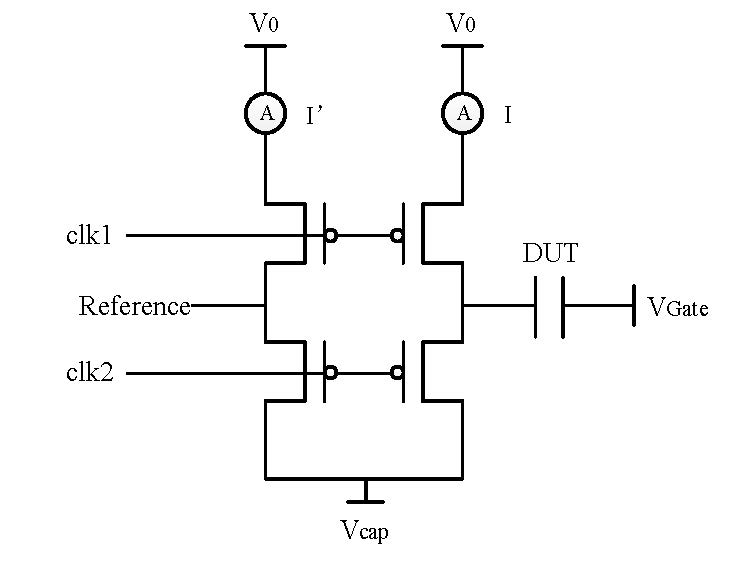


图 1.3 用于测量MOS电容的CBCM电路结构

然而这个版本的CBCM方法继承了传统CBCM方法的所有误差因素，而且由于有微分操作，这个误差将被成倍放大。文献[5]和文献[6]提出了一种叫CIEF（Charge-injection-induced-error-free） CBCM的改进版方法，用于消除传统测量方法中的电荷注入效应导致的误差（Charge-injection-induced-error）。文献[7]提出一种叫leakage and parasitic-insensitive CBCM的方法，不仅能规避电荷注入效应导致的误差，还能减小漏电流对测量结果的影响。这些方法的具体实现将在后续章节中介绍。

### 当前各种CBCM方法的局限性

尽管CBCM方法经过多次改进，现有的CBCM方法在测量电容时仍有其局限性。一是在测量精度方面的局限性，当前国内外对CBCM方法的改进多局限于对系统误差的纠正，例如电荷注入效应引起的误差、漏电流引起的误差，而忽略了测量过程中的随机误差。在对最新工艺的MOS电容进行测量时，由于电容的数量级太小，而且需要通过数值微分来计算得出，因此随机误差对测量结果的影响将十分巨大。二是在测量对象方面的局限性，当前的改进版CBCM方法都只能测量单一电容，例如在测量MOS电容时大多只能测量栅电容，而要测量诸如栅源、栅漏等部分的电容，只能依赖于软件建模的方法。

## 文章创新点与结构安排

本文为了弥补当前CBCM的局限性，提出了两种改进型CBCM结构，一种叫（Self-differential）CBCM，目的是解决当前CBCM在测量微分电容时精度不足的问题；另一种叫MC（Multi-channel）CBCM,目的是解决当前CBCM无法分离复合寄生电容的问题。文章的结构安排如下：

第一章：绪论，介绍CBCM方法的研究背景和国内外研究现状。

第二章：介绍本文提出的SDCBCM方法的具体实现。

第三章：介绍本文提出的MCCBCM方法的具体实现。

第四章：总结本文的工作与展望未来。

# 一种全新的SDCBCM测试结构

SDCBCM（self-differential charge-based capacitance measurement）方法的提出，是为了能精确测量最新工艺下的单个微分电容。在这种测试方法中，我们首先使用了一种自主创新的自微分算法来计算微分电容，从而极大的减小了计算微分电容过程中的微分误差；其次，我们首次采用了片上的高频时钟去控制测试过程，从而把随机误差降到一个可忽略的水平。这两个方面的改进使得SDCBCM兼具系统误差和随机误差的改进，比现有的其他改进版CBCM测量精度提高数十倍。本方法的测量对象主要是MOSFET栅电容，我们在GSMC0.18μm工艺下实现了一个阵列式的测量结构，用以测量不同宽长比的MOSFET栅电容。

由于SDCBCM方法是改进于一种叫CIEF CBCM的方法，在本章中我们将首先介绍CIEF CBCM方法，随后将详细介绍本方法的原理与具体电路结构，最后介绍本方法在芯片上的实现和实测结果。

## CIEF CBCM方法

传统CBCM方法的系统误差中有两个很重要的组成部分，一个是参考端和测量端的不对称误差，一个是电荷注入效应引起的误差。CIEF（Charge-injection-induced-error-free） CBCM是由文献[5]提出的一种用于防止这两种误差的方法，其基本电路结构如图2.1所示，控制信号波形如图2.2所示。

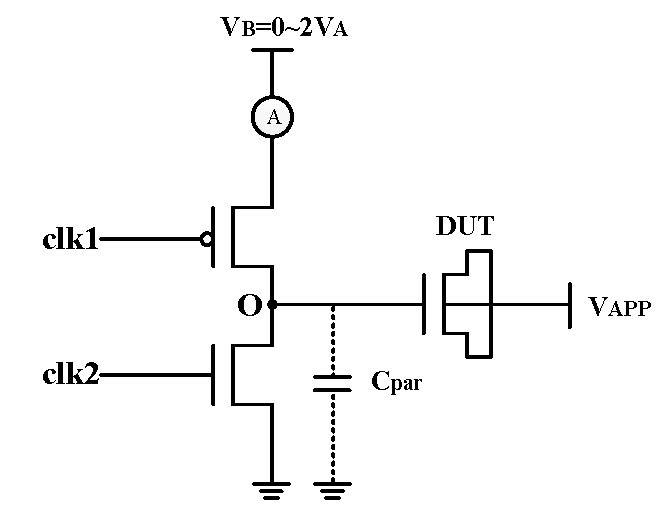


图 2.1 CIEF CBCM方法电路结构

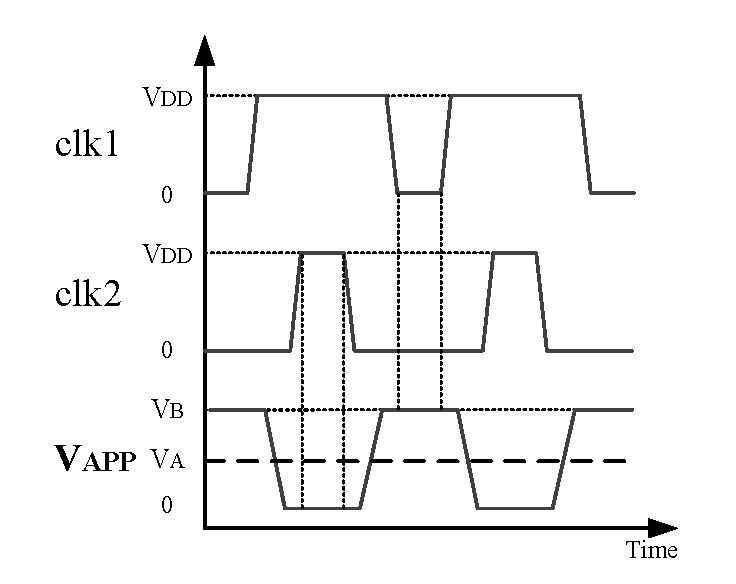


图 2.2 CIEF CBCM方法的控制信号波形

### 电荷注入效应导致的误差

电荷注入效应指的是在MOS开关导通或关断的过程中，电荷流入或者流出MOS管沟道的现象，这种效应会导致对应节点的电压发生改变，偏离我们预想的电压。如图2.1所示，当PMOS开关开通时，O点电压被拉到VB，而当PMOS关断时，由于PMOS管沟道的电荷回流到O点，导致O点电压比VB偏高，与我们的预期不符。

在传统CBCM方法中，由于有两个测量分支，参考端是不接待测器件（device under test, DUT）的，而测量端是接DUT的，这两种情况MOS管沟道的电荷回流在节点O上导致的电压偏离是不一样的，这就导致简单的将两个测量分支的充电电流相减将产生一个系统误差，这个误差在实际测量中是无法被忽略的。

### CIEF CBCM方法的工作原理

如图2.1所示，CIEF CBCM相比于传统结构的CBCM只有一个测量分支，为了精确提取分离DUT的电容，该方法采用了特殊的控制信号，如图2.2所示。相比于传统CBCM方法，该方法的控制信号多了一组时钟。整个测量步骤可以分为两个步骤。步骤一，VAPP端加上一个直流信号VCC,这样在两个MOS开关的作用下，DUT在一个周期内正常充放电，此时的充电电流可以表达为：

步骤二，VAPP端加上一个与clk1和clk2都互不交叠的时钟信号，这是为了保证在PMOS开通时，VAPP端的电压保持VDD，在NMOS开通时，VAPP端的电压保持0。这样在充放电阶段DUT的两端都不存在电压差，也就不存在充放电电流，因此此时充电电流可以表达为：

根据公式（2-1）和公式（2-2）我们可以得出待测电容的值：

这样得出的待测电容值是与偏置电压(VB-VA)相关的值，只要改变VB或VA的值，就能得到一条电容-偏置电压（C-V）曲线。而且，由于在以上两个测量步骤中，O点所连接的器件始终没有改变，因此MOS开关的电荷注入效应也一样，在公式（2-1）和公式（2-2）相减的过程中电荷注入效应所导致的误差可以被完全抵消，这也是该方法能防止这一误差的原理。另外由于两个步骤都是在一个测量分支上进行的，该方法也不存在传统方法中的不对称误差。

## SDCBCM方法原理介绍

CIEF CBCM方法有一个非常大的缺陷是，在测量MOS电容这种微分电容时，加在图2.2中的VAPP端的时钟信号无法使用高频（20MHz以上）信号。这是因为这个时钟信号的幅值VDD是需要改变的，只能通过片外产生输入到芯片内，由于各种寄生因素的影响，高频时钟是无法被直接输入片内的，这就导致CIEF CBCM无法进行高频测量。我们知道，在片上参数测量领域，频率越高，往往测量的信噪比就越高。由于我们要测量的电容已经到达亚飞法（10^-15法拉）级别，而且需要进行数值微分计算，低频测量的噪声影响将十分巨大。据此，我们提出了一种适用于高频测量，且兼具CIEF CBCM在消除系统误差上的作用的方法，我们将其命名为自微分（Self-differential，SD）CBCM。命名为自微分是因为我们在计算待测电容值的时候用到了一个特殊的微分手段，这使得我们的方法能适用于高频测量。本方法改进于CIEF CBCM方法，在电路结构、测试步骤和控制波形产生的方法上与CIEF CBCM都有不同。

### SDCBCM电路结构

SDCBCM方法的电路结构与控制信号波形如图2.3所示，仅从电路结构上来看，本方法把传统CBCM结构和CIEF CBCM结构相结合，并把其中的MOS开关替换成传输门。这样做的原因有两个，一是传输门具有互补特性，利用NMOS和PMOS的互补作用能适当的减小电荷注入效应引起的误差[8],[9]；二是传输门的开通与关断只受控制信号的影响，而不像NMOS和PMOS管还受漏源两端电压影响，这样使得可测的偏置电压范围更大。

与传统CBCM方法一样，这个电路也有两个测量分支，左半部分是参考测量分支，右半部分是待测电容的测量分支。在本方法中，左半部分仅作对比用，不会对最终的测量结果造成影响。右半部分除MOS管改成传输门之外，与CIEF CBCM方法电路结构一样。控制信号波形与CIEF CBCM也略有不同，这里的第三个时钟幅值是恒定的VDD，而前者的是需要变化的。

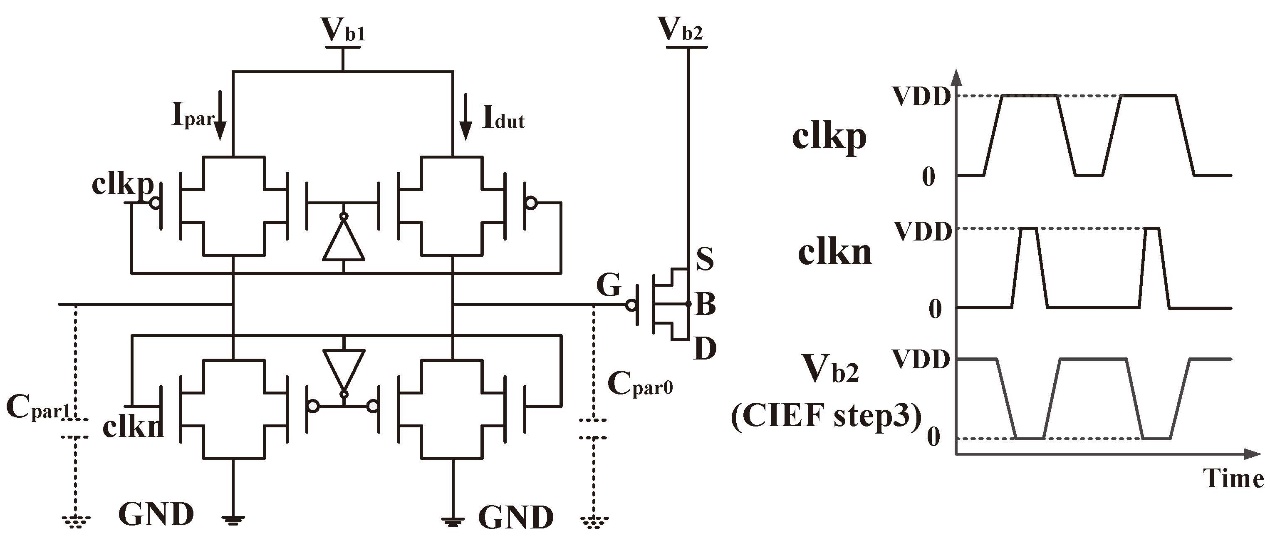


图 2.3 SDCBCM电路结构（左）和控制信号波形（右）

### SDCBCM测试步骤

本方法的测试步骤分为三步。步骤一在Vb2上加一个恒定电压V1,Vb1则从0变到VDD，记此步骤的充电电流为Istep1;步骤二在Vb2上加一个恒定电压V2,Vb1则从0变到VDD，记此步骤的充电电流为Istep2。待测电容是MOSFET的栅电容，将源漏地三端短接，此时的待测电容值可以写成是两端偏置电压的一个函数。设MOSFET两端偏置电压为VGB= Vb1-Vb2。以步骤一为例，在一个周期的充电阶段，待测电容的栅极（G点）电压将由0V上升到Vb1，对MOSFET充电的电量可以表示为：

同理，步骤二中，MOSFET充电电量可以表示为：

其中VGB1= Vb1-V1, VGB2= Vb2-V2,将两式相减可得

这两个步骤可以由图2.4表示。图中阴影部分就是这两个步骤中待测电容的充电电量，我们只使Vb2有一个微小的偏离，因此这两个电量也只是有微小的偏离，这个偏离可以用于数值微分的计算，这个特殊的数值微分计算我们称为自微分。

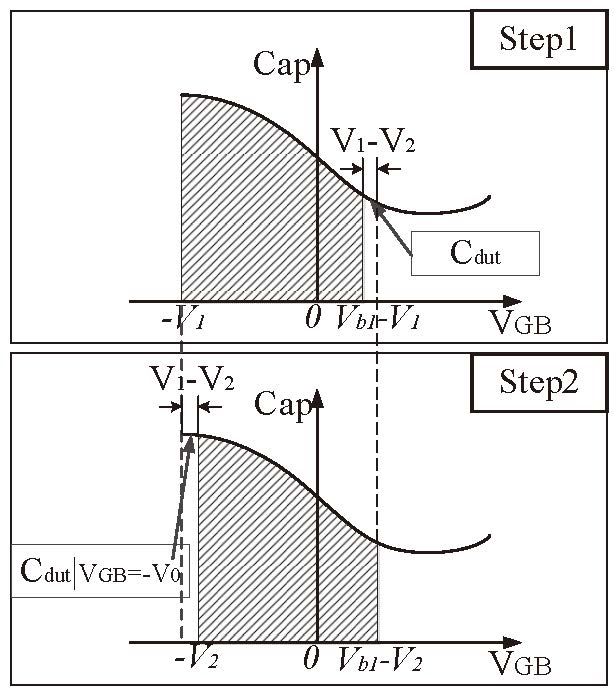


图 2.4 SDCBCM测量步骤一和步骤二中待测电容充电电量示意图

令ΔV=V1-V2足够小，V0=（V1+V2）/2，那么公式（2-6）将可以被近似为：

其中CDUT就是我们要计算得出的待测电容曲线，是关于偏置电压VGB的函数。而CDUT|VGB=-V0则是这条曲线在VGB=-V0这个点的值。再考虑到寄生电容和漏电流等因素的影响，我们可以将这两个步骤中测到的电流表示为如下两式：

设I1=Q1\*f,I2=Q2\*f,两式相减我们可以得到以下公式：

因为在步骤一和步骤二中，只有Vb2端的电压发生变化，而这个电压对误差电流没有任何影响，可以在自微分的计算过程中被完全消除。由此，我们将得到一条与CDUT-VGB曲线变化趋势一模一样的曲线，要求得我们所需要的这条曲线，我们只需要再计算出CDUT|VGB=-V0这个常量值。为此，我们需要第三个步骤来测出这一常量。

本方法的步骤三与CIEF CBCM方法的步骤二类似，在这一步中，Vb2上需要加一个与其他两个控制时钟都互不交叠的时钟，用来屏蔽待测电容，这一时钟的幅值是VDD，Vb1也加一个大小为VDD的直流电压。这样在充放电过程中，待测的MOS电容都将不起作用。这一步的电流可以表示为：

为了计算出CDUT|VGB=-V0我们还需要两个值，分别是Istep1和Istep2在Vb1=VDD时的测量值，分别记为Istep1|Vb1=VDD和Istep2|Vb1=VDD。我们将通过图2.5来说明CDUT|VGB=-V0的计算过程。

图2.5中阴影部分面积可以写成CDUT|VGB=-V0\*VDD，VDD是常量，因此只要求得阴影部分面积就可以得到CDUT|VGB=-V0的值。图中的两条C-V曲线中，下面那条曲线已经通过公式（2-9）求得，两条曲线是平行的，因此Area1可以由公式（2-9）的积分获得。Area2是CDUT从-V0到VDD-V0的积分，这个我们可以通过公式（2-10）、Istep1|Vb1=VDD和Istep2|Vb1=VDD计算获得，计算公式如下：

这样，CDUT|VGB=-V0的值就可以由公式（2-9）和公式（2-11）获得：

结合以上这些公式，可以得出CDUT曲线的计算公式如下：

其中Istep1和Istep2都是与偏置电压VGB有关的测量值，其他的都是常量测量值或测量前设定的值。

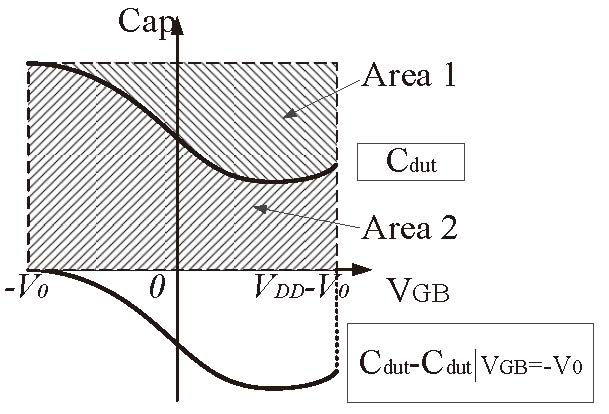


图 2.5 CDUT|VGB=-V0的计算过程说明示意图

整个测量过程的总结如图2.6所示。首先通过步骤一和步骤二测得的两条电流曲线，经过一个简单的相减操作获得一条与最终需要的C-V曲线相互平行的一条曲线，这条曲线只比待测的曲线偏离一个常量值。这个过程我们称为自微分过程，这也是整个测量过程的核心部分。因为自微分的过程比起传统数值微分方法，能将微分误差大大减小。经过自微分的过程以后，再通过步骤三的测量，获取这个偏离的常量值，就能计算出待测的C-V曲线。从理论上来看，本方法继承了CIEF CBCM方法对电荷注入误差、不对称误差等系统误差的纠正作用，同时因为自微分计算方法的采用，本方法将产生更少的随机微分误差。

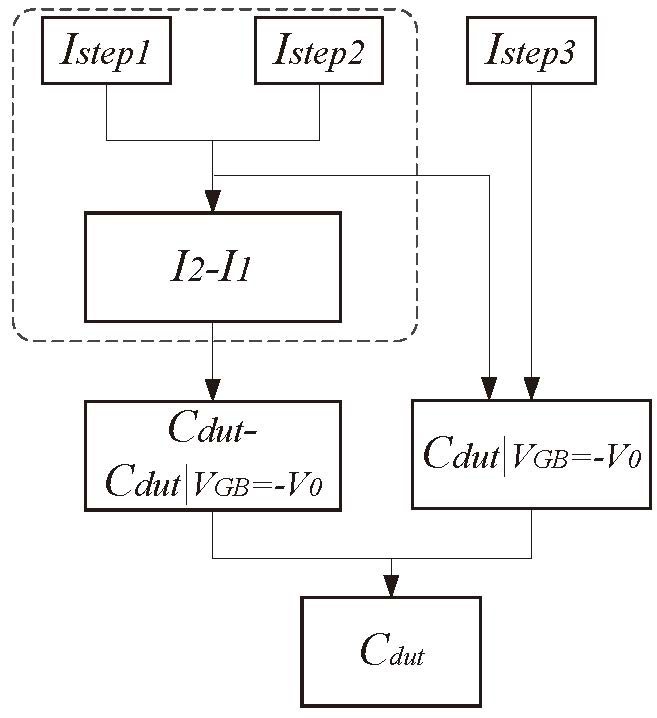


图 2.6 SDCBCM测量步骤总结图

## SDCBCM控制信号产生方法

当前的各种改进版CBCM，控制信号的频率一般是1MHz左右，这个频率要测量1fF（10-15F）的MOS电容，就要求电流的测量精度达到10-10A，而片外测量的电流噪声的数量级一般在10-9A。现有的CBCM方法都是通过片外产生控制信号直接输入片内，广泛使用的CIEF CBCM方法由于其复杂的控制波形，无法在片内产生控制信号。本方法由于控制信号都是恒定幅值的时钟，可以在片内产生，因此本方法的最终测量频率可以达到500MHz以上，使得电流噪声引起的误差降到一个可以忽略的水平。

### 原始波形的产生——环形振荡器

由三个或三个以上非门首尾相连组成的电路结构是最简单的环形振荡器，这种环形振荡器的周期与单个非门的延时和非门的个数都成正比。计算公式大致可以表示为：T=tdelay\*N\*2。环形振荡器的优点在于，起振容易，线路简单，在芯片中所占的面积非常小，频率的选择比较灵活，只要改变非门的个数或非门的大小就可以获得不同的频率。而且在SDCBCM方法中，由于所需的振荡波形频率大于500MHz，在0.18μm工艺中只需要几十个非门，十分方便集成。然而环形振荡器也有很明显的确定，那就是产生的频率不稳定，需要加一些外部电路来协助产生稳定的频率。

### 一种新型的相对恒定频率产生电路

要在片上产生稳定频率一般使用锁相环电路（PLL），但是锁相环设计复杂，占用芯片面积大，并不是本方法的最优选择。本文将介绍一种新型的相对稳定频率产生电路。相对稳定指的是在足够长的时间内，这个电路产生的时钟个数是恒定的，而不是在任意一段时间内都恒定。由于SDCBCM电路的测量时间是足够长的，这个电路将是非常可靠而有效的时钟发生器。

电路的架构如图2.7所示。左下角是用于产生原始时钟的环形振荡器；左上角是一个简单的计数器，由D触发器连接而成；右上角是一个数字比较器，输出一个用于控制右下角传输门的开通和关断的信号。参考图2.8所示的波形，整个电路的工作原理描述如下：由环形振荡器产生的时钟clk\_RO驱动计数器单元进行技术，clk\_in是一个外部输入的稳定时钟，频率为fin，它用来控制计数器定期清零，清零的时刻为clk\_in上升沿时刻。数字比较器用于比较的两端中，一端设置一个预置值，设为N，另一端接计数器的输出。当计数器的输出小于N时，数字比较器单元输出高电平，控制右下角的传输门导通；否则数字比较器输出低电平控制传输门关断。经过以上描述我们可以看到，输出的时钟clk\_out将在一个clk\_in时钟里输出N个clk\_RO时钟，因此只要测量时间足够长，输出时钟的频率将可以表示为：

由于clk\_in是恒定的，在足够长的时间内clk\_out的频率也是相对恒定的。

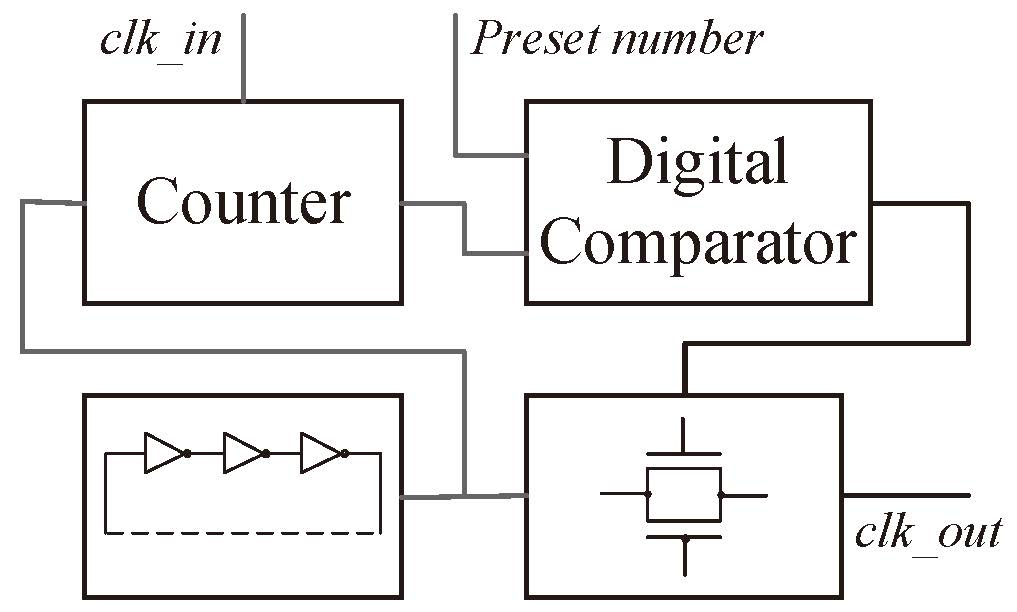


图 2.7 相对恒定频率发生器电路架构

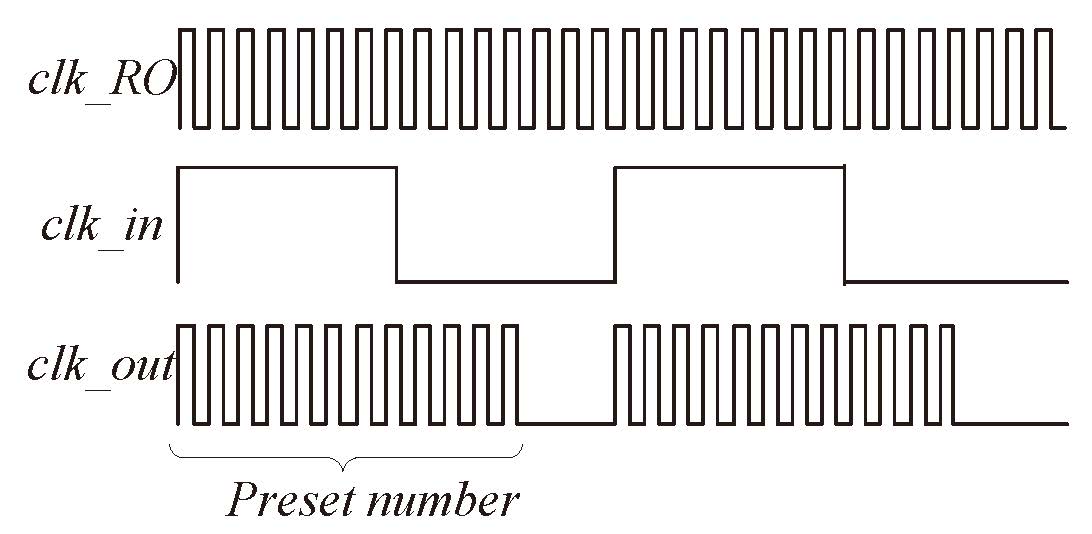


图 2.8 相对恒定频率发生器波形示意图

### 互不交叠时钟发生电路

上一小节介绍的电路只是产生一个占空比为50%的高频相对稳定时钟，而SDCBCM最终所需的时钟信号有三个互不交叠、不同占空比的时钟。这三个时钟信号我们将通过一些延时电路和组合逻辑来产生。

电路的结构示意图如图2.9所示。其中clk\_out是上一节输出的相对恒定频率时钟，我们采用两个延时单元和三个逻辑门来产生最终所需的时钟。延时单元与上一小节中的环形振荡器一样，使用反相器的串联来完成延时的，每个延时单元是的延时1/8周期。最终得到clkp的占空比为75%，clkn的占空比为25%，clk\_Vb2的占空比为50%，三者互不交叠。

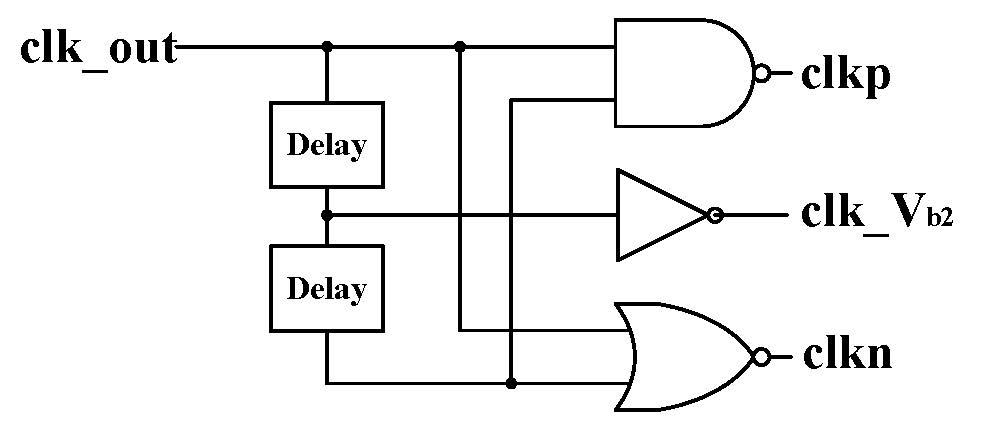


图 2.9 互不交叠时钟发生电路

## SDCBCM片上实测结果

为了获得多个不同的MOSFET电容的测量结果，我们设计了一个电容测量阵列（capacitance measurement array，CMA）。在这个电容测量阵列中集成了4种不同宽长比，共128个待测MOSFET电容。电路在GSMC0.18μm工艺下实现，通过脚本控制自动测量。

### 电容测量阵列

我们采用了文献[11]中的多级电容测量阵列结构，如图2.10所示。受面积所限，我们只采用了两级阵列结构，第一级（S1）有16个开关，用来选择第二级（S2）中的16个电容测量阵列单元（capacitance array unit，CAU）。每个CAU中又有16个开关，用来选择16个测量分支，其中8个是有待测MOSFET电容的，另外8个作为参考。因此总共有128个待测MOSFET可供测量，这些待测MOSFET的宽长比包括6 /0.18μm、4 /0.18μm、2 /0.18μm、1 /0.18μm。控制信号（包括地址信号、各种使能信号）、测量用到的时钟都是通过第一级驱动到第二级，模拟信号（各种电流、电压）则不需要驱动，直接接到外部仪表测量。

芯片照片如图2.11所示，为了节省面积，我们将所有的CAU一字型排开，使得芯片呈现一个长条形，对于纯测试目的的芯片，这种形状十分方便与其他电路合并。

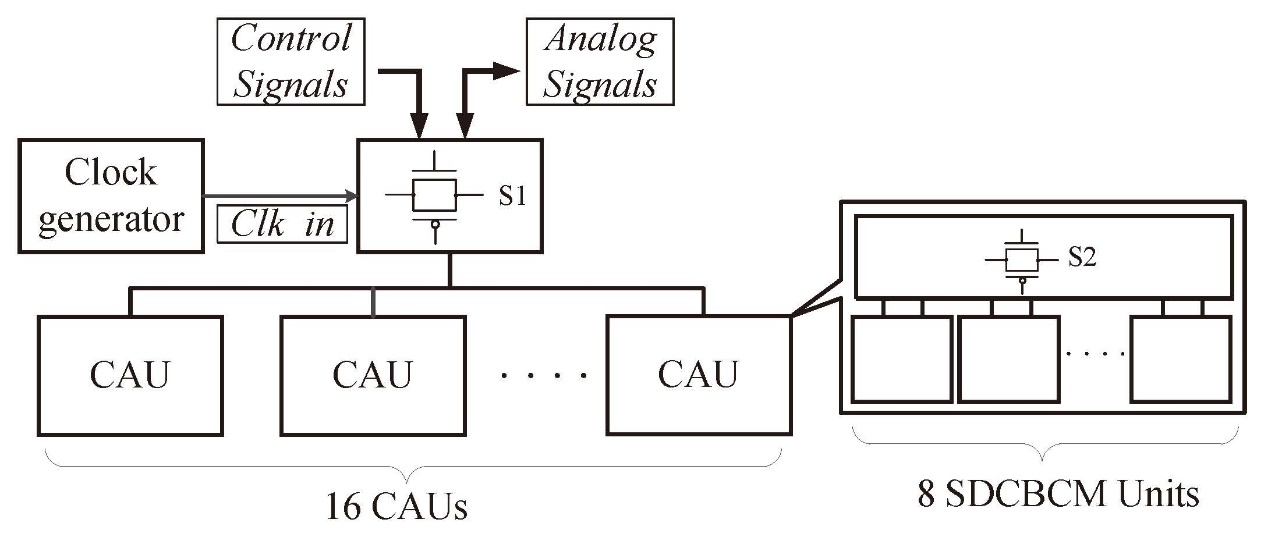


图 2.10 多级电容测量阵列结构框图

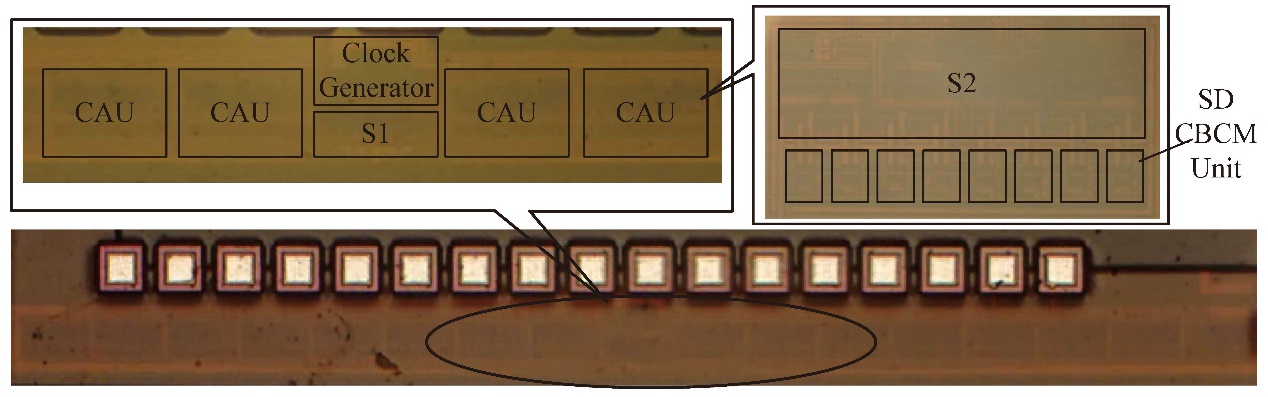


图 2.11 芯片照片

### 测量数据分析

在本小节中我们将从多个角度来验证SDCBCM方法的准确性。CBCM方法的测量误差一般由两部分组成，一是系统误差，包括电荷注入效应引起的误差、测量端与参考端的不对称误差、漏电流误差等；二是随机误差，包括电流测量误差、随机噪声误差等。

首先我们将通过将传统CBCM测量结果与SDCBCM测量结果进行对比来验证SDCBCM对系统误差的消除作用。如图2.12是这两种方法分别对四种不同宽长比P型MOSFET的测量结果。每张子图都是由三条测量曲线组成，它们分别代表着当待测MOSFET栅端和其他三端的偏置电压Vbias为-1.8V到0V、-1.0V到0.8V和0V到1.8V时所测得的C-V曲线。通过将图2.3中的Vb2分别置为1.8V、1.0V和0V，Vb1从0到1.8V每隔10mV测量一个点，可以获得图中的三条曲线。两种方法都是在500MHz左右测量的，所以随机误差类似，但是系统误差却相差很大。

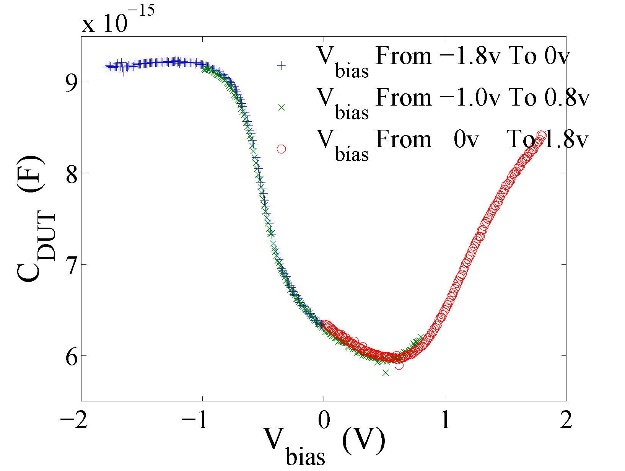
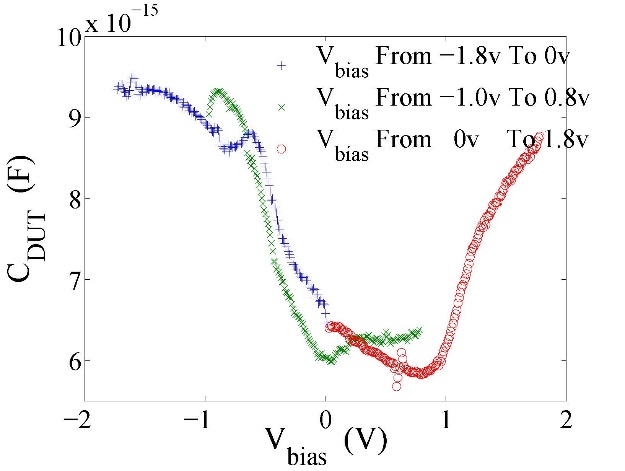
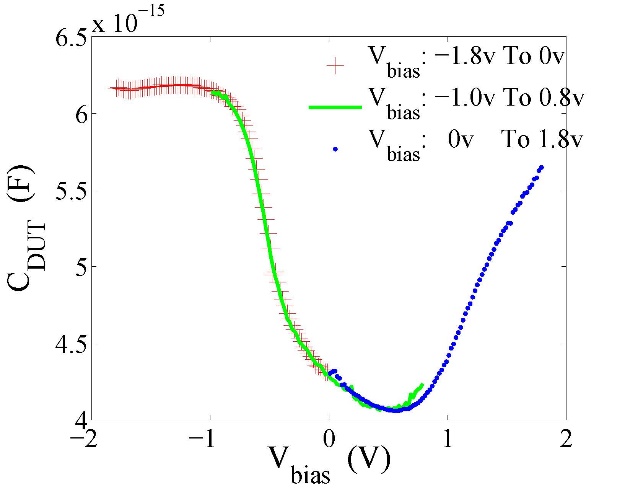
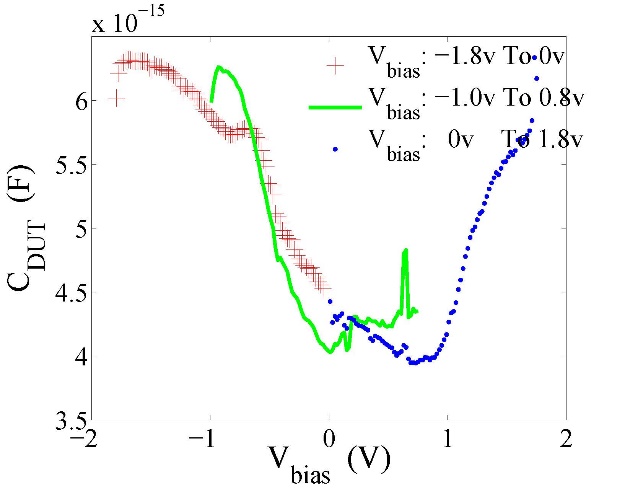
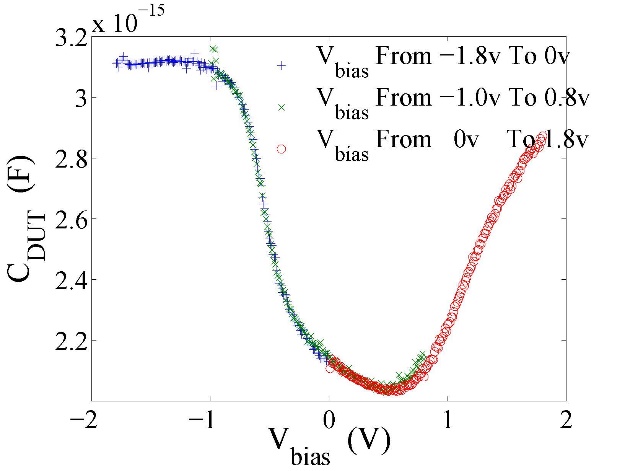
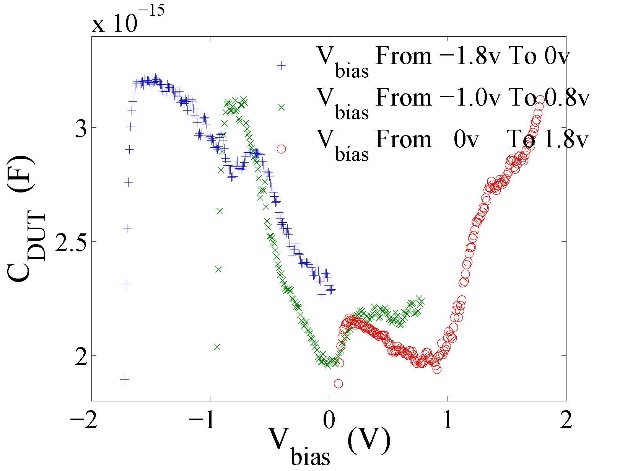
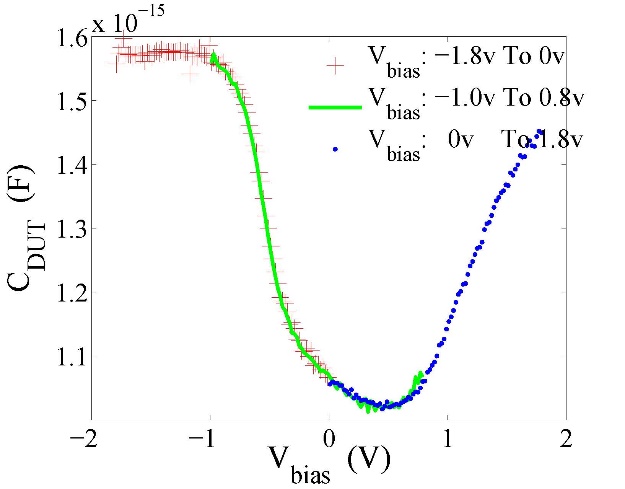
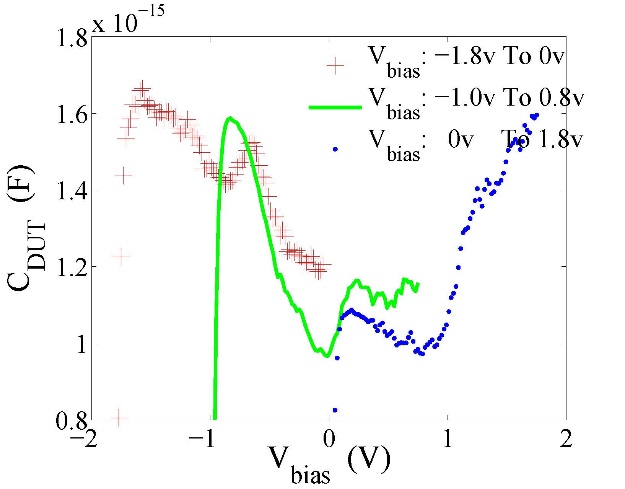


图 2.12 传统CBCM（左）与SDCBCM（右）测量结果对比，从上到下所测的MOSFET宽长比分别为1/0.18μm、2/0.18μm、4/0.18μm和6/0.18μm。

从理论上看，每张子图中的三条曲线都应该有一部分是重合的，因为它们的唯一差别就是在测量范围上，所以第二条曲线在-1.0到0V和0V到0.8V应该分别和第一条与第三条重合。然而传统CBCM测量结果却有很大的偏离，而且待测电容越小，这个偏离越大。造成这偏离的主要原因就是电荷注入误差，因为电荷注入误差是与Vb1的电压相关的，在Vbias相同时，三条曲线的Vb1并不相同。而SDCBCM的测量结果则几乎完全与理论相符，这说明我们的方法对电荷注入误差有很好的抑制作用。另外，从图12中右边的四张子图来看，待测MOSFET电容与沟道宽度有很明显的正相关关系。因为我们选取的待测MOSFET只有沟道宽度上有不同，而我们所测量的电容——栅电容——在0.18μm的平面工艺上是与沟道宽度成正比的。为了验证我们的测量结果是否符合这一理论，我们对四种待测MOSFET在不同偏置电压下采样，作成图13，可以很明显的看到，所测电容值与沟道宽度成正比。这也进一步验证了SDCBCM方法的正确性。

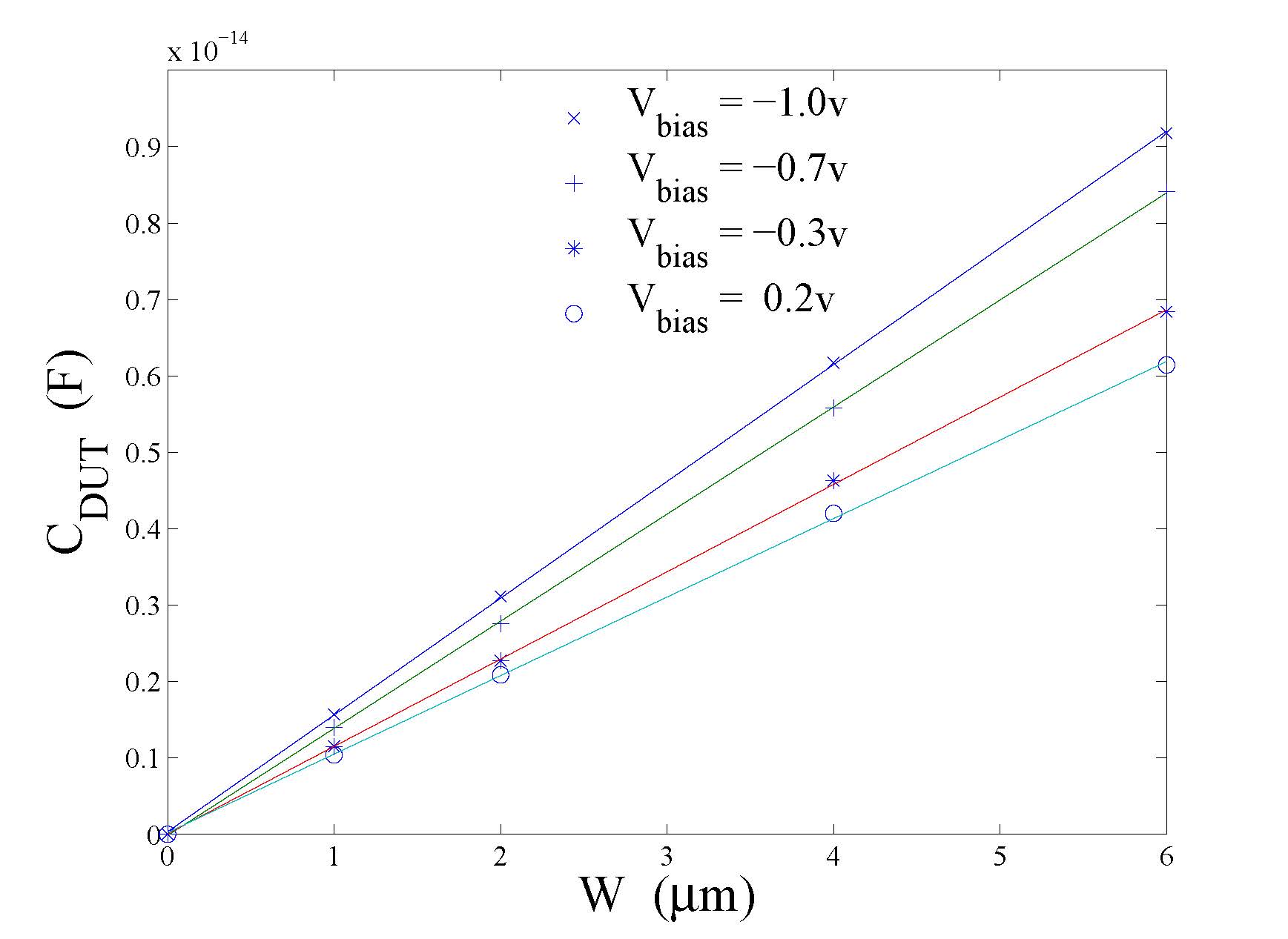


图 2.13 SDCBCM方法对不同沟道宽度的MOSFET在不同偏置电压下的采样结果

接下来我们将通过多次测量的结果来验证本方法所能达到的精度。图2.14显示了一块芯片上所有待测PMOS电容在偏置电压为-1.8V时的测量结果。从图中可以看出，每条曲线都近似以8为周期，这是因为待测MOSFET在芯片中都是以8个为一组分布的，因为芯片的制造偏差，这8个待测MOSFET电容值可能有明显差异。因此，我们从选取相同大小相同位置的4个MOSFET测量结果，计算它们的标准差，如图2.15所示，这里的标准差大致能反映SDCBCM方法的测量精度。从图2.15中我们可以看出，SDCBCM方法的测量精度可以达到0.01fF的数量级。

将SDCBCM方法与现有的其他CBCM方法精度想比，由于在系统误差和随机误差上都有了本质上的改进，SDCBCM方法在测量微分电容时要比其他方法提高数十倍。首先，从图2.12来看，传统CBCM方法在测量微分电容时系统误差过大，已经无法使用；使用最广泛的CIEF CBCM由于无法在高频时钟下测量，随机误差过大，在28nm的工艺下也只能达到0.2fF左右的精度[12];文献[7]中提出的一种leakage and parasitic-insensitive CBCM方法，虽然也能较好的消除系统误差，但由于没有使用高频时钟，随机误差也较大，精度大概在0.1fF。综上所述，SDCBCM是目前测量单个微分电容最可靠精度最高的一种方法。

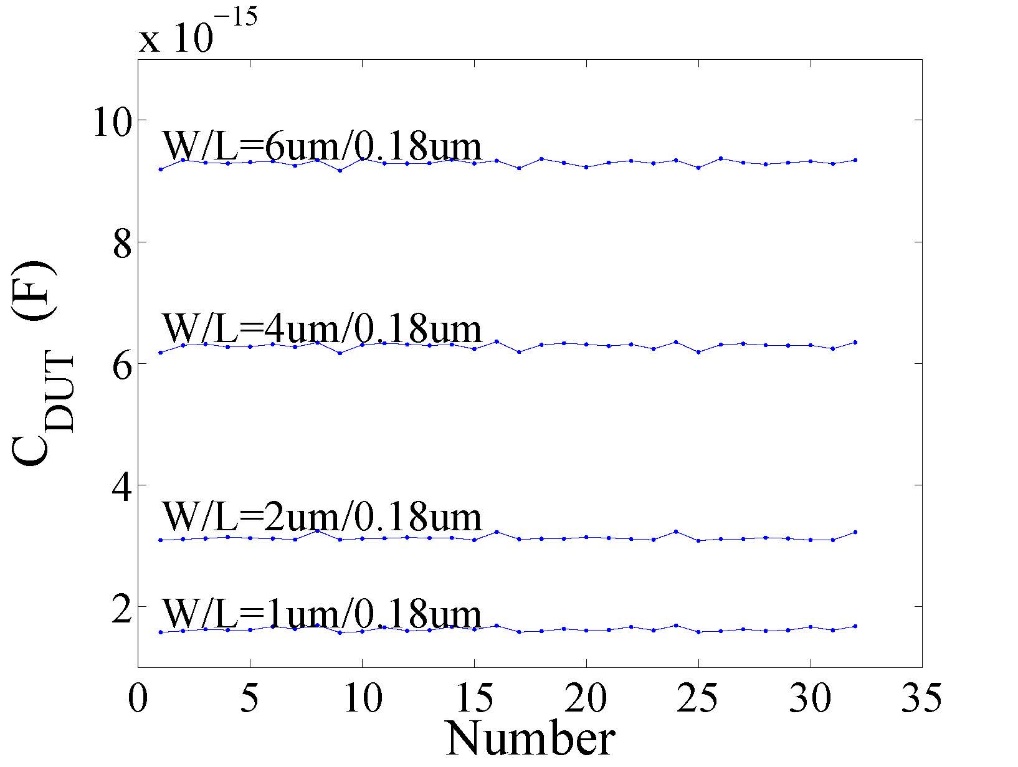


图 2.14 同一块芯片上所有待测PMOS电容的在偏置电压为-1.8V时的测量结果

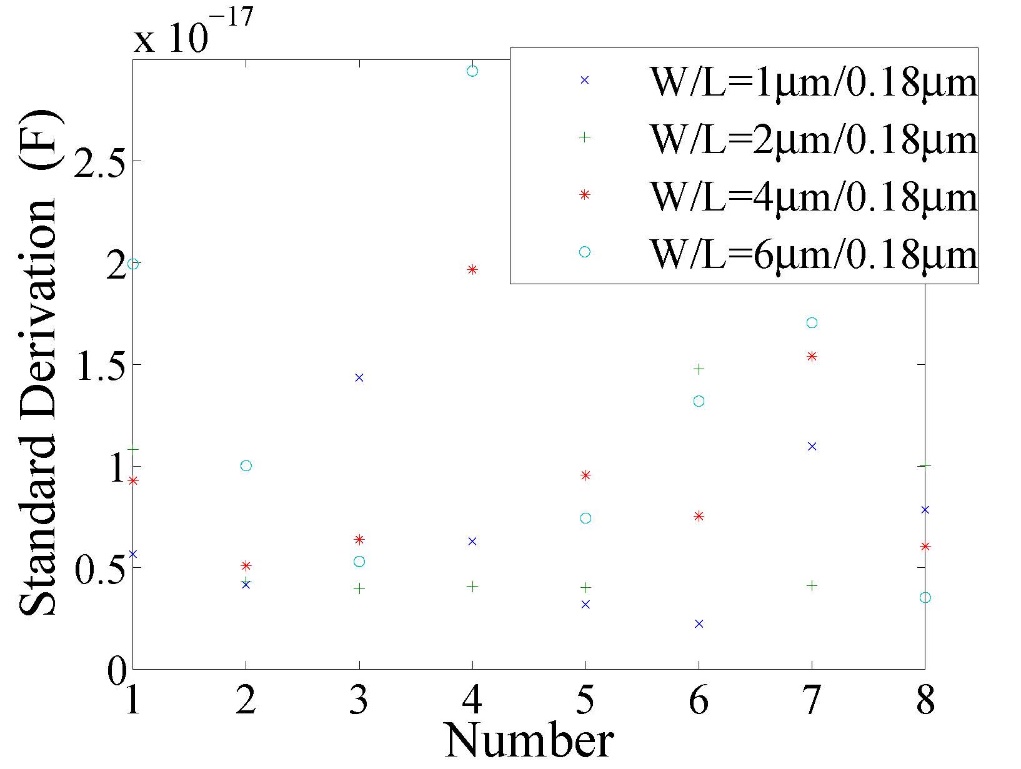


图 2.15 同一块芯片上相同宽长比待测PMOS电容的测量结果标准差

## 本章小结

本章详细介绍了一种新提出的CBCM方法，SDCBCM方法。该方法是为了测量亚飞法（10-15F）级别的MOSFET栅电容而设计的。在本章中，我们先是阐述了本方法主要参考的一种CBCM方法——CIEF CBCM方法；然后从原理上详细说明本方法的优点；最后通过一个电容测量阵列芯片的实测结果，来验证我们的方法是否比其他现有的方法在测量精确度和可靠性上更好。由于对系统误差和随机误差的良好的消除作用，SDCBCM方法是目前测量单个微分电容最精确与可靠的方法。

# 一种全新的MCCBCM测试结构

上一章介绍的SDCBCM是用来测量单个微分电容的，然而MOSFET的寄生电容是由多个部分复合组成，而且每个部分都相互影响。当前的各种CBCM方法无法实现这种复合电容的分离。因此，目前要获取最新工艺MOSFET的各部分寄生电容，只能依靠软件建模的方法，而没有可靠的实测方法。

本章介绍的多通道（multi-channel,MC）CBCM方法是为了在片上实现多个复合电容精确分离而设计的，片上的复合电容主要是MOSFET的各部分电容。MCCBCM方法能够对飞法（10-15）级别的各部分MOSFET电容进行精确的提取分离，包括MOSFET栅源电容（gate-to-source, CGS）、栅漏电容（gate-to-drain, CGD）、栅对衬底电容（gate-to-bulk, CGB）、源对衬底电容（source-to-bulk, CSB）、漏对衬底电容（drain-to-bulk, CGB）等。而且本方法能在MOSFET工作在各种状态下对这些电容进行测量，从关断到开通，从截止区到耗尽区再到反型区。这是首次这些电容能在所有工作状态下得到精确提取分离。

在本章中，我们将首先介绍与MCCBCM相关的一些其他研究工作，来说明我们这项研究的由来与意义；然后我们将系统介绍MCCBCM的电路结构和方法原理；最后我们将介绍片上的实测结果

## MCCBCM方法相关的研究工作

### MOSFET寄生电容模型

MOSFET的寄生电容分布是集成电路领域的一个重要研究课题，没有正确的寄生电容模型，电路设计将无法进行。MCCBCM方法是致力于解决MOSFET寄生电容分布无法实测的问题，由于经费限制，我们的方法只能测量0.18μm工艺的平面MOSFET电容。典型的平面MOSFET电容分布如图3.1所示[13]、[14],MOSFET的四个端口栅（gate）、源（source）、漏（drain）、衬底（bulk）之间，以及它们和它们与上层金属的接触孔导线（contact）之间都有寄生电容。仅从结构上来细分这些寄生电容，可以分为栅和源、漏之间的外部边缘电容（outer-fringe capacitance COF）、内部边缘电容（inner-fringe capacitance CIF）、交叠电容（overlap capacitance，COV），栅和衬底之间的电容（gate-to-bulk capacitance，CGB）、栅和沟道之间的电容（gate-to-channel capacitance，CGC，仅当MOSFET开通时存在），栅和接触孔导线之间的电容（gate-to-contact capacitance,CPCCA）,以及漏源两端和衬底之间的结电容（junction capacitance，CJ）。当然，这只是平面结构的MOSFET寄生电容分布，最新工艺的立体鳍式结构FinFET有着更加复杂的电容分布[15],目前也有很多研究工作通过建模的方式来分析各种FinFET结构的寄生电容，包括double-gate结构[16]、triple-gate结构[17]、[18]等。然而随着模型越来越复杂，软件建模结果的准确性就越难以保证，就越需要实测结果来验证。

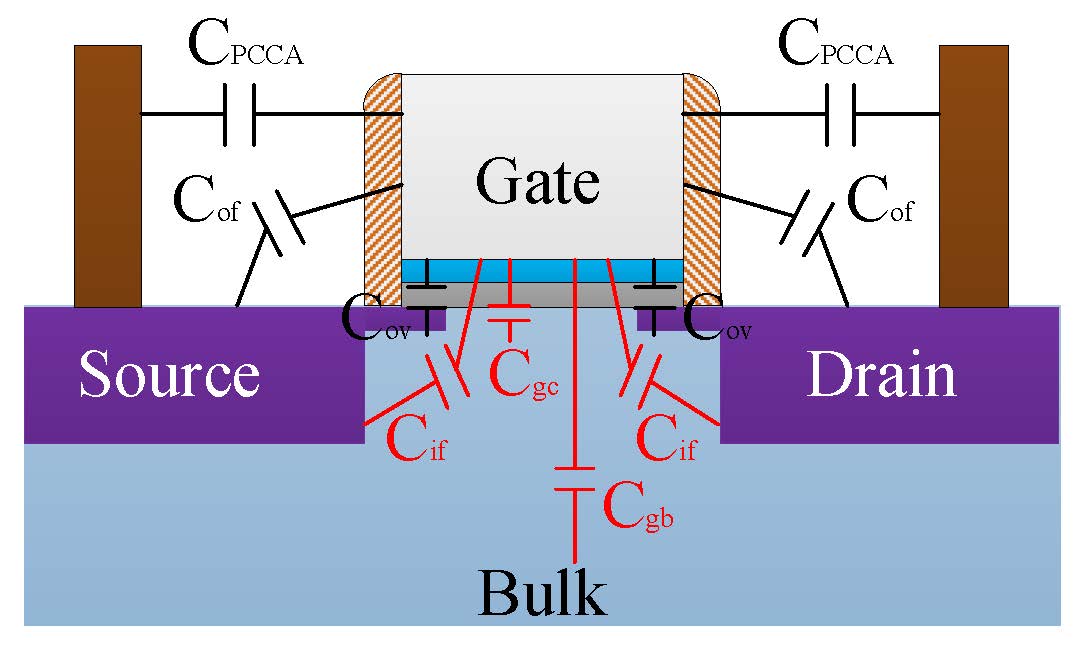


图 3.1 平面CMOS工艺MOSFET寄生电容分布图

虽然从物理结构上分析，MOSFET的寄生电容可以被细分得十分复杂，但是MOSFET器件一般是以四端口器件的方式接入到电路中，真正对电路性能造成影响的只是这四个端口之间的电容，各种MOSFET建模工作最后得到的SPICE模型也是为了能对这四个端口在MOSFET的各种工作状态下的电容进行仿真。因此MCCBCM方法仅是致力于测量各种工作状态下的MOSFET四端口（栅、源、漏、衬底）之间的电容。这样获得的测量结果不仅可以用于验证软件建模的结果，还可以用于实际电路设计中。

### 现有的一些MOSFET电容分离提取实测方法

现有的一些专为提取分离MOSFET各部分电容的实测方法基本是采用片外测量的方法，而且只能分离栅对沟道电容（CGC）、栅漏电容（CGD）、栅源电容（CGS）和栅对衬底电容（CGB）。[19]、[20]、[21]由于是采用片外测量的方法,测量的精度只是pF级别，显然不能满足对最新工艺MOSFET器件进行测量的精度要求。这就迫切需要一种片上测量的方法，而现有的所有CBCM方法都不能直接用于分离提取MOSFET的各部分电容，因为各部分电容之间的充放电是相互影响的，无法被简单分离。但是我们发现，文献[7]提出的CBCM方法——leakage and parasitic-insensitive CBCM方法，经过适当改进可以使用。因为与我们所提出的MCCBCM方法联系较为密切，我们将在下一小节中介绍这种CBCM方法。

## MCCBCM方法原理介绍

# 参考文献

1. Bohr M (2009) The new era of scaling in an SoC world. International solid-state circuit conference (ISSCC) proceedings, 2009:23–28
2. Bhushan, Manjul, and Mark B. Ketchen. Microelectronic test structures for CMOS technology. Springer Science & Business Media, 2011.
3. J. C. Chen, B. W. McGaughy, D. Sylvester, and C. Hu, “An on-chip, attofarad interconnect charge-based capacitance measurement (cbcm) technique,” in Electron Devices Meeting, 1996. IEDM ’96., International, Dec 1996. doi: 10.1109/IEDM.1996.553124. ISSN 0163-1918 pp. 69–72.
4. B. Sell, A. Avellan and W. H. Krautschneider, "Charge-based capacitance measurements (CBCM) on MOS devices," in IEEE Transactions on Device and Materials Reliability, vol. 2, no. 1, pp. 9-12, Mar 2002. doi: 10.1109/TDMR.2002.1014667
5. Yao-Wen Chang et al., "A novel simple CBCM method free from charge injection-induced errors," in IEEE Electron Device Letters, vol. 25, no. 5, pp. 262-264, May 2004. doi: 10.1109/LED.2004.826524
6. Yao-Wen Chang et al., "Charge-based capacitance measurement for bias-dependent capacitance," in IEEE Electron Device Letters, vol. 27, no. 5, pp. 390-392, May 2006. doi: 10.1109/LED.2006.873368
7. S. Realov and K. L. Shepard, “On-chip combined c-v/i-v characterization system in 45-nm cmos technology,” IEEE Journal of Solid-State Circuits, vol. 48, no. 3, pp. 814–826, March 2013. doi: 10.1109/JSSC.2013.2237695
8. Vendrame L, Bortesi L, Bogliolo A. Accuracy assessment and improvement of on-chip charge-based capacitance measurements[C]//Proc. 7th IEEE SPI Workshop. 2003: 117-120.
9. L. Vendrame, L. Bortesi, F. Cattane, and A. Bogliolo, “Crosstalk-based capacitance measurements: theory and applications,” Semiconductor Manufacturing, IEEE Transactions on, vol. 19, no. 1, pp. 67–77, Feb 2006. doi: 10.1109/TSM.2005.863263
10. K. Tsuji, K. Terada, R. Kikuchi, T. Tsunomura, A. Nishida and T. Mogami, "Evaluation of MOSFET C-V curve variation using test structure for charge-based capacitance measurement," 2011 IEEE ICMTS International Conference on Microelectronic Test Structures, Amsterdam, 2011, pp. 8-12. doi: 10.1109/ICMTS.2011.5976852
11. P. Zhang, C. Feng, H. Wang and W. Shan, "Analysis and Characterization of Capacitance Variation Using Capacitance Measurement Array," in IEEE Transactions on Semiconductor Manufacturing, vol. 27, no. 2, pp. 301-311, May 2014. doi: 10.1109/TSM.2014.2313373
12. H. Zhao, S. Rustagi, F.-J. Ma, G. Samudra, N. Singh, G. Lo, and D.-L. Kwong, “Charge-based capacitance measurement technique for nanoscale devices: Accuracy assessment based on tcad simulations,” Electron Devices, IEEE Transactions on, vol. 56, no. 5, pp. 1157–1160, May 2009. doi: 10.1109/TED.2009.2016396
13. L. Wei, F. Boeuf, T. Skotnicki, and H. S. P. Wong, “Parasitic capacitances: Analytical models and impact on circuit-level performance,” IEEE Transactions on Electron Devices, vol. 58, no. 5, pp. 1361–1370, May 2011. doi: 10.1109/TED.2011.2121912
14. J. Lacord, G. Ghibaudo, and F. Boeuf, “Comprehensive and accurate parasitic capacitance models for two- and three-dimensional cmos device structures,” IEEE Transactions on Electron Devices, vol. 59, no. 5, pp. 1332–1344, May 2012. doi: 10.1109/TED.2012.2187454
15. J. P. Colinge, FinFETs and Other Multi-Gate Transistors, 2008, Springer-Verlag.
16. D. Tekleab, S. Samavedam and P. Zeitzoff, "Modeling and Analysis of Parasitic Resistance in Double-Gate FinFETs," in IEEE Transactions on Electron Devices, vol. 56, no. 10, pp. 2291-2296, Oct. 2009. doi: 10.1109/TED.2009.2028377
17. K. Lee, T. An, S. Joo, K. W. Kwon and S. Kim, "Modeling of Parasitic Fringing Capacitance in Multifin Trigate FinFETs," in IEEE Transactions on Electron Devices, vol. 60, no. 5, pp. 1786-1789, May 2013. doi: 10.1109/TED.2013.2252467
18. S. S. Rodriguez, J. C. Tinoco, A. G. Martinez-Lopez, J. Alvarado and J. P. Raskin, "Parasitic Gate Capacitance Model for Triple-Gate FinFETs," in IEEE Transactions on Electron Devices, vol. 60, no. 11, pp. 3710-3717, Nov. 2013. doi: 10.1109/TED.2013.2282629
19. E. S. Andres, L. Pantisano, J. Ramos, S. Severi, L. Trojman, S. D. Gendt, and G. Groeseneken, “RF split capacitance-voltage measurements of short channel and leaky MOSFET devices,” IEEE Electron Device Letters, vol. 27, no. 9, pp. 772–774, Sept 2006. doi: 10.1109/LED.2006.881089
20. C. Diouf, A. Cros, D. Gloria, J. Rosa, M. Buczko, and G. Ghibaudo, “High field transport characterization in nano mosfets using 10ghz capacitance measurements,” in 2013 IEEE International Electron Devices Meeting, Dec 2013. doi: 10.1109/IEDM.2013.6724583. ISSN 0163-1918 pp. 7.6.1–7.6.4.
21. J. Lacord, G. Ghibaudo, and F. Boeuf, “Comprehensive and accurate parasitic capacitance models for two- and three-dimensional cmos device structures,” IEEE Transactions on Electron Devices, vol. 59, no. 5, pp. 1332–1344, May 2012. doi: 10.1109/TED.2012.2187454

# 攻读学位期间科研成果