

VLSI HW4

TLC_Synthesis

姓名：李煒權

學號：E24045165

系級：電機 4 乙

1. 系統設計原理與 I/O

設計原理

這次的作業的架構與作業三的架構一樣，但因為當時設計沒考慮到在合成方面的問題，導致現在只能更改作業三的程式，簡化以及 debug，StateMachine 上是一樣的，可是做法已經有些許不一樣了。

道路主要分為東南西北四個，主要分成 8 個 State：

S0：南北同時為綠燈，東西同時為紅燈

S1：南北綠燈閃爍

S2：南北轉為黃燈

S3：東南西北都為紅燈

S4：東西為紅燈，南北為綠燈

S5：東西綠燈閃爍

S6：東西轉為黃燈

S7：東南西北都為紅燈

主要決定 StateMachine 操作有五個變數

1. GT：綠燈時間
2. BGT：綠燈閃爍時間
3. YT：黃燈時間
4. ART：紅燈時間
5. Reset：初始化

程式裡 counter 會在每個 posedge clk 就會加 1：

1. Counter=12 → GT=1, S0→S1
2. Counter=16 → BGT=1, S1→S2
3. Counter=20 → YT=1, S2→S3
4. Counter=24 → ART=1, S3→S4
5. Counter=34 → GT=1, S4→S5
6. Counter=38 → BGT=1, S5→S6
7. Counter=42 → YT=1, S6→S7
8. Counter=(42→1) → ART=1, S7→S0

當 counter 數到了 46 時就會自動歸零。

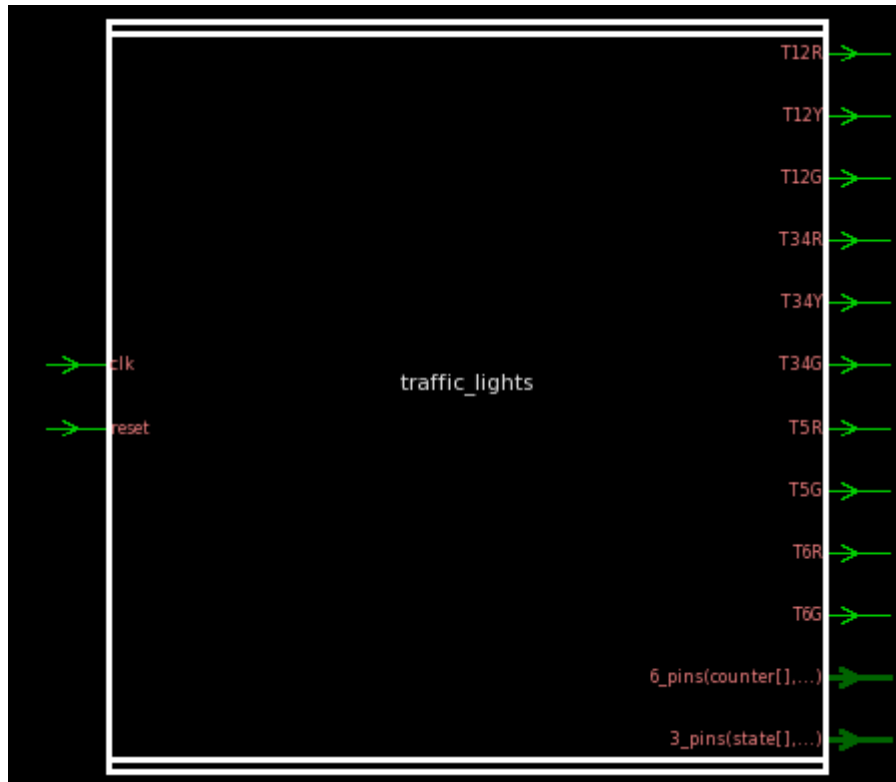
I/O

INPUT: reset, clk

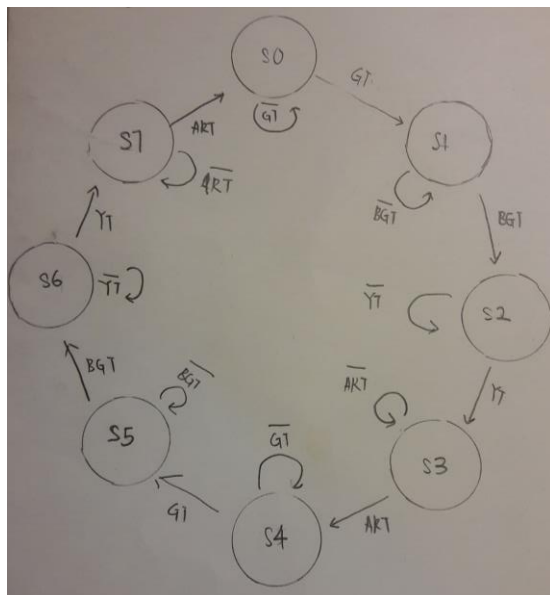
OUTPUT: T12R, T12Y, T12G, T24R, T34Y, T34G, T5R, T5G, T5R, T6G, counter, state

2.架構圖與有限狀態機之狀態圖

架構圖：



StateDiagram:



程式結果:

```
=====
Time = 1
State = 0
T12R = 0, T12Y = 0, T12G = 1
T34R = 1, T34Y = 0, T34G = 0
T5R = 1, T5G = 0
T6R = 0, T6G = 1
=====
Time = 12
State = 1
T12R = 0, T12Y = 0, T12G = 1
T34R = 1, T34Y = 0, T34G = 0
T5R = 1, T5G = 0
T6R = 1, T6G = 0
=====
Time = 16
State = 2
T12R = 0, T12Y = 1, T12G = 0
T34R = 1, T34Y = 0, T34G = 0
T5R = 1, T5G = 0
T6R = 1, T6G = 0
=====
Time = 20
State = 3
T12R = 1, T12Y = 0, T12G = 0
T34R = 1, T34Y = 0, T34G = 0
T5R = 1, T5G = 0
T6R = 1, T6G = 0
=====
Time = 24
State = 4
T12R = 1, T12Y = 0, T12G = 0
T34R = 0, T34Y = 0, T34G = 1
T5R = 0, T5G = 1
T6R = 1, T6G = 0
=====
Time = 34
State = 5
T12R = 1, T12Y = 0, T12G = 0
T34R = 0, T34Y = 0, T34G = 1
T5R = 1, T5G = 0
T6R = 1, T6G = 0
=====
Time = 38
State = 6
T12R = 1, T12Y = 0, T12G = 0
T34R = 0, T34Y = 1, T34G = 0
T5R = 1, T5G = 0
T6R = 1, T6G = 0
=====
Time = 42
State = 7
T12R = 1, T12Y = 0, T12G = 0
T34R = 1, T34Y = 0, T34G = 0
T5R = 1, T5G = 0
T6R = 1, T6G = 0
=====
```

2. 系統效能分析

三份 report 與朋友的 report 對比，我的比較沒效率，希望以後能做得更好。

REPORT:

1. Timing Report

Point	Incr	Path
-----	-----	-----
clock clk (rise edge)	2.50	2.50
clock network delay (ideal)	0.00	2.50
counter_reg[1]/CK (DFFRHQX1)	0.00	2.50 r
counter_reg[1]/Q (DFFRHQX1)	0.50	3.00 r
U87/C0 (ADDHXL)	0.22	3.22 r
U86/C0 (ADDHXL)	0.20	3.42 r
U85/C0 (ADDHXL)	0.20	3.62 r
U92/C0 (ADDHXL)	0.20	3.82 r
U97/Y (XOR2X1)	0.22	4.04 f
U89/Y (AND2X2)	0.15	4.18 f
counter_reg[5]/D (DFFRHQX1)	0.00	4.18 f
data arrival time		4.18
clock clk (rise edge)	7.50	7.50
clock network delay (ideal)	0.00	7.50
counter_reg[5]/CK (DFFRHQX1)	0.00	7.50 r
library setup time	-0.36	7.14
data required time		7.14
-----	-----	-----
data required time		7.14
data arrival time		-4.18
-----	-----	-----
slack (MET)		2.96

2. Area Report

```
*****
Report : area
Design : traffic_lights
Version: N-2017.09-SP4
Date   : Mon Nov 19 12:34:25 2018
*****
```

Library(s) Used:

slow (File: /home/ncku_class/vlsi2018/vlsi201826/Desktop/E24045165_hw4_v1/HW4/TLC/Synthesis/slow.db)

```
Number of ports:          21
Number of nets:           74
Number of cells:          62
Number of combinational cells: 50
Number of sequential cells: 12
Number of macros/black boxes: 0
Number of buf/inv:        13
Number of references:      18

Combinational area:       735.134410
Buf/Inv area:             86.486401
Noncombinational area:    878.169617
Macro/Black Box area:     0.000000
Net Interconnect area:    undefined (No wire load specified)

Total cell area:          1613.304027
Total area:               undefined
```

***** End Of Report *****

3. Power Report

```
*****
Report : power
        -analysis_effort low
Design : traffic_lights
Version: N-2017.09-SP4
Date   : Mon Nov 19 12:35:12 2018
*****
```

Library(s) Used:

slow (File: /home/ncku_class/vlsi2018/vlsi201826/Desktop/E24045165_hw4_v1/HW4/TLC/Synthesis/slow.db)

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Global Operating Voltage = 1.62
Power-specific unit information :
Voltage Units = 1V
Capacitance Units = 1.000000pf
Time Units = 1ns
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1pW

```
Cell Internal Power = 166.3831 uW (92%)
Net Switching Power = 14.1077 uW (8%)
-----
Total Dynamic Power = 180.4907 uW (100%)
Cell Leakage Power  = 45.4945 nW
```

4.系統驗證方法與結果分析

驗證方法

利用 display 出每個 state 的值，來確定是否正確運行。

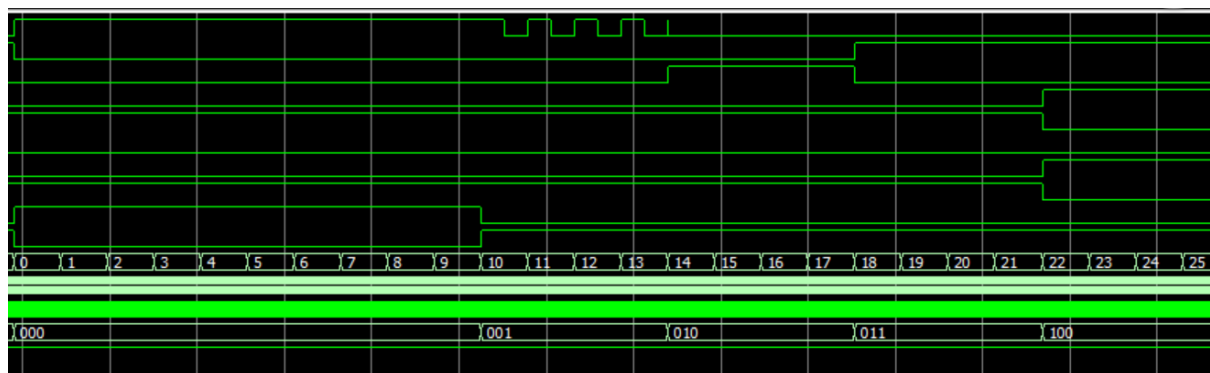
監視波形會更加清楚知道整體的流程，波形也是一個必要的 debug 工具。

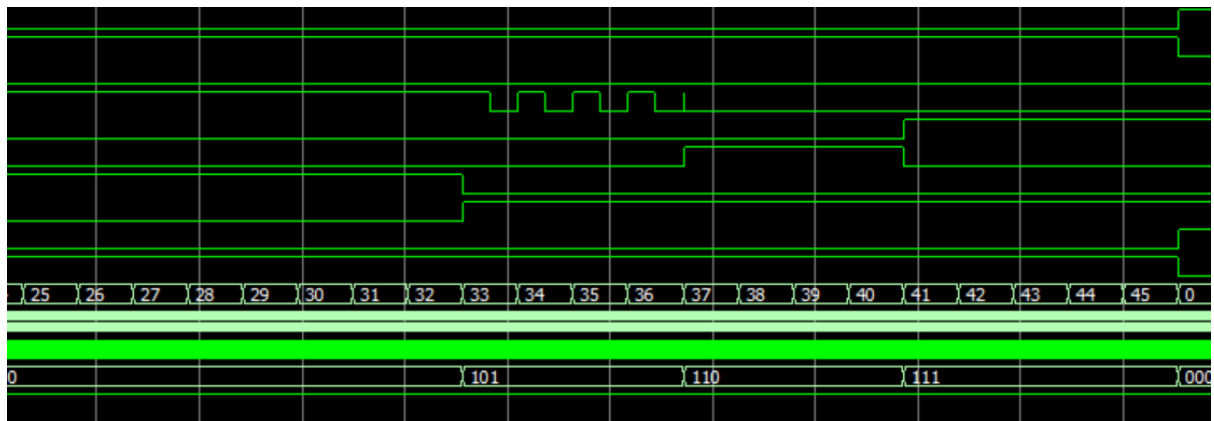
結果分析：

合成前：

合成前波形是非常完美的，沒有暫態的影響結果。

合成前波形：

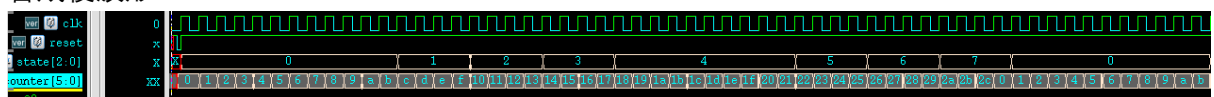




合成後：

合成後，我利用同樣檢測合成前的 TB，無法正確 display 結果。Debug 了一段時間終於透過波形找出了原來在 `state<=next_state` 時，`state` 的值會有暫態不正確的值（合成前：011→100，合成後：011→010→000→100），在合成前，我只需透過 `always@state` 就能顯示正確的 StateMachine，合成後必須等待 `state` 達到穩態才能顯示值。

合成後波形：



實體電路暫態情況：

State 從 7 換到零時，不會直接變成 0，會從 7 變成 5 再變成 1 才變到 0



5.問題與討論

我有遇到一個問題，在不同的 `always` 裡不能改變同一個值，在合成上會有 `tristate` 的問題，不知道有什麼更有效的方法嗎？也希望助教能教導我們一些硬體描述語言上的撇步，因為自己的程式在合成後感覺不太有效率，希望能寫得更加有效率。

6.心得

合成上我遇到的問題非常多，解決的 bug 多不勝數。雖然一堆的 bug，debug 到心煩，可是卻是學到很多東西。我們在寫程式都沒有硬體的觀念，例如我遇到暫態值的問題，以後合成上會有更多實體電路上會有的問題，例如 `holdtime` 那些。在這作業上還有很多時間是花在學習合成軟體，有他人教導會更有效率學習這軟體。