

总线系统

总线概述

李波 吾若 (引存-主存)

随着 I/O 设备的种类和数量越来越多, 为了解决 I/O 设备和主机之间连接的灵活性, 计算机的结构从分散连接发展为总线连接。为了进一步简化设计, 又提出了各类总线标准。

1: 总线基本概念

1) 总线的定义

总线是一组能为多个部件分时共享的公共信息传送线路。分时和共享是总线的两个特点。分时是指同一时刻只允许有一个部件向总线发送信息, 若系统中有多个部件, 则它们只能分时地向总线发送信息。共享是指总线上可以挂接多个部件, 各个部件之间互相交换的信息都可通过这组线路分时共享, 多个部件可同时从总线上接收相同的信息。

2) 总线设备

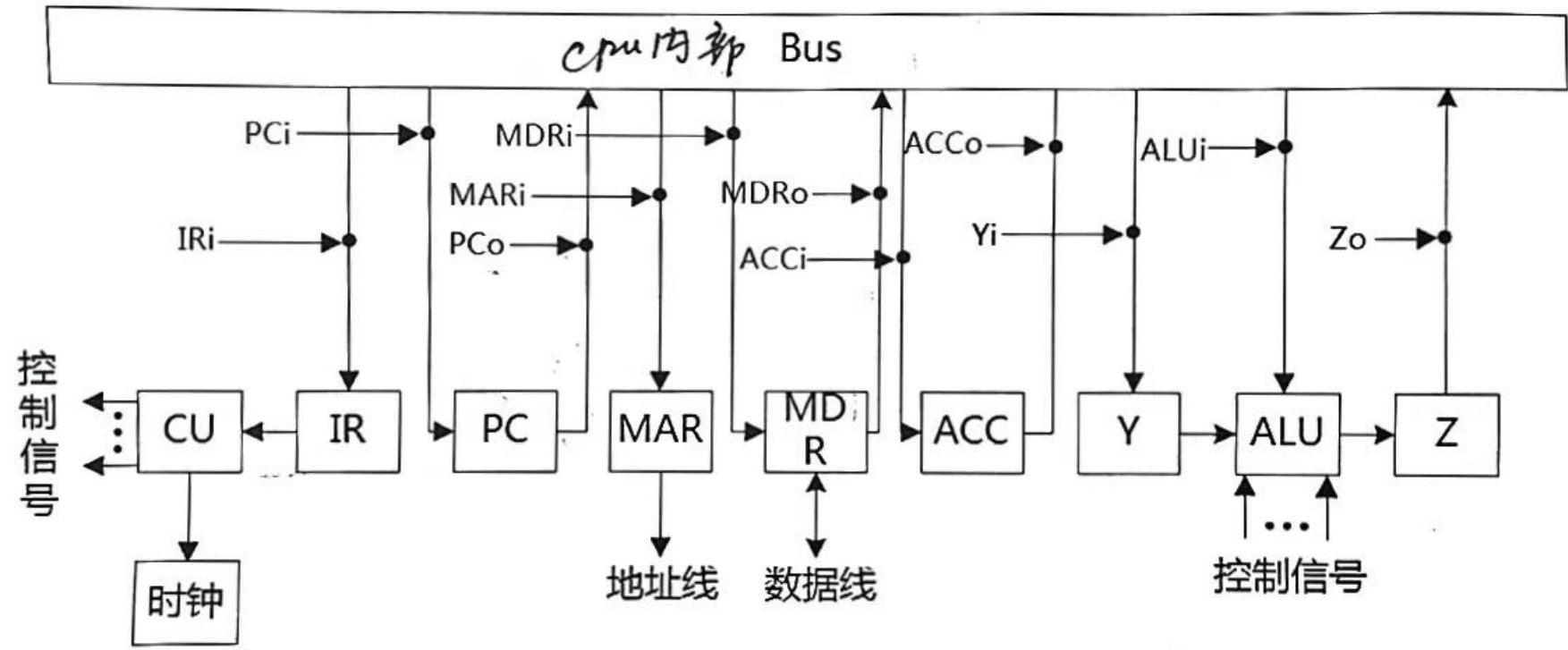
总线上所连接的设备, 按其总线有无控制功能可分为主设备和从设备两种。

主设备: 指获得总线控制权的设备。

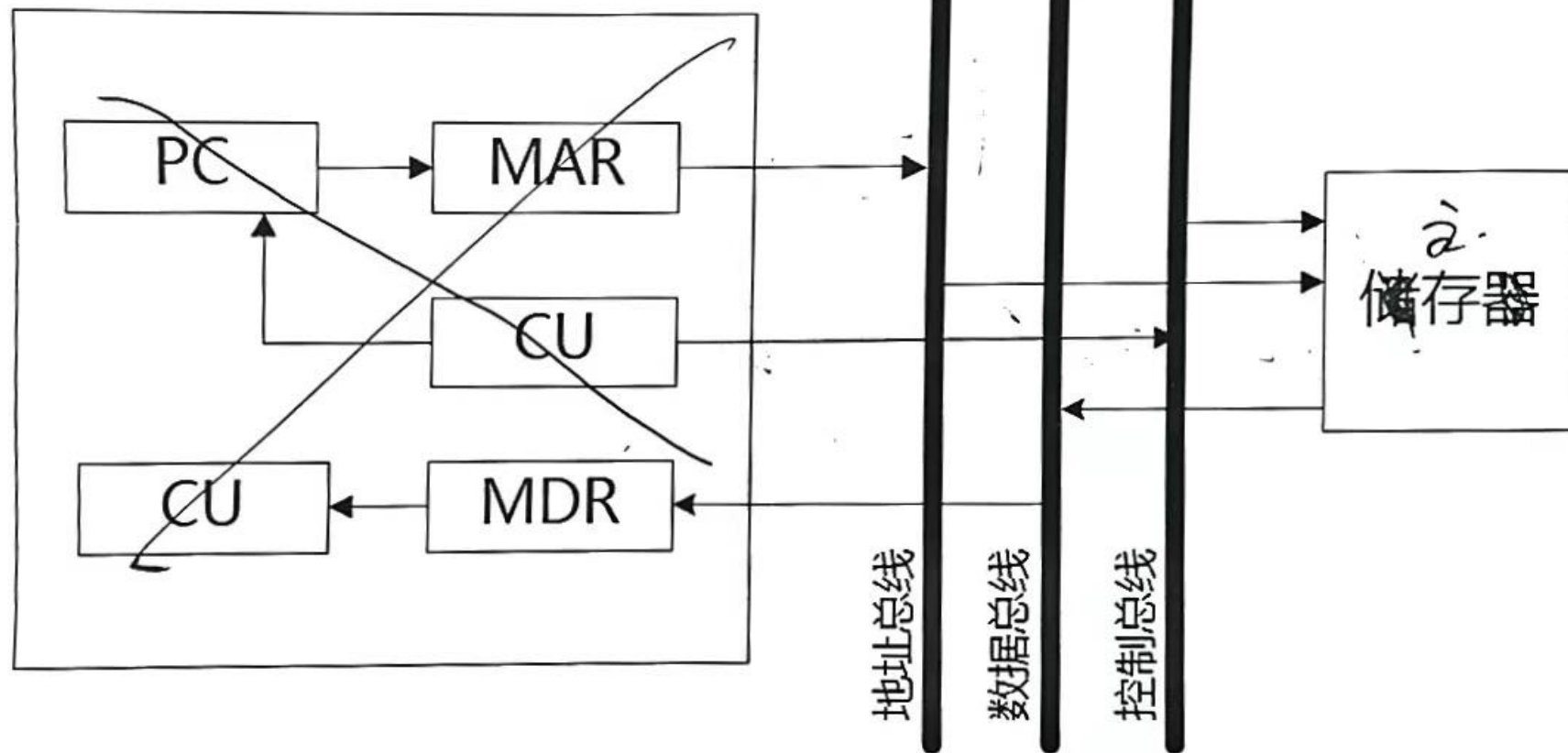
从设备: 指被主设备访问的设备, 它只能响应从主设备发来的各种总线命令。

清书-响应 (握手)

3) 总线特性



CPU



数据
指令

总线特性是指机械特性(尺寸、形状)、电气特性(传输方向和有效的电平范围)、功能特性(每根传输线的功能)和时间特性(信号和时序的关系)。

2: 总线的分类

计算机系统中的总线, 按功能划分为以下 3 类。

1) 片内总线 CPU 内部

片内总线是芯片内部的总线, 它是 CPU 芯片内部寄存器与寄存器之间、寄存器与 ALU 之间的公共连接线。

2) 系统总线

系统总线是计算机系统内各功能部件(CPU、主存、I/O 接口)之间相互连接的总线。按系统总线传输信息内容的不同, 又可分为 3 类: 数据总线、地址总线和控制总线。

(1) 数据总线用来传输各功能部件之间的数据信息, 它是双向传输总线, 其位数与机器字长、存储字长有关。

(2) 地址总线用来指出数据总线上的源数据或目的数据所在的主存单元或 I/O 端口的地址, 它是单向传输总线, 地址总线的位数与主存地址空间的大小有关。

(3) 控制总线传输的是控制信息, 包括 CPU 送出的控制命令和主存(或外设)返回 CPU 的反馈信号。

注意区分数据通路和数据总线: 各个功能部件通过数据总线连接形成的数据传输路径称为数据通路。数据通路表示的是数据流经的路径, 而数据总线是承载的媒介。

3) I/O 总线

总线分类

部件

时序控制

数据交换格式

同步
异步

并行
串行

片内
系统
I/O
通信

数据, 控制

局部 - 1 个

全局 - 2 个

一个操作数据

经过那些部件中

I/O 总线主要用于连接中低速的 I/O 设备，通过 I/O 接口与系统总线相连接，目的是将低速设备与高速总线分离，以提升总线的系统性能。常见的有 USB、PCI 总线。

4) 通信总线

通信总线是在计算机系统之间或计算机系统与其他系统(如远程通信设备、测试设备)之间传送信息的总线，通信总线也称外部总线。

此外，按时序控制方式可将总线划分为同步总线和异步总线，还可按数据传输格式将总线划分为并行总线和串行总线。

3: 系统总线的结构

① 单总线结构

单总线结构将 CPU、主存、I/O 设备(通过 I/O 接口)都挂在一组总线上，允许 I/O 设备之间、I/O 设备与主存之间直接交换信息，如图 1 所示。CPU 与主存、CPU 与外设之间可直接进行信息交换，而无须经过中间设备的干预。

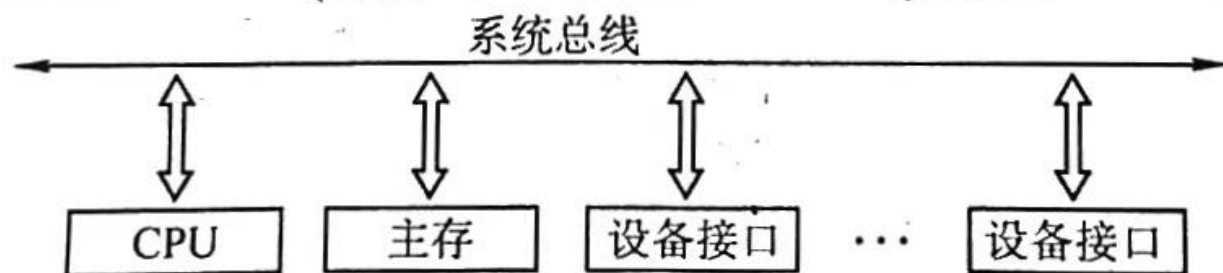


图 1 单总线结构

注意，单总线并不是指只有一根信号线，系统总线按传送信息的不同可细分为地址总线、数据总线和控制总线。

优点：结构简单，成本低，易于接入新的设备。

缺点：带宽低，负载重，多个部件只能争用唯一的总线，且不支持并发传送操作。

2) 双总线结构

双总线结构有两条总线：一条是主存总线，用于在 CPU、主存和通道之间传送数据；另一条是 I/O 总线，用于在多个外部设备与通道之间传送数据，如图 2 所示。

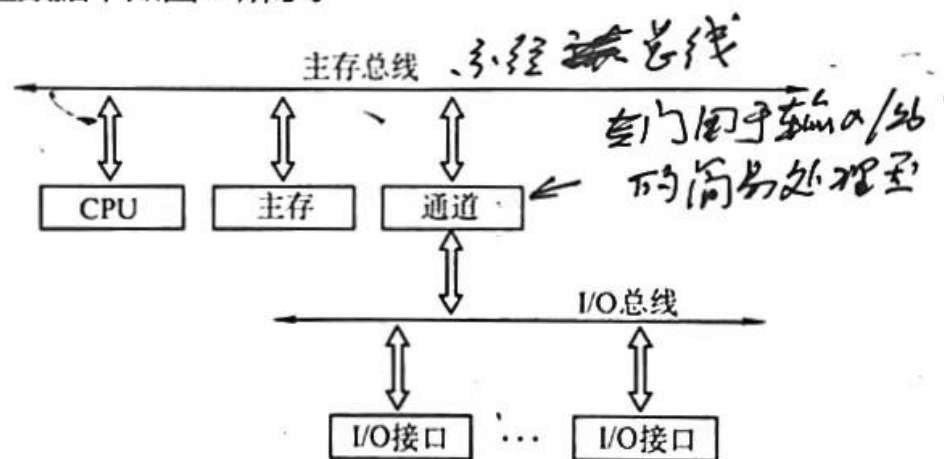


图 2 双总线结构

优点：将低速 I/O 设备从单总线上分离出来，实现了存储器总线和 I/O 总线分离。

缺点：需要增加通道等硬件设备。

3) 三总线结构

单总线结构优缺点

优点:结构简单,成本低,设备接入简便;

缺点:多个设备征用唯一的总线,造成数据传输带宽低,且不支持并发。

双总线结构优缺点

← 内存总线 CPU — 内存 — 总线
I/O 总线

优点:将低速设备和高速设备挂在不同的总线上,高速设备挂在存储器总线上,低速设备挂在 I/O 总线上,然后再通过通道(专门用于输入输出操作的简单处理器)与主存总线连接,以使得低速对高速设备的数据传输影响缩小;

缺点:通道访问主存需要经过主存总线,对高速设备还是有一定的影响,通道的引入使得硬件设计更为复杂。

三总线结构优缺点

← 内存总线 I/O 总线 DMA 总线

优点:DMA 总线的引入使得部分高速 I/O 设备可以直接访问主存,使得传输速率进一步提高;

吞吐量 ↑ 性能 ↑

缺点:DMA 控制器的引入使得硬件设计更为复杂。

cpu — 内存

cpu — I/O

内存 — I/O

三总线结构是在计算机系统各部件之间采用 3 条各自独立的总线来构成信息通路，这 3 条总线分别为主存总线、I/O 总线和直接内存访问(DMA)总线，如图 3 所示。

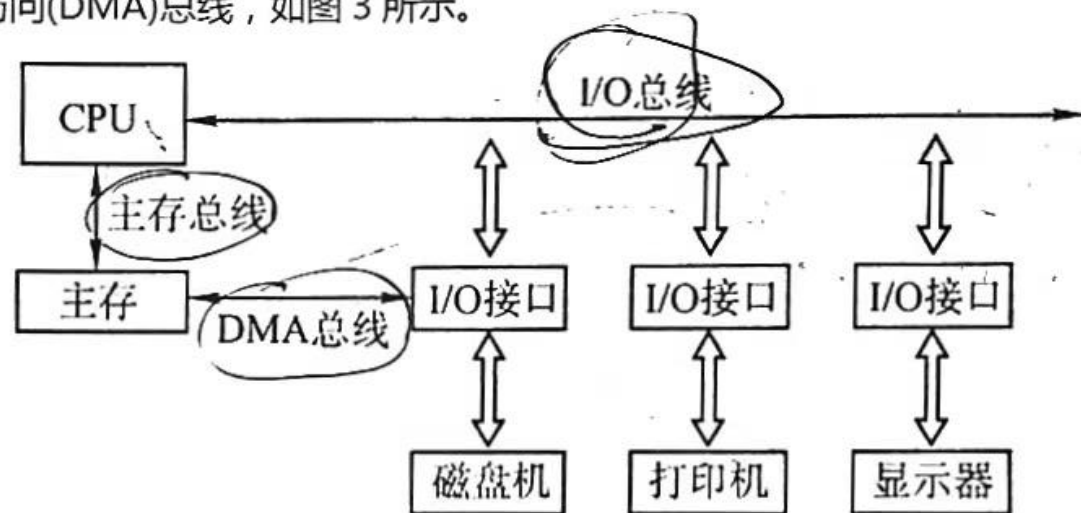


图 3 三总线结构

主存总线用于在 CPU 和内存之间传送地址、数据和控制信息。I/O 总线用于在 CPU 和各类外设之间通信。DMA 总线用于在内存和高速外设之间直接传送数据。

优点:提高了 I/O 设备的性能,使其更快地响应命令,提高系统吞吐量。

缺点:系统工作效率较低。

4)常见的总线标准

总线标准是国际上公布的互连各个模块的标准,是把各种不同的模块组成计算机系统时必须遵守的规范。典型的总线标准有 ISA、EISA、VESA、PCI、AGP、PCI-Express、USB 等。它们的主要区别是 总线宽度、带宽、时钟频率。

率、寻址能力、是否支持突发传送等。

- (1) ISA ,Industry Standard Architecture ,工业标准体系结构。是最早出现的微型计算机的系统总线 ,应用在 IBM 的 AT 机上。
- (2)EISA , Extended Industry Standard Architecture , 扩展的 ISA。是为配合 32 位 CPU 而设计的扩展总线 , EISA 对 ISA 完全兼容。
- (3)VESA , Video Electronics Standards Association , 视频电子标准协会。是一个 32 位的局部总线 , 是针对多媒体 PC 要求高速传送活动图像的大量数据而推出的。
- (4)PCI , Peripheral Component Interconnect , 外部设备互连。是高性能的 32 位或 64 位总线 , 是专为高度集成的外围部件、扩充插板和处理器/存储器系统设计的互连机制。目前常用的 PCI 适配器有显卡、声卡、网卡等。PCI 总线支持即插即用。PCI 总线是一个与处理器时钟频率无关的高速外围总线 , 属于局部总线。
- (5)AGP , Accelerated Graphics Port , 加速图形接口。是一种视频接口标准 , 专用于连接主存和图形存储器 , 用于传输视频和三维图形数据 , 属于局部总线。
- (6)PCI-E , PCI-Express。是最新的总线接口标准 , 它将全面取代现行的 PCI 和 AGP。
- (7)RS-232C。是由美国电子工业协会(EIA)推荐的一种串行通信总线 , 是应用于串行二进制交换的数据终端设备 (DTE)和数据通信设备(DCE)之间的标准接口。
- (8)USB , Universal SerialBus , 通用串行总线。是一种连接外部设备的 I/O 总线 , 属于设备总线。具有即插即用、

热插拔等优点，有很强的连接能力。

(9)PCMCIA, Personal Computer MemoryCard International Association。广泛应用于笔记本电脑的一种接口标准，是一个用于扩展功能的小型插槽。具有即插即用功能。

(10)IDE, Integrated Drive Electronics, 集成设备电路。更准确地称为 ATA, 是一种 IDE 接口磁盘驱动器接口类型，硬盘和光驱通过 IDE 接口与主板连接。

(11)SCSI, Small Computer System Interface, 小型计算机系统接口。是一种用于计算机和智能设备之间(硬盘、软驱)系统级接口的独立处理器标准。

(12)SATA, Serial Advanced Technology Attachment, 串行高级技术附件。是一种基于行业标准的串行硬件驱动器接口，是由 Intel、IBM、Dell 等公司共同提出的硬盘接口规范。

★ 5) 总线的性能指标

(1)总线传输周期。指一次总线操作所需的时间，包括申请阶段、寻址阶段、传输阶段和结束阶段。总线传输周期通常由若干总线时钟周期构成。

(2)总线时钟周期。即机器的时钟周期。计算机有一个统一的时钟，以控制整个计算机的各个部件，总线也要受此时钟的控制。

(3)总线工作频率。总线上各种操作的频率，为总线周期的倒数。实际上指 1 秒内传送几次数据。若总线周期 = N 个时钟周期，则总线的工作频率 = 时钟频率 / N 。

$$\text{总线工作频率} = \frac{1}{\text{总线周期}}$$

(4)总线时钟频率。即机器的时钟频率，它为时钟周期的倒数。

$$\text{时钟周期} = \frac{1}{\text{时钟频率}}$$

(5)总线宽度。又称总线位宽，它是总线上同时能够传输的数据位数，通常指数据总线的根数，如 32 根称为 32 位

总线。

(6)总线带宽。可理解为总线的最大数据传输率，即单位时间内总线上最多可传输数据的位数，通常用每秒传送信息的字节数来衡量，单位可用字节/秒(B/s)表示。总线带宽 = 总线工作频率 \times (总线宽度/8)。

注意：总线带宽和总线宽度应加以区别。

(7)总线复用。总线复用是指一种信号线在不同的时间传输不同的信息，因此可以使用较少的线传输更多的信息，从而节省空间和成本。

(8)信号线数。地址总线、数据总线和控制总线 3 种总线数的总和称为信号线数。其中，总线的最主要性能指标为总线宽度、总线(工作)频率、总线带宽，总线带宽是指总线本身所能达到的最高传输速率，它是衡量总线性能的重要指标。

三者关系：总线带宽 = 总线宽度 \times 总线频率。

例如，总线工作频率为 22MHz，总线宽度为 16 位，则总线带宽 = $22 \times (16/8) = 44 \text{ MB/s}$ 。

$$\text{总线周期} = \frac{1}{22 \times 10^6} \text{ (s)}$$

$$\text{带宽} = \frac{2 \text{ B}}{\frac{1}{22} \times 10^{-6} \text{ s}} = 44 \times 10^6 \text{ B/s} = 44 \text{ MB/s}$$

【2009 统考真题】假设某系统总线在一个总线周期中并行传输 4 字节信息，一个总线周期占用 2 个时钟周期，总线时钟频率为 10MHz，则总线带宽是()。

A. 10MB/s

B. 20MB/s

C. 40MB/s

D. 80MB/s

= 20MB/s

$$\text{总线带宽: 字节/s} = \frac{4B}{0.2\mu s} = \frac{4}{0.2 \times 10^{-6}} = 20 \times 10^6 B/s$$

$$\text{时钟频率: } 10MHz \Rightarrow \text{时钟周期} = \frac{1}{10MHz} = \frac{1}{10 \times 10^6} = 0.1\mu s$$

$$\text{总线周期} = 2 \times 0.1\mu s = 0.2\mu s$$

$$\begin{aligned} \text{总线带宽} &= \text{时钟频率} \times \text{总线宽度 (字节)} \\ &= \frac{10MHz \times 4}{2} \\ &= 20M \end{aligned}$$

在不同的时间可传输数据、地址

【2014 统考真题】某同步总线采用数据线和地址线复用方式，其中地址/数据线有 32 根，总线时钟频率为 66MHz，每个时钟周期传送两次数据(上升沿和下降沿各传送一次数据)，该总线的最大数据传输率(总线带宽)是()。

A. 132MB/s

B. 264MB/s

C. 528MB/s

D. 1056MB/s

地址/数据线有 32 根 \Rightarrow 宽度: 32 bit \Rightarrow 4B

时钟频率 66MHz \Rightarrow 时钟周期 $T = \frac{1}{66\text{MHz}} = \frac{1}{66} \times 10^{-6} \text{ (s)}$

1 个时钟周期传 2 次数据: $4\text{B} \times 2 = 8\text{B}$

$$\text{带宽} = \frac{8\text{B}}{\frac{1}{66} \times 10^{-6}} = 8 \times 66 \times 10^6 \text{ B/s} = 528 \text{ MB/s}$$

(B/s)

时钟周期内的字节数

时钟周期

总线周期内的字节数

总线时间

总线事务和定时

总线定时是指总线在双方交换数据的过程中需要时间上配合关系的控制，这种控制称为总线定时，其实质是一种协议或规则，主要有同步和异步两种基本定时方式。

1: 总线事务 总线传输的四个阶段——总线周期

从请求总线到完成总线使用的操作序列称为总线事务，它是在一个总线周期中发生的一系列活动。典型的总线事务包括请求操作、仲裁操作、地址传输、数据传输和总线释放。申请 → 寻址 → 传输 → 释放

- 申请阶段
- 1) 请求阶段。主设备(CPU 或 DMA)发出总线传输请求，并且获得总线控制权。
 - 2) 仲裁阶段。总线仲裁机构决定将下一个传输周期的总线使用权授予某个申请者。
 - ✓ 3) 寻址阶段。主设备通过总线给出要访问的从设备地址及有关命令，启动从模块。
 - ✓ 4) 传输阶段。主模块和从模块进行数据交换，可单向或双向进行数据传送。
 - ✓ 5) 释放阶段。主模块的有关信息均从系统总线上撤除，让出总线使用权。

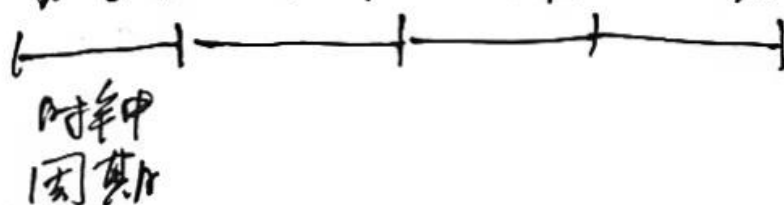
在总线事务的传输阶段，主、从设备之间一般只能传输一个字长的数据。

(突发(猝发)传送方式能够进行连续成组数据的传送，其寻址阶段发送的是连续数据单元的首地址，在传输阶段传送多个连续单元的数据，每个时钟周期可以传送一个字长的信息，但是不释放总线，直到一组数据全部传送完毕后，再释放总线。

非突发：地址 → 数据
→ 地址 → 数据
→ 地址 → 数据

首地址 → 数据 → 数据 → 数据 → ...

2: 同步定时方式

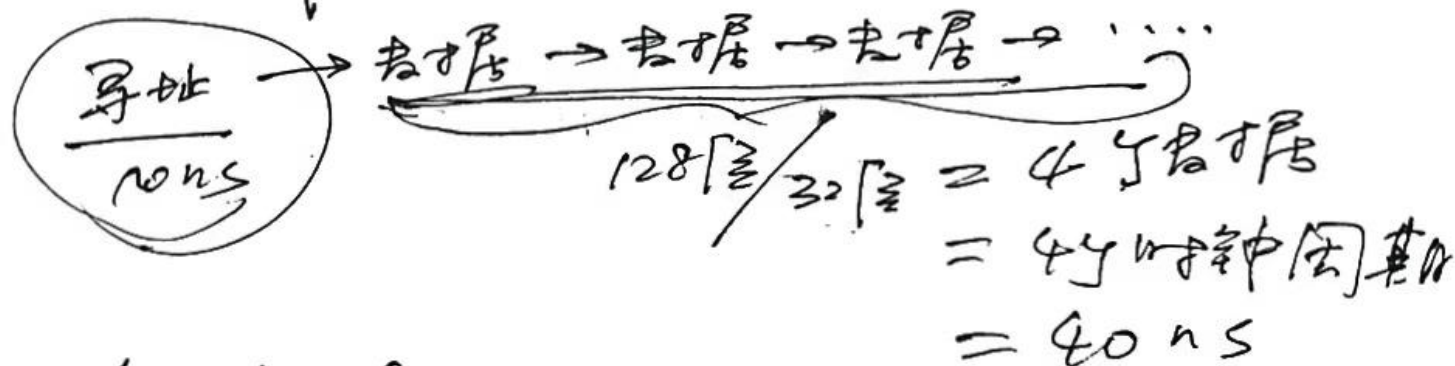


【2012 统考真题】某同步总线的时钟频率为 100MHz，宽度为 32 位，地址/数据线复用，每传输一个地址或数据占用一个时钟周期。若该总线支持突发(猝发)传输方式，则一次“主存写”总线事务传输 128 位数据所需要的时间至少是()。

- A. 20ns B. 40ns C. 50ns D. 80ns

$$\text{地址/数据宽度} = 32 \text{ 位} = 4 \text{ B}$$

$$\text{时钟频率 } 100 \text{ MHz} \Rightarrow \text{时钟周期} = \frac{1}{100 \text{ MHz}} = 10 \text{ ns}$$



发送地址: 10ns

发送数据: $4 \times 10 \text{ ns} = 40 \text{ ns}$

50ns

所谓同步定时方式，是指系统采用一个统一的时钟信号来协调发送和接收双方的传送定时关系。时钟产生相等的时间间隔，每个间隔构成一个总线周期。在一个总线周期中，发送方和接收方可以进行一次数据传送。因为采用统一的时钟，每个部件或设备发送或接收信息都在固定的总线传送周期中，一个总线的传送周期结束，下一个总线的传送周期开始。

优点：传送速度快，具有较高的传输速率；总线控制逻辑简单。

缺点：主从设备属于强制性同步；不能及时进行数据通信的有效性检验，可靠性较差。

同步通信适用于总线长度较短及总线所接部件的存取时间比较接近的系统。

强制性同步：在固定的时钟周期内要完成规定的操作
要按速度慢的部件设计时钟。

3: 异步定时方式

在异步定时方式中，没有统一的时钟，也没有固定的时间间隔，完全依靠传送双方相互制约的“握手”信号来实现定时控制。通常，把交换信息的两个部件或设备分为主设备和从设备，主设备提出交换信息的“请求”信号，经接口传送到从设备；从设备接到主设备的请求后，通过接口向主设备发出“回答”信号。

优点：总线周期长度可变，能保证两个工作速度相差很大的部件或设备之间可靠地进行信息交换，自动适应时间的配合。

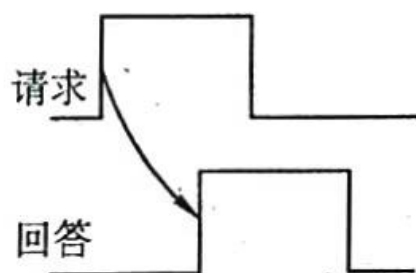
缺点：比同步控制方式稍复杂一些，速度比同步定时方式慢。

根据“请求”和“回答”信号的撤销是否互锁，异步定时方式又分为以下3种类型。

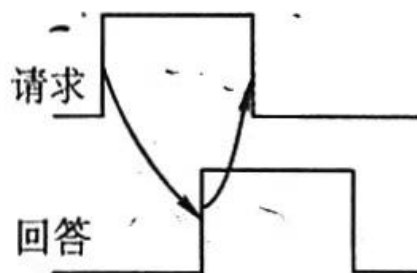
1) 不互锁方式。主设备发出“请求”信号后，不必等到接到从设备的“回答”信号，而是经过一段时间便撤销“请求”信号。而从设备在接到“请求”信号后，发出“回答”信号，并经过一段时间后自动撤销“回答”信号。双方不存在互锁关系，如图 1(a)所示。

2) 半互锁方式。主设备发出“请求”信号后，必须在接到从设备的“回答”信号后，才撤销“请求”信号，有互锁的关系。而从设备在接到“请求”信号后，发出“回答”信号，但不必等待获知主设备的“请求”信号已经撤销，而是隔一段时间后自动撤销“回答”信号，不存在互锁关系。半互锁方式如图 1(b)所示。

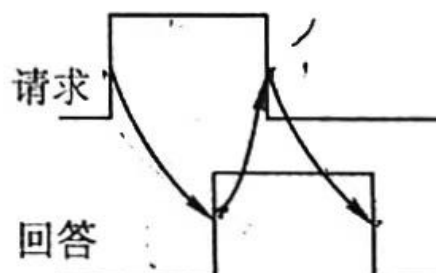
3) 全互锁方式。主设备发出“请求”信号后，必须在从设备“回答”后才撤销“请求”信号；从设备发出“回答”信号后，必须在获知主设备“请求”信号已撤销后，再撤销其“回答”信号。双方存在互锁关系，如图 1(c)所示。



(a) 不互锁



(b) 半互锁



(c) 全互锁

图 1 请求和回答信号的互锁

异步定时方式

- 不互锁方式

主设备发出“请求”信号后，不必等到接到从设备的“回答”信号，而是经过一段时间便撤销“请求”信号。而从设备在接到“请求”信号后，发出“回答”信号，并经过一段时间，自动撤销“回答”信号，双方不存在互锁关系。

- 半互锁方式

主设备发出“请求”信号后，必须待接到从设备的“回答”信号后，才撤销“请求”信号，有互锁的关系。而从设备在接到“请求”信号后，发出“回答”信号，但不必等待获知主设备的“请求”信号已经撤销，而是隔一段时间后自动撤销“回答”信号，不存在互锁关系。

- 全互锁方式

主设备发出“请求”信号后，必须待从设备“回答”后，才撤销“请求”信号；从设备发出“回答”信号，必须待获知主设备“请求”信号已撤销后，再撤销其“回答”信号。双方存在互锁关系。

比特率与波特率

- 波特率 = $\frac{\text{波特}}{\text{秒}}$

指的是信号被调制以后在单位时间内的变化,即通信通道中信号改变状态或发生变化的次数,单位为 Bd(Baud per second).

- 比特率

是指每秒传送的比特(bit)数,单位为 bps(bit per second)。

如每秒钟传送 240 个字符,而每个字符格式包含 10 位 (1 个起始位, 1 个停止位, 8 个数据位),这时的波特率为 240Bd, 比特率为 $10 \text{ 位} \times 240 \text{ 个/秒} = 2400\text{bps}$ 。

如在一个传输系统中,若字符格式为:1 位起始位、8 位数据位、1 位奇偶校验位、1 位终止位。假设比特率为 1200bps, 则此时的波特率是多少?

由题目知,当前传送一个字符所需的二进制位数为: $1+8+1+1=11$ 位。

由比特率为 1200bps 可知波特率为:

$$\frac{1200}{11} \approx 109.09 \text{ Bd}$$