

这种结构对高速设备而言,其自身的工作可以很少依赖 CPU,同时它们又比扩展总线上的设备更贴近 CPU,可见对于高性能设备与 CPU 来说,各自的效率将获得更大的提高。在这种结构中,CPU、高速总线的速度以及各自信号线的定义完全可以不同,以至各自改变其结构也不会影响高速总线的正常工作,反之亦然。

3.4.3 总线结构举例

图 3.11 是传统微型计算机的总线结构示意图。

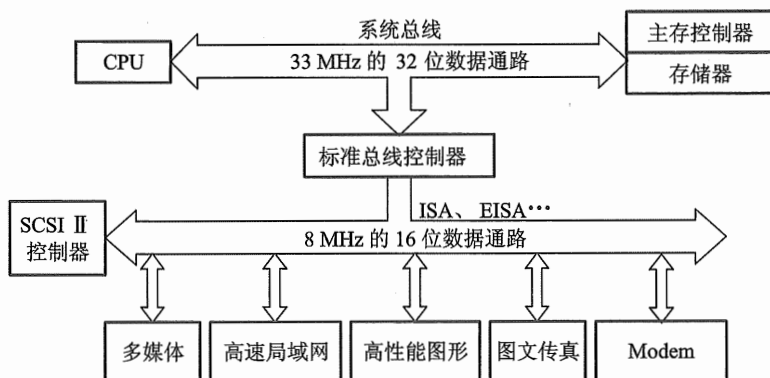


图 3.11 传统微型计算机的总线结构

由图 3.11 中可见,不论高速局域网、高性能图形还是低速的 FAX、Modem 都挂接在 ISA 或 EISA 总线上,并通过 ISA 或 EISA 总线控制器与系统总线相连,这样势必出现总线数据传输的瓶颈。只有将高速、高性能的外设,如高速局域网卡、高性能图形卡等尽量靠近 CPU 本身的总线,并与 CPU 同步或准同步,才可能消除瓶颈问题。这就要求改变总线结构来提高数据传送速率,为此,出现了图 3.12 的 VL-BUS 局部总线结构。

由图 3.12 中可见,将原先挂在 ISA 总线上的高速局域网卡、多媒体卡、高性能图形卡等从 ISA 总线卸下来,挂到局部总线 VL-BUS 上,再与系统总线相连。而将打印机、FAX、Modem 等低速设备仍挂在 ISA 总线上。局部总线 VL-BUS 就相当于在 CPU 与高速 I/O 设备之间架上了高速通道,使 CPU 与高性能外设得到充分发挥,满足了图形界面软件的要求。

由于 VL-BUS 是从 CPU 总线演化而来的,与 CPU 的关系太紧密(实际上这种总线与 486 配合最佳),以致很难支持功能更强的 CPU,因此出现了 PCI 总线。

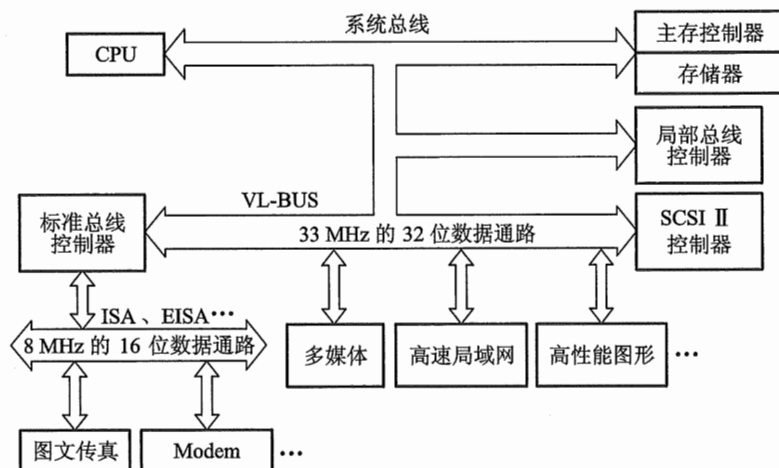


图 3.12 VL-BUS 局部总线结构

图 3.13 是 PCI 总线结构的示意图。

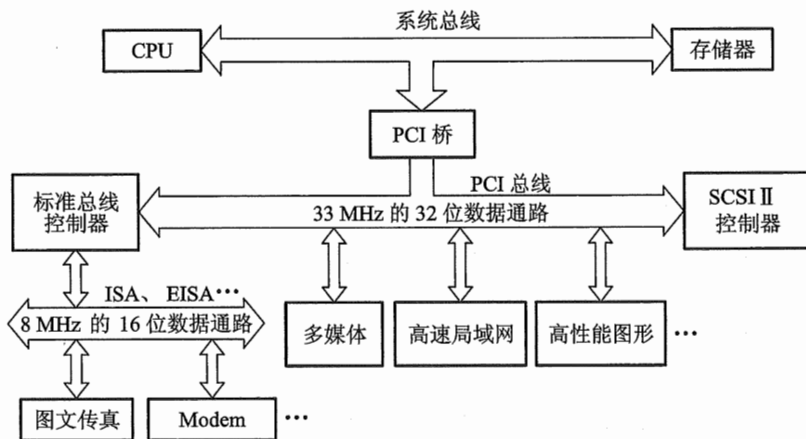


图 3.13 PCI 总线结构

由图 3.13 可见,PCI 总线是通过 PCI 桥路(包括 PCI 控制器和 PCI 加速器)与 CPU 总线相连。这种结构使 CPU 总线与 PCI 总线互相隔离,具有更高的灵活性,可以支持更多的高速运行设备,而且具有即插即用的特性。当然,挂在 PCI 总线上的设备都要求数据传输速率高的设备,如多媒体卡、高速局域网适配器、高性能图形卡等,与高速 CPU 总线是相匹配的。至于低速的 FAX、Modem、打印机仍然挂在 ISA、EISA 总线上。

当 PCI 总线驱动能力不足时,可采用多层结构,如图 3.14 所示。

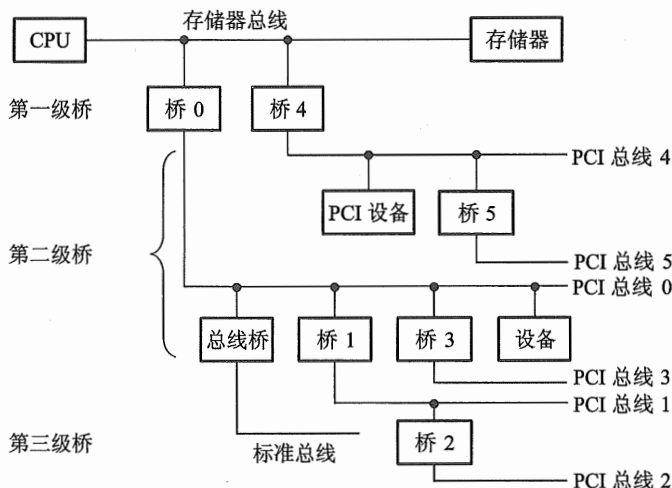


图 3.14 多层 PCI 总线结构

3.5 总线控制

由于总线上连接着多个部件,什么时候由哪个部件发送信息,如何给信息传送定时,如何防止信息丢失,如何避免多个部件同时发送,如何规定接收信息的部件等一系列问题都需要由总线控制器统一管理。它主要包括判优控制(或称仲裁逻辑)和通信控制。

3.5.1 总线判优控制

总线上所连接的各类设备,按其对总线有无控制功能可分为主设备(模块)和从设备(模块)两种。主设备对总线有控制权,从设备只能响应从主设备发来的总线命令,对总线没有控制权。总线上信息的传送是由主设备启动的,如某个主设备欲与另一个设备(从设备)进行通信时,首先由主设备发出总线请求信号,若多个主设备同时要使用总线时,就由总线控制器的判优、仲裁逻辑按一定的优先等级顺序确定哪个主设备能使用总线。只有获得总线使用权的主设备才能开始传送数据。

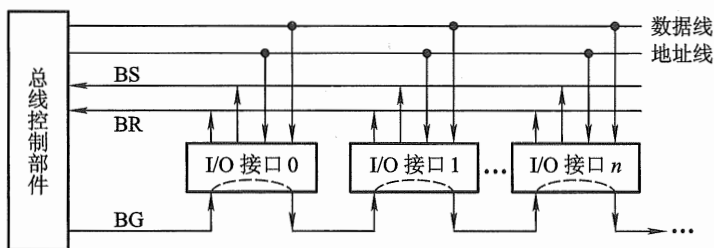
总线判优控制可分集中式和分布式两种,前者将控制逻辑集中在一处(如在 CPU 中),后者将控制逻辑分散在与总线连接的各个部件或设备上。

常见的集中控制优先权仲裁方式有以下三种。

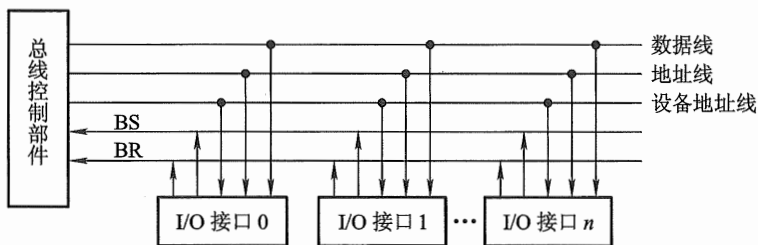
(1) 链式查询

链式查询方式如图 3.15(a) 所示。图中控制总线中有 3 根线用于总线控制(BS 总线

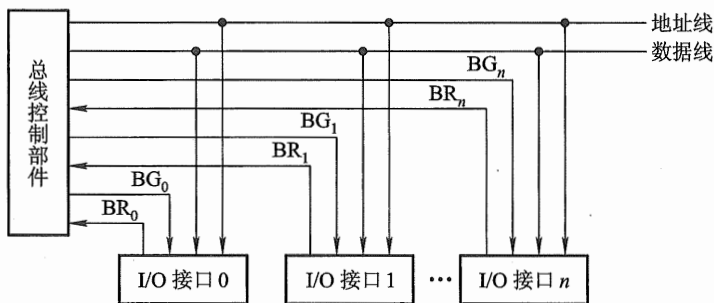
忙、BR 总线请求、BG 总线同意),其中总线同意信号 BG 是串行地从一个 I/O 接口送到下一个 I/O 接口。如果 BG 到达的接口有总线请求,BG 信号就不再往下传,意味着该接口获得了总线使用权,并建立总线忙 BS 信号,表示它占用了总线。可见在链式查询中,离总线控制部件最近的设备具有最高的优先级。这种方式的特点是:只需很少几根线就能按一定优先次序实现总线控制,并且很容易扩充设备,但对电路故障很敏感,且优先级别低的设备可能很难获得请求。



(a) 链式查询方式



(b) 计数器定时查询方式



(c) 独立请求方式

图 3.15 集中控制的三种优先权仲裁方式

(2) 计数器定时查询

计数器定时查询方式如图 3.15(b)所示。与图 3.15(a)相比,多了一组设备地址线,少了一根总线同意线 BG。总线控制部件接到由 BR 送来的总线请求信号后,在总线未被使用($BS=0$)

的情况下,总线控制部件中的计数器开始计数,并通过设备地址线,向各设备发出一组地址信号。当某个请求占用总线的设备地址与计数值一致时,便获得总线使用权,此时终止计数查询。这种方式的特点是:计数可以从“0”开始,此时一旦设备的优先次序被固定,设备的优先级就按 $0,1,\dots,n$ 的顺序降序排列,而且固定不变;计数也可以从上一次计数的终止点开始,即是一种循环方法,此时设备使用总线的优先级相等;计数器的初始值还可由程序设置,故优先次序可以改变。这种方式对电路故障不如链式查询方式敏感,但增加了控制线(设备地址)数,控制也较复杂。

(3) 独立请求方式

独立请求方式如图 3.15(c) 所示。由图中可见,每一台设备均有一对总线请求线 BR_i 和总线同意线 BG_i 。当设备要求使用总线时,便发出该设备的请求信号。总线控制部件中有一排队电路,可根据优先次序确定响应哪一台设备的请求。这种方式的特点是:响应速度快,优先次序控制灵活(通过程序改变),但控制线数量多,总线控制更复杂。链式查询中仅用两根线确定总线使用权属于哪个设备,在计数器查询中大致用 $\log_2 n$ 根线,其中 n 是允许接纳的最大设备数,而独立请求方式需采用 $2n$ 根线。

3.5.2 总线通信控制

众多部件共享总线,在争夺总线使用权时,应按各部件的优先等级来解决。在通信时间上,则应按分时方式来处理,即以获得总线使用权的先后顺序分时占用总线,即哪一个部件获得使用权,此刻就由它传送,下一部件获得使用权,接着下一时刻传送。这样一个接一个轮流交替传送。

通常将完成一次总线操作的时间称为总线周期,可分为以下 4 个阶段。

① 申请分配阶段:由需要使用总线的主模块(或主设备)提出申请,经总线仲裁机构决定下一传输周期的总线使用权授予某一申请者。

② 寻址阶段:取得了使用权的主模块通过总线发出本次要访问的从模块(或从设备)的地址及有关命令,启动参与本次传输的从模块。

③ 传数阶段:主模块和从模块进行数据交换,数据由源模块发出,经数据总线流入目的模块。

④ 结束阶段:主模块的有关信息均从系统总线上撤除,让出总线使用权。

对于仅有一个主模块的简单系统,无须申请、分配和撤除,总线使用权始终归它占有。对于包含中断、DMA 控制或多处理器的系统,还需要有其他管理机构来参与。

总线通信控制主要解决通信双方如何获知传输开始和传输结束,以及通信双方如何协调如何配合。通常用四种方式:同步通信、异步通信、半同步通信和分离式通信。

1. 同步通信

通信双方由统一时标控制数据传送称为同步通信。时标通常由 CPU 的总线控制部件发出,

送到总线上的所有部件;也可以由每个部件各自的时序发生器发出,但必须由总线控制部件发出的时钟信号对它们进行同步。

图 3.16 表示某个输入设备向 CPU 传输数据的同步通信过程。

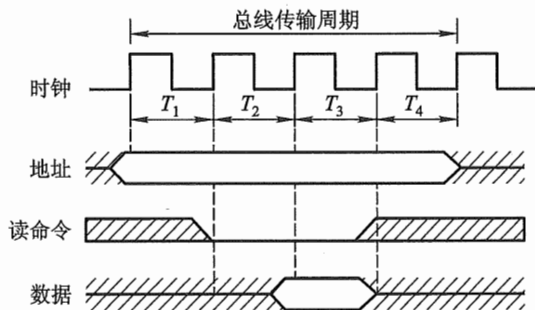


图 3.16 同步式数据输入传输

图中总线传输周期是连接在总线上的两个部件完成一次完整且可靠的信息传输时间,它包含 4 个时钟周期 T_1 、 T_2 、 T_3 、 T_4 。

CPU 在 T_1 上升沿发出地址信息;在 T_2 的上升沿发出读命令;与地址信号相符合的输入设备按命令进行一系列内部操作,且必须在 T_3 的上升沿到来之前将 CPU 所需的数据送到数据总线上;CPU 在 T_3 时钟周期内,将数据线上的信息送到其内部寄存器中;CPU 在 T_4 的上升沿撤销读命令,输入设备不再向数据总线上传送数据,撤销它对数据总线的驱动。如果总线采用三态驱动电路,则从 T_4 起,数据总线呈浮空状态。

同步通信在系统总线设计时,对 T_1 、 T_2 、 T_3 、 T_4 都有明确、唯一的规定。

对于读命令,其传输周期如下:

T_1 主模块发地址。

T_2 主模块发读命令。

T_3 从模块提供数据。

T_4 主模块撤销读命令,从模块撤销数据。

对于写命令,其传输周期如下:

T_1 主模块发地址。

$T_{1.5}$ 主模块提供数据。

T_2 主模块发出写命令,从模块接收到命令后,必须在规定时间内将数据总线上的数据写到地址总线所指明的单元中。

T_4 主模块撤销写命令和数据等信号。

写命令传输周期的时序如图 3.17 所示。

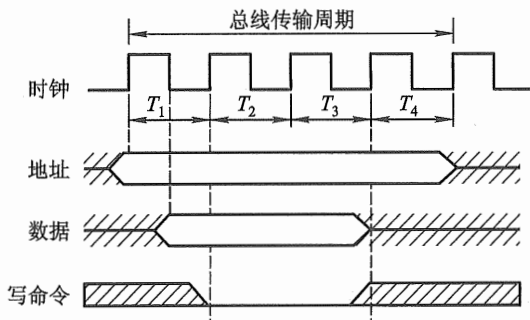


图 3.17 同步式数据输出传输

这种通信的优点是规定明确、统一,模块间的配合简单一致。其缺点是主、从模块时间配合属于强制性“同步”,必须在限定时间内完成规定的要求。并且对所有从模块都用同一限时,这就势必造成,对各不相同速度的部件而言,必须按最慢速度的部件来设计公共时钟,严重影响总线的工作效率,也给设计带来了局限性,缺乏灵活性。

同步通信一般用于总线长度较短、各部件存取时间比较一致的场合。

在同步通信的总线系统中,总线传输周期越短,数据线的位数越多,直接影响总线的数据传输率。

例 3.1 假设总线的时钟频率为 100 MHz,总线的传输周期为 4 个时钟周期,总线的宽度为 32 位,试求总线的数据传输率。若想提高一倍数据传输率,可采取什么措施?

解:根据总线时钟频率为 100 MHz,得

1 个时钟周期为 $1/100 \text{ MHz} = 0.01 \mu\text{s}$

总线传输周期为 $0.01 \mu\text{s} \times 4 = 0.04 \mu\text{s}$

由于总线的宽度为 32 位 = 4 B(字节)

故总线的数据传输率为 $4 \text{ B} / (0.04 \mu\text{s}) = 100 \text{ MBps}$

若想提高一倍数据传输率,可以在不改变总线时钟频率的前提下,将数据线的宽度改为 64 位,也可以仍保持数据宽度为 32 位,但使总线的时钟频率增加到 200 MHz。

2. 异步通信

异步通信克服了同步通信的缺点,允许各模块速度的不一致性,给设计者充分的灵活性和选择余地。它没有公共的时钟标准,不要求所有部件严格的统一操作时间,而是采用应答方式(又称握手方式),即当主模块发出请求(Request)信号时,一直等待从模块反馈回来“响应”(Acknowledge)信号后才开始通信。当然,这就要求主、从模块之间增加两条应答线(握手交互信号线 Handshaking)。

异步通信的应答方式又可分为不互锁、半互锁和全互锁三种类型,如图 3.18 所示。

(1) 不互锁方式

主模块发出请求信号后,不必等待接到从模块的回答信号,而是经过一段时间,确认从模块

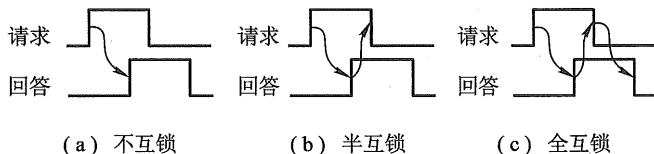


图 3.18 异步通信中请求与回答的互锁

已收到请求信号后,便撤销其请求信号;从模块接到请求信号后,在条件允许时发出回答信号,并且经过一段时间(这段时间的设置对不同设备而言是不同的)确认主模块已收到回答信号后,自动撤销回答信号。可见通信双方并无互锁关系。例如,CPU 向主存写信息,CPU 要先后给出地址信号、写命令以及写入数据,即采用此种方式。

(2) 半互锁方式

主模块发出请求信号,必须待接到从模块的回答信号后再撤销其请求信号,有互锁关系;而从模块在接到请求信号后发出回答信号,但不必等待获知主模块的请求信号已经撤销,而是隔一段时间后自动撤销其回答信号,无互锁关系。由于一方存在互锁关系,一方不存在互锁关系,故称半互锁方式。例如,在多机系统中,某个 CPU 需访问共享存储器(供所有 CPU 访问的存储器)时,该 CPU 发出访存命令后,必须收到存储器未被占用的回答信号,才能真正进行访存操作。

(3) 全互锁方式

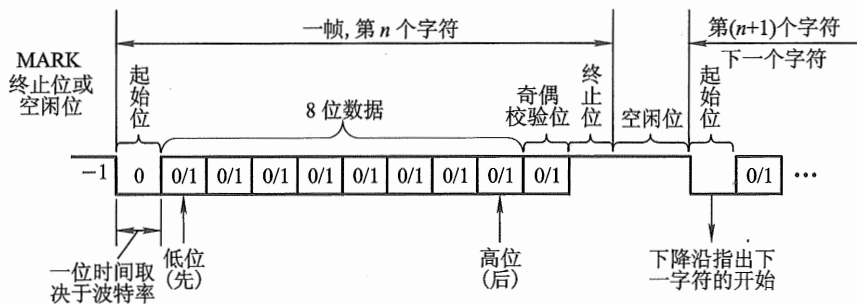
主模块发出请求信号,必须待从模块回答后再撤销其请求信号;从模块发出回答信号,必须待获知主模块请求信号已撤销后,再撤销其回答信号。双方存在互锁关系,故称为全互锁方式。例如,在网络通信中,通信双方采用的就是全互锁方式。

异步通信可用于并行传送或串行传送。异步并行通信可参见图 5.6,图中“Ready”和“Strobe”就是联络信号。异步串行通信时,没有同步时钟,也不需要数据传送中传送同步信号。为了确认被传送的字符,约定字符格式为:1 个起始位(低电平)、5~8 个数据位(如 ASCII 码为 7 位)、1 个奇偶校验位(作检错用)、1 或 1.5 或 2 个终止位(高电平)。传送时起始位后面紧跟的是要传送字符的最低位,每个字符的结束是一个高电平的终止位。起始位至终止位构成一帧,两帧之间的间隔可以是任意长度的。图 3.19 是两种数据传输率的异步串行传送格式,其中图 3.19(a)两帧之间有空闲位(高电平),而图 3.19(b)两帧之间无空闲位,故数据传输率更高。

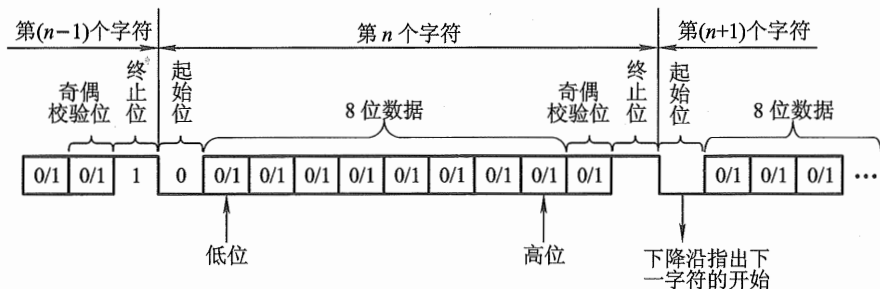
异步串行通信的数据传送速率用波特率来衡量。波特率是指单位时间内传送二进制数据的位数,单位用 bps(位/秒)表示,记作波特。

例 3.2 在异步串行传输系统中,假设每秒传输 120 个数据帧,其字符格式规定包含 1 个起始位、7 个数据位、1 个奇校验位、1 个终止位,试计算波特率。

解:根据题目给出的字符格式,一帧包含 $1+7+1+1=10$ 位



(a) 小于最高数据传送率



(b) 最高数据传送率

图 3.19 两种传输率的异步串行传送字符格式

故波特率为 $(1+7+1+1) \times 120 = 1\,200 \text{ bps} = 1\,200 \text{ 波特}$

例 3.3 画图说明用异步串行传输方式发送十六进制数据 95H。要求字符格式为:1 位起始位、8 位数据位、1 位偶校验位、1 位终止位。

解: 异步串行传送在起始位之后传输的是数据位的最低位(95H 的最低位 $D_0 = 1$), 而且数据位的最高位(95H 的最高位 $D_7 = 1$) 传输之后传输校验位, 最后是终止位。数据 95H 的偶校验位为 0, 其波形图如图 3.20 所示。

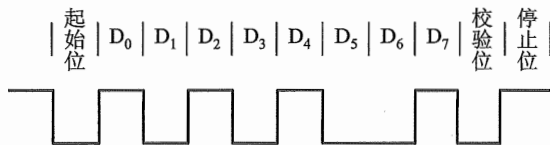


图 3.20 数据 95H 的传送波形

由于异步串行通信字符格式中包含若干附加位, 如起始位、终止位、校验位, 而且终止位又有 1 位、1.5 位、2 位之分, 若只考虑有效数据位, 可用比特率来衡量异步串行通信的数据传输速率, 即单位时间内传送二进制有效数据的位数, 单位用 bps 表示。

为了提高速度,将异步串行传送中这些附加位去掉,就可以采用同步传送,在同步传送时,数据块开始处要用同步字符 SYN 来指明,如图 3.21 所示。

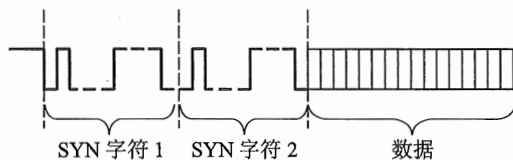


图 3.21 同步串行传送格式

同步串行传送速度高于异步串行传送速度,可达 500 千波特,而异步通信传送一般为 50~19 200 波特。

例 3.4 在异步串行传输系统中,若字符格式为:1 位起始位、8 位数据位、1 位奇校验位、1 位终止位。假设波特率为 1 200 bps,求这时的比特率。

解:根据题目给出的字符格式,有效数据位为 8 位,而传送一个字符需 $1+8+1+1=11$ 位,故比特率为

$$1\,200 \times (8/11) = 872.72 \text{ bps}$$

3. 半同步通信

半同步通信既保留了同步通信的基本特点,如所有的地址、命令、数据信号的发出时间,都严格参照系统时钟的某个前沿开始,而接收方都采用系统时钟后沿时刻来进行判断识别;同时又像异步通信那样,允许不同速度的模块和谐地工作。为此增设了一条“等待”(WAIT)响应信号线,采用插入时钟(等待)周期的措施来协调通信双方的配合问题。

仍以输入为例,在同步通信中,主模块在 T_1 发出地址,在 T_2 发出命令,在 T_3 传输数据,在 T_4 结束传输。倘若从模块工作速度较慢,无法在 T_3 时刻提供数据,则必须在 T_3 到来前通知主模块,给出 $\overline{\text{WAIT}}$ (低电平)信号。若主模块在 T_3 到来时刻测得 $\overline{\text{WAIT}}$ 为低电平,就插入一个等待周期 T_w (其宽度与时钟周期一致),不立即从数据线上取数。若主模块在下一个时钟周期到来时又测得 $\overline{\text{WAIT}}$ 为低,就再插入一个 T_w 等待,这样一个时钟周期、一个时钟周期地等待,直到主模块测得 $\overline{\text{WAIT}}$ 为高电平时,主模块即把此刻的下一个时钟周期当作正常周期 T_3 ,即时获取数据, T_4 结束传输。

插入等待周期的半同步通信数据输入过程如图 3.22 所示。

由图中可见,半同步通信时序可为以下形式。

T_1 主模块发出地址信息。

T_2 主模块发出命令。

T_w 当 $\overline{\text{WAIT}}$ 为低电平时,进入等待, T_w 的宽度与 T 的宽度一致。

⋮

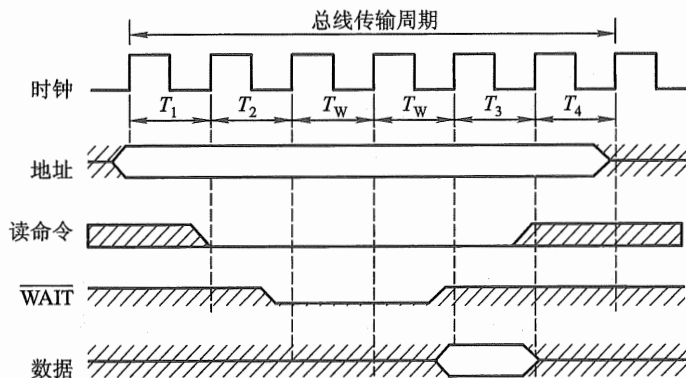


图 3.22 半同步通信数据输入过程

T_3 从模块提供数据。

T_4 主模块撤销读命令,从模块撤销数据。

半同步通信适用于系统工作速度不高但又包含了由许多工作速度差异较大的各类设备组成的简单系统。半同步通信控制方式比异步通信简单,在全系统内各模块又在统一的系统时钟控制下同步工作,可靠性较高,同步结构较方便。其缺点是对系统时钟频率不能要求太高,故从整体上来看,系统工作的速度还不是很很高。

4. 分离式通信

以上三种通信方式都是从主模块发出地址和读写命令开始,直到数据传输结束。在整个传输周期中,系统总线的使用权完全由占有使用权的主模块和由它选中的从模块占据。进一步分析读命令传输周期,发现除了申请总线这一阶段外,其余时间主要花费在如下 3 个方面。

- ① 主模块通过传输总线向从模块发送地址和命令。
- ② 从模块按照命令进行读数据的必要准备。
- ③ 从模块经数据总线向主模块提供数据。

由②可见,对系统总线而言,从模块内部读数据过程并无实质性的信息传输,总线纯属空闲等待。为了克服和利用这种消极等待,尤其在大型计算机系统中,总线的负载已处于饱和状态,充分挖掘系统总线每瞬间的潜力,对提高系统性能起到极大作用。为此人们又提出了“分离式”的通信方式,其基本思想是将一个传输周期(或总线周期)分解为两个子周期。在第一个子周期中,主模块 A 在获得总线使用权后将命令、地址以及其他有关信息,包括该主模块编号(当有多个主模块时,此编号尤为重要)发到系统总线上,经总线传输后,由有关的从模块 B 接收下来。主模块 A 向系统总线发布这些信息只占用总线很短的时间,一旦发送完,立即放弃总线使用权,以便其他模块使用。在第二个子周期中,当 B 模块收到 A 模块发来的有关命令信号后,经选择、译码、读取等一系列内部操作,将 A 模块所需的数据准备好,便由 B 模块申请总线使用权,一旦获准,B 模块便将 A 模块的编号、B 模块的地址、A 模块所需的数据等一系列信息送到总线

上,供 A 模块接收。很明显,上述两个传输子周期都只有单方向的信息流,每个模块都变成了主模块。

这种通信方式的特点如下:

- ① 各模块欲占用总线使用权都必须提出申请。
- ② 在得到总线使用权后,主模块在限定的时间内向对方传送信息,采用同步方式传送,不再等待对方的回答信号。
- ③ 各模块在准备数据的过程中都不占用总线,使总线可接受其他模块的请求。
- ④ 总线被占用时都在做有效工作,或者通过它发送命令,或者通过它传送数据,不存在空闲等待时间,充分地利用了总线的有效占用,从而实现了总线在多个主、从模块间进行信息交叉重叠并行式传送,这对大型计算机系统是极为重要的。

当然,这种方式控制比较复杂,一般在普通微型计算机系统很少采用。

思考题与习题

- 3.1 什么是总线?总线传输有何特点?为了减轻总线的负载,总线上的部件都应具备什么特点?
- 3.2 总线如何分类?什么是系统总线?系统总线又分为几类,它们各有何作用,是单向的,还是双向的,它们与机器字长、存储字长、存储单元有何关系?
- 3.3 常用的总线结构有几种?不同的总线结构对计算机的性能有什么影响?举例说明。
- 3.4 为什么要设置总线判优控制?常见的集中式总线控制有几种,各有何特点,哪种方式响应时间最快,哪种方式对电路故障最敏感?
- 3.5 解释概念:总线宽度、总线带宽、总线复用、总线的主设备(或主模块)、总线的从设备(或从模块)、总线的传输周期、总线的通信控制。
- 3.6 试比较同步通信和异步通信。
- 3.7 画图说明异步通信中请求与回答有哪几种互锁关系。
- 3.8 为什么说半同步通信同时保留了同步通信和异步通信的特点?
- 3.9 分离式通信有何特点?主要用于什么系统?
- 3.10 什么是总线标准?为什么要设置总线标准?目前流行的总线标准有哪些?什么是即插即用,哪些总线有这一特点?
- 3.11 画一个具有双向传送功能的总线逻辑图。
- 3.12 设数据总线上接有 A、B、C、D 4 个寄存器,要求选用合适的 74 系列芯片,完成下列逻辑设计:
 - (1) 设计一个电路,在同一时间实现 $D \rightarrow A$ 、 $D \rightarrow B$ 和 $D \rightarrow C$ 寄存器间的传送。
 - (2) 设计一个电路,实现下列操作。
 - T_0 时刻完成 $D \rightarrow$ 总线。
 - T_1 时刻完成总线 $\rightarrow A$ 。
 - T_2 时刻完成 $A \rightarrow$ 总线。
 - T_3 时刻完成总线 $\rightarrow B$ 。
- 3.13 什么是总线的数据传送速率,它与哪些因素有关?

3.14 设总线的时钟频率为 8 MHz,一个总线周期等于一个时钟周期。如果一个总线周期中并行传送 16 位数据,试问总线的带宽是多少?

3.15 在一个 32 位的总线系统中,总线的时钟频率为 66 MHz,假设总线最短传输周期为 4 个时钟周期,试计算总线的最大数据传输率。若想提高数据传输率,可采取什么措施?

3.16 在异步串行传送系统中,字符格式为:1 个起始位、8 个数据位、1 个校验位、2 个终止位。若要求每秒传送 120 个字符,试求传送的波特率和比特率。

第4章 存储器

本章重点介绍主存储器的分类、工作原理、组成方式以及与其他部件(如 CPU)的联系。此外还介绍了高速缓冲存储器、磁表面存储器等的基本组成和工作原理。旨在使读者真正建立起如何用不同的存储器组成具有层次结构的存储系统的概念。

4.1 概述

4.1.1 存储器分类

存储器是计算机系统记忆设备,用来存放程序和数据。随着计算机发展,存储器在系统中的地位越来越重要。由于超大规模集成电路的制作技术,使 CPU 的速度变得惊人的高,而存储器的取数和存数的速度与它很难适配,这使计算机系统的运行速度在很大程度上受存储器速度的制约。此外,由于 I/O 设备不断增多,如果它们与存储器交换信息都通过 CPU 来实现,这将大大降低 CPU 的工作效率。为此,出现了 I/O 与存储器的直接存取方式(DMA),这也使存储器的地位更为突出。尤其在多处理机的系统中,各处理机本身都需与其主存交换信息,而且各处理机在互相通信中,也都需共享存放在存储器中的数据。因此,存储器的地位就更为显要。可见,从某种意义而言,存储器的性能已成为计算机系统的核心。

当今,存储器的种类繁多,从不同的角度对存储器可作不同的分类。

1. 按存储介质分类

存储介质是指能寄存“0”“1”两种代码并能区别两种状态的物质或元器件。存储介质主要有半导体器件、磁性材料和光盘等。

(1) 半导体存储器

存储元件由半导体器件组成的存储器称为半导体存储器。现代半导体存储器都用超大规模集成电路工艺制成芯片,其优点是体积小、功耗低、存取时间短。其缺点是当电源消失时,所存信息也随即丢失,它是一种易失性存储器。近年来已研制出用非挥发性材料制成的半导体存储器,克服了信息易失的弊病。

半导体存储器又可按其材料的不同,分为双极型(TTL)半导体存储器和 MOS 半导体存储器两种。前者具有高速的特点;后者具有高集成度的特点,并且制造简单,成本低廉,功耗小,故

MOS 半导体存储器被广泛应用。

(2) 磁表面存储器

磁表面存储器是在金属或塑料基体的表面上涂一层磁性材料作为记录介质,工作时磁层随载磁体高速运转,用磁头在磁层上进行读/写操作,故称为磁表面存储器。按载磁体形状的不同,可分为磁盘、磁带和磁鼓。现代计算机已很少采用磁鼓。由于用具有矩形磁滞回线特性的材料作磁表面物质,它们按其剩磁状态的不同而区分“0”或“1”,而且剩磁状态不会轻易丢失,故这类存储器具有非易失性的特点。

(3) 磁芯存储器

磁芯是由硬磁材料做成的环状元件,在磁芯中穿有驱动线(通电流)和读出线,这样便可进行读/写操作。磁芯属磁性材料,故它也是不易失的永久记忆存储器。不过,磁芯存储器的体积过大、工艺复杂、功耗太大,故 20 世纪 70 年代后,逐渐被半导体存储器取代,目前几乎已不被采用。

(4) 光盘存储器

光盘存储器是应用激光在记录介质(磁光材料)上进行读/写的存储器,具有非易失性的特点。由于光盘记录密度高、耐用性好、可靠性高和可互换性强等特点,光盘存储器越来越被用于计算机系统。

2. 按存取方式分类

按存取方式可把存储器分为随机存储器、只读存储器、顺序存取存储器和直接存取存储器。

(1) 随机存储器(Random Access Memory, RAM)

RAM 是一种可读/写存储器,其特点是存储器的任何一个存储单元的内容都可以随机存取,而且存取时间与存储单元的物理位置无关。计算机系统的主存都采用这种随机存储器。由于存储信息原理的不同,RAM 又分为静态 RAM(以触发器原理寄存信息)和动态 RAM(以电容充放电原理寄存信息)。

(2) 只读存储器(Read Only Memory, ROM)

只读存储器是能对其存储的内容读出,而不能对其重新写入的存储器。这种存储器一旦存入了原始信息后,在程序执行过程中,只能将内部信息读出,而不能随意重新写入新的信息去改变原始信息。因此,通常用它存放固定不变的程序、常数和汉字字库,甚至用于操作系统的固化。它与随机存储器可共同作为主存的一部分,统一构成主存的地址域。

早期只读存储器的存储内容根据用户要求,厂家采用掩模工艺,把原始信息记录在芯片中,一旦制成后无法更改,称为掩模型只读存储器(Masked ROM, MROM)。随着半导体技术的发展和用户需求的变化,只读存储器先后派生出可编程只读存储器(Programmable ROM, PROM)、可擦除可编程只读存储器(Erasable Programmable ROM, EPROM)以及电擦除可编程只读存储器(Electrically - Erasable Programmable ROM, EEPROM)。近年来还出现了闪速存储器 Flash Memory,它具有 EEPROM 的特点,而速度比 EEPROM 快得多。