

第3章 系统总线

本章着重介绍系统总线的基本概念及其分类、结构和总线控制逻辑。要求读者能对系统总线在计算机硬件结构中的地位和作用有所了解。

3.1 总线的基本概念

计算机系统的五大部件之间的互连方式有两种,一种是各部件之间使用单独的连线,称为分散连接;另一种是将各部件连到一组公共信息传输线上,称为总线连接。

早期的计算机大多数用分散连接方式,如图 1.7 所示。它是以运算器为中心的结构,其内部连线十分复杂,尤其是当 I/O 与存储器交换信息时,都需经过运算器,致使运算器停止运算,严重影响了 CPU 的工作效率。后来,虽然改进为以存储器为中心的如图 1.8 所示的分散连接结构,I/O 与主存交换信息可以不经过运算器,又采用了中断、DMA 等技术,使 CPU 工作效率得到很大的提高,但是仍无法解决 I/O 设备与主机之间连接的灵活性。随着计算机应用领域的不断扩大,I/O 设备的种类和数量也越来越多,人们希望随时增添或减撤设备,用分散连接方式简直是一筹莫展,由此出现了总线连接方式。

总线是连接多个部件的信息传输线,是各部件共享的传输介质。当多个部件与总线相连时,如果出现两个或两个以上部件同时向总线发送信息,势必导致信号冲突,传输无效。因此,在某一时刻,只允许有一个部件向总线发送信息,而多个部件可以同时从总线上接收相同的信息。

总线实际上是由许多传输线或通路组成,每条线可一位一位地传输二进制代码,一串二进制代码可在一段时间内逐一传输完成。若干条传输线可以同时传输若干位二进制代码,例如,16 条传输线组成的总线可同时传输 16 位二进制代码。

采用总线连接的计算机结构,如图 3.1 所示,它是以 CPU 为中心的双总线结构。

其中一组总线连接 CPU 和主存,称为存储总线(M 总线);另一组用来建立 CPU 和各 I/O 设备之间交换信息的通道,称为输入输出总线(I/O 总线)。各种 I/O 设备通过 I/O 接口挂到 I/O 总线上,更便于增删设备。这种结构在 I/O 设备与主存交换信息时仍然要占用 CPU,因此还会影响 CPU 的工作效率。

倘若将 CPU、主存和 I/O 设备(通过 I/O 接口)都挂到一组总线上,便形成单总线结构的计算机,如图 3.2 所示。

图 3.2 与图 3.1 相比,最明显的特点是当 I/O 设备与主存交换信息时,原则上不影响 CPU 的

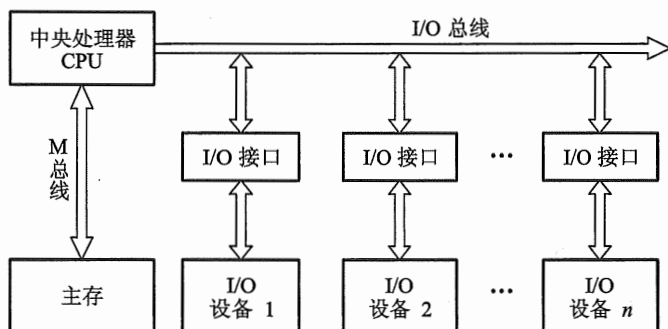


图 3.1 面向 CPU 的双总线结构框图

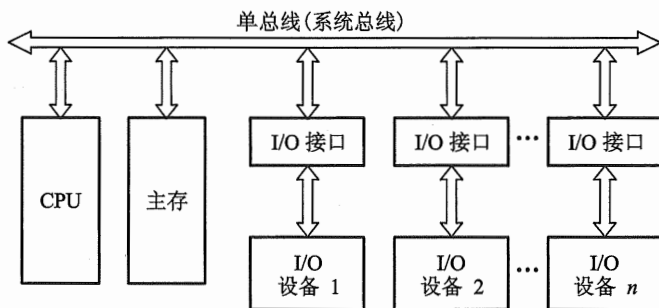


图 3.2 单总线结构框图

工作, CPU 仍可继续处理不访问主存或 I/O 设备的操作,这就使 CPU 工作效率有所提高。但是,因只有一组总线,当某一时刻各部件都要占用总线时,就会发生冲突。为此,必须设置总线判优逻辑,让各部件按优先级高低来占用总线,这也会影响整机的工作速度。PDP-11 和国产 DJS183 机均采用这种结构。

还有一种以存储器为中心的双总线结构,如图 3.3 所示。

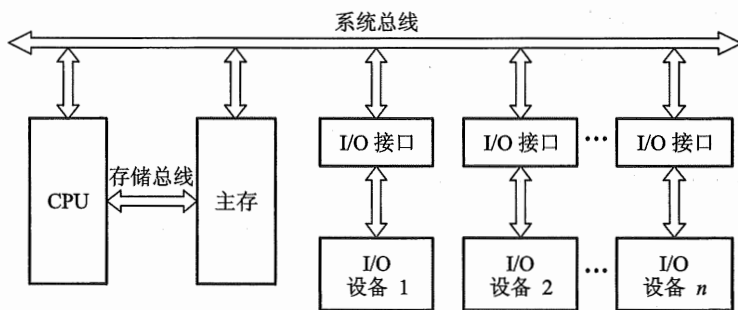


图 3.3 以存储器为中心的双总线结构框图

它是在单总线基础上又开辟出的一条 CPU 与主存之间的总线,称为存储总线。这组总线速度高,只供主存与 CPU 之间传输信息。这样既提高了传输效率,又减轻了系统总线的负担,还保留了 I/O 设备与存储器交换信息时不经过 CPU 的特点。国产 DJS184 机采用这种结构。

现代计算机大多数采用各类总线结构。

3.2 总线的分类

总线的应用很广泛,从不同角度可以有不同的分类方法。按数据传送方式可分为并行传输总线和串行传输总线。在并行传输总线中,又可按传输数据宽度分为 8 位、16 位、32 位、64 位等传输总线。若按总线的使用范围划分,则又有计算机(包括外设)总线、测控总线、网络通信总线等。下面按连接部件不同,介绍三类总线。

3.2.1 片内总线

片内总线是指芯片内部的总线,如在 CPU 芯片内部,寄存器与寄存器之间、寄存器与算逻单元 ALU 之间都由片内总线连接。

3.2.2 系统总线

系统总线是指 CPU、主存、I/O 设备(通过 I/O 接口)各大部件之间的信息传输线。由于这些部件通常都安放在主板或各个插件板(插卡)上,故又称板级总线(在一块电路板上各芯片间的连线)或板间总线。

按系统总线传输信息的不同,又可分为三类:数据总线、地址总线和控制总线。

1. 数据总线

数据总线用来传输各功能部件之间的数据信息,它是双向传输总线,其位数与机器字长、存储字长有关,一般为 8 位、16 位或 32 位。数据总线的位数称为数据总线宽度,它是衡量系统性能的一个重要参数。如果数据总线的宽度为 8 位,指令字长为 16 位,那么,CPU 在取指阶段必须两次访问主存。

2. 地址总线

地址总线主要用来指出数据总线上的源数据或目的数据在主存单元的地址或 I/O 设备的地址。例如,欲从存储器读出一个数据,则 CPU 要将此数据所在存储单元的地址送到地址线上。又如,欲将某数据经 I/O 设备输出,则 CPU 除了需将数据送到数据总线外,还需将该输出设备的地址(通常都经 I/O 接口)送到地址总线上。可见,地址总线上的代码是用来指明 CPU 欲访问的存储单元或 I/O 端口的地址,由 CPU 输出,单向传输。地址线的位数与存储单元的个数有关,如

地址线为 20 根,则对应的存储单元个数为 2^{20} 。

3. 控制总线

由于数据总线、地址总线都是被挂在总线上的所有部件共享的,如何使各部件能在不同时刻占有总线使用权,需依靠控制总线来完成,因此控制总线是用来发出各种控制信号的传输线。通常对任一控制线而言,它的传输是单向的。例如,存储器读/写命令或 I/O 设备读/写命令都是由 CPU 发出的。但对于控制总线总体来说,又可认为是双向的。例如,当某设备准备就绪时,便向 CPU 发中断请求;当某部件(如 DMA 接口)需获得总线使用权时,也向 CPU 发出总线请求。此外,控制总线还起到监视各部件状态的作用。例如,查询该设备是处于“忙”还是“闲”,是否出错等。因此对 CPU 而言,控制信号既有输出,又有输入。

常见的控制信号如下。

- 时钟:用来同步各种操作。
- 复位:初始化所有部件。
- 总线请求:表示某部件需获得总线使用权。
- 总线允许:表示需要获得总线使用权的部件已获得了控制权。
- 中断请求:表示某部件提出中断请求。
- 中断响应:表示中断请求已被接收。
- 存储器写:将数据总线上的数据写至存储器的指定地址单元内。
- 存储器读:将指定存储单元中的数据读到数据总线上。
- I/O 读:从指定的 I/O 端口将数据读到数据总线上。
- I/O 写:将数据总线上的数据输出到指定的 I/O 端口内。
- 传输响应:表示数据已被接收,或已将数据送至数据总线上。

3.2.3 通信总线

这类总线用于计算机系统之间或计算机系统与其他系统(如控制仪表、移动通信等)之间的通信。由于这类联系涉及许多方面,如外部连接、距离远近、速度快慢、工作方式等,差别极大,因此通信总线的类别很多。但按传输方式可分为两种:串行通信和并行通信。

串行通信是指数据在单条 1 位宽的传输线上,一位一位地按顺序分时传送。如 1 字节的数据,在串行传送中,1 字节的数据要通过一条传输线分 8 次由低位到高位按顺序逐位传送。

并行通信是指数据在多条并行 1 位宽的传输线上,同时由源传送到目的地。如 1 字节的数据,在并行传送中,要通过 8 条并行传输线同时由源传送到目的地。

并行通信适宜于近距离的数据传输,通常小于 30 m;串行通信适宜于远距离传送,可以从几米到数千千米。而且,串行和并行通信的数据传送速率都与距离成反比。在短距离内,并行数据传送速率比串行数据传送速率高得多。随着大规模和超大规模集成电路的发展,逻辑器件的价格趋低,而通信线路费用趋高,因此对远距离通信而言,采用串行通信费用远比并行通信费用低。

得多。此外串行通信还可利用现有的电话网络来实现远程通信,降低了通信费用。

3.3 总线特性及性能指标

3.3.1 总线特性

从物理角度来看,总线由许多导线直接印制在电路板上,延伸到各个部件。图 3.4 形象地表示了各个部件与总线之间的物理摆放位置。

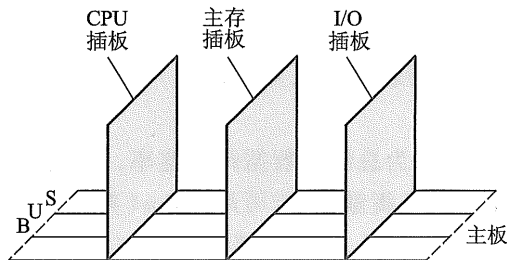


图 3.4 总线结构的物理实现

图中 CPU、主存、I/O 这些插板(又称插卡)通过插头与水平方向总线插槽(按总线标准用印刷电路板或一束电缆连接而成的多头插座)连接。为了保证机械上的可靠连接,必须规定其机械特性;为了确保电气上正确连接,必须规定其电气特性;为保证正确地连接不同部件,还需规定其功能特性和时间特性。随着计算机的发展,Pentium III 以上的微型计算机已将 CPU 芯片直接安置在主板上,而且很多插卡已做成专用芯片,减少了插槽,使其结构更合理。

总线特性包括以下几项。

(1) 机械特性

机械特性是指总线在机械连接方式上的一些性能,如插头与插座使用的标准,它们的几何尺寸、形状、引脚的个数以及排列的顺序,接头处的可靠接触等。

(2) 电气特性

电气特性是指总线的每一根传输线上信号的传递方向和有效的电平范围。通常规定由 CPU 发出的信号称为输出信号,送入 CPU 的信号称为输入信号。例如,地址总线属于单向输出线,数据总线属于双向传输线,它们都定义为高电平为“1”,低电平为“0”。控制总线的每一根都是单向的,但从整体看,有输入,也有输出。有的定义为高电平有效,也有的定义为低电平有效,必须注意不同的规格。大多数总线的电平定义与 TTL 是相符的,也有例外,如 RS-232C(串行总线接口标准),其电气特性规定低电平表示逻辑“1”,并要求电平低于-3 V;用高电平表示逻辑

“0”,还要求高电平需高于+3 V,额定信号电平为-10 V 和+10 V 左右。

(3) 功能特性

功能特性是指总线中每根传输线的功能,例如,地址总线用来指出地址码;数据总线用来传递数据;控制总线发出控制信号,既有从 CPU 发出的,如存储器读/写、I/O 设备读/写,也有 I/O 设备向 CPU 发来的,如中断请求、DMA 请求等。由此可见,各条线的功能不同。

(4) 时间特性

时间特性是指总线中的任一根线在什么时间内有效。每条总线上的各种信号互相存在一种有效时序的关系,因此,时间特性一般可用信号时序图来描述。

3.3.2 总线性能指标

总线性能指标如下。

① 总线宽度:通常是指数据总线的根数,用 bit(位)表示,如 8 位、16 位、32 位、64 位(即 8 根、16 根、32 根、64 根)。

② 总线带宽:总线带宽可理解为总线的数据传输速率,即单位时间内总线上传输数据的位数,通常用每秒传输信息的字节数来衡量,单位可用 MBps(兆字节每秒)表示。例如,总线工作频率为 33 MHz,总线宽度为 32 位(4 B),则总线带宽为 $33 \times (32 \div 8) = 132$ MBps。

③ 时钟同步/异步:总线上的数据与时钟同步工作的总线称为同步总线,与时钟不同步工作的总线称为异步总线。

④ 总线复用:一条信号线上分时传送两种信号。例如,通常地址总线与数据总线在物理上是分开的两种总线,地址总线传输地址码,数据总线传输数据信息。为了提高总线的利用率,优化设计,特将地址总线 and 数据总线共用一组物理线路,在这组物理线路上分时传输地址信号和数据信号,即为总线的多路复用。

⑤ 信号线数:地址总线、数据总线和控制总线三种总线数的总和。

⑥ 总线控制方式:包括突发工作、自动配置、仲裁方式、逻辑方式、计数方式等。

⑦ 其他指标:如负载能力、电源电压(是采用 5 V 还是 3.3 V)、总线宽度能否扩展等。

总线的负载能力即驱动能力,是指当总线接上负载后,总线输入输出的逻辑电平是否能保持在正常的额定范围内。例如,PC 总线的输出信号为低电平时,要吸入电流,这时的负载能力即指当它吸收电流时,仍能保持额定的逻辑低电平。总线输出为高电平时,要输出电流,这时的负载能力是指当它向负载输出电流时,仍能保持额定的逻辑高电平。由于不同的电路对总线的负载是不同的,即使同一电路板在不同的工作频率下,总线的负载也是不同的,因此,总线负载能力的指标不是太严格的。通常用可连接扩增电路板数来反映总线的负载能力。

表 3.1 列出了几种流行的微机总线性能,可供参考。

表 3.1 几种流行的微型计算机总线性能

名称	ISA (PC-AT)	EISA	STD	VESA (VL-BUS)	MCA	PCI
适用 机型	80286、386、 486 系列机	386、486、586 IBM 系列机	Z-80、V20、 V40 IBM PC 系列机	i486、PC-AT 兼容机	IBM 个人机 与工作站	P5 个人机、 PowerPC、 Alpha 工作站
最大 传输率	15 MBps	33 MBps	2 MBps	266 MBps	40 MBps	133 MBps 或 266 MBps
总线宽度	16 位	32 位	8 位	32 位	32 位	32 位
总线工作 频率	8 MHz	8.33 MHz	2 MHz	66 MHz	10 MHz	33 MHz 66 MHz
同步方式	同步			异步	同步	
仲裁方式	集中	集中	集中	集中		
地址宽度	24	32	20			32/64
负载能力	8	6	无限制	6	无限制	3
信号线数		143		90	109	49
64 位扩展	不可	无规定	不可	可	可	可
并发工作				可		可
引脚使用	非多路复用	非多路复用	非多路复用	非多路复用		多路复用

注：表中缺项待查。

3.3.3 总线标准

总线是在计算机系统模块化发展过程中产生的,随着计算机应用领域的不断扩大,计算机系统中各类模块(特别是 I/O 设备所带的各类接口模块)品种极其繁杂,往往一种模块要配一种总线,很难在总线上更换、组合各类模块或设备。20 世纪 70 年代末,为了使系统设计简化,模块生产批量化,确保其性能稳定、质量可靠,实现可移化,便于维护等,人们开始研究如何使总线建立标准,在总线的统一标准下,完成系统设计、模块制作。这样,系统、模块、设备与总线之间不适应、不通用及不匹配的问题就迎刃而解了。

所谓总线标准,可视为系统与各模块、模块与模块之间的一个互连的标准界面。这个界面对它两端的模块都是透明的,即界面的任一方只需根据总线标准的要求完成自身一方接口的功能要求,而无须了解对方接口与总线的连接要求。因此,按总线标准设计的接口可视为通用接口。采用总线标准可以为计算机接口的软硬件设计提供方便。对硬件设计而言,使各个模块的接口芯片设计相对独立;对软件设计而言,更有利于接口软件的模块化设计。

目前流行的总线标准有以下几种。

1. ISA 总线

ISA(Industrial Standard Architecture)总线是 IBM 为了采用全 16 位的 CPU 而推出的,又称 AT 总线,它使用独立于 CPU 的总线时钟,因此 CPU 可以采用比总线频率更高的时钟,有利于 CPU 性能的提高。由于 ISA 总线没有支持总线仲裁的硬件逻辑,因此它不能支持多台主设备(不支持多台具有申请总线控制权的设备)系统,而且 ISA 上的所有数据的传送必须通过 CPU 或 DMA(直接存储器存取)接口来管理,因此使 CPU 花费了大量时间来控制与外部设备交换数据。ISA 总线时钟频率为 8 MHz,最大传输率为 16 MBps,数据总线为 16 位,地址线为 24 位。

2. EISA 总线

EISA(Extended Industrial Standard Architecture)是一种在 ISA 基础上扩充开放的总线标准,与 ISA 可以完全兼容,从 CPU 中分离出了总线控制权,是一种具有智能化的总线,能支持多个总线主控器和突发方式(总线上可进行成块的数据传送)的传输。EISA 总线的时钟频率为 8 MHz,最大传输率可达 33 MBps,数据总线为 32 位,地址总线为 32 位,扩充 DMA 访问范围达 2^{32} 。

3. VESA(VL-BUS)总线

VESA 总线是由 VESA(Video Electronic Standard Association,视频电子标准协会)提出的局部总线标准,又称为 VL-BUS(Local BUS)总线。所谓局部总线,是指在系统外为两个以上模块提供的高速传输信息通道。VL-BUS 是由 CPU 总线演化而来的,采用 CPU 的时钟频率达 33 MHz、数据总线为 32 位,可通过扩展槽扩展到 64 位,配有局部控制器,最大传输率达 133 MBps。通过局部总线控制器,将高速 I/O 设备直接挂在 CPU 上,实现 CPU 与高速 I/O 设备之间的高速数据交换(参见图 3.12)。

4. PCI 总线

随着图形用户界面(Graphical User Interface, GUI)和多媒体技术在 PC 系统中的广泛应用,ISA 总线和 EISA 总线由于受带宽的限制,已不能适应系统工作的要求,成为整个系统的主要瓶颈。因此对总线提出了更高的性能要求,促使总线技术进一步发展。

1991 年下半年,Intel 公司首先提出 PCI(Peripheral Component Interconnect,外围部件互连)总线的概念,并联合 IBM、Compaq、Apple、DEC、AST、HP 等计算机业界大户,成立了 PCI 集团 PCISIG(PCI Special Interest Group,PCI 专门权益组织),于 1992 年 6 月 22 日推出了 PCI 1.0 版,1995 年和 1999 年又先后推出了 2.1 版和 2.2 版,PCI 总线已成为现代计算机中最常用的总线之一,它的主要特点如下所述。

① 高性能。PCI 总线是一种不依附于某个具体处理器的局部总线。它为系统提供了一个

高速的数据传输通道,与 CPU 时钟频率无关,自身采用 33 MHz 和 66 MHz 的总线时钟,数据线为 32 位,可扩展到 64 位,传输速率从 132 MBps(33 MHz 时钟,32 位数据通路)可升级到 528 MBps(66 MHz 时钟,64 位数据通路)。它支持突发工作方式,这种方式是指若被传送的数据在主存中连续存放,则在访问此组数据时,只需给出第一个数据的地址,占用一个时钟周期,其后每个数据的传送各占一个时钟周期,不必每次给出各个数据的地址,因此可提高传输速率。

② 良好的兼容性。PCI 总线部件和插件接口相对于处理器是独立的,它支持所有的目前和将来不同结构的处理器,因此具有相对长的生命周期。PCI 总线与 ISA、EISA 总线均可兼容,可以转换为标准的 ISA、EISA。

③ 支持即插即用(Plug and Play),即任何扩展卡只要插入系统便可工作。PCI 设备中配有存放设备具体信息的寄存器,这些信息可供 BIOS(基本输入输出系统)和操作系统层的软件自动配置 PCI 总线部件和插件,使系统使用方便,无须进行复杂的手动配置。

④ 支持多主设备能力。主设备即对总线有控制权的设备,PCI 支持多主设备,即允许任何主设备和从设备(对总线没有控制权的设备)之间实现点到点对等存取,体现了接纳设备的高度灵活性。

⑤ 具有与处理器和存储器子系统完全并行操作的能力。PCI 总线可视为 CPU 与外设之间的一个中间层,它通过 PCI 桥路(PCI 控制器)与 CPU 相连。PCI 桥路有多级缓冲,可把一批数据快速写入缓冲器中,在这些数据不断写入 PCI 设备过程中,可真正实现与处理器/存储器子系统的安全并发工作。

⑥ 提供数据和地址奇偶校验功能,保证了数据的完整和准确。

⑦ 支持两种电压标准:5 V 和 3.3 V。3.3~5 V 的组件技术可以使电压平滑过渡。3.3 V 电压的 PCI 总线可用于便携式微型计算机中。

⑧ 可扩充性好。当 PCI 总线驱动能力不足时,可以采用多层结构(参见图 3.14)。

⑨ 软件兼容性好。PCI 部件可以完全兼容现有的驱动程序和应用程序。设备驱动程序可被移植到各类平台上。

⑩ 采用多路复用技术,减少了总线引脚个数。

上述各类总线的实例将在 3.4.3 节中介绍。

随着网络的高速发展以及其他周边设备的技术革新,诸如千兆网卡之类的设备对 PCI 总线提出了更高要求。Intel 公司近年来又推出了 PCI-Express 总线,它采用了类似网络传输 TCP/IP 协议的分层结构和数据帧逐层传递的模式。有关这方面的内容,读者可进一步查找相关资料。

5. AGP 总线

随着多媒体计算机的普及,对三维技术的应用也越来越广。处理三维数据不仅要求有惊人的数据量,而且要求有更宽广的数据传输带宽。例如,对 640×480 像素的分辨率而言,以每秒 75 次画面更新率计算,要求全部的数据带宽达 370 MBps;若分辨率提高到 800×600 像素时,总带宽高达 580 MBps。因此 PCI 总线成为传输瓶颈。为了解决此问题,Intel 公司于 1996 年 7 月又推

出了 AGP (Accelerated Graphics Port, 加速图形端口), 这是显示卡专用的局部总线, 基于 PCI 2.1 版规范并进行扩充修改而成, 它采用点对点通道方式, 以 66.7 MHz 的频率直接与主存联系, 以主存作为帧缓冲器, 实现了高速存取。最大数据传输率 (数据宽度为 32 位) 为 266 MBps, 是传统 PCI 总线带宽的 2 倍。AGP 还定义了一种“双激励” (Double Pumping) 的传输技术, 能在一个时钟的上、下沿双向传递数据, 这样, AGP 实现的传输频率为 $66.7 \text{ MHz} \times 2$, 即 133 MHz, 最大数据传输率可增为 533 MBps。后来又依次推出了 AGP2X, AGP4X, AGP8X 多个版本, 数据传输速率可达 2.1 GBps。

6. RS-232C 总线

RS-232C (RS 即 Recommended Standard 的缩写, 232 为标识号, C 表示修改次数) 是由美国电子工业协会 EIA (Electronic Industries Association) 推荐的一种串行通信总线标准, 它是应用于串行二进制交换的数据终端设备 (DTE) 和数据通信设备 (DCE) 之间的标准接口, 如图 3.5 所示。

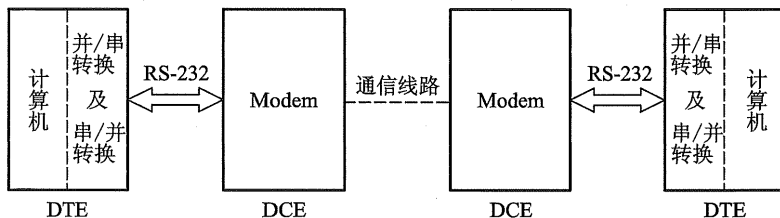


图 3.5 串行通信系统

在图 3.5 中, DTE (Data Terminal Equipment) 是数据终端设备, 它是产生二进制信号的数据源, 也是接收信息的目的地, 是由数据发生器或接收器或兼具两者组成的设备, 它可以是一台计算机。DCE (Data Communication Equipment) 是数据通信设备, 它实质是一个信号的匹配器, 既能满足 DTE 的要求, 又能使传输信号符合线路要求。它具有提供数据终端设备与通信线路之间通信的建立、维持和终止连接等功能, 同时还执行信号变换与编码。它可以是一个 Modem (调制解调器)。DTE 与 DCE 之间传输的是“0”或“1”的数据, 通过 RS-232C 接口规定的各种控制信号, 可实现两者之间的协调配合。

众所周知, 计算机之间通信传送的是数字信号, 它要求传送的频带很宽, 而计算机远程通信通常是通过载波电话传送的, 不可能有这样宽的频带。如果数字信号直接进行通信, 经过传输线后, 必然会产生畸变。因此在发送端必须通过调制器将数字信号转换成模拟信号, 即对载波电话线上载波进行调制; 而在接收端又必须用解调器检出从发送端来的模拟信号, 并恢复为原来的数字信号。

值得注意的是: RS-232C 规定的逻辑电平与计算机系统中 TTL 和 MOS 电平不一样。在计算机系统中, 以 +5 V 代表逻辑“1”, 接地电压代表逻辑“0”。而 RS-232C 的电气特征规定低电平表示逻辑“1”, 并要求低电平为 $-15 \sim -3 \text{ V}$; 用高电平表示逻辑“0”, 并要求高电平为 $+3 \sim +15 \text{ V}$, 因

此使用 RS-232C 时,必须实现两种电平的转换。

随着计算机网络的发展,现代计算机之间的远距离通信可直接由网卡经网线(8根,双绞线)传输。

7. USB 总线

USB(Universal Serial Bus)通用串行总线是 Compaq、DEC、IBM、Intel、Microsoft、NEC(日本)和 Northern Telecom(加拿大)等七大公司于 1994 年 11 月联合开发的计算机串行接口总线标准,1996 年 1 月颁布了 USB 1.0 版本。它基于通用连接技术,实现外设的简单快速连接,达到方便用户、降低成本、扩展 PC 接连外设范围的目的。用户可以将几乎所有的外设装置,包括显示器、键盘、鼠标、打印机、扫描仪、数码相机、U 盘、调制解调器等直接插入标准 USB 插口。还可以将一些 USB 外设进行串接,使一大串设备共用 PC 上的端口。它的主要特点是:

① 具有真正的即插即用特征。用户可以在不关机的情况下很方便地对外设实行安装和拆卸,主机可按外设的增删情况自动配置系统资源,外设装置驱动程序的安装、删除均自动实现。

② 具有很强的连接能力。使用 USB HUB(USB 集线器)实现系统扩展,最多可链式连接 127 个外设到同一系统。图 3.6 是典型的 USB 系统拓扑结构。标准 USB 电缆长度为 3 m,低速传输方式时可为 5 m,通过 HUB 或中继器可使传输距离达 30 m。

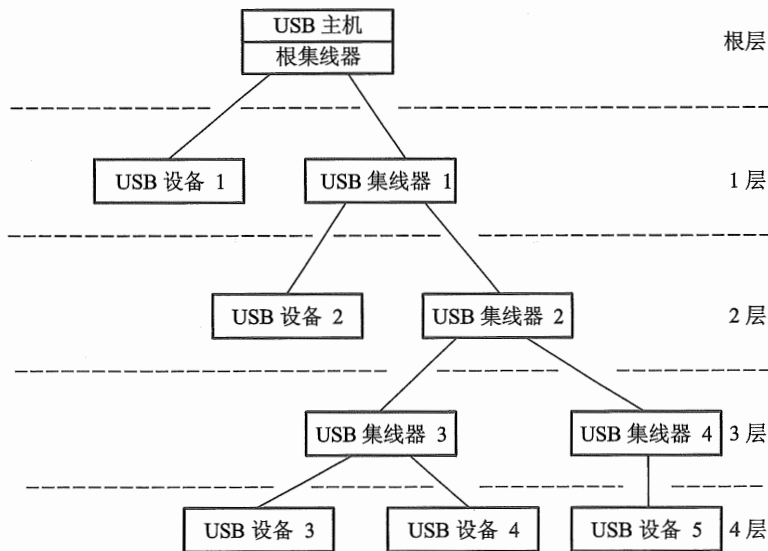


图 3.6 典型的 USB 系统拓扑结构

③ 数据传输率(USB 1.0 版)有两种,即采用普通无屏蔽双绞线,速度可达 1.5 Mbps,若用带屏蔽的双绞线,速度可达 12 Mbps。USB 2.0 版的数据传输率最高可达 480 Mbps。

④ 标准统一。USB 的引入减轻了对目前 PC 中所有标准接口的需求,如串口的鼠标、键盘,

并口的打印机、扫描仪,IDE接口的硬盘,都可以改成以统一的USB标准接入系统,从而减少了对PC插槽的需求,节省空间。

⑤ 连接电缆轻巧,电源体积缩小。USB使用的4芯电缆中的2条用于信号连接,2条用于电源/地,可为外设提供+5V的直流电源,方便用户。

⑥ 生命力强。USB是一种开放性的不具有专利版权的工业标准,它是由一个标准化组织“USB实施者论坛”(该组织由150多家企业组成)制定出来的,因此不存在专利版权问题,USB规范具有强大的生命力。

3.4 总线结构

总线结构通常可分为单总线结构和多总线结构两种。

3.4.1 单总线结构

图3.2是单总线结构的示意,它是将CPU、主存、I/O设备(通过I/O接口)都挂在一组总线上,允许I/O设备之间、I/O设备与CPU之间或I/O设备与主存之间直接交换信息。这种结构简单,也便于扩充,但所有的传送都通过这组共享总线,因此极易形成计算机系统的瓶颈。它也不允许两个以上的部件在同一时刻向总线传输信息,这就必然会影响系统工作效率的提高。这类总线多数被小型计算机或微型计算机所采用。

随着计算机应用范围不断扩大,其外部设备的种类和数量越来越多,它们对数据传输数量和传输速度的要求也就越来越高。倘若仍然采用单总线结构,那么,当I/O设备量很大时,总线发出的控制信号从一端逐个顺序地传递到第 n 个设备,其传播的延迟时间就会严重地影响系统的工作效率。在数据传输需求量和传输速度要求不太高的情况下,为克服总线瓶颈问题,尽可能采用增加总线宽度和提高传输速率来解决;但当总线上的设备,如高速视频显示器、网络传输接口等,其数据量很大和传输速度要求相当高的时候,单总线结构则不能满足系统工作的需要。因此,为了根本解决数据传输速率,解决CPU、主存与I/O设备之间传输速率的不匹配,实现CPU与其他设备相对同步,不得不采用多总线结构。

3.4.2 多总线结构

图3.7是双总线结构的示意图。

双总线结构的特点是将速度较低的I/O设备从单总线上分离出来,形成主存总线与I/O总线分开的结构。图中通道是一个具有特殊功能的处理器,CPU将一部分功能下放给通道,使其对I/O设备具有统一管理的功能,以完成外部设备与主存储器之间的数据传送,其系统的吞吐能

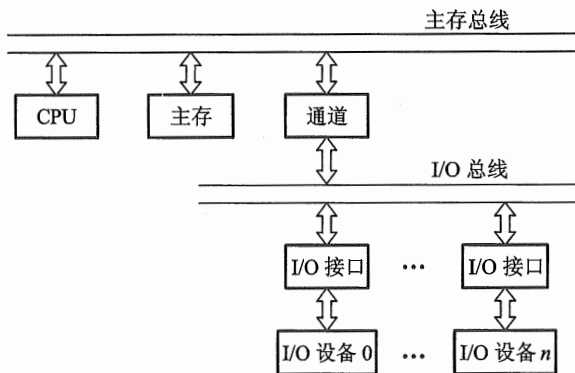


图 3.7 双总线结构

力可以相当大。这种结构大多用于大、中型计算机系统。

如果将速率不同的 I/O 设备进行分类,然后将它们连接在不同的通道上,那么计算机系统的工作效率将会更高,由此发展成多总线结构。

图 3.8 是三总线结构的示意图。

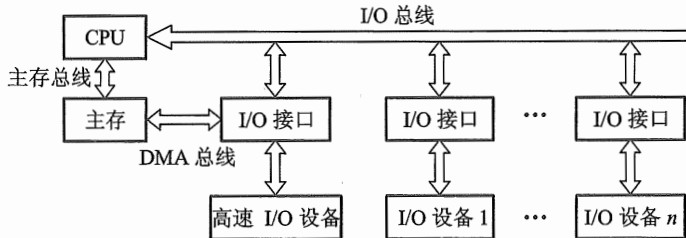


图 3.8 三总线结构

图 3.8 中主存总线用于 CPU 与主存之间的传输;I/O 总线供 CPU 与各类 I/O 设备之间传递信息;DMA 总线用于高速 I/O 设备(磁盘、磁带等)与主存之间直接交换信息。在三总线结构中,任一时刻只能使用一种总线。主存总线与 DMA 总线不能同时对主存进行存取,I/O 总线只有在 CPU 执行 I/O 指令时才能用到。

图 3.9 是另一种三总线结构的示意图。

由图可见,处理器与 Cache(详见 4.3 节)之间有一条局部总线,它将 CPU 与 Cache 或与更多的局部设备连接。Cache 的控制机构不仅将 Cache 连到局部总线上,而且还直接连到系统总线上,这样 Cache 就可通过系统总线与主存传输信息,而且 I/O 设备与主存之间的传输也不必通过 CPU。还有一条扩展总线,它将局域网、小型计算机接口(SCSI)、调制解调器(Modem)以及串行

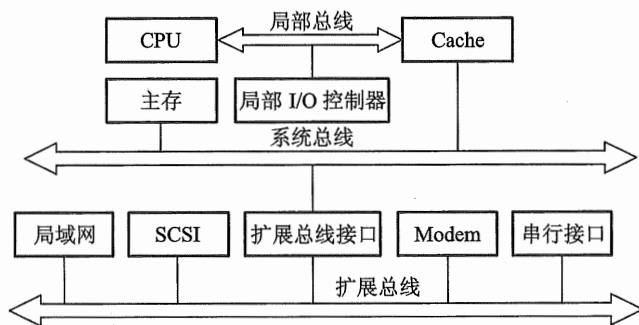


图 3.9 三总线结构的又一形式

接口等都连接起来,并且通过这些接口又可与各类 I/O 设备相连,因此它可支持相当多的 I/O 设备。与此同时,扩展总线又通过扩展总线接口与系统总线相连,由此便可实现这两种总线之间的信息传递,可见其系统的工作效率明显提高。

为了进一步提高 I/O 设备的性能,使其更快地响应命令,又出现了四总线结构,如图 3.10 所示。

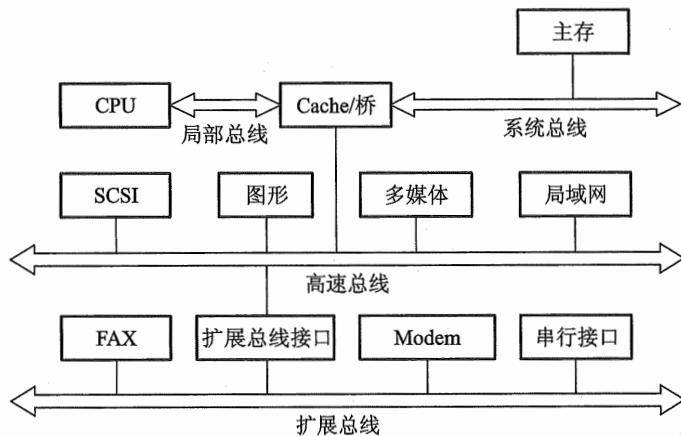


图 3.10 四总线结构

在这里又增加了一条与计算机系统紧密相连的高速总线。在高速总线上挂接了一些高速 I/O 设备,如高速局域网、图形工作站、多媒体、SCSI 等。它们通过 Cache 控制机构中的高速总线桥或高速缓冲器与系统总线和局部总线相连,使得这些高速设备与 CPU 更密切。而一些较低速的设备如图文传真 FAX、调制解调器及串行接口仍然挂在扩展总线上,并由扩展总线接口与高速总线相连。