|  |  |
| --- | --- |
| Post-lab (7주차) | 학번: 이름: |
| 1. 아래의 Logic gate를 Verilog HDL로 구현 하고, Modelsim simulation 결과 파형을 나타내시오. 단, NOT gate의 delay=10ns, AND gate의 delay=20ns, 그리고 OR gate의 delay=30ns. 입력 A, B, C, D의 초기 값은 (1,0,0,1)이다.      1. 아래의 데이터 sheet에서 십진수를 2-4-2-1 weighted code로 변화하는 code를   작성하시오. | |