**• 논리회로 설계실험**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 실험 제목 | Verilog HDL, Modelsim 기초실습 | | | 실험일 | 2019. . . [ 7 주차] |
|  | | | | | |
| 이름 |  | 학과 |  | | | |
| 학번 |  | e-mail |  | | | |

|  |  |  |  |
| --- | --- | --- | --- |
| **기자재 사용 내역** | | | |
|  | 등록번호 | 동작상태 | 기타 |
| Table |  |  |  |
| Power Supply |  |  |  |
| Oscilloscope |  |  |  |
| Function Generator |  |  |  |
| Multimeter |  |  |  |
| PC |  |  |  |

|  |
| --- |
| •비고 |
|  |
|  |
|  |
|  |
|  |
|  |
|  |
|  |
|  |
|  |
|  |
|  |
|  |



|  |
| --- |
| 실험 1)  아래의 Timing Diagram을 참고하여 4-to-1 MUX의 TEST Bench를 구현하고 Modelsim 시뮬레이션 결과를  나타내시오. 단 MUX의 delay는 5ns 이다. .    **A**  **B**  **C**  **D**  **Z**  **10ns**  **20ns**  **30ns**  **40ns**  **50ns**  **60ns**  **70ns**  **80ns**    실험2)    위 논리회로를 구현하는 Verilog HDL code를 작성하고 Modelsim 시뮬레이션 결과 파형을 나타내시오.  단, NOT gates는 10ns, NAND gate는 15ns, 그리고 NOR gates는 20ns의 delay를 가지고 있고, Test Bench Code는 아래와 같다.  **Module tb\_problem2(c,f,g,h);**  **output wire c,f,g,h;**  **reg a,b,d,e;**  **problem2 u0(a,b,d,c,e,f,g,h);**  **initial**  **begin**  **a = 1’b0;**  **b = 1’b0;**  **d = 1’b1;**  **e = 1’b0;**  **#500;**  **a = 1’b1;**  **b = 1’b1;**  **#500;**  **d = 1’b0;**  **#500;**  **e = 1’b1;**  **#500;**  **end**  **endmodule** |
|  |

실습 담당 조교 (인)