|  |  |  |  |
| --- | --- | --- | --- |
| Clk | 1 | In |  |
| Reset | 1 | In |  |
| Wave\_front | Radius\*depth\*16(8.8) | In | 对应与matlab代码中的A |
| Distance | Frequency\*depth\*16(8.8) | In | 对应与matlab代码中的B |
| Timeshift | Frequency\*depth\*32(complex) | In | 对应与matlab代码中的C |
| Wave\_front\_valid | 1 | In |  |
| Distance\_valid | 1 | In |  |
| Timeshift\_valid | 1 | In |  |
| Coef | Frequency\*radius\*depth\*32(complex) | Out | 输出生产的系数 |
| Coef\_valid | 1 | Out |  |
|  |  |  |  |

接口：

（一）上游master端：

三条flow通路，valid有效的顺序不定，但一旦有效数据必须保持到三者valid信号同时有效后的一个cycle以上，保证此模块可以存储所有数据。

（二）下游slave端：

输出flow通路，valid有效时即可接收数据。