**北京科技大学数字逻辑实验报告**

学院： 计通 专业：计算机 班级：计1701

姓名： 吴思懿 学号：41724010 实验日期：2019 年 1 月 3 日

**实验名称：**实验五 数字系统综合设计

**1、实验目的：**

我们已经学习了许多可以用作模块的简单电路，例如数据选择器、解码器、触发器、寄存器等等，本实验的目的（1）了解流水线处理的概念，学会简单流水线设计，提高处理的效率；（2）应用前面学习过的各种模块，并结合有限状态机来搭建一个较为复杂的数字系统，使学生掌握复杂时序逻辑设计要点。

**2、实验内容：**

1. **实验5.1 简单处理器ASM设计**：

设计一个简单处理器（不需要实现）。支持4种指令Load、,Move、Add和Sub。

要求:

1. 8位处理器，即总线宽度和寄存器宽度均为8位。
2. 处理器中包含4个8位寄存器存放数据（R0，R3，A，G）。
3. 处理器中包含1个运算器ALU，可以完成加法、减法。
4. 控制器电路通过有限状态机实现。
5. 在实验报告中提交伪代码的ASM图；
6. 选做：给出简单处理器的数据通路图、控制电路的ASM图、系统级模块图。
7. **实验5.2—流水线乘法器设计**

**设计4位流水线乘法器：**根据在验证实验和练习实验中学到的知识，结合课堂上以及前面给出的对流水线的讲解，实现一个4位的流水线乘法器。

要求：

（1）设计一个4位、两级流水的流水线乘法器，使其可以流水实现乘法操作，执行开始之后，每个周期输出一组两个数相乘得到结果；

（2）测试激励中可实现一个数据存储器（寄存器数组），将要执行乘法操作的数据从外部的文件中存到数据存储器中，可以参考使用verilog中系统任务$readmemb或$readmemh从外部文件读入数据到数据存储器中；

（3）测试激励中实现每个时钟周期自动从数据存储器中取出数据，给到乘法器的输入端。

（4）乘法器模块3个输入信号：clk（时钟信号），A[3:0]（被乘数），B[3:0]（乘数）；1个输出信号：result[7:0]（乘法运算结果）。

1. **实验5.3 简单数字系统设计**

**设计一个简单的数字系统，包括以下功能：**

1. 该系统能完成两个4位二进制数的乘法运算，并输出结果；
2. 乘法器为2级流水乘法器，2个4位输入操作数，1个8位输出结果；
3. 参与运算的两个操作数A和B，其中B是固定值（可由外部配置），A是变化值；
4. A和B的值均由外部输入；
5. 外部输入为串行输入，具体格式如下描述：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | b3 b2 b1b0 | a3 a2 a1a0 |  | a3 a2 a1a0 |  |
| 1010 | 0111 |  |  |  |  |
| 前导码 | B | A1 | A2-A15 | A16 |  |

每次传输为连续的18\*4位二进制位，由前导码（4位）开始，前导码后第一个4位数据用来配置B的值，后面连续16个4位数据传输给A用来进行乘法运算。

前导码为“1010”，即系统在空闲状态时，如检测到连续的4位串行输入为“1010”，则表示传输开始。

传输时高位在前，低位在后。

1. 系统接口信号如下：

rst：输入，复位信号，1位，有效时系统中所有寄存器复位为0；

clk：输入，时钟信号，1位，乘法器工作时钟；

clk4：输入，时钟信号，1位，频率为clk的4倍，串行数据传输时钟；

data\_in：输入，串行数据输入，1位；

result：输出，乘法器结果输出，8位；

data\_en：result数据有效信号，高电平有效。

1. 系统功能：先配置乘数B的值，A的值边输入边进行乘法运算，每个clk周期，输入一个A，输出一个结果result；串行输入数据，工作在clk4频率下，每4个clk4周期拼出一个4位的操作数，在clk下并行输入给乘法器，乘法器工作在clk下，每个clk输出一个结果，并在有效数据A和B的乘积结果输出时给出data\_en有效信号。

要求：

1. 设计一个4位两级流水的乘法器（可使用5.2结果）；
2. 完成数据通路和控制电路状态机的设计；
3. 设计测试激励，进行功能验证。
4. 板级验证，参考设计如下：**（此内容为选做，完成有加分）**

数据A通过实验板的一组拨码开关进行输入：拨码开关设置A的初值，后续15个值自动加1（或自行设计）；

数据B通过实验板的另一组拨码开关进行输入；

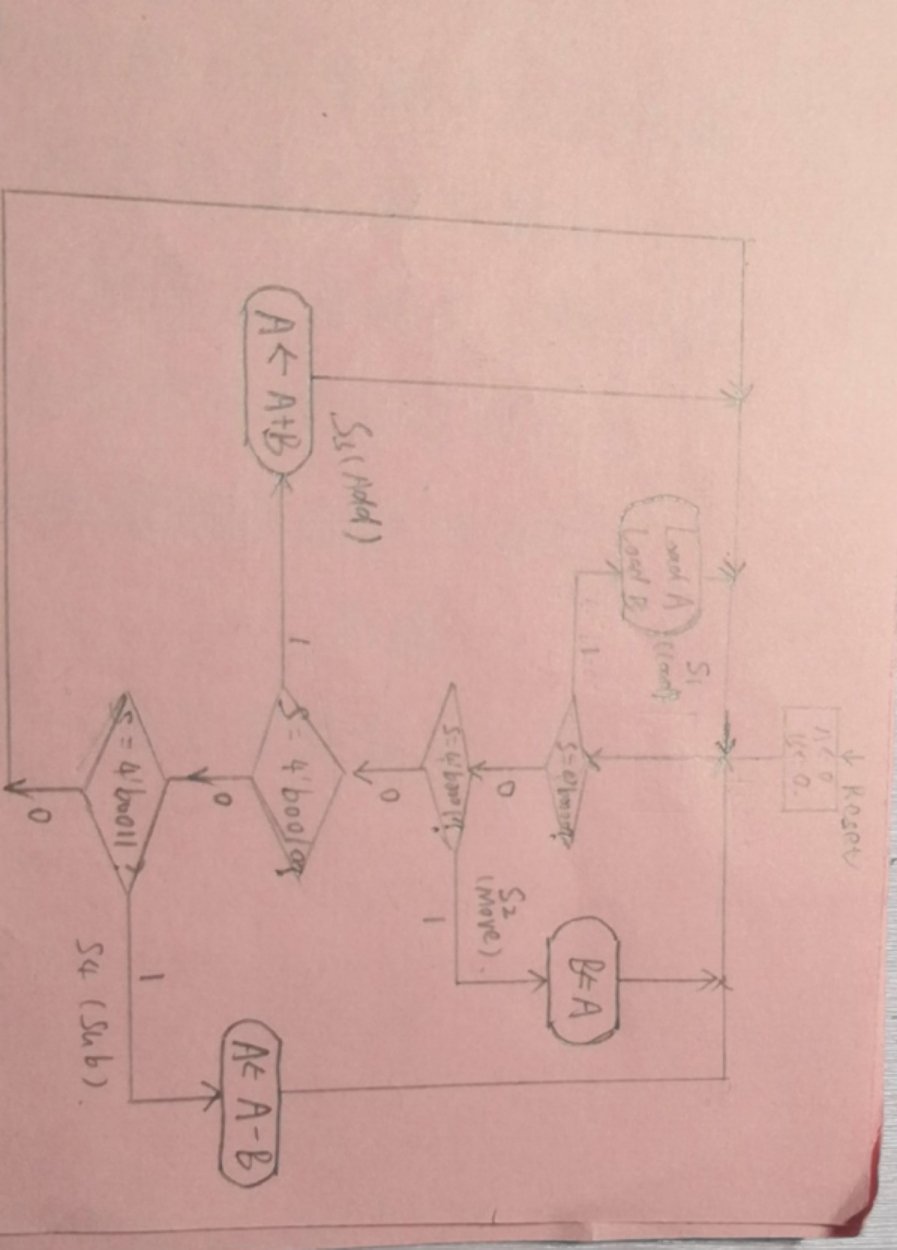
四个数码管：1个显示A的值，1个显示B的值，2个显示乘法结果

一个led灯：亮表示乘法结果有效，灭表示乘法结果无效。

自行设计其他用到的控制开关和信号。

**3、实验5.1实验结果**

（1）伪代码的ASM图**（此为必做内容）**



**4、实验5.3系统设计**

（1）系统输入输出信号定义（信号名称+中文描述）

input r3,//外部串行输入前导码最高位

input r2,// 外部串行输入前导码第2位

input r1,// 外部串行输入前导码第3位

input r0,// 外部串行输入前导码第4位

input a3,//外部串行输入初始A数据最高位

input a2,// 外部串行输入初始A数据第2位

input a1,// 外部串行输入初始A数据第3位

input a0,// 外部串行输入初始A数据第4位

input b3,// 外部串行输入不变的B数据最高位

input b2,// 外部串行输入不变的B数据第2位

input b1,// 外部串行输入不变的B数据第3位

input b0,// 外部串行输入不变的B数据第4位

input clk,//100mhz时钟信号

input rst,//复位信号

output [3:0]pos,//数码管选通端

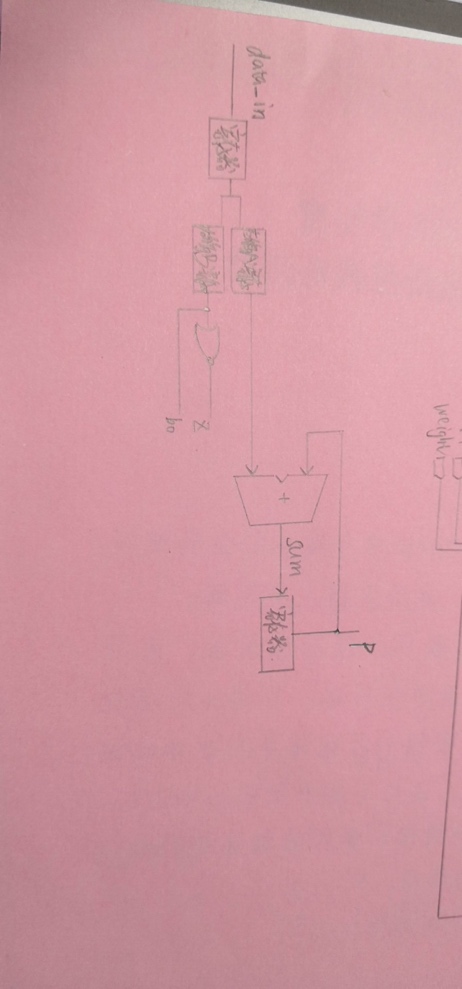
output [7:0]seg,//数码管管脚

output data\_en//有效信号输出

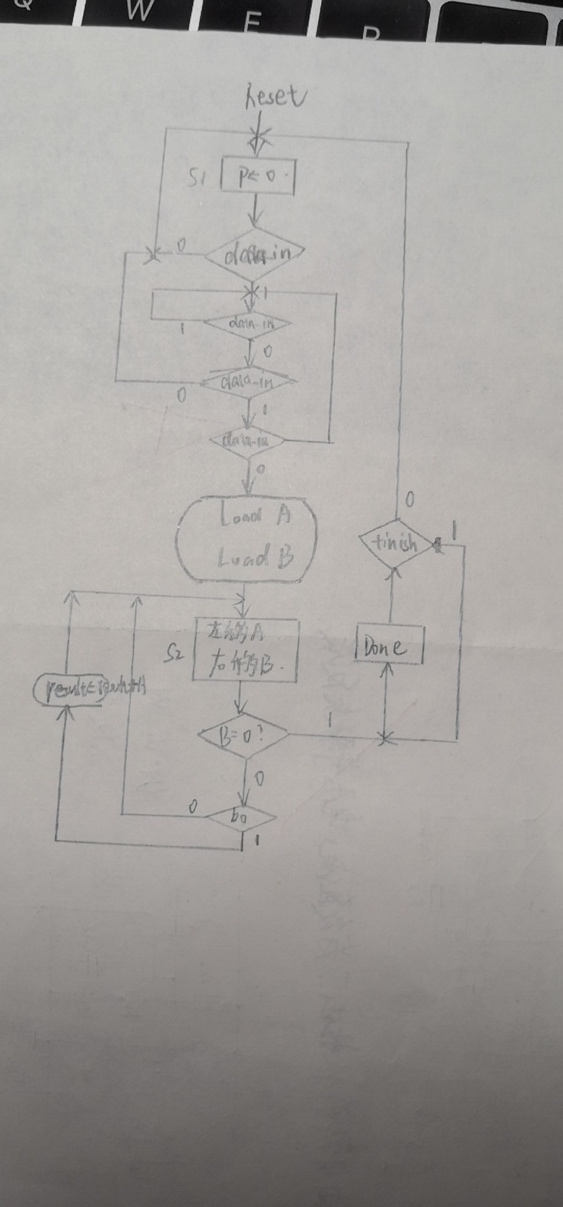
（2）乘法器设计

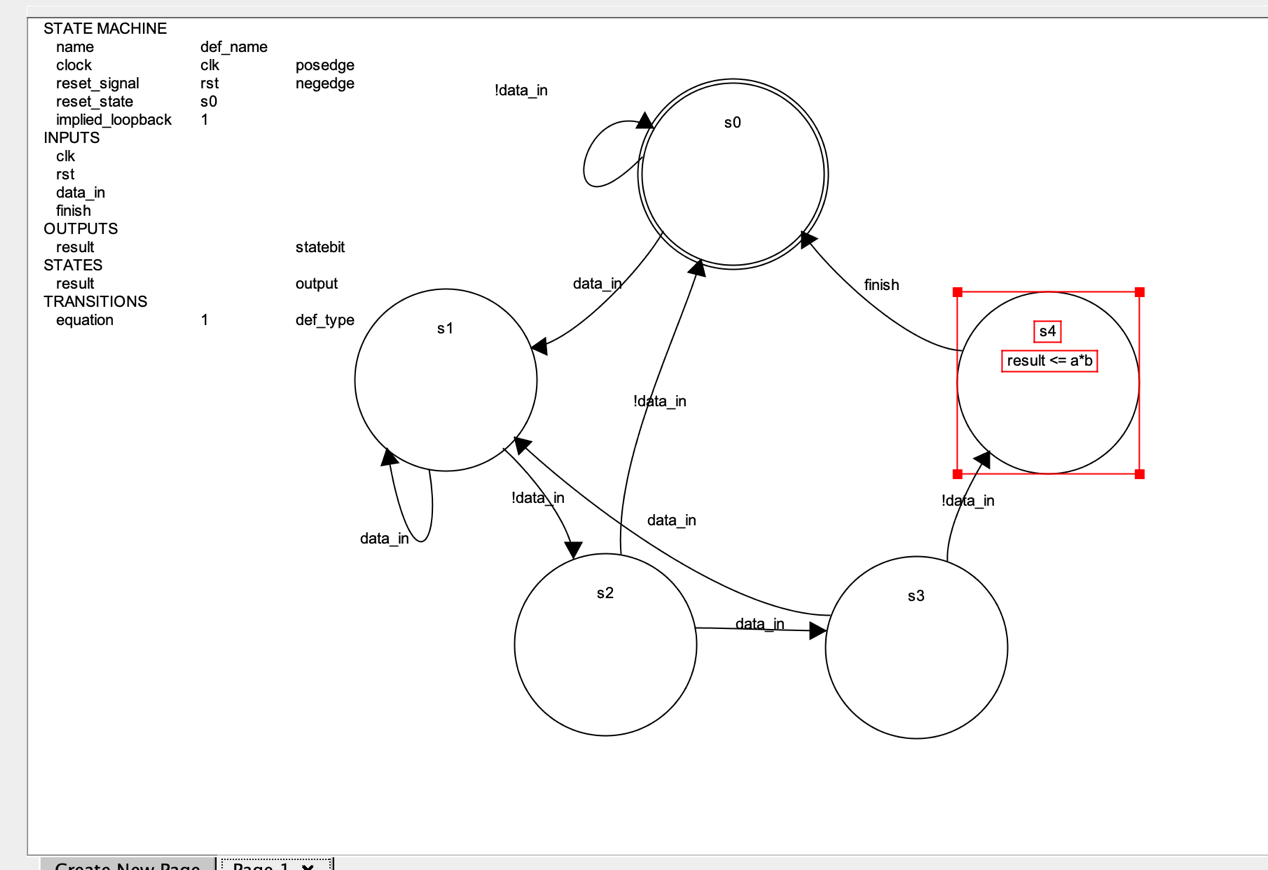
乘法器设计思路：利用一个移位寄存器结合一个加法器，类似用手工计算的传统方法来实现乘法，对于乘数中每个为1的I位，把被乘数左移I 位，再相加就得到乘积，假设s输入信号来控制乘法运算过程的开始，只要s为0，状态机继续保持在S 1状态，可以自外部输入信号线加载A和B数据。在S2状态，我们测试B的最低有效位（LSB）的值，如果最低有效位的值为1，则把A与P相加；否则P保持不变，当B全部为0时，状态机进入S3状态，因为这时，P已经是最后的乘积了，当状态机处于S2状态时，每个时钟周期我们把A的值向左移一位。

流水线划分图：

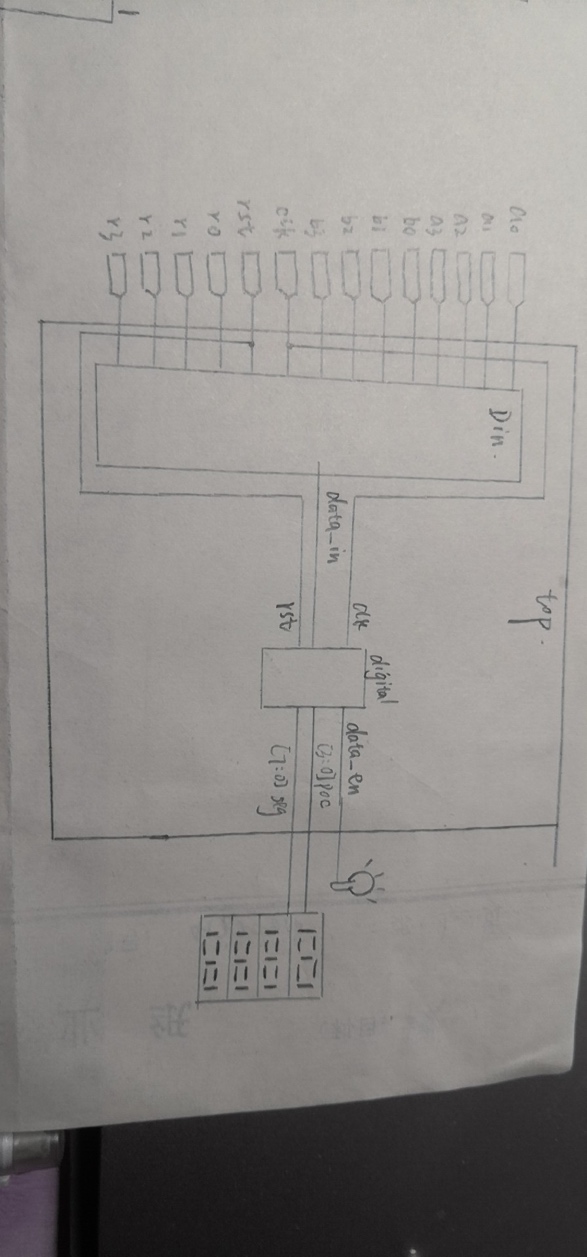


（3）状态机设计（包括系统ASM图、状态机ASM图/状态转移图）



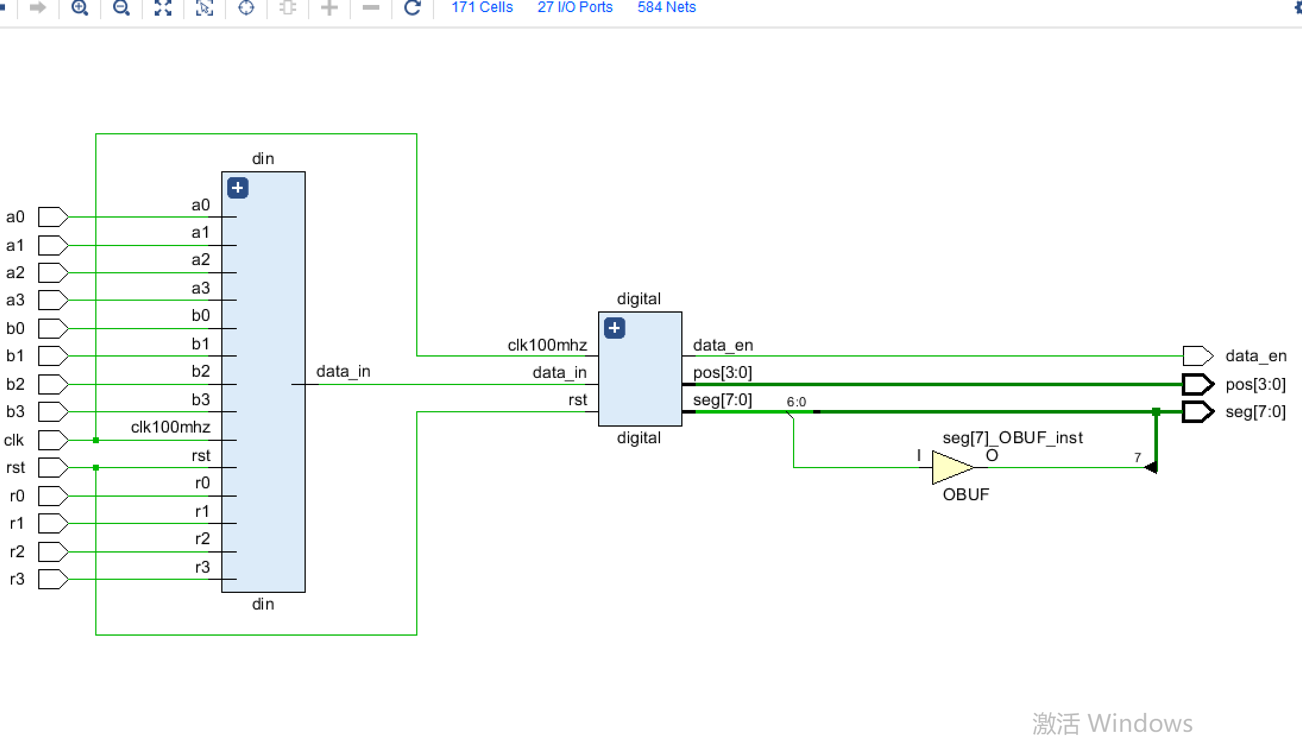


（4）系统级电路结构设计图

****

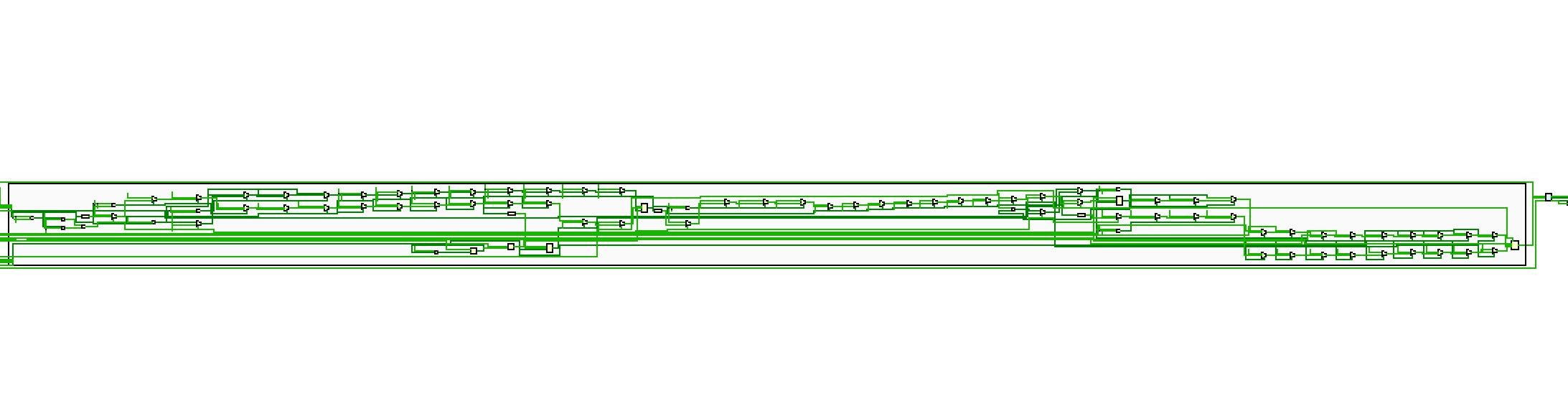
**5、实验5.3实现**

（1）顶层模块RTL电路结构图及说明（电路结构由vivado自动生成，说明内容包含:比较 “Verilog描述生成的顶层模块RTL电路结构图”和“4（3）系统级电路结构设计图”中数字逻辑电路部分的异同，阐述你对此现象的理解）

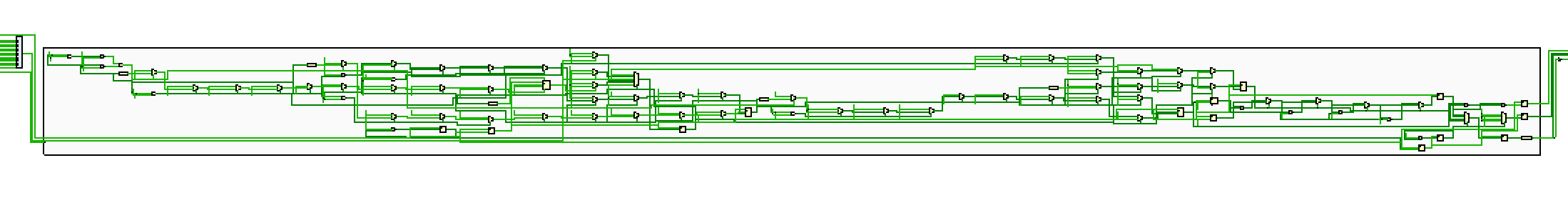


说明：在Verilog描述生成的顶层模块RTL电路结构图中，并没有数码管按键等外部电路，而且在两个数码管输出端还多了一个输出缓冲标志（带三角形），在我设计的电路中，没有这个输出缓冲，并且还画出了外设。其他大致相同。我的理解是描述生成的顶层模块不必考虑模块外接什么，而我画出了模块间连接关系，并且考虑了外设。

1. 子模块1 RTL电路结构



1. 子模块2 RTL电路结构



**6、实验5.3仿真验证**

（1）模块级仿真（前仿真:综合前仿真）

模块1测试方案设计说明（说明：模拟哪些输入，测试哪些输出，为什么这么设计）

模块1仿真结果及说明（针对测试方案的若干种情况，分别在仿真波形图中标记出代表仿真正确的区域，针对仿真波形图标记区域说明为什么这个结果是正确的）

模块2测试方案设计说明

模块2仿真结果及说明

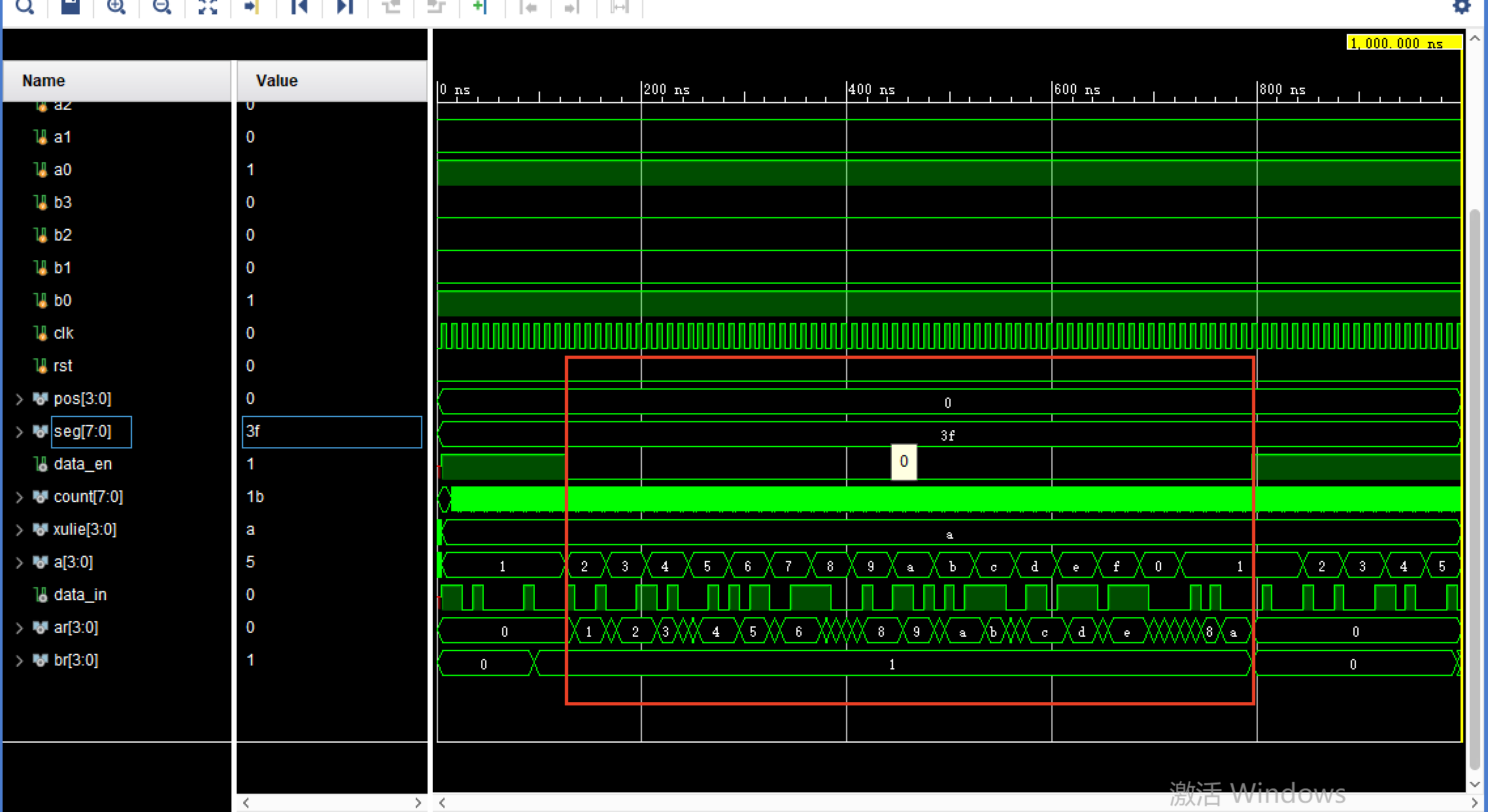
…..

顶层模块测试方案设计说明

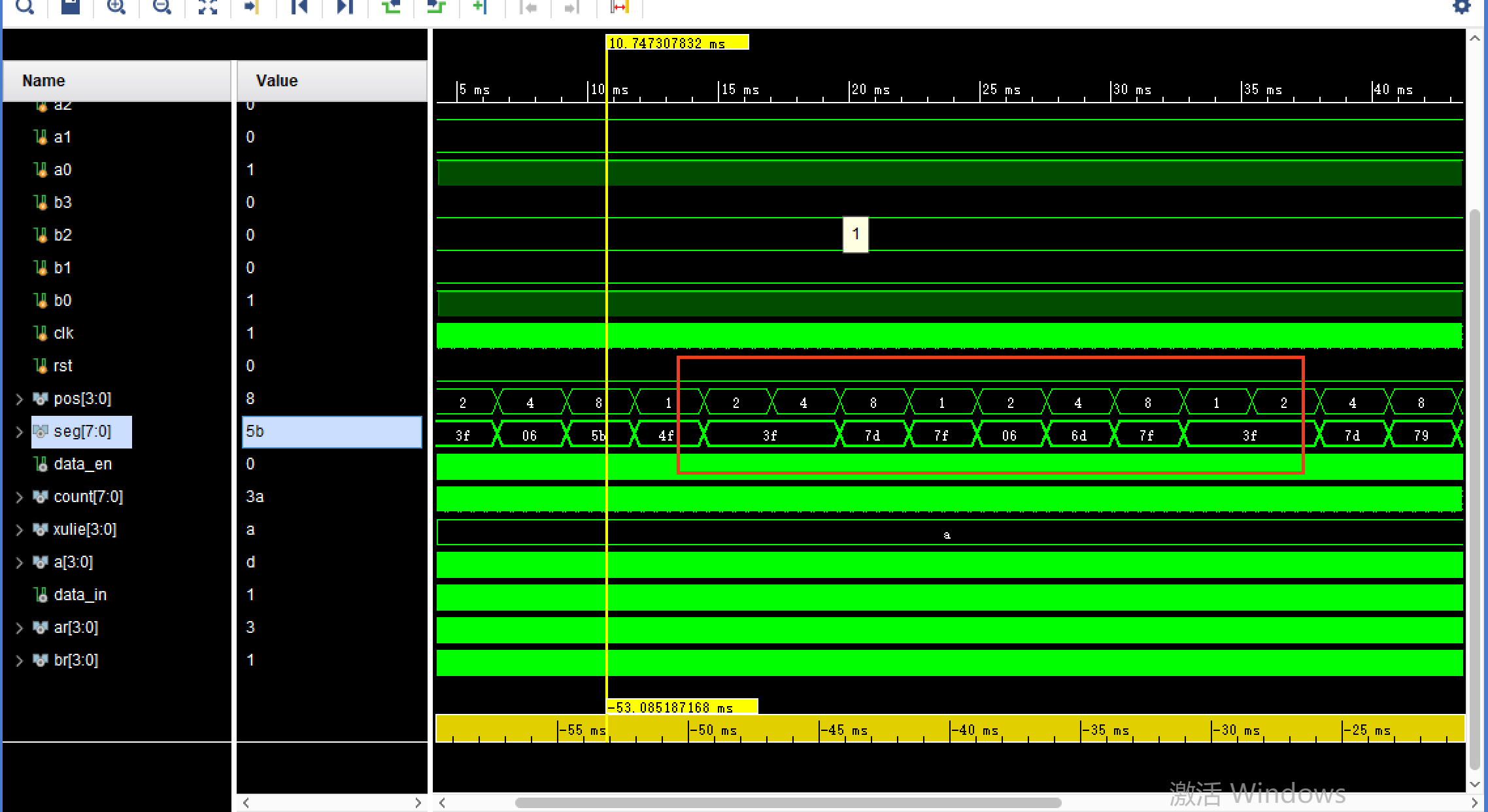
说明：因为我的模块1就是板级验证的data\_in输入设置，所以仿真统一在top文件中进行，并且多加了模块1和2的其他输出已验证。

仿真测试中，模拟输入了AB和刚开始的前导码，以及时钟信号和复位信号，测试输出data\_in，模块1中计数器（表示data\_in此时已传至那个数）,序列号即前导码（表示此时传的数据是否有效），在模块1中的设置a的值（因为在最终的板级验证中，我要起到的功能就是输入a 的初始值，然后之后不断加一串行输入），模块2中实际收到的ab值（ar,br）data\_en（输出有效信号），以及pos和seg两个数码管有关输出。

顶层模块仿真结果及说明



说明：在这张图中，我主要验证输入信号是否正确，可以看出，在红框中，是串行输入的一段过程，count值在不断增加，（因为放大后不明显所以以这个大小展示），序列号（xulie）始终为a，就是实验所规定的1010，表示这组数据有效，之后还能注意到，传入的a值确实在不断增加，从1加到15，并且与data\_in进行对照，发现确实是按照顺序，前导码再然后是b值0001，再之后便是不断增加的a，对照ar,br，结果符合所设想。



说明：这张图中，主要验证数码管端输出是否有误，一个数码管输出a值（不断增加），一个数码管输出b值，两个数码管输出最终结果，结果符合。

（2）板级测试验证**（此内容为选做，完成有加分）**

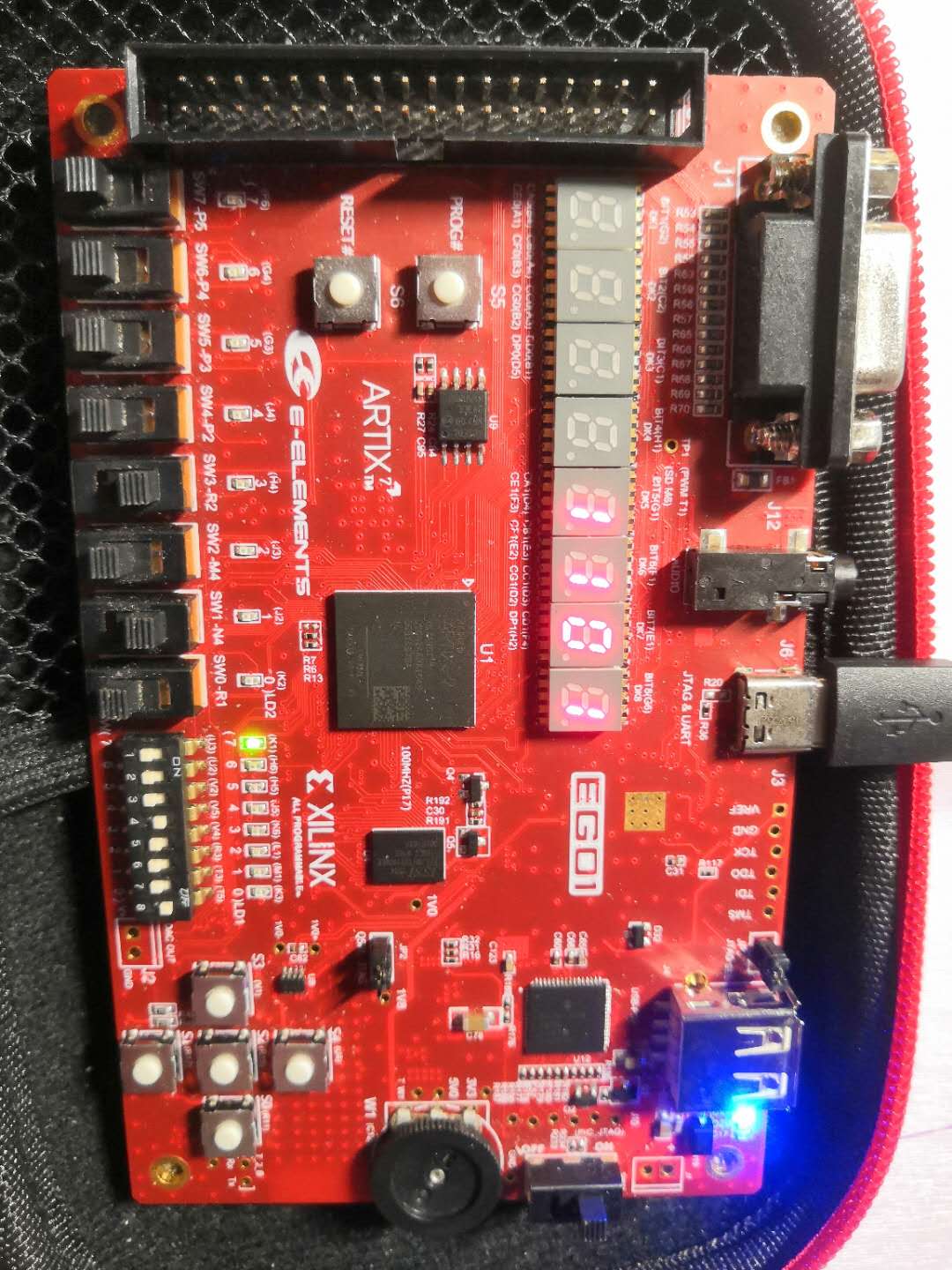
板级验证测试方案：（给出板级验证的设计方案，包含数据输入输出设计、控制信号输入设计）

（验证结果需给出下载到实验板后的现象图。注意图不要占篇幅太大，以能看清主要信息为好，每个图下面需有图的名字，并有相应文字对图进行解释说明为什么这个现象就证明了我的设计是正确的）

板级验证设计方案：数据A通过实验板的一组拨码开关进行输入：拨码开关设置A的初值，后续15个值自动加1；数据B通过实验板的另一组拨码开关进行输入；前导码通过板上四个开关控制输入；四个数码管：1个显示A的值，1个显示B的值，2个显示乘法结果（皆为16进制）；一个led灯：亮表示乘法结果有效，灭表示乘法结果无效。

（a）功能1测试

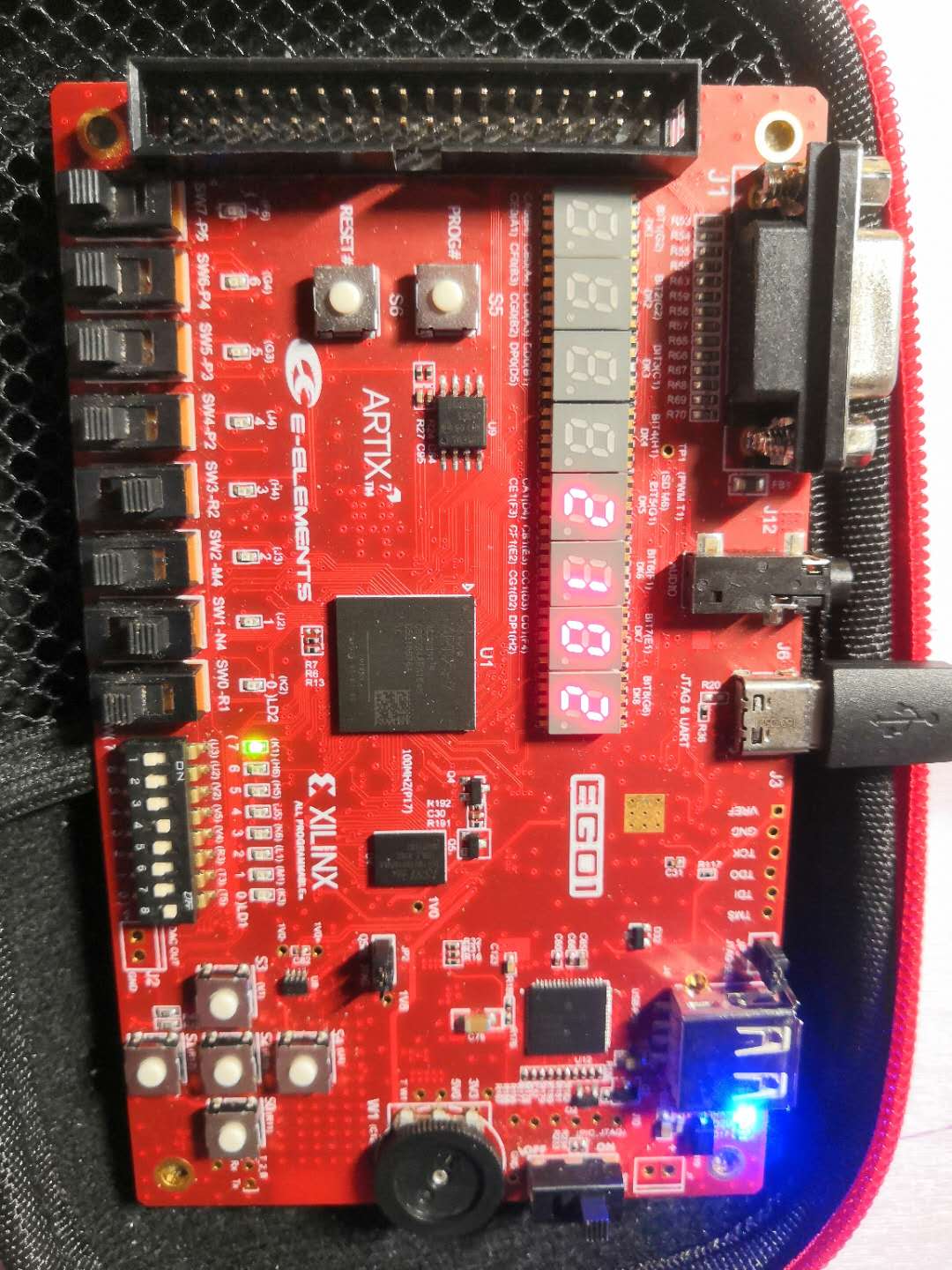
操作：输入1010前导码，并将a,b都拨为0001，观察数码管。

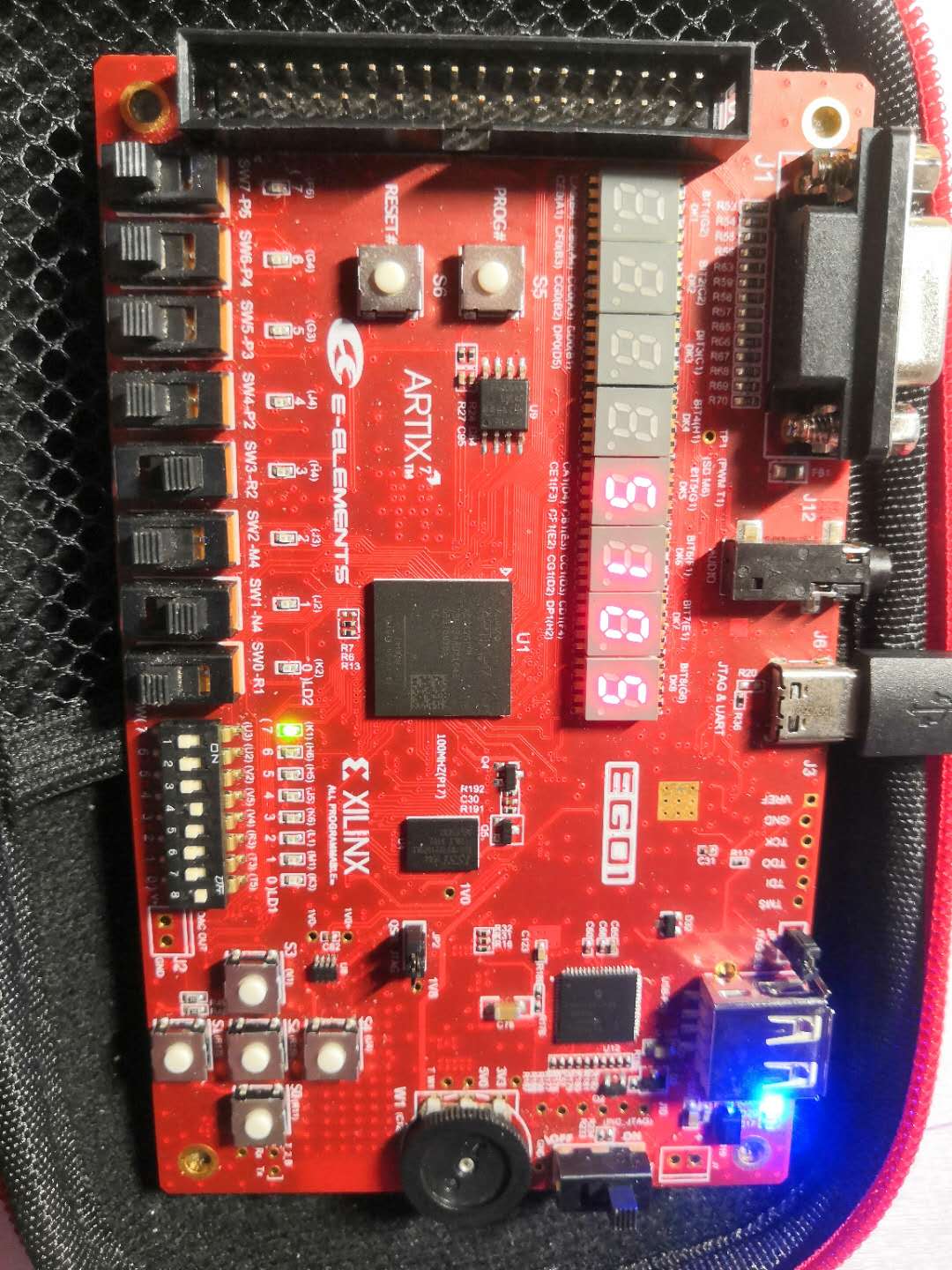
现象：

现象说明：从数码管中可以看出初始值没有差错，并且显示有效的灯亮

（b）功能2测试

操作：等待数据慢慢增加，观察数码管情况

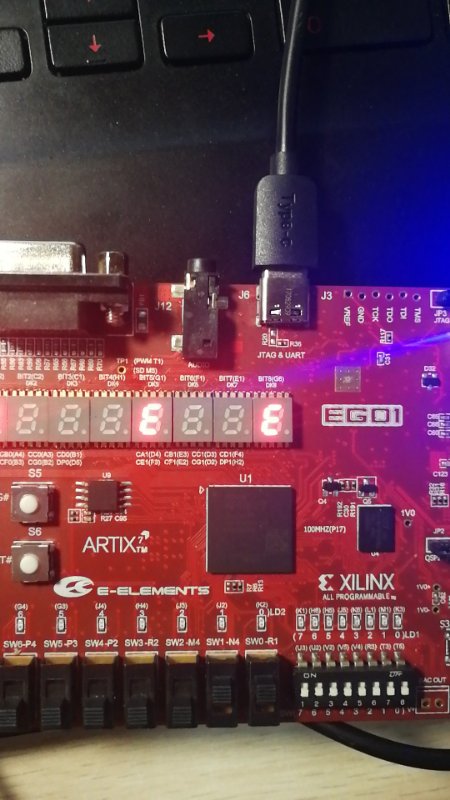
现象：



现象说明：可以看到 第一个数码管在慢慢增加，第二个数码管作为b输入不变，结果也随之变化，灯亮，结果正确。

**7、实验中遇到的问题、现象及解决方法（如没遇到可不写，帮助别人解决的也可以写）**

问题1：帮他人解决 ：



现象：两种数据在两个数码管分别输出，一个应该显示中间一横，另一个显示c,但两个数拼到了一起，都变成了一个E

问题原因：我猜测是某同学将时钟脉冲设置的太小，导致视觉暂留无法刚好达到分开效果

解决方法：于是建议将时钟脉冲设置为计数器的cnt[17]，意为190hz，改了以后，就对了。

**8、本次实验心得体会**

加深了对流水线的理解，通过寄存器达到上一步的输出是这一步的输入的充分利用，复习了乘法器。