

Hi3796M V100 硬件设计

FAQ

文档版本 00B02

发布日期 2015-05-07

版权所有 © 深圳市海思半导体有限公司 2015。保留一切权利。

非经本公司书面许可,任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部,并不得以任 何形式传播。

商标声明



(上) 、HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标,由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束,本文档中描述的全部或部分产 品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定,海思公司对本文档内容不 做任何明示或默示的声明或保证。

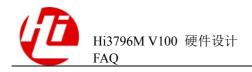
由于产品版本升级或其他原因,本文档内容会不定期进行更新。除非另有约定,本文档仅作为使用 指导,本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址: 深圳市龙岗区坂田华为基地华为总部 邮编: 518129

网址: http://www.hisilicon.com

客户服务邮箱: support@hisilicon.com



前言

概述

本文档主要介绍 Hi3796M V100 相关的硬件设计的 FAQ。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3796M	V1XX

读者对象

本文档(本指南)主要适用于以下工程师:

- 技术支持工程师
- 硬件开发工程师

作者信息

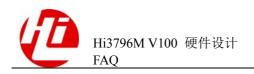
章节号	章节名称	作者信息		
全文	全文	T00171014/W00170563		

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

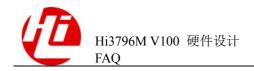


修订日期	版本	修订说明	
2014-12-25	00B01	第一次临时版本发布。	
2015-05-07	00B02	新增第2章。	



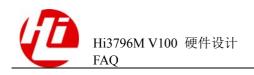
目 录

前	5 言	iii
1	外设类	ix
	1.1 SCI 接口设计建议	ix
2	小系统类	2-1
	2.1 DDR 两层板两颗粒方案设计建议	2-1
	2.2 DDR 四层板四颗粒方案设计建议	2-1



插图目录

图 1-1	电气性能优化的 SCI 电路	7
图 2-1	DDR 两层板两颗粒原理图	2-2
图 2-2	两层板 DDR PCB layout TOP 面	2-3
图 2-3	两层板 DDR PCB layout BOTTOM 面	2-4
图 2-4	DDR 四层板四颗粒原理图	2-2
图 2-5	四层板 DDR PCB layout TOP 面	2-3
图 2-6	四层板 DDR PCB layout BOTTOM 面	2-4



1 外设类

1.1 SCI 接口设计建议

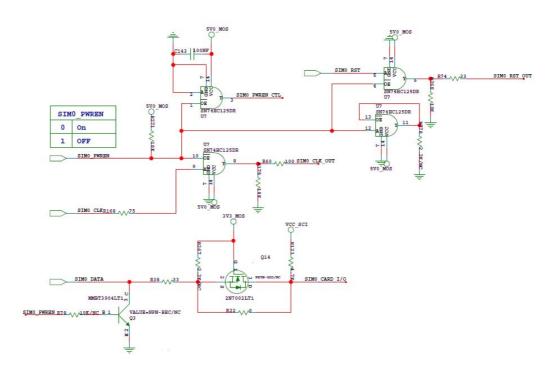
问题描述

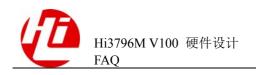
Hi3716CV200 某客户 CA SCI 电路电气性能认证测试不过? Hi3796MDMO1A SCI 电路是一样的,问题依旧。

解决办法

- SIM_PWREN 上拉 2.2kΩ 到 3V3_MOS 修改为上拉 10kΩ 到 5V_MOS;
- SIM0_CLK_OUT 对地 2.2kΩ 改为 10kΩ, 并串行 100Ω 电阻;
- SIM0_DATA 电路如图 1-1 所示修改。

图1-1 电气性能优化的 SCI 电路





2 小系统类

2.1 DDR 两层板两颗粒方案设计建议

问题描述

Hi3796MV100 只有四层板两颗粒($16bit \times 2$)的参考设计,客户想要设计两层板两颗粒($16bit \times 2$)的方案,如何设计?

解决办法

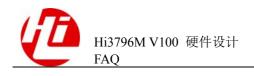
1. 原理图和 PCB 设计参考

原理图参考 Hi3798MDMO1B 硬件发布包,信号名称请和 Hi3798MDMO1B ——对应, DQ 和 ADDR 的管脚名称选择 2 DDR3 2Layers 列,如图 2-1 红色框所示。

图2-1 DDR 两层板两颗粒原理图

			2 DDR3	2 DDR3	4 DDR3
	_	(2 Layers	4 Layers	4 Layers
	DDR DQ0	H4	DDR3 DQ0	DDR3 DQ0	DDR3 DQ0
<u> </u>	DDR DQ1	N1	DDR3 DQ1	DDR3_DQ0	DDR3_DQ9
>	DDR DQ2	H1	DDR3 DQ2	DDR3 DQ2	DDR3 DQ2
>	DDR DQ3	P3	DDR3 DQ3	DDR3_DQ3	DDR3_DQ15
>	DDR DQ4	H5	DDR3 DQ4	DDR3_DQ3	DDR3_DQ15 DDR3_DQ1
>—	DDR DQ5	R3	DDR3 DQ5	DDR3_DQ4 DDR3_DQ5	DDR3_DQ1 DDR3_DQ13
>—_	DDR DQ6	H2	DDR3_DQ5	DDR3_DQ6	DDR3_DQ13
>—L	DDR DQ7	P2	DDR3_DQ0 DDR3_DQ7	DDR3_DQ6 DDR3_DQ7	
>—_	DDR DQ8	M4	DDR3_DQ8	DDR3_DQ7 DDR3_DQ8	DDR3_DQ11
>—_	DDR DQ9	K2	DDR3 DQ9	_ ~	DDR3_DQ8
\geq	DDR DQ10	M5	DDR3_DQ3	DDR3_DQ9	DDR3_DQ4
\geq	DDR DQ11	J3	DDR3_DQ10 DDR3 DQ11	DDR3_DQ10	DDR3_DQ14
>—	DDR DQ12	N4	DDR3_DQ12	DDR3_DQ11	DDR3_DQ5
\geq	DDR DQ13	J4	DDR3_DQ12	DDR3_DQ12	DDR3_DQ10
>—	DDR DQ14	P4		DDR3_DQ13	DDR3_DQ3
\geq	DDR DQ15	J5	DDR3_DQ14	DDR3_DQ14	DDR3_DQ12
>	DDR DQ16	T5	DDR3_DQ15	DDR3_DQ15	DDR3_DQ7
\rightarrow	DDR DQ17	AA5	DDR3_DQ16	DDR3_DQ16	DDR3_DQ20
>	DDR DQ18	T2	DDR3_DQ17	DDR3_DQ17	DDR3_DQ25
\rightarrow	DDR DQ19	AB5	DDR3_DQ18	DDR3_DQ18	DDR3_DQ18
<u> </u>	DDR DQ20	R5	DDR3_DQ19	DDR3_DQ19	DDR3_DQ27
S	DDR DQ21	AC6	DDR3_DQ20	DDR3_DQ20	DDR3_DQ22
S	DDR DQ22	Т3	DDR3_DQ21	DDR3_DQ21	DDR3_DQ29
	DDR DQ23	AA6	DDR3_DQ22	DDR3_DQ22	DDR3_DQ17
<u> </u>	DDR DQ24	AA4	DDR3_DQ23	DDR3_DQ23	DDR3_DQ31
	DDR DQ25	U1	DDR3_DQ24	DDR3_DQ24	DDR3_DQ28
	DDR DQ26	AB3	DDR3_DQ25	DDR3_DQ25	DDR3_DQ16
	DDR DQ27	U3	DDR3_DQ26	DDR3_DQ26	DDR3_DQ30
<u> </u>	DDR DQ28	AC2	DDR3_DQ27	DDR3_DQ27	DDR3_DQ19
S	DDR DQ29	T4	DDR3_DQ28	DDR3_DQ28	DDR3_DQ26
	DDR DQ30	AB2	DDR3_DQ29	DDR3_DQ29	DDR3_DQ23
S	DDR DQ31	U4	DDR3_DQ30	DDR3_DQ30	DDR3_DQ24
$\overline{}$	221. 2422		DDR3_DQ31	DDR3_DQ31	DDR3_DQ21
			2 DDR3	2 DDR3	4 DDR3
			2 Layers	4 Layers	4 Layers
	DDR ADDR0	AC14	DDR3 A0	DDD2 32	DDD2 32
\geq	DDR ADDR1	Y10	DDR3_A0	DDR3_A3	DDR3_A3
>	DDR ADDR2	W14	DDR3_A1 DDR3 A2	DDR3_A12	DDR3_A12
\geq	DDR ADDR3	AB14	DDR3_A2 DDR3_A3	DDR3_A2	DDR3_A2
>	DDR ADDR4	W10	DDR3_A3	DDR3_A7	DDR3_A7
>—	DDR ADDR5	Y16	DDR3_A4 DDR3 A5	DDR3_A15	DDR3_A15
>—	DDR ADDR6	AA10	_	DDR3_A9	DDR3_A9
\geq	DDR ADDR7	AA16	DDR3_A6 DDR3 A7	DDR3_A6	DDR3_A6
>	DDR ADDR8	AB11	_	DDR3_A13	DDR3_A13
>	DDR ADDR9	AA12	DDR3_A8	DDR3_A8	DDR3_A8
\rightarrow	DDR ADDR10	Y8	DDR3_A9	DDR3_A0	DDR3_A0
\rightarrow	DDR ADDR11	Y11	DDR3_A10	DDR3_A10	DDR3_A10
\rightarrow	DDR ADDR12	AB9	DDR3_A11	DDR3_A1	DDR3_A1
>	DDR ADDR13	Y15	DDR3_A12	DDR3_A11	DDR3_A11
>	DDR ADDR14	AA11	DDR3_A13	DDR3_A5	DDR3_A5
	DDR ADDR15	W12	DDR3_A14	DDR3_A14	DDR3_A14
			DDR3_A15	DDR3_A4	DDR3_A4

Hi3796MV100 相比 Hi3798MV100 BGA 封装,在 DDR pinmap 上,Hi3796MV100 只有在左下角多了 AH2 和 AG2 两个 GND 管脚,下边 DDR pinmap 整体往右移了一个



ball, 其余完全一样, PCB 可以完全 Copy Hi3798MDMO1B DDR 部分, 只要在多出的两个 GND 位置适当修正铜皮。

如图 2-2、图 2-3 所示,修正原则:

- 整体上走线不变,线宽、线和线间距、线和地间距、电源走线、线长基本保持不变,Copy Hi3798MDMO1B;
- ADDR 信号在主芯片下面相对于 Hi3798MDMO1B DDR 向右移动一个 ball 位置, ADDR 走线长度微调,除 BGA 芯片下面,信号的包地铜皮可以适当修正,铜皮宽 度必须大于等于过孔外直径;
- 必须保证信号包地与主芯片端的连通,注意如图 2-2、图 2-3 黄色框标注位置,保证信号包地与 BGA 芯片下面的地连接。

图2-2 两层板 DDR PCB layout TOP 面

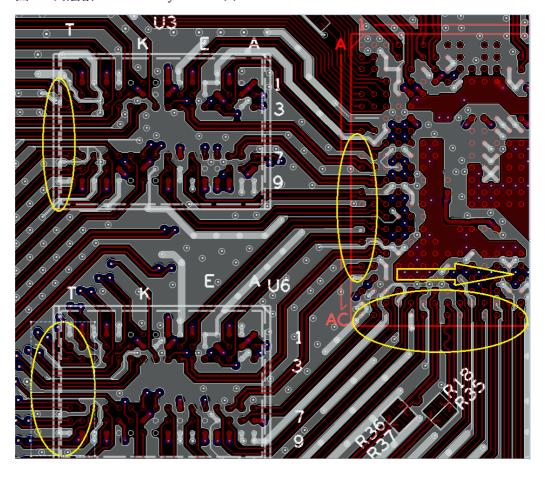
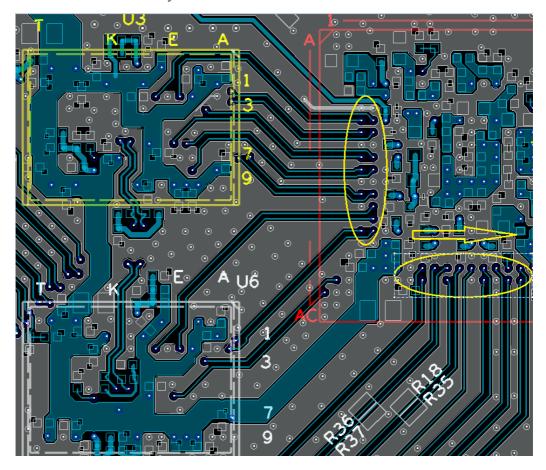




图2-3 两层板 DDR PCB layout BOTTOM 面



2. Fastboot 配置表格选择

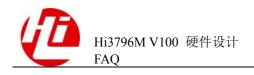
Fastboott 配置表格请选择发布包对应位置名称为: hi3796mv100_ddr3_1gbyte_16bitx2_2layers.xlsm

表格管脚复用配置需要根据客户实际应用配置,不用的 IO 默认配置为 GPIO 模式。



注意

- 客户如果是新设计的 DDR 方案单板,请加强 DDR 稳定性验证;
- 原理图和 PCB 完成投板前,请确保海思 FAE 完成检视。



2.2 DDR 四层板四颗粒方案设计建议

问题描述

Hi3796MV100 只有四层板两颗粒($16bit \times 2$)的参考设计,客户想要设计四层板四颗粒($8bit \times 4$)的方案,如何设计?

解决办法

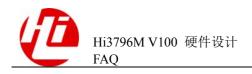
1. 原理图和 PCB 设计参考

原理图参考 Hi3798MDMO1D 硬件发布包,信号名称和 Hi3798MDMO1D 信号——对应,DQ 和 ADDR 的管脚名称选择 4 DDR3 4Layers 列,如图 2-4 红色框所示。

图2-4 DDR 四层板四颗粒原理图

		2 DDR3	2 DDR3	4 DDR3
		2 Layers	4 Layers	4 Layers
DDR DQ0	H4	DDR3 DQ0	DDD2 DO0	$\overline{)}$
DDR DQ1	N1	DDR3_DQ0 DDR3 DQ1	DDR3_DQ0 DDR3_DQ1	DDR3_DQ0
DDR DQ2	H1	DDR3_DQ1	DDR3_DQ1 DDR3 DQ2	DDR3_DQ9
DDR DQ3	P3	DDR3 DQ3	DDR3_DQ2 DDR3 DQ3	DDR3_DQ2 DDR3 DQ15
DDR DQ4	H5	DDR3 DQ4	DDR3_DQ3 DDR3 DQ4	DDR3_DQ15
DDR DQ5	R3	DDR3 DQ5	DDR3_DQ4 DDR3 DQ5	DDR3_DQ1 DDR3 DQ13
DDR DQ6	H2	DDR3 DQ6	DDR3_DQ5	DDR3_DQ15
DDR DQ7	P2	DDR3_DQ7	DDR3_DQ0	DDR3_DQ0
DDR DQ8	M4	DDR3 DQ8	DDR3_DQ7	DDR3_DQ11
DDR DQ9	K2	DDR3 DQ9	DDR3_DQ9	DDR3 DQ4
DDR DQ10	M5	DDR3 DQ10	DDR3 DQ10	DDR3 DQ14
DDR DQ11	J3	DDR3_DQ11	DDR3 DQ11	DDR3 DQ5
DDR DQ12	N4	DDR3 DQ12	DDR3 DQ12	DDR3 DQ10
DDR DQ13	J4	DDR3 DQ13	DDR3 DQ13	DDR3_DQ3
DDR DQ14	P4	DDR3 DQ14	DDR3 DQ14	DDR3 DQ12
DDR DQ15	J5	DDR3 DQ15	DDR3 DQ15	DDR3 DQ7
DDR DQ16	T5	DDR3 DQ16	DDR3 DQ16	DDR3 DQ20
DDR DQ17	AA5	DDR3 DQ17	DDR3 DQ17	DDR3_DQ25
DDR DQ18	T2	DDR3 DQ18	DDR3 DQ18	DDR3 DQ18
DDR DQ19	AB5	DDR3 DQ19	DDR3 DQ19	DDR3 DQ27
DDR DQ20	R5	DDR3 DQ20	DDR3 DQ20	DDR3 DQ22
DDR DQ21	AC6	DDR3 DQ21	DDR3 DQ21	DDR3 DQ29
DDR DQ22	T3	DDR3 DQ22	DDR3 DQ22	DDR3 DQ17
DDR DQ23	AA6	DDR3 DQ23	DDR3 DQ23	DDR3 DQ31
DDR DQ24	AA4	DDR3 DQ24	DDR3 DQ24	DDR3 DQ28
DDR DQ25	U1	DDR3 DQ25	DDR3_DQ25	DDR3 DQ16
DDR DQ26	AB3	DDR3 DQ26	DDR3 DQ26	DDR3 DQ30
DDR DQ27	T3	DDR3 DQ27	DDR3 DQ27	DDR3 DQ19
DDR DQ28	AC2	DDR3 DQ28	DDR3 DQ28	DDR3 DQ26
DDR DQ29	T4	DDR3 DQ29	DDR3 DQ29	DDR3 DQ23
DDR DQ30	AB2	DDR3_DQ30	DDR3 DQ30	DDR3 DQ24
DDR DQ31	U4	DDR3_DQ31	DDR3 DQ31	DDR3 DQ21
				_ ~
		2 DDR3	0 DDD0	4 0000
			2 DDR3	4 DDR3
DDR ADDR0	2014	2 Layers	4 Layers	4 Layers
DDR ADDRO	AC14 Y10	DDR3_A0	DDR3_A3	DDR3_A3
DDR ADDR1	W14	DDR3_A1	DDR3_A12	DDR3_A12
DDR ADDR2	AB14	DDR3_A2	DDR3_A2	DDR3_A2
DDR ADDR3	W10	DDR3_A3	DDR3_A7	DDR3_A7
DDR ADDR4	Y16	DDR3_A4	DDR3_A15	DDR3_A15
DDR ADDRS DDR ADDR6	AA10	DDR3_A5	DDR3_A9	DDR3_A9
DDR ADDR7	AA16	DDR3_A6	DDR3_A6	DDR3_A6
DDR ADDR7	AB11	DDR3_A7	DDR3_A13	DDR3_A13
DDR ADDR9	AA12	DDR3_A8	DDR3_A8	DDR3_A8
DDR ADDR10	Y8	DDR3_A9	DDR3_A0	DDR3_A0
DDR ADDR11	Y11	DDR3_A10	DDR3_A10	DDR3_A10
DDR ADDR12	AB9	DDR3_A11	DDR3_A1	DDR3_A1
DDR ADDR13	Y15	DDR3_A12	DDR3_A11	DDR3_A11
DDR ADDR14	AA11	DDR3_A13	DDR3_A5	DDR3_A5
DDR ADDR15	W12	DDR3_A14	DDR3_A14	DDR3_A14
C DEN ADDRES	1122	DDR3_A15	DDR3_A4	DDR3_A4
	ı			

修正原则如图 2-5、图 2-6 所示:



- 整体上走线不变,线宽、线和线间距、线和地间距、电源走线、线长基本保持不变, Copy Hi3798MDMO1D;
- ADDR 信号走线在主芯片端相对于 Hi3798MDMO1D 要向右移动一个 ball 位置, 走线长度微调,线间距(air gap)大于 10mil。

图2-5 四层板 DDR PCB layout TOP 面

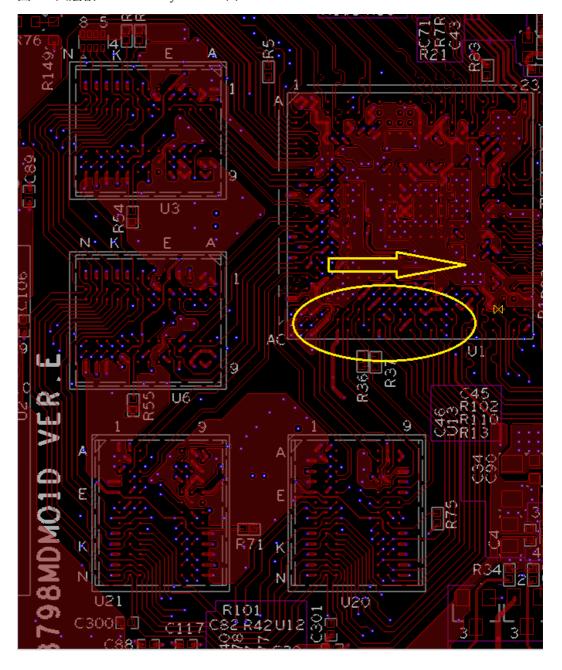
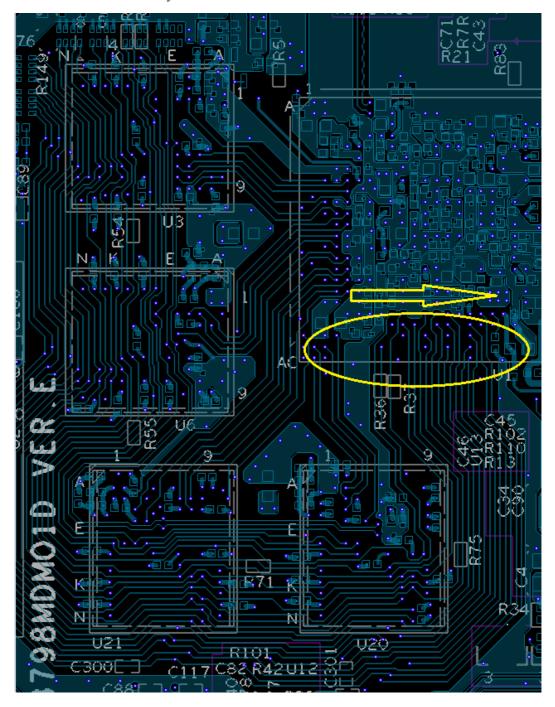




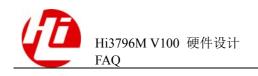
图2-6 四层板 DDR PCB layout BOTTOM 面



2. Fastboot 配置表格选择

Fastboott 配置表格请选择发布包对应位置名称为: hi3796mv100_ddr3_2gbyte_8bitx4_4layers.xlsm

表格管脚复用配置需要根据客户实际应用配置,不用的 IO 默认配置为 GPIO 模式。





注意

- 客户如果是新设计的 DDR 方案单板,请加强 DDR 稳定性验证;
- 原理图和 PCB 完成投板前,请确保海思 FAE 完成检视。