



Hi3796M V100 硬件设计

## FAQ

文档版本 00B02

发布日期 2015-05-07

**版权所有 © 深圳市海思半导体有限公司 2015。保留一切权利。**

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## **商标声明**



**HISILICON**、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## **注意**

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## **深圳市海思半导体有限公司**

地址：                    深圳市龙岗区坂田华为基地华为总部                    邮编：518129

网址：                    <http://www.hisilicon.com>

客户服务邮箱：          [support@hisilicon.com](mailto:support@hisilicon.com)



# 前 言

## 概述

本文档主要介绍 Hi3796M V100 相关的硬件设计的 FAQ。

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3796M	V1XX

## 读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 硬件开发工程师

## 作者信息

章节号	章节名称	作者信息
全文	全文	T00171014/W00170563

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。



修订日期	版本	修订说明
2014-12-25	00B01	第一次临时版本发布。
2015-05-07	00B02	新增第 2 章。



## 目 录

前 言.....	iii
1 外设类.....	ix
1.1 SCI 接口设计建议.....	ix
2 小系统类.....	2-1
2.1 DDR 两层板两颗粒方案设计建议.....	2-1
2.2 DDR 四层板四颗粒方案设计建议.....	2-1



## 插图目录

图 1-1 电气性能优化的 SCI 电路 .....	x
图 2-1 DDR 两层板两颗粒原理图 .....	2-2
图 2-2 两层板 DDR PCB layout TOP 面 .....	2-3
图 2-3 两层板 DDR PCB layout BOTTOM 面 .....	2-4
图 2-4 DDR 四层板四颗粒原理图 .....	2-2
图 2-5 四层板 DDR PCB layout TOP 面 .....	2-3
图 2-6 四层板 DDR PCB layout BOTTOM 面 .....	2-4



# 1 外设类

## 1.1 SCI 接口设计建议

### 问题描述

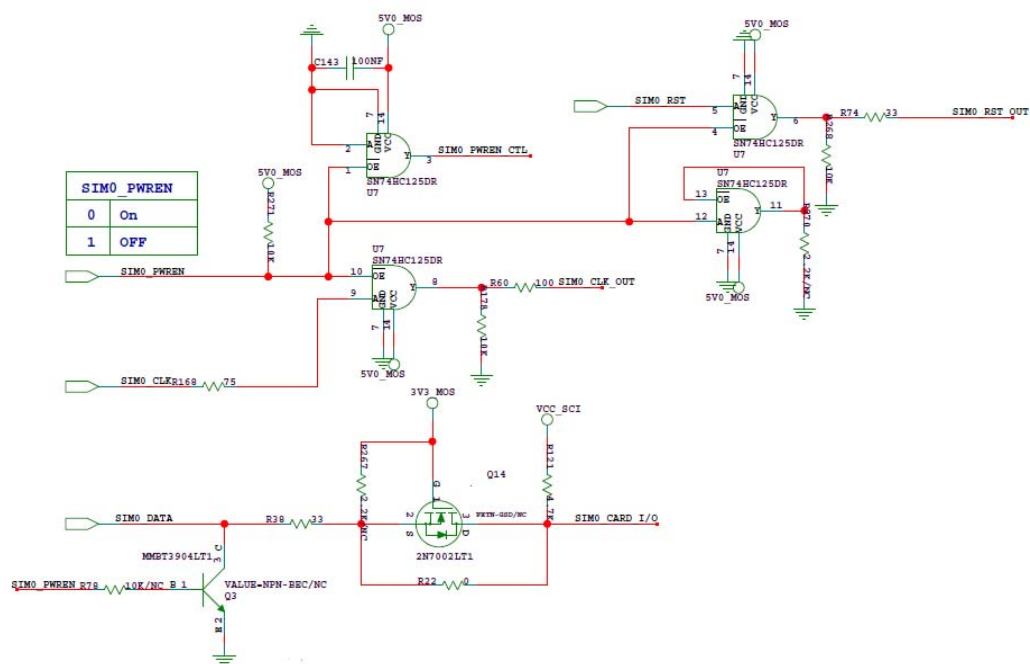
Hi3716CV200 某客户 CA SCI 电路电气性能认证测试不过？Hi3796MDMO1A SCI 电路是一样的，问题依旧。

### 解决办法

- SIM\_PWREN 上拉 2.2kΩ 到 3V3\_MOS 修改为上拉 10kΩ 到 5V\_MOS；
- SIM0\_CLK\_OUT 对地 2.2kΩ 改为 10kΩ，并串行 100Ω 电阻；
- SIM0\_DATA 电路如[图 1-1](#) 所示修改。



图1-1 电气性能优化的 SCI 电路







## 2 小系统类

### 2.1 DDR 两层板两颗粒方案设计建议

#### 问题描述

Hi3796MV100 只有四层板两颗粒（16bit x 2）的参考设计，客户想要设计两层板两颗粒（16bit x 2）的方案，如何设计？

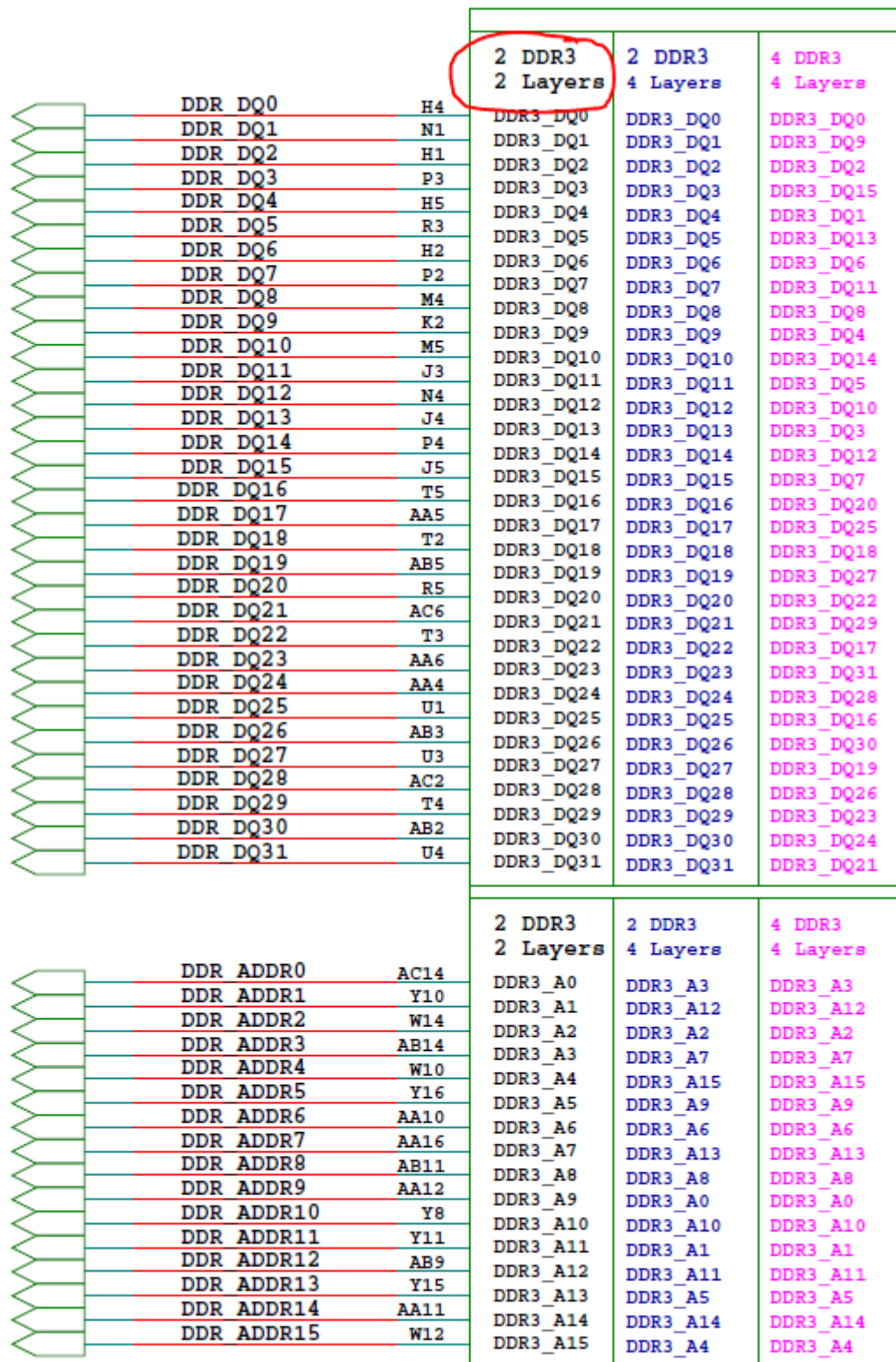
#### 解决办法

##### 1. 原理图和 PCB 设计参考

原理图参考 Hi3798MDMO1B 硬件发布包，信号名称请和 Hi3798MDMO1B 一一对应，DQ 和 ADDR 的管脚名称选择 2 DDR3 2Layers 列，如[图 2-1](#)红色框所示。



图2-1 DDR 两层板两颗粒原理图



Hi3796MV100 相比 Hi3798MV100 BGA 封装，在 DDR pinmap 上，Hi3796MV100 只有在左下角多了 AH2 和 AG2 两个 GND 管脚，下边 DDR pinmap 整体往右移了一个

ball, 其余完全一样, PCB 可以完全 Copy Hi3798MDMO1B DDR 部分, 只要有多出的两个 GND 位置适当修正铜皮。

如图 2-2、图 2-3 所示, 修正原则:

- 整体上走线不变, 线宽、线和线间距、线和地间距、电源走线、线长基本保持不变, Copy Hi3798MDMO1B;
- ADDR 信号在主芯片下面相对于 Hi3798MDMO1B DDR 向右移动一个 ball 位置, ADDR 走线长度微调, 除 BGA 芯片下面, 信号的包地铜皮可以适当修正, 铜皮宽度必须大于等于过孔外直径;
- 必须保证信号包地与主芯片端的连通, 注意如图 2-2、图 2-3 黄色框标注位置, 保证信号包地与 BGA 芯片下面的地连接。

图2-2 两层板 DDR PCB layout TOP 面

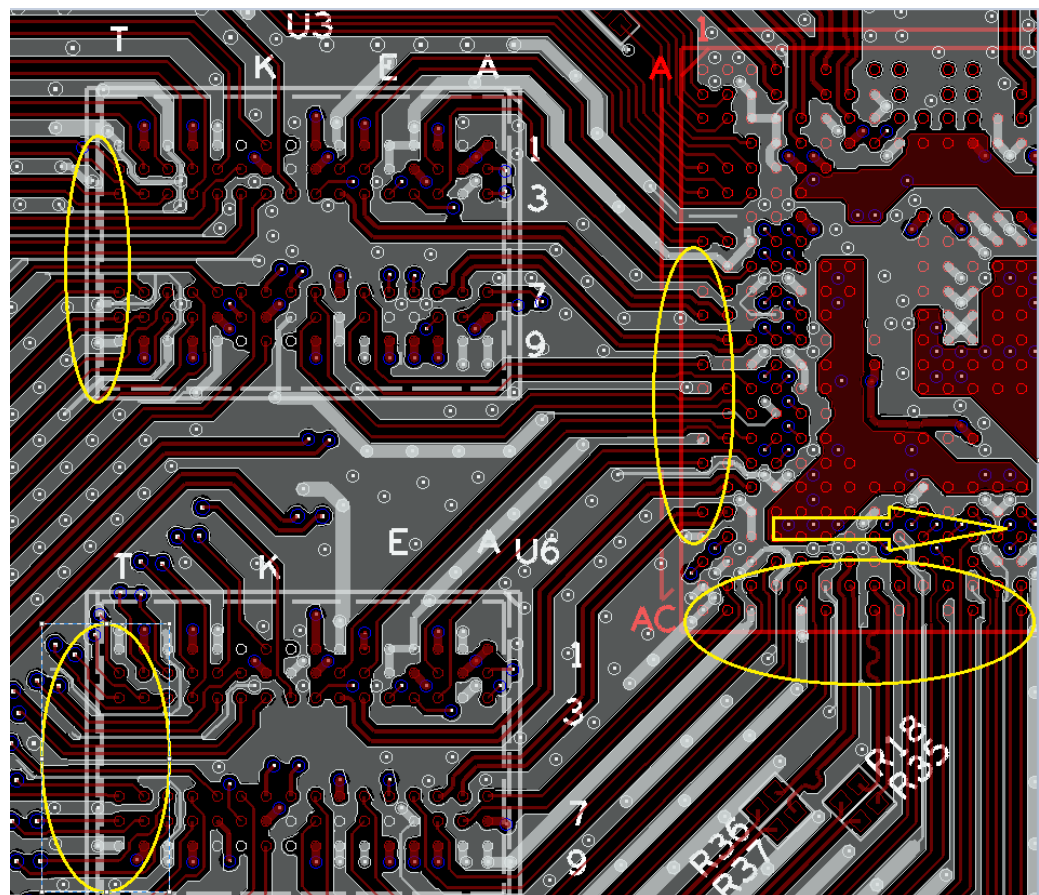
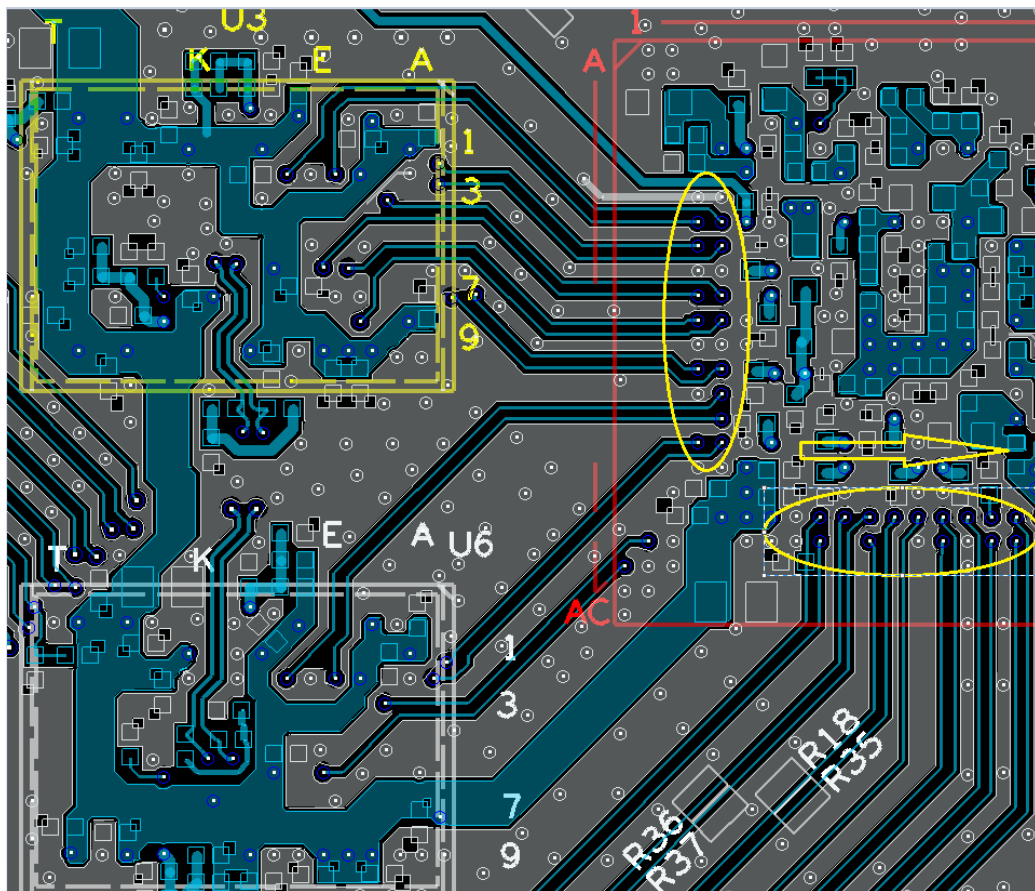




图2-3 两层板 DDR PCB layout BOTTOM 面



## 2. Fastboot 配置表格选择

Fastboot 配置表格请选择发布包对应位置名称为：  
hi3796mv100\_ddr3\_1gbyte\_16bitx2\_2layers.xlsm

表格管脚复用配置需要根据客户实际应用配置，不用的 IO 默认配置为 GPIO 模式。



### 注意

- 客户如果是新设计的 DDR 方案单板，请加强 DDR 稳定性验证；
- 原理图和 PCB 完成投板前，请确保海思 FAE 完成检视。



## 2.2 DDR 四层板四颗粒方案设计建议

### 问题描述

Hi3796MV100 只有四层板两颗粒（16bit x 2）的参考设计，客户想要设计四层板四颗粒（8bit x 4）的方案，如何设计？

### 解决办法

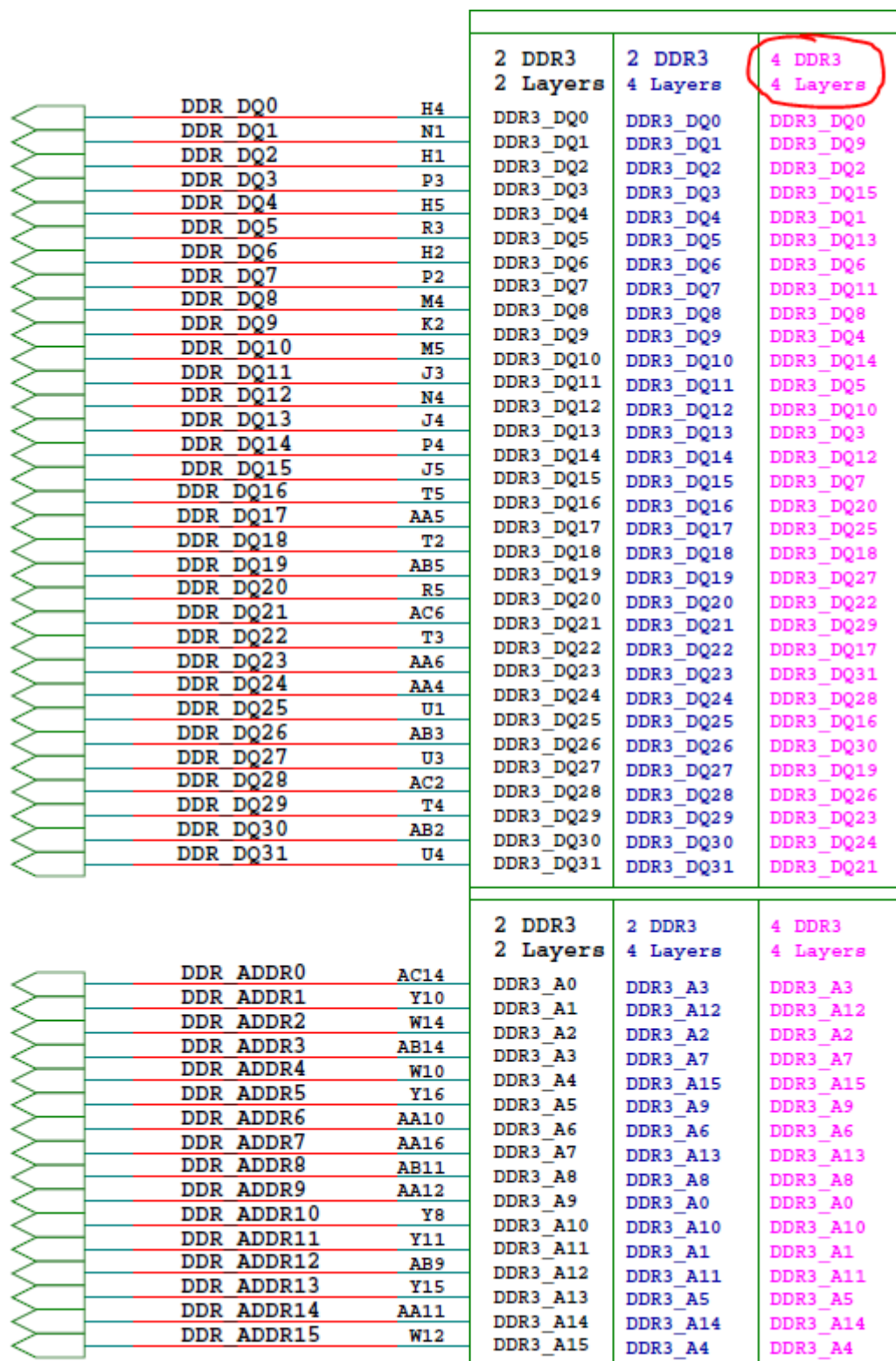
#### 1. 原理图和 PCB 设计参考

原理图参考 Hi3798MDMO1D 硬件发布包，信号名称和 Hi3798MDMO1D 信号一一对应，DQ 和 ADDR 的管脚名称选择 4 DDR3 4Layers 列，如图 2-4 红色框所示。





图2-4 DDR 四层板四颗粒原理图



修正原则如图 2-5、图 2-6 所示：

- 整体上走线不变，线宽、线和线间距、线和地间距、电源走线、线长基本保持不变，Copy Hi3798MDMO1D；
- ADDR 信号走线在主芯片端相对于 Hi3798MDMO1D 要向右移动一个 ball 位置，走线长度微调，线间距（air gap）大于 10mil。

图2-5 四层板 DDR PCB layout TOP 面

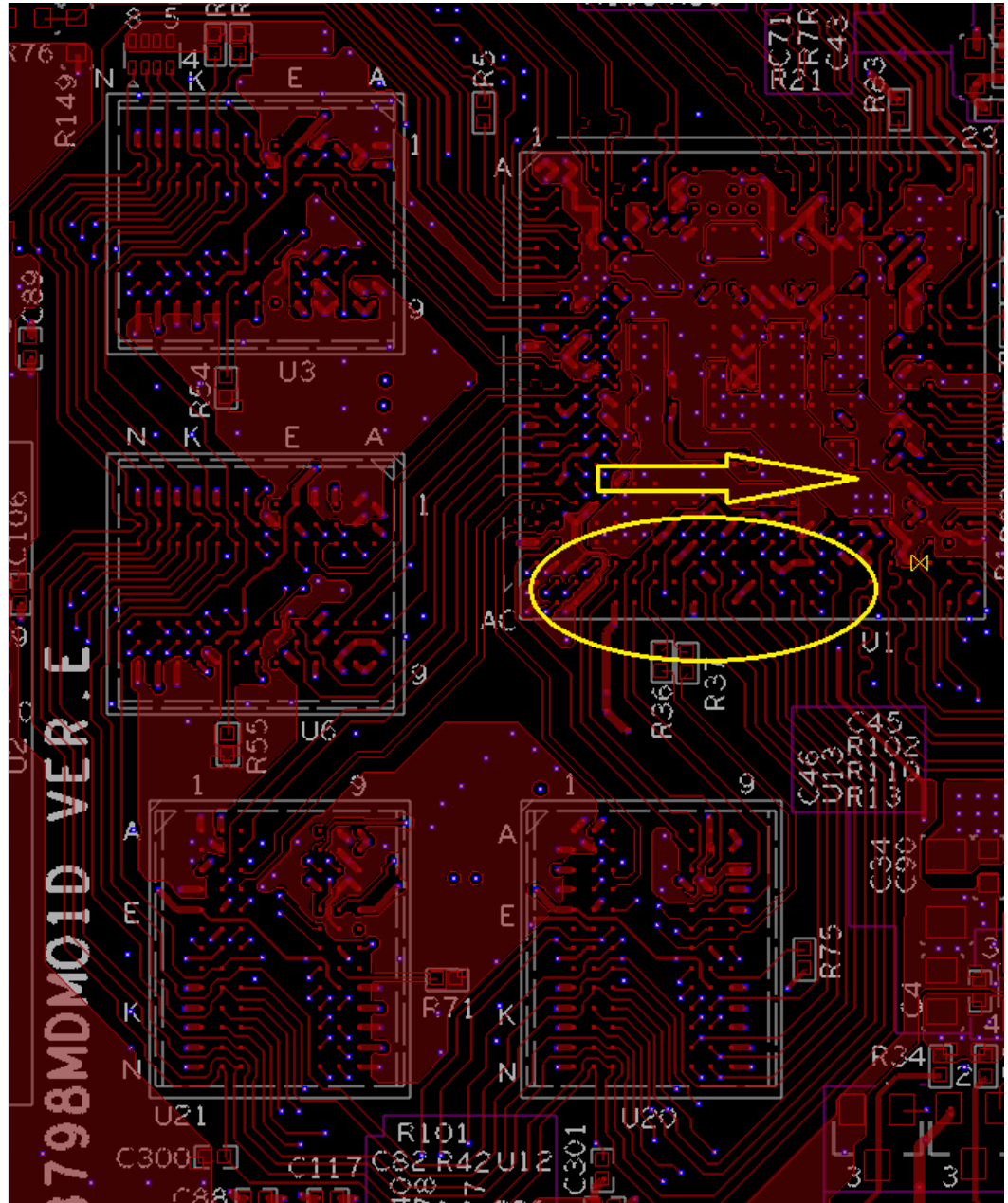
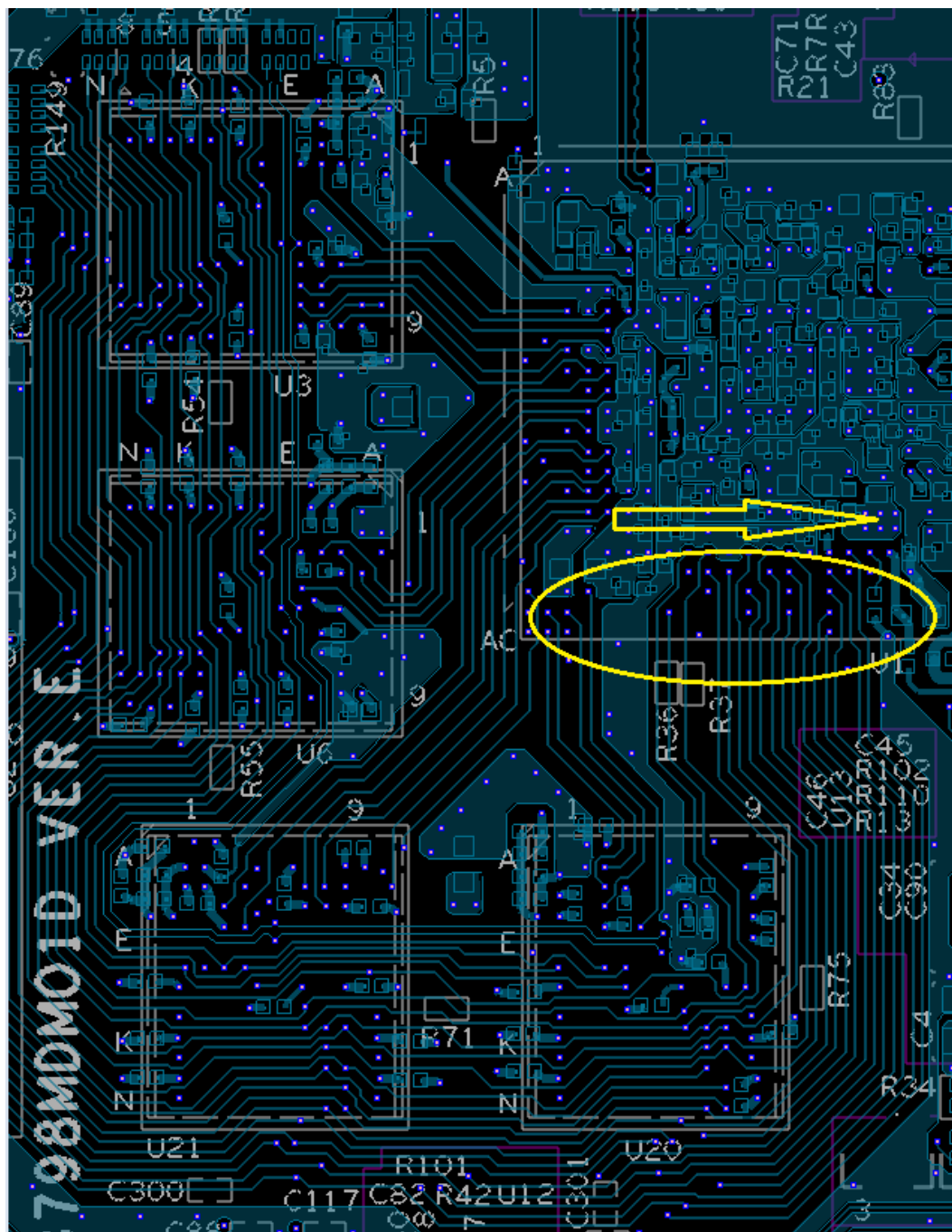




图2-6 四层板 DDR PCB layout BOTTOM 面



## 2. Fastboot 配置表格选择

Fastboot 配置表格请选择发布包对应位置名称为：  
hi3796mv100\_ddr3\_2gbyte\_8bitx4\_4layers.xlsm

表格管脚复用配置需要根据客户实际应用配置，不用的 IO 默认配置为 GPIO 模式。





### 注意

- 客户如果是新设计的 DDR 方案单板，请加强 DDR 稳定性验证；
- 原理图和 PCB 完成投板前，请确保海思 FAE 完成检视。