



Hi3796M V100 智能网络终端媒体处理器 硬件 用户指南

文档版本 00B03

发布日期 2014-12-26

版权所有 © 深圳市海思半导体有限公司 2014。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为总部 邮编：518129

网址： <http://www.hisilicon.com>

客户服务邮箱： support@hisilicon.com



前 言

概述

本文档主要介绍 Hi3796M V100 芯片的硬件封装、管脚描述、管脚复用寄存器的配置方法、电气特性参数、原理图设计建议、PCB 设计建议、热设计建议、焊接工艺、敏感参数、注意事项等内容。

本文主要为硬件工程师提供硬件设计的参考。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3796M 芯片	V1XX

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

约定

寄存器访问类型约定

类型	说明	类型	说明
RO	只读，不可写。	RW	可读可写。



类型	说明	类型	说明
RC	读清零。	WC	可读，写 1 清零，写 0 保持不变。

寄存器复位值约定

在寄存器定义表格中：

- 如果某一个比特的复位值“Reset”（即“Reset”行）为“？”，表示复位值不确定。
- 如果某一个或者多个比特的复位值“Reset”为“？”，则整个寄存器的复位值“Total Reset Value”为“-”，表示复位值不确定。

数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量（如 RAM 容量）	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列（寄存器描述中除外）。
X	00X、1XX	在数据的表达方式中，X 表示 0 或 1。 例如：00X 表示 000 或 001； 1XX 表示 100、101、110 或 111。



修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2014-10-15	00B01	第 1 次临时版本发布。
2014-11-18	00B02	将 swla rate 改为 slew rate，修改 4.3.7 章节的 TSI 为 SCI。
2014-12-26	00B03	更新管脚复用寄存器的上下拉使能信息。



目 录

前 言.....	iii
1 封装与管脚.....	1-1
1.1 封装与管脚分布.....	1-1
1.1.1 封装	1-1
1.1.2 管脚分布	1-2
1.1.3 管脚排列表	1-5
1.2 管脚描述.....	1-14
1.2.1 管脚类型说明.....	1-14
1.2.2 ADAC 管脚	1-15
1.2.3 HDMI 管脚.....	1-16
1.2.4 USB 管脚.....	1-17
1.2.5 DDR 管脚	1-19
1.2.6 FE 管脚.....	1-23
1.2.7 PLL 管脚	1-25
1.2.8 VDAC 管脚	1-25
1.2.9 EBI 管脚.....	1-26
1.2.10 SYS 管脚	1-27
1.2.11 I2C 管脚.....	1-28
1.2.12 I2S 管脚.....	1-28
1.2.13 IR 管脚	1-29
1.2.14 JTAG 管脚	1-30
1.2.15 LED 管脚.....	1-31
1.2.16 NANDC 管脚	1-32
1.2.17 SDIO 管脚	1-33
1.2.18 SIM 管脚	1-35
1.2.19 SLIC 管脚.....	1-35
1.2.20 SPDIF 管脚.....	1-37
1.2.21 STANDBY_PWROFF 管脚	1-37
1.2.22 TSI 管脚.....	1-38
1.2.23 UART 管脚.....	1-39



1.2.24 PG (Power and Ground) 管脚	1-39
1.3 复用寄存器概览	1-43
1.4 复用寄存器描述	1-45
1.5 软件复用管脚	1-108
1.5.1 MEM	1-108
1.5.2 JTAG	1-110
1.5.3 TS	1-112
1.5.4 I2C	1-113
1.5.5 AUDIO	1-114
1.5.6 HDMITX	1-115
1.5.7 NET	1-116
1.5.8 SDIO	1-117
1.5.9 SYS	1-118
1.5.10 SPI	1-119
2 电性能参数	2-1
2.1 功耗分布	2-1
2.2 极限工作电压	2-1
2.3 推荐工作条件	2-2
2.4 DC/AC 电气参数	2-3
2.5 上下电要求	2-5
3 原理图设计建议	3-1
3.1 小系统设计建议	3-1
3.1.1 Clocking 电路	3-1
3.1.2 复位和 Watchdog 电路	3-1
3.1.3 JTAG Debug 接口	3-2
3.1.4 硬件初始化系统配置电路	3-3
3.1.5 DDR 电路设计	3-3
3.1.6 Flash 电路设计	3-6
3.2 电源设计建议	3-8
3.2.1 CPU/CORE 电源设计	3-8
3.2.2 IO 电源设计	3-8
3.2.3 DDR 电源设计	3-8
3.2.4 PLL 电源设计	3-9
3.2.5 Standby 电源设计	3-9
3.2.6 待机电路方案设计	3-9
3.2.7 注意事项	3-10
3.3 外围接口设计建议	3-10
3.3.1 SDIO 接口设计	3-10
3.3.2 网口设计	3-11



3.3.3 USB 接口设计	3-11
3.3.4 音频 DAC 接口设计	3-12
3.3.5 视频 DAC 接口设计	3-12
3.3.6 HDMI 接口设计	3-13
3.3.7 TSI 接口设计	3-13
3.3.8 SCI 接口设计	3-14
4 PCB 设计建议.....	4-1
4.1 层叠和布局	4-1
4.1.1 层叠	4-1
4.1.2 Fanout 封装设计建议	4-1
4.2 小系统 PCB 设计建议	4-2
4.2.1 小系统电源	4-2
4.2.2 时钟和复位电路.....	4-3
4.2.3 DDR 信号设计	4-3
4.2.4 Flash 设计	4-4
4.3 典型外围接口 PCB 设计建议	4-5
4.3.1 SDIO 接口设计	4-5
4.3.2 USB 接口设计	4-6
4.3.3 音频 DAC 接口设计	4-6
4.3.4 视频 DAC 接口设计	4-6
4.3.5 HDMI 接口设计	4-7
4.3.6 TSI 接口设计	4-7
4.3.7 SCI 接口设计	4-8
4.3.8 其它	4-8
5 热设计建议.....	5-1
5.1 工作条件.....	5-1
5.2 散热设计参考.....	5-2
5.3 电路热设计参考.....	5-4
5.3.1 原理图	5-4
5.3.2 PCB	5-5
6 焊接工艺建议.....	6-1
6.1 概述.....	6-1
6.2 无铅回流焊工艺参数要求	6-1
6.3 混合回流焊工艺参数要求	6-3
7 潮敏参数.....	7-1
7.1 概述.....	7-1
7.2 海思产品防潮包装	7-1
7.2.1 包装信息	7-1



7.2.2 潮敏产品进料检验.....	7-2
7.3 存放与使用.....	7-2
7.4 重新烘烤.....	7-3
8 接口时序.....	8-1
8.1 DDR 接口时序	8-1
8.1.1 写操作时序	8-1
8.1.2 读操作时序	8-2
8.1.3 时序参数	8-3
8.2 NANDC 接口时序.....	8-4
8.2.1 命令周期时序.....	8-4
8.2.2 地址周期时序.....	8-5
8.2.3 写数据时序	8-5
8.2.4 读数据时序	8-6
8.3 TSI 接口时序.....	8-7
8.4 Ethernet MAC 接口时序	8-8
8.4.1 MDIO 接口时序.....	8-8
8.5 SIO 接口时序	8-10
8.5.1 I ² S 模式接口时序.....	8-10
8.5.2 PCM 模式接口时序	8-10
8.6 I ² C 时序	8-11
8.7 SCI 接口时序.....	8-13
8.7.1 激活和冷复位接口时序.....	8-13
8.7.2 热复位接口时序.....	8-13
8.7.3 释放接口时序.....	8-13
8.8 SPI 接口时序	8-14
8.9 MMC/SD/SDIO 接口时序	8-16
A 缩略语	A-1



插图目录

图 1-1 Hi3796M V100 封装	1-2
图 1-2 管脚分布图 part1 (A1~P14)	1-3
图 1-3 管脚分布图 part2 (R1~AH14)	1-3
图 1-4 管脚分布图 part3 (R15~AH28)	1-4
图 1-5 管脚分布图 part4 (A15~P28)	1-4
图 3-1 推荐晶体连接方式及器件参数.....	3-1
图 3-2 JTAG 连接方式及标准连接器管脚定义	3-2
图 3-3 Hi3796MV100 与 DDR3 SDRAM 的 T 型拓扑结构图	3-4
图 3-4 Hi3796MV100 与 DDR3 SDRAM 的 fly-by 拓扑结构图	3-5
图 3-5 DDR3 应用中，四负载，采用 Fly-by 结构，差分时钟 DDR_CLK_P/N 一驱四应用.....	3-6
图 3-6 DDR3 电源分压网络参考设计图	3-9
图 3-7 Hi3796MV100 板级待机电路方案框图	3-10
图 4-1 PBGA-573 封装 Fanout	4-2
图 6-1 无铅回流焊接工艺曲线.....	6-2
图 6-2 封装体测温示意图.....	6-3
图 7-1 干燥真空包装材料示意图.....	7-2
图 8-1 DDR3 中 DDR3_DQS 相对于 DDR3_DQ 的写操作时序图.....	8-1
图 8-2 DDR3 中 DDR3_DQS 相对于 DDR3_CLK(CMDADDR PHY)的写操作时序图.....	8-1
图 8-3 命令和地址相对于 DDR3_CLK(CMDADDR PHY)的写操作时序图.....	8-2
图 8-4 DDRn SDRAM 输出时序图	8-3
图 8-5 NANDC 命令周期时序图	8-4
图 8-6 NANDC 地址周期时序图	8-5
图 8-7 NANDC 写数据时序图	8-6
图 8-8 NANDC 读数据时序图	8-7
图 8-9 TSI 接口时序图.....	8-8



图 8-10 MDIO 接口读时序	8-9
图 8-11 MDIO 接口写时序	8-9
图 8-12 MDIO 接口接收时序参数	8-9
图 8-13 I ² S 接口接收时序图	8-10
图 8-14 I ² S 接口发送时序图	8-10
图 8-15 PCM 接口接收时序图	8-11
图 8-16 PCM 接口发送时序图	8-11
图 8-17 I ² C 传输时序图	8-12
图 8-18 SCI 激活和冷复位接口时序图	8-13
图 8-19 SCI 热复位接口时序图	8-13
图 8-20 SCI 释放接口时序图	8-14
图 8-21 SPICK 时序	8-14
图 8-22 SPI 主模式下接口时序 (sph=0)	8-14
图 8-23 SPI 主模式下接口时序 (sph=1)	8-15
图 8-24 输出方向时序图	8-16
图 8-25 输入方向时序图	8-17



表格目录

表 1-1 管脚排列表	1-5
表 1-2 管脚 I/O 类型说明	1-14
表 1-3 ADAC 管脚	1-15
表 1-4 HDMI 管脚	1-16
表 1-5 USB 管脚	1-17
表 1-6 DDR 电源管脚	1-19
表 1-7 DDR 管脚	1-20
表 1-8 FE 管脚	1-24
表 1-9 PLL 管脚	1-25
表 1-10 VDAC 管脚	1-25
表 1-11 EBI 管脚	1-26
表 1-12 SYS 管脚	1-27
表 1-13 I2C 管脚	1-28
表 1-14 I2S 管脚	1-29
表 1-15 IR 管脚	1-29
表 1-16 JTAG 管脚	1-30
表 1-17 LED 管脚	1-32
表 1-18 NANDC 管脚	1-32
表 1-19 SDIO 管脚	1-34
表 1-20 SIM 管脚	1-35
表 1-21 SLIC 管脚	1-35
表 1-22 SPDIF 管脚	1-37
表 1-23 STANDBY_PWROFF 管脚	1-37
表 1-24 TSI 管脚	1-38
表 1-25 UART 管脚	1-39



表 1-26 DVDD33 管脚.....	1-39
表 1-27 DVDD11_LDO1 管脚.....	1-40
表 1-28 DVDD33_STANDBY 管脚.....	1-40
表 1-29 DVDD3318_LDO2 管脚.....	1-40
表 1-30 VDD_CPU 管脚.....	1-41
表 1-31 VDD 管脚.....	1-41
表 1-32 VSS 管脚.....	1-41
表 1-33 复用寄存器概览(基地址为 0xF8A2_1000).....	1-43
表 1-34 MEM 的软件复用管脚.....	1-108
表 1-35 MEM 的软件复用管脚描述.....	1-109
表 1-36 JTAG 的软件复用管脚.....	1-110
表 1-37 JTAG 的软件复用管脚描述.....	1-111
表 1-38 TS 的软件复用管脚.....	1-112
表 1-39 TS 的软件复用管脚描述.....	1-112
表 1-40 I2C 的软件复用管脚.....	1-113
表 1-41 I2C 的软件复用管脚描述.....	1-113
表 1-42 AUDIO 的软件复用管脚.....	1-114
表 1-43 AUDIO 的软件复用管脚描述.....	1-114
表 1-44 HDMITX 的软件复用管脚.....	1-115
表 1-45 HDMITX 的软件复用管脚描述.....	1-115
表 1-46 NET 的软件复用管脚.....	1-116
表 1-47 NET 的软件复用管脚描述.....	1-116
表 1-48 SDIO 的软件复用管脚.....	1-117
表 1-49 SDIO 的软件复用管脚描述.....	1-117
表 1-50 SYS 的软件复用管脚.....	1-118
表 1-51 SYS 的软件复用管脚描述.....	1-118
表 1-52 SPI 的软件复用管脚.....	1-119
表 1-53 SPI 的软件复用管脚描述.....	1-119
表 2-1 功耗参数.....	2-1
表 2-2 极限工作电压参数.....	2-1
表 2-3 推荐工作条件.....	2-2
表 2-4 DC 电气参数表 (DVDD33=3.3V, 部分接口支持 5V 输入兼容).....	2-3



表 2-5 DC 电气参数表 (NF_DVDD3318=1.8V)	2-3
表 2-6 DC 电气参数表 (VDDIO_DDR=1.5V, DDR3 模式)	2-4
表 2-7 AC 电气参数表 (VDDIO_DDR=1.5V, DDR3 模式)	2-5
表 3-1 JTAG Debug 接口信号	3-2
表 3-2 FUNC_SEL 模式说明	3-2
表 3-3 信号描述	3-3
表 3-4 DQ、DQS_P/DQS_N、DM 拓扑设计推荐	3-5
表 3-5 单片 NAND Flash 上下拉和匹配设计推荐	3-7
表 3-6 单片 eMMC Flash 上下拉和匹配设计推荐	3-7
表 3-7 单片 SD 卡上下拉和匹配设计推荐	3-8
表 3-8 SDIO 接口匹配设计推荐	3-11
表 3-9 TSI 接口连接推荐	3-13
表 4-1 单片 NAND Flash PCB 走线约束推荐	4-4
表 4-2 单片 eMMC Flash PCB 走线约束推荐	4-5
表 4-3 SDIO3.0 接口 PCB 走线约束推荐	4-5
表 4-4 HDMI 接口各信号 PCB 走线约束推荐	4-7
表 4-5 TSI 接口各信号 PCB 走线约束推荐	4-8
表 4-6 SCI 接口各信号 PCB 走线约束推荐	4-8
表 5-1 四层 PCB 封装热阻参数	5-1
表 5-2 推荐工作环境参数	5-1
表 5-3 导热介质材料推荐表	5-3
表 5-4 散热器固定方式与质量关系	5-4
表 6-1 无铅回流焊工艺参数	6-2
表 6-2 IPC/JEDEC 020D 中的无铅器件封装体耐温标准	6-3
表 6-3 混装回流焊工艺参数表	6-4
表 6-4 IPC/JEDEC 020D 中的有铅器件封装体耐温标准	6-4
表 7-1 floor life 参照表	7-2
表 7-2 重新烘烤参考表	7-3
表 8-1 DDR3 时钟参数表	8-3
表 8-2 DDR3 SDRAM 存储器参数表 (DDR3-1066)	8-3
表 8-3 NANDC 命令周期时序参数表	8-4
表 8-4 NANDC 地址周期时序参数表	8-5



表 8-5 NANDC 写数据时序参数表	8-6
表 8-6 NANDC 读数据时序参数表	8-7
表 8-7 TSI 接口时序参数表.....	8-8
表 8-8 MDIO 接口时序参数.....	8-9
表 8-9 I ² S 接口时序参数表.....	8-10
表 8-10 PCM 接口时序参数表	8-11
表 8-11 I ² C 接口时序参数表	8-12
表 8-12 SPI 接口时序参数.....	8-15
表 8-13 MMC 接口时序参数.....	8-17



1 封装与管脚

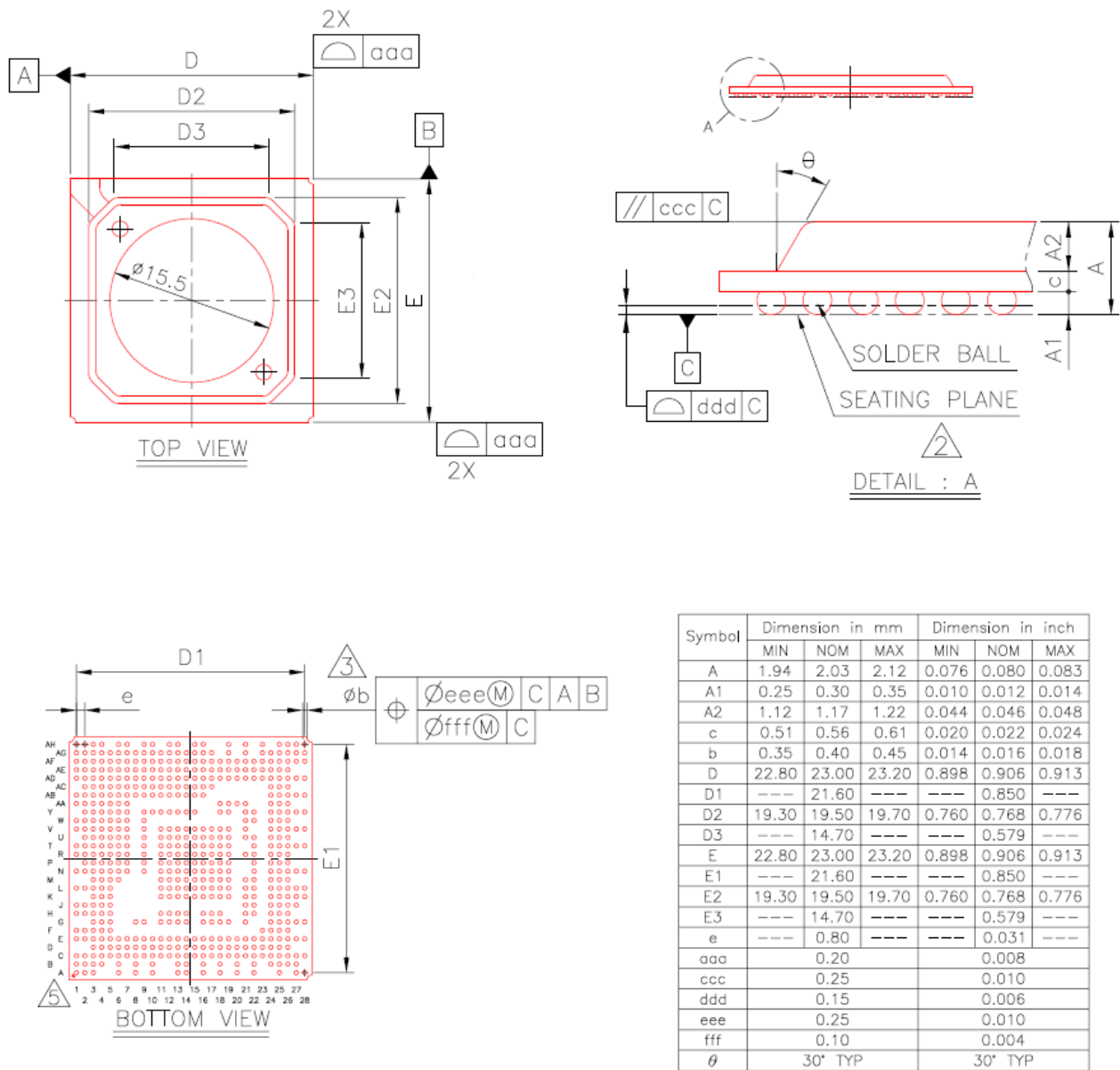
1.1 封装与管脚分布

1.1.1 封装

Hi3796M V100 芯片采用 PBGA (plastic BGA package) 封装，封装尺寸为 23mm×23mm，管脚间距为 0.8mm，管脚总数为 573 个，详细封装请参见图 1-1。



图1-1 Hi3796M V100 封装



1.1.2 管脚分布

Hi3796M V100 的管脚分布如图 1-2~图 1-5 所示。



图1-2 管脚分布图 part1 (A1~P14)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	VSS	VSS	VSS			FE_RXN		USB0_DM		I2S0_D0 UT0			SPI_SCL K	SPI_CSN 1
B	FE_LED_ ACT	VSS	VSS	AVSS_FE		FE_RXP		USB0_DP		I2S0_WS			SPI_CSN 0	VSS
C	SDI00_C WPR	FE_LED_ BASE	VSS	AVSS_FE	FE_TXN	AVSS_FE	AVSS_FE	AVSS_US B	USB1_DM	AVSS_US B	I2S0_MC LK	SLIC_RS T	SPI_SDO	VSS
D			SDI00_C DATA1	AVSS_FE	FE_TXP	AVSS_FE	AVSS_FE	AVSS_US B	USB1_DP	AVSS_US B	I2S0_DI NO	I2S0_BC LK	SPI_SDI	VSS
E	SDI00_C CLK OUT	VSS	SDI00_C DATA0	VSS	AVSS_FE	AVDD33_ FE	AVDD33_ FE	AVSS_US B	AVSS_US B	AVDD33_ USB01	VSS	VSS	DVDD33	DVDD33
F	VSS	SDI00_C CMD	VSS	VSS	VSS									
G			SDI00_C DATA3	VSS	DVDD33			AVSS_FE	FE_REXT			USBRBIA S	AVSS_US B	VSS
H	VSS	VSS	SDI00_C DATA2	VSS	VSS							AVCC11_ USB	AVSS_US B	VSS
J	SDI00_C ARD POW	SDI00_C ARD DET	VSS	VSS	VSS									
K			VSS	DVDD331 8 LD02	DVDD331 8 LD02							AVSS_FE	AVDD11_ FE	VSS
L	VSS	VSS	VSS	VSS	VSS							VSS	VSS	VDD
M			VSS	VSS	VSS	VSS						VSS	VSS	VDD
N	DDR3_DQ 2	DDR3_DQ 6	VSS	DDR3_DQ 0	DDR3_DQ 4	VSS	VDDIO_D DR		VDDIO_D DR			VSS	VSS	VDD
P		VSS	DDR3_DQ 11	DDR3_DQ 13	DDR3_DQ 15	VSS	VDDIO_D DR		VDDIO_D DR			VSS	VSS	VDD

图1-3 管脚分布图 part2 (R1~AH14)

R	VSS	DDR3_DQ 9	VSS	DDR3_DM 0	VSS	VDDIO_D DR	VDDIO_D DR		VSS		VDD	VSS	VSS	VDD
T	DDR3_DQ S0 N	DDR3_DQ S0 P	VSS	VSS	DDR3_DM 1	VSS	VDDIO_D DR		AVDD_DD RPLL1		VDD	VSS	VSS	VDD
U		DDR3_DQ S1 P	DDR3_DQ S1 N	DDR3_DQ 8	DDR3_DQ 10	VSS	VDDIO_D DR		VSS		VDD	VDD	VDD	VDD
V	DDR3_DQ 1	VSS	VSS	DDR3_DQ 12	VSS	VSS	VDDIO_D DR		VSS		VDD	VDD	VDD	VDD
W	VSS	DDR3_DQ 7	DDR3_DQ 3	DDR3_DQ 14	VSS	VSS	VDDIO_D DR		VDDIO_D DR					
Y		VSS	DDR3_DQ 5	VSS	DDR3_DQ 20	VSS	VDDIO_D DR		VDDIO_D DR	VSS	VDDIO_C K DDR	VDDIO_C K DDR	VSS	AVDD_DD RPLL2
AA	VSS	DDR3_DQ 18	DDR3_DQ 22	DDR3_DQ 29	DDR3_DQ 16	VSS	VDDIO_D DR							
AB	DDR3_DQ 25	VSS	DDR3_DQ 27	DDR3_DQ 31	VSS	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR
AC		DDR3_DQ S2 N	DDR3_DQ S2 P	VSS	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VSS	VSS	VSS	VDDIO_D DR	VSS	VSS	
AD	DDR3_DQ S3 P	DDR3_DQ S3 N	VSS	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VSS	VSS	DDR3_CK E	DDR3_AD DR4	VSS	DDR3_AD DR15	DDR3_AD DR15	VSS
AE	VSS	DDR3_DM 3	VSS	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VSS	VSS	DDR3_AD DR10	VSS	DDR3_AD DR1	DDR3_AD DR11	DDR3_AD DR11	DDR3_AD DR11
AF	DDR3_DM 2	VSS	VSS	VSS	DDR3_DQ 24	DDR3_DQ 17	DDR3_DQ 23	DDR3_CL K1 P	VSS	DDR3_AD DR6	DDR3_AD DR6	DDR3_AD DR6	DDR3_AD DR6	VSS
AG	VSS	VSS	DDR3_DQ 30	DDR3_DQ 26	VSS	DDR3_DQ 19	VSS	DDR3_CL K1 N	DDR3_CL K0 N	DDR3_AD DR12	VSS	DDR3_AD DR8	VSS	DDR3_RE SET N
AH	VSS	VSS	DDR3_DQ 28	VSS		VSS	DDR3_DQ 21		DDR3_CL K0 P	VSS		VSS	DDR3_CS N 0	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14

图1-4 管脚分布图 part3 (R15~AH28)

VDD	VSS	VSS	VSS	VDD_CPU		VDD_CPU	VSS		VSS	USB2_REXT	VSS			R
VDD	VSS	VSS	VSS	VSS			AVSS_US B2		AVSS_US B2	AVSS_US B2	USB2_DM	USB2_DP		T
VDD	VSS	VSS	AVDD11_PLL	AVDD11_PLL		VSS	AVSS_US B2		AVDD33_USB2	AVSS_US B2	NF_RDY0			U
VDD	VDD	VSS	AVSS_PL L	AVSS_PL L		AVSS_PL L			VSS	VSS	NF_CLE	NF_WEN	NF_CSNO	V
						AVDD33_PLL	AVSS_PL L		VSS	NF_REN	NF_ALE			W
VSS			DVDD11_USB3	AVDD11_VP_USB3		VSS	AVDD33_PLL		NF_DVDD 3318	VSS	EBI_DQ1	VSS	EBI_DQ0	Y
			VSS	AVDD11_VPTX0_U	VSS	DVDD11_LD01_OU			NF_DVDD 3318	EBI_DQ3	EBI_DQ2			AA
VDDIO_DR	VSS								NF_DVDD 3318	VSS	EBI_DQ5	VSS	EBI_DQ4	AB
VSS	VSS	DDR3_ZQ							VSS	EBI_DQ7	EBI_DQ6			AC
DDR3_AD DR2	VSS	VSS	USB3_RE XT	VSS	AVDD33_USB3	AVDD33_USB3	VSS	DVDD33_STANDBY	DVDD33_STANDBY	VSS	VSS	XIN	XOUT	AD
DDR3_CAS_N	DDR3_AD DR13	DDR3_AD DR5	VSS	VSS	USB3_TX N	VSS	VSS	VSS	VSS	VSS	VSS			AE
VSS	VSS	DDR3_AD DR7	VSS	VSS	USB3_TX P	VSS	VSS	LED_KEY 0	SIMO_RS T	VSS	FUNC_SE L	UART0_T XD	UART0_R XD	AF
DDR3_AD DR3	DDR3_OD T_0	DDR3_RAS_N		USB3_DP		USB3_RX N		LED_DATA	IR_IN	SIMO_DATA	SIMO_PW REN	STANDBY PWROFF	VSS	AG
DDR3_AD DR0	DDR3_BA 0			USB3_DM		USB3_RX P		LED_CLK		SIMO_DE T	SIMO_CL K	VSS	VSS	AH
15	16	17	18	19	20	21	22	23	24	25	26	27	28	

图1-5 管脚分布图 part4 (A15~P28)

15	16	17	18	19	20	21	22	23	24	25	26	27	28							
	HDMI_TX 1P		HDMI_TX CP		HDMITX_ CEC		MUTE_CT RL			VDAC		USB_BOO T	VSS	A						
	HDMI_TX 1N		HDMI_TX CN		HDMITX_ SCL		SPDIF_0 UT		VDAC_IR EF	AVSS_VD AC	VSS	VSS		B						
HDMI_TX 2P	AVSS_HD MITX	HDMI_TX OP	AVSS_HD MITX	VSS	VSS	HDMITX_ SDA	AVSS_AD AC	ADAC_VO UTR	AVSS_VD AC	AVSS_VD AC	VSS	I2C0_SD A	DEM_RST	C						
HDMI_TX 2N	AVSS_HD MITX	HDMI_TX ON	AVSS_HD MITX	VSS	VSS	HDMITX_ HOTPLUG	AVSS_AD AC	ADAC_VO UTL	AVSS_VD AC	AVSS_VD AC	I2C0_SC L			D						
AVSS_HD MITX	AVDD33_ HDMITX	AVDD33_ HDMITX	AVSS_HD MITX	DVDD33	VSS	VSS	AVDD33_ ADAC	AVSS_AD AC	AVSS_VD AC	VSS	VSS	I2C2_SC L	I2C2_SD A	E						
								AVDD33_ VDAC	AVDD33_ VDAC	VSS	JTAG_SE L			F						
AVCC11_ HDMITX		AVSS_HD MITX	ADAC_VR EFDAC	AVSS_VD AC				VSS			VSS	VSS	TSIO_VA LID	TSIO_CL K	G					
AVCC11_ HDMITX		AVSS_HD MITX	AVSS_AD AC				VSS	VSS			DVDD33	VSS	TSIO_D0			H				
								VSS	VSS			VSS	VSS	TSIO_D1			J			
VDD	VDD	VDD	VSS	VSS				VSS	VSS			DVDD33	VSS	VSS	TSIO_D2			K		
VDD	VSS	VSS	VSS	VSS				VDD_CPU	VSS			DVDD33	VSS	VSS	JTAG_TD 0	JTAG_TD I			L	
VDD	VSS	VSS	VSS	VDD_CPU				VDD_CPU	VDD_CPU			VSS	VSS	JTAG_TC K					M	
VDD	VSS	VSS	VDD_CPU	VDD_CPU						VDD_CPU			VSS	VSS	VSS	JTAG_TR STN	JTAG_TM S			N
VDD	VSS	VSS	VDD_CPU	VDD_CPU						VDD_CPU			VSS	VSS	VSS					P



1.1.3 管脚排列表

Hi3796MV100 的管脚按位置排列如表 1-1 所示。

表1-1 管脚排列表

位置	管脚名称	位置	管脚名称
A1	VSS	E24	AVSS_VDAC
A2	VSS	E25	VSS
A3	VSS	E26	VSS
A6	FE_RXN	E27	I2C2_SCL
A8	USB0_DM	E28	I2C2_SDA
A10	I2S0_DOUT0	F1	VSS
A13	SPI_SCLK	F2	SDIO0_CCMD
A14	SPI_CSN1	F3	VSS
A16	HDMI_TX1P	F4	VSS
A18	HDMI_TXCP	F5	VSS
A20	HDMITX_CEC	F23	AVDD33_VDAC
A22	MUTE_CTRL	F24	AVDD33_VDAC
A25	VDAC	F25	VSS
A27	USB_BOOT	F26	JTAG_SEL
A28	VSS	G3	SDIO0_CDATA3
AA1	VSS	G4	VSS
AA2	DDR3_DQ18	G5	DVDD33
AA3	DDR3_DQ22	G8	AVSS_FE
AA4	DDR3_DQ29	G9	FE_REXT
AA5	DDR3_DQ16	G11	USBRBIAS
AA6	VSS	G12	AVSS_USB
AA7	VDDIO_DDR	G13	VSS
AA18	VSS	G14	VSS
AA19	AVDD11_VPTX0_USB3	G16	AVCC11_HDMITX
AA20	VSS	G17	AVSS_HDMITX
AA21	DVDD11_LDO1_OUT	G18	ADAC_VREFDAC
AA24	NF_DVDD3318	G19	AVSS_VDAC



位置	管脚名称	位置	管脚名称
AA25	EBI_DQ3	G21	VSS
AA26	EBI_DQ2	G24	VSS
AB1	DDR3_DQ25	G25	VSS
AB2	VSS	G26	VSS
AB3	DDR3_DQ27	G27	TSI0_VALID
AB4	DDR3_DQ31	G28	TSI0_CLK
AB5	VSS	H1	VSS
AB6	VDDIO_DDR	H2	VSS
AB7	VDDIO_DDR	H3	SDIO0_CDATA2
AB8	VDDIO_DDR	H4	VSS
AB9	VDDIO_DDR	H5	VSS
AB10	VDDIO_DDR	H11	AVCC11_USB01
AB11	VDDIO_DDR	H12	AVSS_USB
AB12	VDDIO_DDR	H13	VSS
AB13	VDDIO_DDR	H14	VSS
AB14	VDDIO_DDR	H16	AVCC11_HDMITX
AB15	VDDIO_DDR	H17	AVSS_HDMITX
AB16	VSS	H18	AVSS_ADAC
AB24	NF_DVDD3318	H21	VSS
AB25	VSS	H22	VSS
AB26	EBI_DQ5	H24	DVDD33
AB27	VSS	H25	VSS
AB28	EBI_DQ4	H26	TSI0_D0
AC2	DDR3_DQS2_N	J1	SDIO0_CARD_POWER_EN
AC3	DDR3_DQS2_P	J2	SDIO0_CARD_DETECT
AC4	VSS	J3	VSS
AC5	VDDIO_DDR	J4	VSS
AC6	VDDIO_DDR	J5	VSS
AC7	VDDIO_DDR	J21	VSS
AC8	VDDIO_DDR	J22	VSS
AC9	VSS	J24	VSS



位置	管脚名称	位置	管脚名称
AC10	VSS	J25	VSS
AC11	VSS	J26	VSS
AC12	VDDIO_DDR	J27	TSI0_D1
AC13	VSS	K3	VSS
AC14	VSS	K4	DVDD3318_LDO2_OUT
AC15	VSS	K5	DVDD3318_LDO2_OUT
AC16	VSS	K11	AVSS_FE
AC17	DDR3_ZQ	K12	AVDD11_FE
AC24	VSS	K13	VSS
AC25	EBI_DQ7	K14	VDD
AC26	EBI_DQ6	K15	VDD
AD1	DDR3_DQS3_P	K16	VDD
AD2	DDR3_DQS3_N	K17	VDD
AD3	VSS	K18	VSS
AD4	VDDIO_DDR	K19	VSS
AD5	VDDIO_DDR	K21	VSS
AD6	VDDIO_DDR	K22	VSS
AD7	VDDIO_DDR	K24	DVDD33
AD8	VSS	K25	VSS
AD9	VSS	K26	VSS
AD10	DDR3_CKE	K27	VSS
AD11	DDR3_ADDR4	K28	TSI0_D2
AD12	VSS	L1	VSS
AD13	DDR3_ADDR15	L2	VSS
AD14	VSS	L3	VSS
AD15	DDR3_ADDR2	L4	VSS
AD16	VSS	L5	VSS
AD17	VSS	L11	VSS
AD18	USB3_REXT	L12	VSS
AD19	VSS	L13	VSS
AD20	AVDD33_USB3	L14	VDD



位置	管脚名称	位置	管脚名称
AD21	AVDD33_USB3	L15	VDD
AD22	VSS	L16	VSS
AD23	DVDD33_STANDBY	L17	VSS
AD24	DVDD33_STANDBY	L18	VSS
AD25	VSS	L19	VSS
AD26	VSS	L21	VDD_CPU
AD27	XIN	L22	VSS
AD28	XOUT	L24	DVDD33
AE1	VSS	L25	VSS
AE2	DDR3_DM3	L26	VSS
AE3	VSS	L27	JTAG_TDO
AE4	VDDIO_DDR	L28	JTAG_TDI
AE5	VDDIO_DDR	M3	VSS
AE6	VDDIO_DDR	M4	VSS
AE7	VSS	M5	VSS
AE8	VSS	M6	VSS
AE9	DDR3_ADDR10	M11	VSS
AE10	VSS	M12	VSS
AE11	DDR3_ADDR1	M13	VSS
AE12	DDR3_ADDR11	M14	VDD
AE13	DDR3_BA2	M15	VDD
AE14	DDR3_WE_N	M16	VSS
AE15	DDR3_CAS_N	M17	VSS
AE16	DDR3_ADDR13	M18	VSS
AE17	DDR3_ADDR5	M19	VDD_CPU
AE18	VSS	M21	VDD_CPU
AE19	VSS	M22	VDD_CPU
AE20	USB3_TXN	M24	VSS
AE21	VSS	M25	VSS
AE22	VSS	M26	JTAG_TCK
AE23	VSS	N1	DDR3_DQ2



位置	管脚名称	位置	管脚名称
AE24	VSS	N2	DDR3_DQ6
AE25	VSS	N3	VSS
AE26	VSS	N4	DDR3_DQ0
AF1	DDR3_DM2	N5	DDR3_DQ4
AF2	VSS	N6	VSS
AF3	VSS	N7	VDDIO_DDR
AF4	VSS	N9	VDDIO_DDR
AF5	DDR3_DQ24	N11	VSS
AF6	DDR3_DQ17	N12	VSS
AF7	DDR3_DQ23	N13	VSS
AF8	DDR3_CLK1_P	N14	VDD
AF9	VSS	N15	VDD
AF10	DDR3_BA1	N16	VSS
AF11	DDR3_ADDR6	N17	VSS
AF12	DDR3_ADDR14	N18	VDD_CPU
AF13	DDR3_ADDR9	N19	VDD_CPU
AF14	VSS	N22	VDD_CPU
AF15	VSS	N24	VSS
AF16	VSS	N25	VSS
AF17	DDR3_ADDR7	N26	VSS
AF18	VSS	N27	JTAG_TRSTN
AF19	VSS	N28	JTAG_TMS
AF20	USB3_TXP	P2	VSS
AF21	VSS	P3	DDR3_DQ11
AF22	VSS	P4	DDR3_DQ13
AF23	LED_KEY0	P5	DDR3_DQ15
AF24	SIM0_RST	P6	VSS
AF25	VSS	P7	VDDIO_DDR
AF26	FUNC_SEL	P9	VDDIO_DDR
AF27	UART0_TXD	P11	VSS
AF28	UART0_RXD	P12	VSS



位置	管脚名称	位置	管脚名称
AG1	VSS	P13	VSS
AG2	VSS	P14	VDD
AG3	DDR3_DQ30	P15	VDD
AG4	DDR3_DQ26	P16	VSS
AG5	VSS	P17	VSS
AG6	DDR3_DQ19	P18	VDD_CPU
AG7	VSS	P19	VDD_CPU
AG8	DDR3_CLK1_N	P22	VDD_CPU
AG9	DDR3_CLK0_N	P24	VSS
AG10	DDR3_ADDR12	P25	VSS
AG11	VSS	P26	VSS
AG12	DDR3_ADDR8	R1	VSS
AG13	VSS	R2	DDR3_DQ9
AG14	DDR3_RESET_N	R3	VSS
AG15	DDR3_ADDR3	R4	DDR3_DM0
AG16	DDR3_ODT_0	R5	VSS
AG17	DDR3_RAS_N	R6	VDDIO_DDR
AG19	USB3_DP	R7	VDDIO_DDR
AG21	USB3_RXN	R9	VSS
AG23	LED_DATA	R11	VDD
AG24	IR_IN	R12	VSS
AG25	SIM0_DATA	R13	VSS
AG26	SIM0_PWREN	R14	VDD
AG27	STANDBY_PWROFF	R15	VDD
AG28	VSS	R16	VSS
AH1	VSS	R17	VSS
AH2	VSS	R18	VSS
AH3	DDR3_DQ28	R19	VDD_CPU
AH4	VSS	R21	VDD_CPU
AH6	VSS	R22	VSS
AH7	DDR3_DQ21	R24	VSS



位置	管脚名称	位置	管脚名称
AH9	DDR3_CLK0_P	R25	USB2_REXT
AH10	VSS	R26	VSS
AH12	VSS	T1	DDR3_DQS0_N
AH13	DDR3_CS_N_0	T2	DDR3_DQS0_P
AH15	DDR3_ADDR0	T3	VSS
AH16	DDR3_BA0	T4	VSS
AH19	USB3_DM	T5	DDR3_DM1
AH21	USB3_RXP	T6	VSS
AH23	LED_CLK	T7	VDDIO_DDR
AH25	SIM0_DET	T9	AVDD_DDRPLL1
AH26	SIM0_CLK	T11	VDD
AH27	VSS	T12	VSS
AH28	VSS	T13	VSS
B1	FE_LED_ACT	T14	VDD
B2	VSS	T15	VDD
B3	VSS	T16	VSS
B4	AVSS_FE	T17	VSS
B6	FE_RXP	T18	VSS
B8	USB0_DP	T19	VSS
B10	I2S0_WS	T22	AVSS_USB2
B13	SPI_CSN0	T24	AVSS_USB2
B14	VSS	T25	AVSS_USB2
B16	HDMI_TX1N	T26	AVSS_USB2
B18	HDMI_TXCN	T27	USB2_DM
B20	HDMITX_SCL	T28	USB2_DP
B22	SPDIF_OUT	U2	DDR3_DQS1_P
B24	VDAC_IREF	U3	DDR3_DQS1_N
B25	AVSS_VDAC	U4	DDR3_DQ8
B26	VSS	U5	DDR3_DQ10
B27	VSS	U6	VSS
C1	SDIO0_CWPR	U7	VDDIO_DDR



位置	管脚名称	位置	管脚名称
C2	FE_LED_BASE	U9	VSS
C3	VSS	U11	VDD
C4	AVSS_FE	U12	VDD
C5	FE_TXN	U13	VDD
C6	AVSS_FE	U14	VDD
C7	AVSS_FE	U15	VDD
C8	AVSS_USB	U16	VSS
C9	USB1_DM	U17	VSS
C10	AVSS_USB	U18	AVDD11_PLL
C11	I2S0_MCLK	U19	AVDD11_PLL
C12	SLIC_RST	U21	VSS
C13	SPI_SDO	U22	AVSS_USB2
C14	VSS	U24	AVDD33_USB2
C15	HDMI_TX2P	U25	AVSS_USB2
C16	AVSS_HDMITX	U26	NF_RDY0
C17	HDMI_TX0P	V1	DDR3_DQ1
C18	AVSS_HDMITX	V2	VSS
C19	VSS	V3	VSS
C20	VSS	V4	DDR3_DQ12
C21	HDMITX_SDA	V5	VSS
C22	AVSS_ADAC	V6	VSS
C23	ADAC_VOUTR	V7	VDDIO_DDR
C24	AVSS_VDAC	V9	VSS
C25	AVSS_VDAC	V11	VDD
C26	VSS	V12	VDD
C27	I2C0_SDA	V13	VDD
C28	DEM_RST	V14	VDD
D3	SDIO0_CDATA1	V15	VDD
D4	AVSS_FE	V16	VDD
D5	FE_TXP	V17	VSS
D6	AVSS_FE	V18	AVSS_PLL



位置	管脚名称	位置	管脚名称
D7	AVSS_FE	V19	AVSS_PLL
D8	AVSS_USB	V21	AVSS_PLL
D9	USB1_DP	V24	VSS
D10	AVSS_USB	V25	VSS
D11	I2S0_DIN0	V26	NF_CLE
D12	I2S0_BCLK	V27	NF_WEN
D13	SPI_SDI	V28	NF_CSN0
D14	VSS	W1	VSS
D15	HDMI_TX2N	W2	DDR3_DQ7
D16	AVSS_HDMITX	W3	DDR3_DQ3
D17	HDMI_TX0N	W4	DDR3_DQ14
D18	AVSS_HDMITX	W5	VSS
D19	VSS	W6	VSS
D20	VSS	W7	VDDIO_DDR
D21	HDMITX_HOTPLUG	W9	VDDIO_DDR
D22	AVSS_ADAC	W21	AVDD33_PLL
D23	ADAC_VOUTL	W22	AVSS_PLL
D24	AVSS_VDAC	W24	VSS
D25	AVSS_VDAC	W25	NF_REN
D26	I2C0_SCL	W26	NF_ALE
E1	SDIO0_CCLK_OUT	Y2	VSS
E2	VSS	Y3	DDR3_DQ5
E3	SDIO0_CDATA0	Y4	VSS
E4	VSS	Y5	DDR3_DQ20
E5	AVSS_FE	Y6	VSS
E6	AVDD33_FE	Y7	VDDIO_DDR
E7	AVDD33_FE	Y9	VDDIO_DDR
E8	AVSS_USB	Y10	VSS
E9	AVSS_USB	Y11	VDDIO_CK_DDR
E10	AVDD33_USB01	Y12	VDDIO_CK_DDR
E11	VSS	Y13	VSS



位置	管脚名称	位置	管脚名称
E12	VSS	Y14	AVDD_DDRPLL2
E13	DVDD33	Y15	VSS
E14	DVDD33	Y18	DVDD11_USB3
E15	AVSS_HDMITX	Y19	AVDD11_VP_USB3
E16	AVDD33_HDMITX	Y21	VSS
E17	AVDD33_HDMITX	Y22	AVDD33_PLL
E18	AVSS_HDMITX	Y24	NF_DVDD3318
E19	DVDD33	Y25	VSS
E20	VSS	Y26	EBI_DQ1
E21	VSS	Y27	VSS
E22	AVDD33_ADAC	Y28	EBI_DQ0
E23	AVSS_ADAC	-	-

1.2 管脚描述

1.2.1 管脚类型说明

管脚 I/O 类型说明如表 1-2 所示。

表1-2 管脚 I/O 类型说明

I/O	说明
I	输入信号。
I _{PD}	输入信号，内部下拉。
I _{PU}	输入信号，内部上拉。
I _S	输入信号，带施密特触发器。
I _{SPD}	输入信号，带施密特触发器，内部下拉。
I _{SPU}	输入信号，带施密特触发器，内部上拉。
O	输出信号。
O _{OD}	输出，漏极开路。
I/O	双向输入/输出信号。



I/O	说明
I _{PD} /O	双向，输入下拉。
I _{PU} /O	双向，输入上拉。
I _{SPU} /O	双向，输入上拉，带施密特触发器。
I _{PD} /O _{OD}	双向，输入下拉，输出漏极开路。
I _{PU} /O _{OD}	双向，输入上拉，输出漏极开路。
I _S /O	双向，输入带施密特触发器。
I _S /O _{OD}	双向，输入带施密特触发器，输出漏极开路。
CIN	Crystal Oscillator，晶振输入。
COUT	Crystal Oscillator，晶振输出。
P	电源。
G	地。

1.2.2 ADAC 管脚

ADAC 管脚如表 1-3 所示。

表1-3 ADAC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D23	ADAC_VOUTL	O	-	3.3	左声道输出
C23	ADAC_VOUTR	O	-	3.3	右声道输出
G18	ADAC_VREFDAC	I/O	-	3.3	参考源，外挂 10uF 普通电容，且需要与 100nF 低 ESR 陶瓷电容并联，小电容尽量靠近芯片管脚。
E22	AVDD33_ADAC	P	-	-	ADAC 3.3V 模拟电压
C22、 D22、 E23、 H18	AVSS_ADAC	G	-	-	ADAC 模拟地



1.2.3 HDMI 管脚

HDMI 管脚如表 1-4 所示。

表1-4 HDMI 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G16、 H16	AVCC11_HDMITX	P	-	1.1	HDMI TX 1.1V 模拟电源
E16、 E17	AVDD33_HDMITX	P	-	3.3	HDMI TX 3.3V 模拟电源
C16、 C18、 D16、 D18、 E15、 E18、 G17、 H17	AVSS_HDMITX	G	-	-	HDMI TX 模拟地
D17	HDMI_TX0N	O	-	3.3	通道 0 串行差分信号
C17	HDMI_TX0P				
B16	HDMI_TX1N	O	-	3.3	通道 1 串行差分信号
A16	HDMI_TX1P				
D15	HDMI_TX2N	O	-	3.3	通道 2 串行差分信号
C15	HDMI_TX2P				
B18	HDMI_TXCN	O	-	3.3	差分像素时钟
A18	HDMI_TXCP				
A20	HDMITX_CEC	I _S /O OD	4	3.3	功能 0: 保留 功能 1: HDMITX_CEC HDMI TX 接口的控制通道信号 功能 2: GPIO4_7 通用输入输出 功能 3: 保留
D21	HDMITX_HOTPLUG	I _S /O	4	3.3/5	功能 0: 保留 功能 1:



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					HDMITX_HOTPLUG HDMI TX 接口的热插拔信号 功能 2: GPIO4_6 通用输入输出 功能 3: 保留
B20	HDMITX_SCL	I _S /O OD	4	3.3/5	功能 0: 保留 功能 1: HDMITX_SCL HDMI TX 接口的 I2C 总线时钟 功能 2: GPIO4_5 通用输入输出 功能 3、4: 保留
C21	HDMITX_SDA	I _S /O OD	4	3.3/5	功能 0: 保留 功能 1: HDMITX_SDA HDMI TX 接口的 I2C 总线数据 功能 2: GPIO4_4 通用输入输出 功能 3、4: 保留

1.2.4 USB 管脚

USB 管脚如表 1-5 所示。

表1-5 USB 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
H11	AVCC11_USB01	P	-	1.1	USB 1.1.V 模拟电源
Y19	AVDD11_VP_USB3	P	-	1.1	USB3.0 1.1.V 模拟电源
AA19	AVDD11_VPTX0_USB3	P	-	1.1	USB3.0 1.1.V 模拟电源
E10	AVDD33_USB01	P	-	3.3	USB2.0 3.3V 模拟电源
U24	AVDD33_USB2	P	-	3.3	USB2.0 3.3V 模拟电源
AD20、	AVDD33_USB3	P	-	3.3	USB3.0 3.3V 模拟电源



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AD21					
C8、 C10、 D8、 D10、 E8、 E9、 G12、 H12	AVSS_USB	G	-	-	USB2.0 模拟地
T22、 T24、 T25、 T26、 U22、 U25	AVSS_USB2	G	-	-	USB2.0 模拟地
Y18	DVDD11_USB3	P	-	1.1	USB 1.1V 数字电源
A27	USB_BOOT	I _{SPU} / O	4	3.3	功能 0: USB_BOOT BOOT 时, 指示 USB 自 举是否使能: 0: 使能; 1: 不使能; 功能 1: GPIO2_5 通用输入输出
A8	USB0_DM	I/O	-	0.4/3. 3	USB2.0 的差分总线, 在 高速模式下, 该端口的 工作电压为 0~400mV, 在全速和低速模式下, 该端口的电压为 0~3.3V
B8	USB0_DP				
C9	USB1_DM	I/O	-	0.4/3. 3	USB2.0 的差分总线, 在 高速模式下, 该端口的 工作电压为 0~400mV, 在全速和低速模式下, 该端口的电压为 0~3.3V
D9	USB1_DP				
T27	USB2_DM	I/O	-	0.4/3. 3	USB2.0 的差分总线, 在 高速模式下, 该端口的 工作电压为 0~400mV, 在全速和低速模式下, 该端口的电压为
T28	USB2_DP				



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					0~3.3V
R25	USB2_REXT	I/O	-	3.3	USB2.0 外接电阻接口， 电阻阻值是 $135 \pm 1\% \Omega$
AH19	USB3_DM	I/O	-	3.3	USB3.0 的 USB2.0 模式 下的差分总线
AG19	USB3_DP				
AD18	USB3_REXT	I/O	-	3.3	USB3.0 外接电阻接口， 电阻阻值是 $135 \pm 10\% \Omega$
AG21	USB3_RXN	I/O	-	0.4/3.3	USB3.0 的 USB2.0 模式 下的接收差分总线，在 高速模式下，该端口的 工作电压为 0~400mV， 在全速和低速模式下， 该端口的电压为 0~3.3V
AH21	USB3_RXP				
AE20	USB3_TXN	I/O	-	1.1	USB3.0 的发送数据差分 总线
AF20	USB3_TXP				
G11	USBRBIAS	I/O	-	3.3	USB2.0 外接电阻接口， 电阻阻值是 $135 \pm 10\% \Omega$

1.2.5 DDR 管脚

DDR 电源管脚

DDR 电源管脚如表 1-6 所示。

表1-6 DDR 电源管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
N7、N9、P7、P9、 R6、R7、T7、U7、 V7、W7、W9、Y7、 Y9、AA7、AB6、 AB7、AB8、AB9、 AB10、AB11、AB12、 AB13、AB14、AB15、 AC5、AC6、AC7、	VDDIO_DDR	P	-	1.5	DDR3 接口电 源



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AC8、AC12、AD4、 AD5、AD6、AD7、 AE4、AE5、AE6					
Y11、Y12	VDDIO_CK_DDR	P	-	1.5	DDR3 时钟接 口电源

DDR 信号管脚

DDR 管脚如表 1-7 所示。

表1-7 DDR 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
T9	AVDD_DDRPLL1	P	-	3.3	DDR3 PLL 3.3V 模拟电源
Y14	AVDD_DDRPLL2	P	-	3.3	DDR3 PLL 3.3V 模拟电源
AH15	DDR3_ADDR0	O	-	1.5	DDR3 SDRAM 地址信号 0
AE11	DDR3_ADDR1	O	-	1.5	DDR3 SDRAM 地址信号 1
AD15	DDR3_ADDR2	O	-	1.5	DDR3 SDRAM 地址信号 2
AG15	DDR3_ADDR3	O	-	1.5	DDR3 SDRAM 地址信号 3
AD11	DDR3_ADDR4	O	-	1.5	DDR3 SDRAM 地址信号 4
AE17	DDR3_ADDR5	O	-	1.5	DDR3 SDRAM 地址信号 5
AF11	DDR3_ADDR6	O	-	1.5	DDR3 SDRAM 地址信号 6
AF17	DDR3_ADDR7	O	-	1.5	DDR3 SDRAM 地址信号 7
AG12	DDR3_ADDR8	O	-	1.5	DDR3 SDRAM 地址信号 8
AF13	DDR3_ADDR9	O	-	1.5	DDR3 SDRAM 地址信号 9
AE9	DDR3_ADDR10	O	-	1.5	DDR3 SDRAM 地址信号 10
AE12	DDR3_ADDR11	O	-	1.5	DDR3 SDRAM 地址信号 11
AG10	DDR3_ADDR12	O	-	1.5	DDR3 SDRAM 地址信号 12



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AE16	DDR3_ADDR13	O	-	1.5	DDR3 SDRAM 地址信号 13
AF12	DDR3_ADDR14	O	-	1.5	DDR3 SDRAM 地址信号 14
AD13	DDR3_ADDR15	O	-	1.5	DDR3 SDRAM 地址信号 15
AH16	DDR3_BA0	O	-	1.5	DDR3 SDRAM BANK 地址信号 0
AF10	DDR3_BA1	O	-	1.5	DDR3 SDRAM BANK 地址信号 1
AE13	DDR3_BA2	O	-	1.5	DDR3 SDRAM BANK 地址信号 2
AE15	DDR3_CAS_N	O	-	1.5	DDR3 SDRAM 列地址选择信号
AH9	DDR3_CLK0_P	O	-	1.5	DDR3 SDRAM 差分时钟
AF8	DDR3_CLK1_P	O	-	1.5	DDR3 SDRAM 差分时钟
AG9	DDR3_CLK0_N	O	-	1.5	DDR3 SDRAM 差分时钟
AG8	DDR3_CLK1_N	O	-	1.5	DDR3 SDRAM 差分时钟
AD10	DDR3_CKE	O	-	1.5	DDR3 SDRAM 时钟使能信号
AH13	DDR3_CS_N_0	O	-	1.5	DDR3 SDRAM 片选信号 0
R4	DDR3_DM0	I/O	-	1.5	DDR3 SDRAM 数据屏蔽使能 0, 高有效
T5	DDR3_DM1	I/O	-	1.5	DDR3 SDRAM 数据屏蔽使能 1, 高有效
AF1	DDR3_DM2	I/O	-	1.5	DDR3 SDRAM 数据屏蔽使能 2, 高有效
AE2	DDR3_DM3	I/O	-	1.5	DDR3 SDRAM 数据屏蔽使能 3, 高有效
N4	DDR3_DQ0	I/O	-	1.5	DDR3 SDRAM 数据线 0
V1	DDR3_DQ1	I/O	-	1.5	DDR3 SDRAM 数据线 1
N1	DDR3_DQ2	I/O	-	1.5	DDR3 SDRAM 数据线 2
W3	DDR3_DQ3	I/O	-	1.5	DDR3 SDRAM 数据线 3
N5	DDR3_DQ4	I/O	-	1.5	DDR3 SDRAM 数据线 4



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
Y3	DDR3_DQ5	I/O	-	1.5	DDR3 SDRAM 数据线 5
N2	DDR3_DQ6	I/O	-	1.5	DDR3 SDRAM 数据线 6
W2	DDR3_DQ7	I/O	-	1.5	DDR3 SDRAM 数据线 7
U4	DDR3_DQ8	I/O	-	1.5	DDR3 SDRAM 数据线 8
R2	DDR3_DQ9	I/O	-	1.5	DDR3 SDRAM 数据线 9
U5	DDR3_DQ10	I/O	-	1.5	DDR3 SDRAM 数据线 10
P3	DDR3_DQ11	I/O	-	1.5	DDR3 SDRAM 数据线 11
V4	DDR3_DQ12	I/O	-	1.5	DDR3 SDRAM 数据线 12
P4	DDR3_DQ13	I/O	-	1.5	DDR3 SDRAM 数据线 13
W4	DDR3_DQ14	I/O	-	1.5	DDR3 SDRAM 数据线 14
P5	DDR3_DQ15	I/O	-	1.5	DDR3 SDRAM 数据线 15
AA5	DDR3_DQ16	I/O	-	1.5	DDR3 SDRAM 数据线 16
AF6	DDR3_DQ17	I/O	-	1.5	DDR3 SDRAM 数据线 17
AA2	DDR3_DQ18	I/O	-	1.5	DDR3 SDRAM 数据线 18
AG6	DDR3_DQ19	I/O	-	1.5	DDR3 SDRAM 数据线 19
Y5	DDR3_DQ20	I/O	-	1.5	DDR3 SDRAM 数据线 20
AH7	DDR3_DQ21	I/O	-	1.5	DDR3 SDRAM 数据线 21
AA3	DDR3_DQ22	I/O	-	1.5	DDR3 SDRAM 数据线 22
AF7	DDR3_DQ23	I/O	-	1.5	DDR3 SDRAM 数据线 23
AF5	DDR3_DQ24	I/O	-	1.5	DDR3 SDRAM 数据线 24
AB1	DDR3_DQ25	I/O	-	1.5	DDR3 SDRAM 数据线 25
AG4	DDR3_DQ26	I/O	-	1.5	DDR3 SDRAM 数据线 26
AB3	DDR3_DQ27	I/O	-	1.5	DDR3 SDRAM 数据线 27
AH3	DDR3_DQ28	I/O	-	1.5	DDR3 SDRAM 数据线 28



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA4	DDR3_DQ29	I/O	-	1.5	DDR3 SDRAM 数据线 29
AG3	DDR3_DQ30	I/O	-	1.5	DDR3 SDRAM 数据线 30
AB4	DDR3_DQ31	I/O	-	1.5	DDR3 SDRAM 数据线 31
T2	DDR3_DQS0_P	I/O	-	1.5	DDR3 DQS strobe 信号 0, 控制 DQ[7:0]
U2	DDR3_DQS1_P	I/O	-	1.5	DDR3 DQS strobe 信号 1, 控制 DQ[15:8]
AC3	DDR3_DQS2_P	I/O	-	1.5	DDR3 DQS strobe 信号 2, 控制 DQ[23:16]
AD1	DDR3_DQS3_P	I/O	-	1.5	DDR3 DQS strobe 信号 3, 控制 DQ[31:24]
T1	DDR3_DQS0_N	I/O	-	1.5	DDR3 DQS strobe 信号 0, 控制 DQ[7:0]
U3	DDR3_DQS1_N	I/O	-	1.5	DDR3 DQS strobe 信号 1, 控制 DQ[15:8]
AC2	DDR3_DQS2_N	I/O	-	1.5	DDR3 DQS strobe 信号 2, 控制 DQ[23:16]
AD2	DDR3_DQS3_N	I/O	-	1.5	DDR3 DQS strobe 信号 3, 控制 DQ[31:24]
AG16	DDR3_ODT_0	O	-	1.5	DDR3 SDRAM 片内终端匹配控制信号
AG17	DDR3_RAS_N	O	-	1.5	DDR SDRAM 行地址选择信号
AG14	DDR3_RESET_N	O	-	1.5	DDR3 SDRAM 复位信号, 低有效
AE14	DDR3_WE_N	O	-	1.5	DDR SDRAM 写使能, 低有效
AC17	DDR3_ZQ	O	-	1.5	DDR SDRAM ZQ 校准信号

1.2.6 FE 管脚

FE 管脚如表 1-8 所示。



表1-8 FE 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
K12	AVDD11_FE	P	-	1.1	FE PHY 1.1V 模拟电源
E6、 E7	AVDD33_FE	P	-	3.3	FE PHY 3.3V 模拟电源
B4、 C4、 C6、 C7、 D4、 D6、 D7、 E5、 G8、 K11	AVSS_FE	G	-	-	FE PHY 模拟地
B1	FE_LED_ACT	I/O _{OD}	4	3.3	<p>功能 0：保留</p> <p>功能 1：FE_LED_ACT 网口链接状态指示信号： 此信号控制的 LED 闪烁，传输的数据包密集时 LED 闪烁迅速，传输数据包稀疏时 LED 闪烁缓慢。</p> <p>OD/CMOS 类型可选，默认为 OD 输出；</p> <p>功能 2：GPIO2_1 通用输入输出</p>
C2	FE_LED_BASE	I/O _{OD}	4	3.3	<p>功能 0：GPIO2_2 通用输入输出</p> <p>功能 1：FE_LED_BASE 网口链接状态指示信号： 0：链接已经建立；1：没有链接建立。</p> <p>OD/CMOS 类型可选，默认为 OD 输出；</p>
G9	FE_REXT	I/O	-	3.3	内部基准参考电压，该引脚需要外接 1%精度的 10.0kΩ 电阻到地。
A6	FE_RXN	I	-	3.3	差分接收，极性自适应



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B6	FE_RXP				
C5	FE_TXN	O	-	3.3	差分发送，极性自适应
D5	FE_TXP				

1.2.7 PLL 管脚

PLL 管脚如表 1-9 所示。

表1-9 PLL 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
U18、 U19	AVDD11_PLL	P	-	1.1	PLL 1.1V 模拟电源
W21、 Y22	AVDD33_PLL	P	-	3.3	PLL 3.3V 模拟电源
V18、 V19、 V21、 W22	AVSS_PLL	G	-	-	PLL 模拟地

1.2.8 VDAC 管脚

VDAC 管脚如表 1-10 所示。

表1-10 VDAC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
F23、F24	AVDD33_VDAC	P	-	3.3	VDAC 3.3V 模拟电源
B25、C24、 C25、D24、 D25、E24、 G19	AVSS_VDAC	G	-	-	VDAC 模拟地
A25	VDAC	O	-	3.3	VDAC 模拟输出
B24	VDAC_IREF	I/O	-	3.3	参考电流源



1.2.9 EBI 管脚

EBI 管脚如表 1-11 所示。

表1-11 EBI 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
Y28	EBI_DQ0	I/O	8	1.8/3.3	功能 0: EBI_DQ0 NAND Flash 数据总线 功能 1: SDIO1_CDATAB0 卡数据, 默认处于高电平
Y26	EBI_DQ1	I/O	8	1.8/3.3	功能 0: EBI_DQ1 NAND Flash 数据总线 功能 1: SDIO1_CDATAB1 卡数据, 默认处于高电平
AA26	EBI_DQ2	I/O	8	1.8/3.3	功能 0: EBI_DQ2 NAND Flash 数据总线 功能 1: SDIO1_CDATAB2 卡数据, 默认处于高电平
AA25	EBI_DQ3	I/O	8	1.8/3.3	功能 0: EBI_DQ3 NAND Flash 数据总线 功能 1: SDIO1_CDATAB3 卡数据, 默认处于高电平
AB28	EBI_DQ4	I/O	8	1.8/3.3	功能 0: EBI_DQ4 NAND Flash 数据总线 功能 1: SDIO1_CDATAB4 卡数据, 默认处于高电平
AB26	EBI_DQ5	I/O	8	1.8/3.3	功能 0: EBI_DQ5 NAND Flash 数据总线 功能 1: SDIO1_CDATAB5 卡数据, 默认处于高电平
AC26	EBI_DQ6	I/O	8	1.8/3.3	功能 0: EBI_DQ6 NAND Flash 数据总线 功能 1: SDIO1_CDATAB6 卡数据, 默认处于高电平



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AC25	EBI_DQ7	I _{SPU} / O	8	1.8/3.3	功能 0: EBI_DQ7 NAND Flash 数据总线 功能 1: SDIO1_CDATA7 卡数据，默认处于高电平 功能 2: BOOT_SEL0 启动 memory 类型选择，仅在上电的时候有效， {BOOT_SEL1,BOOT_SEL0}: 00: 保留; 01: NAND Flash 10: SD 11: EMMC

1.2.10 SYS 管脚

SYS 管脚如表 1-12 所示。

表1-12 SYS 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AF26	FUNC_SEL	I _{SPD}	-	3.3/5	功能模式和测试模式选择: 0: 功能模式; 1: 测试模式;
A22	MUTE_CTRL	I/O	4	3.3	功能 0: GPIO4_3 通用输入输出 功能 1: MUTE_CTRL MUTE 控制信号
C28	DEM_RST	I/O	4	3.3	功能 0: GPIO1_5 通用输入输出 功能 1: DEM_RST DEMOD 复位信号
AD27	XIN	C _{IN}	-	3.3	晶体输入
AD28	XOUT	C _{OUT}	-	3.3	晶体输出



1.2.11 I2C 管脚

I2C 管脚如表 1-13 所示。

表1-13 I2C 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D26	I2C0_SCL	I _S /O _{OD}	4	3.3/5	功能 0: GPIO1_6 通用输入输出 功能 1: I2C0_SCL I2C0 总线时钟, OD 输出
C27	I2C0_SDA	I _S /O _{OD}	4	3.3/5	功能 0: GPIO1_7 通用输入输出 功能 1: I2C0_SDA I2C0 总线数据, OD 输出
E27	I2C2_SCL	I _S /O _{OD}	4	3.3/5	功能 0: PMC_PWM0 PWM 输出信号 0, 用法请参见芯片 手册第 11 章的 PWM 相关小节。 功能 1、2、3: 保留 功能 4: I2C2_SCL I2C2 总线时钟, OD 输出 功能 5: 保留 功能 6: GPIO2_6 通用输入输出
E28	I2C2_SDA	I _S /O _{OD}	4	3.3/5	功能 0: PMC_PWM1 PWM 输出信号 1, 用法请参见芯片 手册第 11 章的 PWM 相关小节。 功能 1: GPIO2_7 通用输入输出 功能 2、3: 保留 功能 4: I2C2_SDA I2C2 总线数据/地址, OD 输出

1.2.12 I2S 管脚

I2S 管脚如表 1-14 所示。



表1-14 I2S 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D12	I2S0_BCLK	I/O	4	3.3	功能 0: GPIO6_3 通用输入输出 功能 1: I2S0_BCLK I2S 或 PCM 接口位流时钟
D11	I2S0_DIN0	I/O	4	3.3	功能 0: GPIO6_7 通用输入输出 功能 1: I2S0_DIN0 I2S 或 PCM 接口数据输入。
A10	I2S0_DOUT0	I/O	4	3.3	功能 0: GPIO6_5 通用输入输出 功能 1: I2S0_DOUT0 I2S 或 PCM 接口数据输出。
C11	I2S0_MCLK	I/O	4	3.3	功能 0: GPIO6_6 通用输入输出 功能 1: I2S0_MCLK I2S 或 PCM 接口主时钟，可以作为音频 CODEC 的工作时钟(低端 DAC)
B10	I2S0_WS	I/O	4	3.3	功能 0: GPIO6_4 通用输入输出 功能 1: I2S0_WS I2S 接收端左右声道选择信号（与 ADC 接口）

1.2.13 IR 管脚

IR 管脚如表 1-15 所示。

表1-15 IR 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AG24	IR_IN	I _{SPU}	-	3.3/5	功能 0: IR_IN 红外输入 功能 1: GPIO5_1



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					通用输入输出

1.2.14 JTAG 管脚

JTAG 管脚如表 1-16 所示。

表1-16 JTAG 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
F26	JTAG_SEL	I _{SPD}	4	3.3	JTAG 管脚复用功能控制指示： 0：JTAG 管脚功能通过管脚复用寄存器控制； 1：JTAG 管脚功能固定为 JTAG 接口功能；
M26	JTAG_TCK	I _{SPD} /O	4	3.3	功能 0：JTAG_TCK JTAG 时钟输入 功能 1：TSI0_D5 TSI0 并行输入的数据，串行模式下无效 功能 2：TSI0_VALID TSI0 输入的数据有效信号，高电平有效 功能 5：GPIO0_6 通用输入输出 功能 6：保留
L28	JTAG_TDI	I _{SPU} /O	4	3.3	功能 0：JTAG_TDI JTAG 数据输入 功能 1：TSI0_D4 TSI0 并行输入的数据，串行模式下无效 功能 2：TSI0_SYNC TSI0 输入的数据同步指示信号 功能 5：GPIO0_7 通用输入输出
L27	JTAG_TDO	I/O	4	3.3	功能 0：JTAG_TDO



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					JTAG 数据输出 功能 1: TSI0_D3 TSI0 并行输入的数据, 串行模式下 无效 功能 2: TSI1_D7 TSI1 1bit 串行数据输入 功能 5: GPIO2_0 通用输入输出
N28	JTAG_TMS	I _{SPU} /O	4	3.3	功能 0: JTAG_TMS JTAG 模式选择输入,或软件跟踪的 数据输出。两种模式选择在 CPU 中 进行控制 功能 1: TSI0_D7 TSI0 并行输入的数据, 或 1bit 串行 数据输入, 或 2bit 串行数据输入 功能 5: GPIO0_4 通用输入输出 功能 6: 保留
N27	JTAG_TRSTN	I _{SPD} /O	4	3.3	功能 0: JTAG_TRSTN JTAG 复位输入 功能 1: TSI0_D6 TSI0 并行输入的数据, 或 2bit 串行 数据输入 功能 2: TSI0_CLK TSI0 的时钟输入, 串行模式下的输 入最高为 190MHz, 并行模式下的 输入最高为 50MHz 功能 5: GPIO0_5 通用输入输出 功能 6: 保留

1.2.15 LED 管脚

LED 管脚如表 1-17 所示。



表1-17 LED 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AH23	LED_CLK	I/O	4	3.3/5	功能 0: GPIO5_6 通用输入输出 功能 1: LED_CLK Led 串行输出同步时钟
AG23	LED_DATA	I/O	4	3.3/5	功能 0: GPIO5_5 通用输入输出 功能 1: LED_DATA Led 串行输出数据
AF23	LED_KEY0	I/O	4	3.3/5	功能 0: LED_KEY0 矩阵键盘输入 0 功能 1: GPIO5_2 通用输入输出 功能 2: 保留

1.2.16 NANDC 管脚

NANDC 管脚如表 1-18 所示。

表1-18 NANDC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
Y24、 AA24、 AB24	NF_DVDD331 8	P	-	1.8/3.3	NAND Flash 1.8/3.3V 电源
W26	NF_ALE	I/O	4	1.8/3.3	功能 0: NF_ALE NAND Flash 地址锁存信号 功能 1: SDIO1_CARD_POWER_EN 电源使能控制信号，高电平有效 功能 2: GPIO0_1 通用输入输出
V26	NF_CLE	I/O	4	1.8/3.3	功能 0: NF_CLE NAND Flash 命令锁存信号



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					功能 1: SDIO1_CWPR 卡写保护检测信号, 高电平有效 功能 2: GPIO0_2 通用输入输出
V28	NF_CSN0	I _{PU} /O	8	1.8/3.3	功能 0: NF_CSN0 NAND Flash 片选信号, 低电平有效 功能 1: SDIO1_CCMD 卡命令, 默认处于高电平
U26	NF_RDY0	I _{SPU} /O	4	1.8/3.3	功能 0: NF_RDY0 NAND Flash 忙/空闲指示。 1: 空闲; 0: 忙; 功能 1: SDIO1_RST EMMC 复位信号
W25	NF_REN	O	8	1.8/3.3	功能 0: NF_REN NAND Flash 读使能信号, 低电平有效 功能 1: SDIO1_CCLK_OUT 输出给卡使用的工作时钟
V27	NF_WEN	I/O	4	1.8/3.3	功能 0: NF_WEN NAND Flash 写使能信号, 低电平有效 功能 1: SDIO1_CARD_DETECT 卡检查信号, 低电平有效 功能 2: GPIO0_0 通用输入输出

1.2.17 SDIO 管脚

SDIO 管脚如表 1-19 所示。



表1-19 SDIO 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
J2	SDIO0_CARD_DETECT	I/O	4	3.3	功能 0: GPIO3_6 通用输入输出 功能 1: SDIO0_CARD_DETECT 卡检查信号, 低电平有效
J1	SDIO0_CARD_POWER_EN	I/O	4	3.3	功能 0: GPIO3_7 通用输入输出 功能 1: SDIO0_CARD_POWER_EN 电源使能控制信号, 高电平有效, 默认处于低电平
E1	SDIO0_CCLK_OUT	I/O	4	3.3	功能 0: GPIO3_2 通用输入输出 功能 1: SDIO0_CCLK_OUT 输出给卡使用的工作时钟
F2	SDIO0_CCMD	I/O	4	3.3	功能 0: GPIO3_3 通用输入输出 功能 1: SDIO0_CCMD 卡命令, 默认处于高电平
E3	SDIO0_CDATA0	I/O	4	3.3	功能 0: GPIO3_1 通用输入输出 功能 1: SDIO0_CDATA0 卡数据, 默认处于高电平
D3	SDIO0_CDATA1	I/O	4	3.3	功能 0: GPIO3_0 通用输入输出 功能 1: SDIO0_CDATA1 卡数据, 默认处于高电平
H3	SDIO0_CDATA2	I _S /O _O D	4	3.3/5	功能 0: GPIO3_5 通用输入输出 功能 1: SDIO0_CDATA2 卡数据, 默认处于高电平
G3	SDIO0_CDATA3	I _S /O _O D	4	3.3/5	功能 0: GPIO3_4 通用输入输出 功能 1: SDIO0_CDATA3



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					卡数据，默认处于高电平
C1	SDIO0_CWPR	I/O	4	3.3	功能 0: GPIO2_3 通用输入输出 功能 1: SDIO0_CWPR 卡写保护检测信号，高电平有效

1.2.18 SIM 管脚

SIM 管脚如表 1-20 所示。

表1-20 SIM 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AH26	SIM0_CLK	I/O _{OD}	4	3.3/5	智能卡双向时钟信号，OD 和 CMOS 类型可选
AG25	SIM0_DATA	I _{SPD} /O _{OD}	4	3.3/5	智能卡双向数据信号，OD 输出
AH25	SIM0_DET	I _{SPD} /O	4	3.3/5	智能卡信号检测，有效电平可配，默认为高电平有效
AG26	SIM0_PWREN	I/O _{OD}	4	3.3/5	智能卡使能信号，有电平可配，默认为高有效；OD 和 CMOS 类型可选
AF24	SIM0_RST	I/O	4	3.3/5	智能卡复位信号，低电平有效；OD 和 CMOS 类型可选

1.2.19 SLIC 管脚

SLIC 管脚如表 1-21 所示。

表1-21 SLIC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C12	SLIC_RST	I/O	4	3.3	功能 0: GPIO6_2 通用输入输出 功能 1: SLIC_RST



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					SLIC 芯片复位信号
B13	SPI_CSN0	I/O	4	3.3	功能 0: GPIO6_0 通用输入输出 功能 1: SPI_CSN0 SPI 的片选 0 输出 功能 2: UART2_RTSN Modem 状态输出: request to send, 低有效。复位值为 0 功能 3: I2C1_SDA I2C1 总线数据, OD 输出
A14	SPI_CSN1	I/O	4	3.3	功能 0: GPIO6_1 通用输入输出 功能 1: SPI_CSN1 SPI 的片选 1 输出
A13	SPI_SCLK	I/O	4	3.3/5	功能 0: GPIO0_3 通用输入输出 功能 1: SPI_SCLK SPI 时钟信号 功能 2: UART2_CTSN Modem 状态输入: Clear To Send, 低有效。
D13	SPI_SDI	I/O _{OD}	4	3.3/5	功能 0: GPIO4_1 通用输入输出 功能 1: SPI_SDI SPI 数据输入 功能 2: UART2_TXD UART2 数据发送 功能 3: I2C1_SCL I2C1 总线时钟, OD 输出
C13	SPI_SDO	I/O	4	3.3/5	功能 0: GPIO4_0 通用输入输出 功能 1: SPI_SDO SPI 数据输出 功能 2: UART2_RXD



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					UART2 数据接收

1.2.20 SPDIF 管脚

SPDIF 管脚如表 1-22 所示。

表1-22 SPDIF 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B22	SPDIF_OUT	I _{SPD} /O	4	3.3	功能 0: 保留 功能 1: SPDIF_OUT SPDIF 数据输出 功能 2: GPIO4_2 通用输入输出 功能 3: BOOT_SEL1 启动 memeory 类型选择, 仅在上电的时候有效, {BOOT_SEL1,BOOT_SEL0}: 00: 保留; 01: NAND Flash 10: SD 11: EMMC

1.2.21 STANDBY_PWROFF 管脚

STANDBY_PWROFF 管脚如表 1-23 所示。

表1-23 STANDBY_PWROFF 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AG27	STANDBY_PWROFF	I/O	-	3.3/5	功能 0: STANDBY_PWROFF 待机的时候控制芯片下电 功能 1: GPIO5_0 通用输入输出



1.2.22 TSI 管脚

TSI 管脚如表 1-24 所示。

表1-24 TSI 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G28	TSI0_CLK	I/O	4	3.3	功能 0: GPIO1_3 通用输入输出 功能 1: TSI0_CLK TSI0 的时钟输入，串行模式下的输入 最高为 190MHz，并行模式下的输入 最高为 50MHz
H26	TSI0_D0	I/O	4	3.3	功能 0: GPIO1_2 通用输入输出 功能 1: TSI0_D0 TSI0 并行输入的数据，或 1bit 串行数 据输入，或 2bit 串行数据输入 功能 2: TSI1_SYNC TSI1 输入的数据同步指示信号
J27	TSI0_D1	I/O	4	3.3	功能 0: GPIO1_1 通用输入输出 功能 1: TSI0_D1 TSI0 并行输入的数据，或 2bit 串行数 据输入 功能 2: TSI1_VALID TSI1 输入的数据有效信号，高电平有 效
K28	TSI0_D2	I/O	4	3.3	功能 0: GPIO1_0 通用输入输出 功能 1: TSI0_D2 TSI0 并行输入的数据，串行模式下无 效 功能 2: TSI1_CLK TSI1 的时钟输入，串行模式下的输入 最高为 190MHz
G27	TSI0_VALID	I/O	4	3.3	功能 0: GPIO1_4



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					通用输入输出 功能 1: TSI0_VALID TSI0 输入的数据有效信号，高电平有效

1.2.23 UART 管脚

UART 管脚如表 1-25 所示。

表1-25 UART 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AF28	UART0_RXD	I/O _{OD}	4	3.3/5	功能 0: UART0_RXD UART0 数据接收 功能 1: UART1_RXD UART1 数据接收
AF27	UART0_TXD	I/O _{OD}	4	3.3/5	功能 0: UART0_TXD UART0 数据发送 功能 1: UART1_TXD UART1 数据发送

1.2.24 PG（Power and Ground）管脚

DVDD33 管脚

DVDD33 管脚如表 1-26 所示。

表1-26 DVDD33 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E13、E14、E19、G5、 H24、K24、L24	DVDD33	P	-	3.3	3.3V I/O 接口电源



DVDD11_LDO1_OUT 管脚

DVDD11_LDO1 管脚如表 1-27 所示。

表1-27 DVDD11_LDO1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA21	DVDD11_LDO1_OUT	P	-	1.1	芯片内部 LDO 输出的 1.1V core 电源，外接滤波电容

DVDD33_STANDBY 管脚

DVDD33_STANDBY 管脚如表 1-28 所示。

表1-28 DVDD33_STANDBY 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AD23、 AD24	DVDD33_STANDBY	P	-	3.3	3.3V STANDBY 电源

DVDD3318_LDO2_OUT 管脚

DVDD3318_LDO2 管脚如表 1-29 所示。

表1-29 DVDD3318_LDO2 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
K4、 K5	DVDD3318_LDO2_OUT	P	-	3.3/1.8	芯片内部 SDIO_LDO 输出的 3.3V/1.8V 电 源，外接滤波电容

VDD_CPU 管脚

VDD_CPU 管脚如表 1-30 所示。



表1-30 VDD_CPU 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
L21、M19、M21、 M22、N18、N19、 N22、P18、P19、 P22、R19、R21	VDD_CPU	P	-	1.1	CPU 内核电源

VDD 管脚

VDD 管脚如表 1-31 所示。

表1-31 VDD 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
K14、K15、K16、K17、 L14、L15、M14、M15、 N14、N15、P14、P15、 R11、R14、R15、T11、 T14、T15、U11、U12、 U13、U14、U15、V11、 V12、V13、V14、V15、 V16	VDD	P	-	1.1	内核 1.1V Core 电压

VSS 管脚

VSS 管脚如表 1-32 所示。

表1-32 VSS 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A1、A2、A3、A28、B2、 B3、B14、B26、B27、C3、 C14、C19、C20、C26、 D14、D19、D20、E2、E4、 E11、E12、E20、E21、E25、 E26、F1、F3、F4、F5、 F25、G4、G13、G14、G21、 G24、G25、G26、H1、H2、 H4、H5、H13、H14、H21、 H22、H25、J3、J4、J5、	VSS	G	-	-	数字地



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
J21、J22、J24、J25、J26、 K3、K13、K18、K19、K21、 K22、K25、K26、K27、L1、 L2、L3、L4、L5、L11、 L12、L13、L16、L17、L18、 L19、L22、L25、L26、M3、 M4、M5、M6、M11、M12、 M13、M16、M17、M18、 M24、M25、N3、N6、N11、 N12、N13、N16、N17、 N24、N25、N26、P2、P6、 P11、P12、P13、P16、P17、 P24、P25、P26、R1、R3、 R5、R9、R12、R13、R16、 R17、R18、R22、R24、 R26、T3、T4、T6、T12、 T13、T16、T17、T18、T19、 U6、U9、U16、U17、U21、 V2、V3、V5、V6、V9、 V17、V24、V25、W1、W5、 W6、W24、Y2、Y4、Y6、 Y10、Y13、Y15、Y21、 Y25、Y27、AA1、AA6、 AA18、AA20、AB2、AB5、 AB16、AB25、AB27、AC4、 AC9、AC10、AC11、AC13、 AC14、AC15、AC16、 AC24、AD3、AD8、AD9、 AD12、AD14、AD16、 AD17、AD19、AD22、 AD25、AD26、AE1、AE3、 AE7、AE8、AE10、AE18、 AE19、AE21、AE22、 AE23、AE24、AE25、 AE26、AF2、AF3、AF4、 AF9、AF14、AF15、AF16、 AF18、AF19、AF21、AF22、 AF25、AG1、AG2、AG5、 AG7、AG11、AG13、 AG28、AH1、AH2、AH4、 AH6、AH10、AH12、 AH27、AH28					



1.3 复用寄存器概览

复用寄存器概览如表 1-33 所示。

表1-33 复用寄存器概览(基地址为 0xF8A2_1000)

偏移地址	名称	描述	页码
0x000	ioshare_0	EBI_DQ7 管脚的复用控制寄存器	1-45
0x004	ioshare_1	EBI_DQ6 管脚的复用控制寄存器	1-46
0x008	ioshare_2	EBI_DQ5 管脚的复用控制寄存器	1-48
0x00C	ioshare_3	EBI_DQ4 管脚的复用控制寄存器	1-49
0x010	ioshare_4	EBI_DQ3 管脚的复用控制寄存器	1-50
0x014	ioshare_5	EBI_DQ2 管脚的复用控制寄存器	1-51
0x018	ioshare_6	EBI_DQ1 管脚的复用控制寄存器	1-52
0x01C	ioshare_7	EBI_DQ0 管脚的复用控制寄存器	1-53
0x020	ioshare_8	NF_WEN 管脚的复用控制寄存器	1-54
0x024	ioshare_9	NF_ALE 管脚的复用控制寄存器	1-55
0x028	ioshare_10	NF_CLE 管脚的复用控制寄存器	1-57
0x02C	ioshare_11	NF_CSN0 管脚的复用控制寄存器	1-58
0x030	ioshare_12	NF_REN 管脚的复用控制寄存器	1-59
0x034	ioshare_13	NF_RDY0 管脚的复用控制寄存器	1-60
0x054	ioshare_21	JTAG_TMS 管脚的复用控制寄存器	1-61
0x058	ioshare_22	JTAG_TRSTN 管脚的复用控制寄存器	1-62
0x05C	ioshare_23	JTAG_TCK 管脚的复用控制寄存器	1-63
0x060	ioshare_24	JTAG_TDI 管脚的复用控制寄存器	1-64
0x064	ioshare_25	JTAG_TDO 管脚的复用控制寄存器	1-65
0x068	ioshare_26	TSI0_D2 管脚复用控制寄存器	1-66
0x06C	ioshare_27	TSI0_D1 管脚复用控制寄存器	1-67
0x070	ioshare_28	TSI0_D0 管脚复用控制寄存器	1-68
0x074	ioshare_29	TSI0_CLK 管脚复用控制寄存器	1-69
0x078	ioshare_30	TSI0_VALID 管脚复用控制寄存器	1-70



偏移地址	名称	描述	页码
0x07C	ioshare_31	I2C2_SCL 管脚的复用控制寄存器	1-71
0x080	ioshare_32	I2C2_SDA 管脚的复用控制寄存器	1-72
0x090	ioshare_36	DEM_RST 管脚复用控制寄存器	1-73
0x094	ioshare_37	I2C0_SCL 管脚复用控制寄存器	1-74
0x098	ioshare_38	I2C0_SDA 管脚复用控制寄存器	1-75
0x0AC	ioshare_43	SPDIF_OUT 管脚的复用控制寄存器	1-76
0x0B0	ioshare_44	MUTE_CTRL 管脚的复用控制寄存器	1-77
0x0B4	ioshare_45	HDMITX_SDA 管脚的复用控制寄存器	1-78
0x0B8	ioshare_46	HDMITX_SCL 管脚的复用控制寄存器	1-79
0x0BC	ioshare_47	HDMITX_HOTPLUG 管脚的复用控制寄存器	1-80
0x0C0	ioshare_48	HDMITX_CEC 管脚的复用控制寄存器	1-81
0x0D8	ioshare_54	FE_LED_ACT 管脚的复用控制寄存器	1-82
0x0DC	ioshare_55	FE_LED_BASE 管脚的复用控制寄存器	1-83
0x0E0	ioshare_56	SDIO0_CWPR 管脚的复用控制寄存器	1-84
0x0E4	ioshare_57	SDIO0_CDATA1 管脚的复用控制寄存器	1-85
0x0E8	ioshare_58	SDIO0_CDATA0 管脚的复用控制寄存器	1-86
0x0EC	ioshare_59	SDIO0_CCLK_OUT 管脚的复用控制寄存器	1-87
0x0F0	ioshare_60	SDIO0_CCMD 管脚的复用控制寄存器	1-88
0x0F4	ioshare_61	SDIO0_CDATA3 管脚的复用控制寄存器	1-90
0x0F8	ioshare_62	SDIO0_CDATA2 管脚的复用控制寄存器	1-91
0x0FC	ioshare_63	SDIO0_CARD_DETECT 管脚的复用控制寄存器	1-92
0x100	ioshare_64	SDIO0_CARD_POWER_EN 管脚的复用控制寄存器	1-93
0x138	ioshare_78	USB_BOOT 管脚的复用控制寄存器	1-94
0x13C	ioshare_79	SPI_SCLK 管脚的复用控制寄存器	1-95
0x140	ioshare_80	SPI_SDO 管脚的复用控制寄存器	1-96

偏移地址	名称	描述	页码
0x144	ioshare_81	SPI_SDI 管脚的复用控制寄存器	1-97
0x148	ioshare_82	SPI_CSN0 管脚的复用控制寄存器	1-98
0x14C	ioshare_83	SPI_CSN1 管脚的复用控制寄存器	1-99
0x150	ioshare_84	SLIC_RST 管脚的复用控制寄存器	1-100
0x154	ioshare_85	I2S0_BCLK 管脚的复用控制寄存器	1-101
0x158	ioshare_86	I2S0_WS 管脚的复用控制寄存器	1-102
0x15C	ioshare_87	I2S0_DOUT0 管脚的复用控制寄存器	1-103
0x160	ioshare_88	I2S0_MCLK 管脚的复用控制寄存器	1-104
0x164	ioshare_89	I2S0_DIN0 管脚的复用控制寄存器	1-105
0x0044	SC_IO_REUSE_SEL	MCU 子系统管脚复用控制寄存器	1-106

注：SC_IO_REUSE_SEL 寄存器的基地址和其他寄存器基地址不一样，SC_IO_REUSE_SEL 的基地址为 0xF800_0000。

1.4 复用寄存器描述

ioshare_0

EBI DQ7 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																
0x000								ioshare_0								0x00001F00																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_0_PU	ioctrl_0_DSx			ioctrl_0_SR	reserved				ioshare_0						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0	0	0	
	Bits		Access		Name				Description																							
	[31:13]		-		reserved				保留。																							
	[12]		RW		ioctrl_0_PU				上拉使能。 0: 不使能;																							



			1: 使能。
[11:9]	RW	ioctl_0_DSx	驱动控制: 000: 12mA; 001: 11mA; 010: 9mA; 011: 8mA; 100: 5mA; 101: 4mA; 110: 2mA; 111: 1mA; 当管脚为 NF_DQ7 功能时, 推荐配置为 110; 当管脚为 SDIO1_CDATA7 功能时, 3.3V 模式下推荐配置为 110; 1.8V 模式下推荐配置为 101; 当管脚为其他功能时, 推荐配置为 111;
[8]	RW	ioctl_0_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 当管脚为 SDIO1_CDATA7 功能时, 3.3V 模式下推荐配置为 1; 1.8V 模式下推荐配置为 0; 当管脚为其他功能时, 推荐配置为 1;
[7:2]	-	reserved	保留。
[1:0]	RW	ioshare_0	EBI_DQ7 管脚的具体复用情况。 00: EBI_DQ7; 01: SDIO1_CDATA7; 10: BOOT_SEL0; 其它: 保留。

ioshare_1

EBI_DQ6 管脚复用控制寄存器。



Offset Address								Register Name												Total Reset Value																
0x004								ioshare_1												0x00000F00																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ioctrl_1_PD		ioctrl_1_DSx			ioctrl_1_SR		reserved				ioshare_1								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0					
Bits	Access				Name				Description																											
[31:13]	-				reserved				保留。																											
[12]	RW				ioctrl_1_PD				下拉使能。 0：不使能； 1：使能。																											
[11:9]	RW				ioctrl_1_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 当管脚为 NF_DQ6 功能时，推荐配置为 110； 当管脚为 SDIO1_CDATA6 功能时， 3.3V 模式下推荐配置为 110； 1.8V 模式下推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；																											
[8]	RW				ioctrl_1_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 当管脚为 SDIO1_CDATA6 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；																											
[7:1]	-				reserved				保留。																											
[0]	RW				ioshare_1				EBI_DQ6 管脚的具体复用情况。																											



			0: EBI_DQ6; 1: SDIO1_CDATAB6。
--	--	--	----------------------------------

ioshare_2

EBI_DQ5 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																										
0x008				ioshare_2				0x00000F00																										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																ioctrl_2_PD	ioctrl_2_DSx			ioctrl_2_SR	reserved				ioshare_2								
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				1 1 1 1				0 0 0 0				0 0 0 0					
Bits	Access		Name				Description																											
[31:13]	-		reserved				保留。																											
[12]	RW		ioctrl_2_PD				下拉使能。 0：不使能； 1：使能。																											
[11:9]	RW		ioctrl_2_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 当管脚为 NF_DQ5 功能时，推荐配置为 110； 当管脚为 SDIO1_CDATAB5 功能时， 3.3V 模式下推荐配置为 110； 1.8V 模式下推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；																											
[8]	RW		ioctrl_2_SR				slew rate 控制使能信号。 0：no SR ctrl；																											



			1: SR ctrl。 当管脚为 SDIO1_CDATA5 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；
[7:1]	-	reserved	保留。
[0]	RW	ioshare_2	EBI_DQ5 管脚的具体复用情况。 0: EBI_DQ5； 1: SDIO1_CDATA5。

ioshare_3

EBI_DQ4 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																		
0x00C								ioshare_3								0x00000F00																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																ioctrl_3_PD	ioctrl_3_DSx			ioctrl_3_SR	reserved				ioshare_3								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																											
[31:13]	-		reserved				保留。																											
[12]	RW		ioctrl_3_PD				下拉使能。 0：不使能； 1：使能。																											
[11:9]	RW		ioctrl_3_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA；																											



			当管脚为 NF_DQ4 功能时，推荐配置为 110； 当管脚为 SDIO1_CDANTA4 功能时， 3.3V 模式下推荐配置为 110； 1.8V 模式下推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；
[8]	RW	ioctl_3_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 当管脚为 SDIO1_CDANTA4 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；
[7:1]	-	reserved	保留。
[0]	RW	ioshare_3	EBI_DQ4 管脚的具体复用情况。 0: EBI_DQ4； 1: SDIO1_CDANTA4。

ioshare_4

EBI_DQ3 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x010				ioshare_4				0x00000F00																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_4_PD	ioctl_4_DSx		ioctl_4_SR	reserved				ioshare_4							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctl_4_PD		下拉使能。 0：不使能； 1：使能。																											
[11:9]	RW		ioctl_4_DSx		驱动控制： 000：12mA；																											



			001: 11mA; 010: 9mA; 011: 8mA; 100: 5mA; 101: 4mA; 110: 2mA; 111: 1mA; 当管脚为 NF_DQ3 功能时, 推荐配置为 110; 当管脚为 SDIO1_CDATA3 功能时, 3.3V 模式下推荐配置为 110; 1.8V 模式下推荐配置为 101; 当管脚为其他功能时, 推荐配置为 111;
[8]	RW	ioctl_4_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 当管脚为 SDIO1_CDATA3 功能时, 3.3V 模式下推荐配置为 1; 1.8V 模式下推荐配置为 0; 当管脚为其他功能时, 推荐配置为 1;
[7:1]	-	reserved	保留。
[0]	RW	ioshare_4	EBI_DQ3 管脚的具体复用情况。 0: EBI_DQ3; 1: SDIO1_CDATA3。

ioshare_5

EBI_DQ2 管脚复用控制寄存器。



Offset Address																Register Name																Total Reset Value															
0x014																ioshare_5																0x00000F00															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																ioctrl_5_PD		ioctrl_5_DSx		ioctrl_5_SR		reserved						ioshare_5																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0															
Bits	Access				Name				Description																																						
[31:13]	-				reserved				保留。																																						
[12]	RW				ioctrl_5_PD				下拉使能。 0：不使能； 1：使能。																																						
[11:9]	RW				ioctrl_5_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 当管脚为 NF_DQ2 功能时，推荐配置为 110； 当管脚为 SDIO1_CDATA2 功能时， 3.3V 模式下推荐配置为 110； 1.8V 模式下推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；																																						
[8]	RW				ioctrl_5_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 当管脚为 SDIO1_CDATA2 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；																																						
[7:1]	-				reserved				保留。																																						
[0]	RW				ioshare_5				EBI_DQ2 管脚的具体复用情况。																																						



			0: EBI_DQ2; 1: SDIO1_CDATA2。
--	--	--	---------------------------------

ioshare_6

EBI_DQ1 管脚复用控制寄存器。

Offset Address																Register Name								Total Reset Value													
0x018																ioshare_6								0x00000F00													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved												ioctrl_6_PD		ioctrl_6_DSx			ioctrl_6_SR		reserved						ioshare_6											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0					
Bits	Access		Name				Description																														
[31:13]	-		reserved				保留。																														
[12]	RW		ioctrl_6_PD				下拉使能。 0：不使能； 1：使能。																														
[11:9]	RW		ioctrl_6_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 当管脚为 NF_DQ1 功能时，推荐配置为 110； 当管脚为 SDIO1_CDATA1 功能时， 3.3V 模式下推荐配置为 110； 1.8V 模式下推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；																														
[8]	RW		ioctrl_6_SR				slew rate 控制使能信号。 0：no SR ctrl；																														



			1: SR ctrl。 当管脚为 SDIO1_CDATA1 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；
[7:1]	-	reserved	保留。
[0]	RW	ioshare_6	EBI_DQ1 管脚的具体复用情况。 0: EBI_DQ1； 1: SDIO1_CDATA1。

ioshare_7

EBI_DQ0 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x01C				ioshare_7								0x00000F00																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_7_PD	ioctrl_7_DSx			ioctrl_7_SR	reserved				ioshare_7						
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				1 1 1 1				0 0 0 0				0 0 0 0							
	Bits		Access		Name				Description																							
	[31:13]		-		reserved				保留。																							
	[12]		RW		ioctrl_7_PD				下拉使能。 0：不使能； 1：使能。																							
	[11:9]		RW		ioctrl_7_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA；																							



			当管脚为 NF_DQ0 功能时，推荐配置为 110； 当管脚为 SDIO1_CDATA0 功能时， 3.3V 模式下推荐配置为 110； 1.8V 模式下推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；
[8]	RW	ioctrl_7_SR	slew rate 控制使能信号。 0: no SR ctrl； 1: SR ctrl。 当管脚为 SDIO1_CDATA0 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；
[7:1]	-	reserved	保留。
[0]	RW	ioshare_7	EBI_DQ0 管脚的具体复用情况。 0: EBI_DQ0； 1: SDIO1_CDATA0。

ioshare_8

NF_WEN 管脚复用控制寄存器。

Offset Address												Register Name												Total Reset Value												
0x020												ioshare_8												0x00000500												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												ioctrl_8_PD				reserved	ioctrl_8_DSx				ioctrl_8_SR				reserved				ioshare_8						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0				
Bits	Access				Name								Description																							
[31:13]					reserved								保留。																							
[12]	RW				ioctrl_8_PD								下拉使能。 0：不使能； 1：使能。																							
[11]	RW				reserved								保留。																							
[10:9]	RW				ioctrl_8_DSx								驱动控制：																							

			00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA; 当管脚为 NF_WEN 功能时, 推荐配置为 10; 当管脚为其他功能时, 推荐配置为 11;
[8]	RW	ioctl_8_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_8	NF_WEN 管脚的具体复用情况。 00: NF_WEN; 01: SDIO1_CARD_DETECT; 10: GPIO0_0; 其它: 保留。

NF ALE 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x024				ioshare_9				0x00000700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctl_9_PD	reserved	ioctl_9_DSx	ioctl_9_SR	reserved				ioshare_9											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctl_9_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctl_9_DSx		驱动控制：																											



			00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA; 当管脚为 NF_ALE 功能时, 推荐配置为 10; 当管脚为其他功能时, 推荐配置为 11;
[8]	RW	ioctrl_9_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 当管脚为 SDIO1_CARD_POWER_EN 功能时, 3.3V 时推荐配置为 1; 1.8V 时推荐配置为 0。 当管脚为其他功能时, 推荐配置为 1;
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_9	NF_ALE 管脚的具体复用情况。 00: NF_ALE; 01: SDIO1_CARD_POWER_EN; 10: GPIO0_1; 其它: 保留。

ioshare_10

NF_CLE 管脚复用控制寄存器。

Offset Address												Register Name												Total Reset Value																
0x028												ioshare_10												0x00000700																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	reserved																ioctrl_10_PD		reserved	ioctrl_10_DSx		ioctrl_10_SR		reserved						ioshare_10										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0								
	Bits				Access				Name				Description																											
	[31:13]								reserved				保留。																											
	[12]				RW				ioctrl_10_PD				下拉使能。 0: 不使能;																											



			1: 使能。
[11]	RW	reserved	保留。
[10:9]	RW	ioctl_10_DSx	驱动控制: 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA; 当管脚为 NF_CLE 功能时, 推荐配置为 10; 当管脚为其他功能时, 推荐配置为 11;
[8]	RW	ioctl_10_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 当管脚为 SDIO1_CWPR 功能时, 3.3V 时推荐配置为 1; 1.8V 时推荐配置为 0。 当管脚为其他功能时, 推荐配置为 1;
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_10	NF_CLE 管脚的具体复用情况。 00: NF_CLE; 01: SDIO1_CWPR; 10: GPIO0_2; 其它: 保留。

ioshare_11

NF_CSN0 管脚复用控制寄存器。



Offset Address				Register Name				Total Reset Value																								
0x02C				ioshare_11				0x00001F00																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctrl_11_OPU		ioctrl_11_DSx		ioctrl_11_SR		reserved				ioshare_11									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]			reserved		保留。																											
[12]	RW		ioctrl_11_OPU		上拉使能。 0：不使能； 1：使能。																											
[11:9]	RW		ioctrl_11_DSx		驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 当管脚为 NF_CSN0 功能时，推荐配置为 110； 当管脚为 SDIO1_CCMD 功能时， 3.3V 模式下推荐配置为 110； 1.8V 模式下推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；																											
[8]	RW		ioctrl_11_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 当管脚为 SDIO1_CCMD 功能时， 3.3V 时推荐配置为 1； 1.8V 时推荐配置为 0。 当管脚为其他功能时，推荐配置为 1；																											
[7:1]	-		reserved		保留。																											
[0]	RW		ioshare_11		NF_CSN0 管脚的具体复用情况。																											



			0: NF_CSN0; 1: SDIO1_CCMD。
--	--	--	-------------------------------

ioshare_12

NF_REN 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																										
0x030				ioshare_12				0x00000D00																										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved												ioctrl_12_PD		ioctrl_12_DSx			ioctrl_12_SR		reserved						ioshare_12								
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				1 1 0 1				0 0 0 0				0 0 0 0									
Bits	Access		Name				Description																											
[31:13]			reserved				保留。																											
[12]	RW		ioctrl_12_PD				下拉使能。 0：不使能； 1：使能。																											
[11:9]	RW		ioctrl_12_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 当管脚为 NF_REN 功能时，推荐配置为 110； 当管脚为 SDIO1_CCLK_OUT 功能时， 3.3V 模式下推荐配置为 101； 1.8V 模式下推荐配置为 010； 当管脚为其他功能时，推荐配置为 111；																											
[8]	RW		ioctrl_12_SR				slew rate 控制使能信号。 0：no SR ctrl；																											



			1: SR ctrl。 当管脚为 SDIO1_CCLK_OUT 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；
[7:1]	-	reserved	保留。
[0]	RW	ioshare_12	NF_REN 管脚的具体复用情况。 0: NF_REN； 1: SDIO1_CCLK_OUT。

ioshare_13

NF_RDY0 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																		
0x034								ioshare_13								0x00001700																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																ioctrl_13_OP		1	reserved	ioctrl_13_DSx		ioctrl_13_SR		reserved								ioshare_13	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																											
[31:13]	-		reserved				保留。																											
[12]	RW		ioctrl_13_OPU				上拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved				保留。																											
[10:9]	RW		ioctrl_13_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 当管脚为 NF_RDY0 功能时，推荐配置为 10； 当管脚为其他功能时，推荐配置为 11；																											
[8]	RW		ioctrl_13_SR				slew rate 控制使能信号。																											



			0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_13	NF_RDY0 管脚的具体复用情况。 0: NF_RDY0; 1: SDIO1_RST。

ioshare_21

JTAG_TMS 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																
0x054								ioshare_21								0x00001700																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctrl_21_PU		reserved		ioctrl_21_DSx		ioctrl_21_SR		reserved				ioshare_21							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_21_PU		上拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_21_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																											
[8]	RW		ioctrl_21_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。																											



			推荐配置为 1；
[7:3]	RW	reserved	保留。
[2:0]	RW	ioshare_21	JTAG_TMS 管脚的具体复用情况。 000: JTAG_TMS; 001: TSI0_D7; 101: GPIO0_4; 其它: 保留。

ioshare_22

JTAG_TRSTN 管脚复用控制寄存器。

Offset Address																Register Name								Total Reset Value										
0x058																ioshare_22								0x00001700										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																ioctrl_22_PD				reserved		ioctrl_22_DSx		ioctrl_22_SR		reserved				ioshare_22			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0		
Bits	Access				Name				Description																									
[31:13]					reserved				保留。																									
[12]	RW				ioctrl_22_PD				下拉使能。 0：不使能； 1：使能。																									
[11]	RW				reserved				保留。																									
[10:9]	RW				ioctrl_22_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																									
[8]	RW				ioctrl_22_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																									



[7:3]	RW	reserved	保留。
[2:0]	RW	ioshare_22	JTAG_TRSTN 管脚的具体复用情况。 000: JTAG_TRSTN; 001: TSI0_D6; 010: TSI0_CLK; 101: GPIO0_5; 其它: 保留。

ioshare_23

JTAG_TCK 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x05C				ioshare_23								0x00001700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_23_PD	reserved	ioctrl_23_DSx	ioctrl_23_SR	reserved				ioshare_23							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_23_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_23_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																											
[8]	RW		ioctrl_23_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。																											



			推荐配置为 1;
[7:3]	RW	reserved	保留。
[2:0]	RW	ioshare_23	JTAG_TCK 管脚的具体复用情况。 000: JTAG_TCK; 001: TSI0_D5; 010: TSI0_VALID; 101: GPIO0_6; 其它: 保留。

ioshare_24

JTAG_TDI 管脚复用控制寄存器。

Offset Address				Register Name																Total Reset Value														
0x060				ioshare_24																0x00001700														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																ioctrl_24_PU	reserved	ioctrl_24_DSx	ioctrl_24_SR	reserved				ioshare_24									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																											
[31:13]	-		reserved				保留。																											
[12]	RW		ioctrl_24_PU				上拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved				保留。																											
[10:9]	RW		ioctrl_24_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																											
[8]	RW		ioctrl_24_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。																											



			推荐配置为 1;
[7:3]	RW	reserved	保留。
[2:0]	RW	ioshare_24	JTAG_TDI 管脚的具体复用情况。 000: JTAG_TDI; 001: TSI0_D4; 010: TSI0_SYNC; 101: GPIO0_7; 其它: 保留。

ioshare_25

JTAG_TDO 管脚复用控制寄存器。

Offset Address				Register Name												Total Reset Value																	
0x064				ioshare_25												0x00000700																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																ioctrl_25_PD		reserved	ioctrl_25_DSx		ioctrl_25_SR		reserved						ioshare_25			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	
Bits	Access				Name				Description																								
[31:13]					reserved				保留。																								
[12]	RW				ioctrl_25_PD				下拉使能。 0：不使能； 1：使能。																								
[11]	RW				reserved				保留。																								
[10:9]	RW				ioctrl_25_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																								
[8]	RW				ioctrl_25_SR				slew rate 控制使能信号。 0：no SR ctrl；																								



			1: SR ctrl。 推荐配置为 1;
[7:3]	RW	reserved	保留。
[2:0]	RW	ioshare_25	JTAG_TDO 管脚的具体复用情况。 000: JTAG_TDO; 001: TSI0_D3; 010: TSI1_D7; 101: GPIO2_0; 其它: 保留。

ioshare_26

TSI0_D2 管脚复用控制寄存器。

Offset Address								Register Name																Total Reset Value												
0x068								ioshare_26																0x00000000												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																				ioctrl_26_PD	reserved	ioctrl_26_DSx	ioctrl_26_SR	reserved								ioshare_26			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:13]			reserved		保留。																															
[12]	RW		ioctrl_26_PD		下拉使能。 0：不使能； 1：使能。																															
[11]	RW		reserved		保留。																															
[10:9]	RW		ioctrl_26_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																															



[8]	RW	ioctl_26_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_26	TSI0_D2 管脚的具体复用情况。 00: GPIO1_0; 01: TSI0_D2; 10: TSI1_CLK; 其它: 保留。

ioshare_27

TSI0_D1 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																												
0x06C				ioshare_27				0x00000000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ioctl_27_PD	reserved	ioctl_27_DSx	ioctl_27_SR	reserved				ioshare_27											
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0			
Bits		Access		Name				Description																												
[31:13]				reserved				保留。																												
[12]		RW		ioctl_27_PD				下拉使能。 0：不使能； 1：使能。																												
[11]		RW		reserved				保留。																												
[10:9]		RW		ioctl_27_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA；																												



			推荐配置为 11;
[8]	RW	ioctrl_27_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_27	TSI0_D1 管脚的具体复用情况。 00: GPIO1_1; 01: TSI0_D1; 10: TSI1_VALID; 其它: 保留。

ioshare_28

TSI0_D0 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x070				ioshare_28				0x00000000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_28_PD	reserved	ioctrl_28_DSx	ioctrl_28_SR	reserved				ioshare_28							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]			reserved		保留。																											
[12]	RW		ioctrl_28_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_28_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA；																											



			11: 1mA; 推荐配置为 11;
[8]	RW	ioctl_28_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_28	TSI0_D0 管脚的具体复用情况。 00: GPIO1_2; 01: TSI0_D0; 10: TSI1_SYNC; 其它: 保留。

ioshare_29

TSI0_CLK 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x074				ioshare_29				0x00000000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_29_PD	reserved	ioctl_29_DSx	ioctl_29_SR	reserved								ioshare_29			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0			
	Bits		Access		Name				Description																							
	[31:13]				reserved				保留。																							
	[12]		RW		ioctl_29_PD				下拉使能。 0：不使能； 1：使能。																							
	[11]		RW		reserved				保留。																							
	[10:9]		RW		ioctl_29_DSx				驱动控制： 00：4mA； 01：3mA；																							



			10: 2mA; 11: 1mA; 推荐配置为 11;
[8]	RW	ioctl_29_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_29	TSI0_CLK 管脚的具体复用情况。 0: GPIO1_3; 1: TSI0_CLK。

ioshare_30

TSI0_VALID 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x078																ioshare_30																0x00000000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																ioctl_30_PD				reserved		ioctl_30_DSx				ioctl_30_SR		reserved								ioshare_30										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Access				Name				Description																																						
[31:13]					reserved				保留。																																						
[12]	RW				ioctl_30_PD				下拉使能。 0：不使能； 1：使能。																																						
[11]	RW				reserved				保留。																																						
[10:9]	RW				ioctl_30_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA；																																						



			11: 1mA; 推荐配置为 11;
[8]	RW	ioctl_30_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_30	TSI0_VALID 管脚的具体复用情况。 0: GPIO1_4; 1: TSI0_VALID。

ioshare_31

I2C2_SCL 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x07C				ioshare_31				0x00000700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_31_PD		reserved	ioctl_31_DSx		ioctl_31_SR		reserved				ioshare_31				
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0			
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctl_31_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctl_31_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																											



[8]	RW	ioctl_31_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:3]	RW	reserved	保留。
[2:0]	RW	ioshare_31	I2C2_SCL 管脚的具体复用情况。 000: PMC_PWM0; 100: I2C2_SCL; 110: GPIO2_6; 其它: 保留。

ioshare_32

I2C2_SDA 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																
0x080								ioshare_32								0x00000700																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_32_PD		reserved	ioctl_32_DSx		ioctl_32_SR	reserved				ioshare_32					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access				Name				Description																							
[31:13]	-				reserved				保留。																							
[12]	RW				ioctl_32_PD				下拉使能。 0：不使能； 1：使能。																							
[11]	RW				reserved				保留。																							
[10:9]	RW				ioctl_32_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																							



[8]	RW	ioctrl_32_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:3]	RW	reserved	保留。
[2:0]	RW	ioshare_32	I2C2_SDA 管脚的具体复用情况。 000: PMC_PWM1; 001: GPIO2_7; 100: I2C2_SDA; 其它: 保留。

ioshare_36

DEM_RST 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x090				ioshare_36				0x00000000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_36_PD	reserved	ioctrl_36_DSx	ioctrl_36_SR	reserved								ioshare_36			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits		Access		Name				Description																								
[31:13]				reserved				保留。																								
[12]		RW		ioctrl_36_PD				下拉使能。 0：不使能； 1：使能。																								
[11]		RW		reserved				保留。																								
[10:9]		RW		ioctrl_36_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA；																								



			推荐配置为 11;
[8]	RW	ioctrl_36_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_36	DEM_RST 管脚的具体复用情况。 0: GPIO1_5; 1: DEM_RST。

ioshare_37

I2C0_SCL 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																												
0x094				ioshare_37				0x00000000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ioctrl_37_PD	reserved	ioctrl_37_DSx		ioctrl_37_SR	reserved				ioshare_37										
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0			
Bits	Access		Name		Description																															
[31:13]			reserved		保留。																															
[12]	RW		ioctrl_37_PD		下拉使能。 0：不使能； 1：使能。																															
[11]	RW		reserved		保留。																															
[10:9]	RW		ioctrl_37_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																															



[8]	RW	ioctl_37_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_37	I2C0_SCL 管脚的具体复用情况。 0: GPIO1_6; 1: I2C0_SCL。

ioshare_38

I2C0_SDA 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																
0x098								ioshare_38								0x00000000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_38_PD	reserved	ioctl_38_DSx		ioctl_38_SR	reserved								ioshare_38		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]			reserved		保留。																											
[12]	RW		ioctl_38_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctl_38_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																											
[8]	RW		ioctl_38_SR		slew rate 控制使能信号。																											



			0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_38	I2C0_SDA 管脚的具体复用情况。 0: GPIO1_7; 1: I2C0_SDA。

ioshare_43

SPDIF_OUT 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																
0x0AC								ioshare_43								0x00001700																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_43_PD		reserved	ioctrl_43_DSx		ioctrl_43_SR	reserved				ioshare_43					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_43_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_43_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																											
[8]	RW		ioctrl_43_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																											



[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_43	SPDIF_OUT 管脚的具体复用情况。 00: 保留; 01: SPDIF_OUT; 10: GPIO4_2; 11: BOOT_SEL1。

ioshare_44

MUTE_CTRL 管脚复用控制寄存器。

Offset Address				Register Name																Total Reset Value													
0x0B0				ioshare_44																0x00000700													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																ioctrl_44_PD		reserved	ioctrl_44_DSx		ioctrl_44_SR		reserved								ioshare_44	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	
	Bits		Access		Name				Description																								
	[31:13]		-		reserved				保留。																								
	[12]		RW		ioctrl_44_PD				下拉使能。 0：不使能； 1：使能。																								
	[11]		RW		reserved				保留。																								
	[10:9]		RW		ioctrl_44_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																								
	[8]		RW		ioctrl_44_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																								



[7:1]	RW	reserved	保留。
[0]	RW	ioshare_44	MUTE_CTRL 管脚的具体复用情况。 0: GPIO4_3; 1: MUTE_CTRL。

ioshare_45

HDMITX_SDA 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0B4				ioshare_45				0x00000700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_45_PD	reserved	ioctrl_45_DSx	ioctrl_45_SR	reserved				ioshare_45							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_45_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_45_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																											
[8]	RW		ioctrl_45_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																											
[7:3]	RW		reserved		保留。																											
[2:0]	RW		ioshare_45		HDMITX_SDA 管脚的具体复用情况。																											



			000: 保留; 001: HDMITX_SDA; 010: GPIO4_4; 其它: 保留。
--	--	--	--

ioshare_46

HDMITX_SCL 管脚复用控制寄存器。

Offset Address				Register Name												Total Reset Value																				
0x0B8				ioshare_46												0x00000700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ioctrl_46_PD		reserved	ioctrl_46_DSx		ioctrl_46_SR		reserved				ioshare_46								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:13]	-		reserved		保留。																															
[12]	RW		ioctrl_46_PD		下拉使能。 0：不使能； 1：使能。																															
[11]	RW		reserved		保留。																															
[10:9]	RW		ioctrl_46_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																															
[8]	RW		ioctrl_46_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																															
[7:3]	RW		reserved		保留。																															
[2:0]	RW		ioshare_46		HDMITX_SCL 管脚的具体复用情况。																															



			001: HDMITX_SCL; 010: GPIO4_5; 其它: 保留。
--	--	--	--

ioshare_47

HDMITX_HOTPLUG 管脚复用控制寄存器。

Offset Address				Register Name																Total Reset Value												
0x0BC				ioshare_47																0x00000700												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_47_PD	reserved	ioctl_47_DSx			ioctl_47_SR	reserved				ioshare_47					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
	Bits		Access		Name				Description																							
	[31:13]		-		reserved				保留。																							
	[12]		RW		ioctl_47_PD				下拉使能。 0：不使能； 1：使能。																							
	[11]		RW		reserved				保留。																							
	[10:9]		RW		ioctl_47_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																							
	[8]		RW		ioctl_47_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																							
	[7:2]		RW		reserved				保留。																							
	[1:0]		RW		ioshare_47				HDMITX_HOTPLUG 管脚的具体复用情况。 01：HDMITX_HOTPLUG；																							



			10: GPIO4_6; 其它: 保留。
--	--	--	-------------------------

ioshare_48

HDMITX_CEC 管脚复用控制寄存器。

Offset Address																Register Name								Total Reset Value												
0x0C0																ioshare_48								0x00000700												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ioctrl_48_PD				reserved		ioctrl_48_DSx		ioctrl_48_SR		reserved				ioshare_48					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0				
Bits	Access				Name				Description																											
[31:13]	-				reserved				保留。																											
[12]	RW				ioctrl_48_PD				下拉使能。 0：不使能； 1：使能。																											
[11]	RW				reserved				保留。																											
[10:9]	RW				ioctrl_48_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																											
[8]	RW				ioctrl_48_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																											
[7:2]	RW				reserved				保留。																											
[1:0]	RW				ioshare_48				HDMITX_CEC 管脚的具体复用情况。 01：HDMITX_CEC； 10：GPIO4_7；																											



			其它：保留。
--	--	--	--------

ioshare_54

FE_LED_ACT 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x0D8																ioshare_54																0x00000700															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																ioctrl_54_PD				reserved	ioctrl_54_DSx				ioctrl_54_SR	reserved				ioshare_54																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0															
	Bits		Access		Name		Description																																								
	[31:13]		-		reserved		保留。																																								
	[12]		RW		ioctrl_54_PD		下拉使能。 0：不使能； 1：使能。																																								
	[11]		RW		reserved		保留。																																								
	[10:9]		RW		ioctrl_54_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																																								
	[8]		RW		ioctrl_54_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																																								
	[7:2]		RW		reserved		保留。																																								
	[1:0]		RW		ioshare_54		FE_LED_ACT 管脚的具体复用情况。 01：FE_LED_ACT； 10：GPIO2_1； 其它：保留。																																								



ioshare_55

FE_LED_BASE 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x0DC																ioshare_55																0x00000700															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																ioctrl_55_PD				reserved	ioctrl_55_DSx				ioctrl_55_SR				reserved												ioshare_55					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0															
	Bits				Access				Name				Description																																		
	[31:13]				-				reserved				保留。																																		
	[12]				RW				ioctrl_55_PD				下拉使能。 0：不使能； 1：使能。																																		
	[11]				RW				reserved				保留。																																		
	[10:9]				RW				ioctrl_55_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																																		
	[8]				RW				ioctrl_55_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																																		
	[7:1]				RW				reserved				保留。																																		
	[0]				RW				ioshare_55				FE_LED_BASE 管脚的具体复用情况。 0：GPIO2_2； 1：FE_LED_BASE。																																		



ioshare_56

SDIO0_CWPR 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																												
0x0E0								ioshare_56								0x00000700																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
Name	reserved																ioctrl_56_PD	reserved	ioctrl_56_DSx		ioctrl_56_SR	reserved								ioshare_56														
Reset	0				0				0				0				0				0				0				1				1				0				0			
	Bits		Access		Name		Description																																					
	[31:13]		-		reserved		保留。																																					
	[12]		RW		ioctrl_56_PD		下拉使能。 0：不使能； 1：使能。																																					
	[11]		RW		reserved		保留。																																					
	[10:9]		RW		ioctrl_56_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																																					
	[8]		RW		ioctrl_56_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																																					
	[7:1]		RW		reserved		保留。																																					
	[0]		RW		ioshare_56		SDIO0_CWPR 管脚的具体复用情况。 0：GPIO2_3； 1：SDIO0_CWPR。																																					

ioshare_57

SDIO0_CDATA1 管脚复用控制寄存器。



Offset Address				Register Name																Total Reset Value																
0x0E4				ioshare_57																0x00000F00																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ioctl_57_PD		ioctl_57_DSx		ioctl_57_SR		reserved				ioshare_57									
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				1 1 1 1				0 0 0 0				0 0 0 0											
Bits	Access				Name				Description																											
[31:13]	-				reserved				保留。																											
[12]	RW				ioctl_57_PD				下拉使能。 0：不使能； 1：使能。																											
[11:9]	RW				ioctl_57_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 当管脚为 SDIO0_CDATAB1 功能时， 3.3V 模式下推荐配置为 111； 1.8V 模式下推荐配置为 100； 当管脚为其他功能时，推荐配置为 111；																											
[8]	RW				ioctl_57_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 当管脚为 SDIO0_CDATAB1 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；																											
[7:1]	RW				reserved				保留。																											
[0]	RW				ioshare_57				SDIO0_CDATAB1 管脚的具体复用情况。																											



			0: GPIO3_0; 1: SDIO0_CDATAB1。
--	--	--	----------------------------------

ioshare_58

SDIO0_CDATAB0 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x0E8																ioshare_58																0x00000F00															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved												ioctrl_58_PD				ioctrl_58_DSx				ioctrl_58_SR				reserved								ioshare_58														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0															
Bits	Access				Name								Description																																		
[31:13]	-				reserved								保留。																																		
[12]	RW				ioctrl_58_PD								下拉使能。 0：不使能； 1：使能。																																		
[11:9]	RW				ioctrl_58_DSx								驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 当管脚为 SDIO0_CDATAB0 功能时， 3.3V 模式下推荐配置为 111； 1.8V 模式下推荐配置为 100； 当管脚为其他功能时，推荐配置为 111；																																		
[8]	RW				ioctrl_58_SR								slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。																																		



			当管脚为 SDIO0_CDATA0 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_58	SDIO0_CDATA0 管脚的具体复用情况。 0: GPIO3_1； 1: SDIO0_CDATA0。

ioshare_59

SDIO0_CCLK_OUT 管脚复用控制寄存器。

Offset Address				Register Name												Total Reset Value																
0x0EC				ioshare_59												0x00000F00																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_59_PD		ioctrl_59_DSx		ioctrl_59_SR		reserved								ioshare_59	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
Bits	Access				Name				Description																							
[31:13]	-				reserved				保留。																							
[12]	RW				ioctrl_59_PD				下拉使能。 0：不使能； 1：使能。																							
[11:9]	RW				ioctrl_59_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA；																							



			当管脚为 SDIO0_CCLK_OUT 功能时， 3.3V 模式下推荐配置为 101； 1.8V 模式下推荐配置为 011； 当管脚为其他功能时，推荐配置为 111；
[8]	RW	ioctrl_59_SR	slew rate 控制使能信号。 0: no SR ctrl； 1: SR ctrl。 当管脚为 SDIO0_CCLK_OUT 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_59	SDIO0_CCLK_OUT 管脚的具体复用情况。 0: GPIO3_2； 1: SDIO0_CCLK_OUT。

ioshare_60

SDIO0_CCMD 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x0F0				ioshare_60								0x00000F00																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_60_PD		ioctrl_60_DSx		ioctrl_60_SR		reserved						ioshare_60			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
	Bits		Access		Name				Description																							
	[31:13]		-		reserved				保留。																							
	[12]		RW		ioctrl_60_PD				下拉使能。 0：不使能； 1：使能。																							
	[11:9]		RW		ioctrl_60_DSx				驱动控制： 000：12mA；																							



			001: 11mA; 010: 9mA; 011: 8mA; 100: 5mA; 101: 4mA; 110: 2mA; 111: 1mA; 当管脚为 SDIO0_CCMD 功能时, 3.3V 模式下推荐配置为 111; 1.8V 模式下推荐配置为 100; 当管脚为其他功能时, 推荐配置为 111;
[8]	RW	ioctrl_60_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 当管脚为 SDIO0_CCMD 功能时, 3.3V 模式下推荐配置为 1; 1.8V 模式下推荐配置为 0; 当管脚为其他功能时, 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_60	SDIO0_CCMD 管脚的具体复用情况。 0: GPIO3_3; 1: SDIO0_CCMD。

ioshare_61

SDIO0_CDATA3 管脚复用控制寄存器。



Offset Address				Register Name																Total Reset Value												
0x0F4				ioshare_61																0x00000F00												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_61_PD		ioctrl_61_DSx		ioctrl_61_SR		reserved				ioshare_61					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_61_PD		下拉使能。 0：不使能； 1：使能。																											
[11:9]	RW		ioctrl_61_DSx		驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 当管脚为 SDIO0_CDATA3 功能时， 3.3V 模式下推荐配置为 111； 1.8V 模式下推荐配置为 100； 当管脚为其他功能时，推荐配置为 111；																											
[8]	RW		ioctrl_61_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 当管脚为 SDIO0_CDATA3 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；																											
[7:1]	RW		reserved		保留。																											
[0]	RW		ioshare_61		SDIO0_CDATA3 管脚的具体复用情况。																											



			0: GPIO3_4; 1: SDIO0_CDATAB3。
--	--	--	----------------------------------

ioshare_62

SDIO0_CDATAB2 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																
0x0F8								ioshare_62								0x00000F00																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_62_PD		ioctrl_62_DSx			ioctrl_62_SR		reserved						ioshare_62		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	
Bits	Access		Name				Description																									
[31:13]	-		reserved				保留。																									
[12]	RW		ioctrl_62_PD				下拉使能。 0：不使能； 1：使能。																									
[11:9]	RW		ioctrl_62_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 当管脚为 SDIO0_CDATAB2 功能时， 3.3V 模式下推荐配置为 111； 1.8V 模式下推荐配置为 100； 当管脚为其他功能时，推荐配置为 111；																									
[8]	RW		ioctrl_62_SR				slew rate 控制使能信号。 0：no SR ctrl；																									



			1: SR ctrl。 当管脚为 SDIO0_CDATA2 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_62	SDIO0_CDATA2 管脚的具体复用情况。 0: GPIO3_5； 1: SDIO0_CDATA2。

ioshare_63

SDIO0_CARD_DETECT 管脚复用控制寄存器。

Offset Address												Register Name												Total Reset Value																
0x0FC												ioshare_63												0x00000700																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	reserved												ioctrl_63_PD				reserved	ioctrl_63_DSx				ioctrl_63_SR	reserved								ioshare_63									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0								
Bits					Access				Name				Description																											
[31:13]	-				reserved				保留。																															
[12]	RW				ioctrl_63_PD				下拉使能。 0：不使能； 1：使能。																															
[11]	RW				reserved				保留。																															
[10:9]	RW				ioctrl_63_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																															
[8]	RW				ioctrl_63_SR				slew rate 控制使能信号。																															



			0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_63	SDIO0_CARD_DETECT 管脚的具体复用情况。 0: GPIO3_6; 1: SDIO0_CARD_DETECT。

ioshare_64

SDIO0_CARD_POWER_EN 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x100				ioshare_64								0x00000700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctl_64_PD		reserved		ioctl_64_DSx		ioctl_64_SR		reserved				ioshare_64							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access				Name				Description																							
[31:13]	-				reserved				保留。																							
[12]	RW				ioctl_64_PD				下拉使能。 0：不使能； 1：使能。																							
[11]	RW				reserved				保留。																							
[10:9]	RW				ioctl_64_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 当管脚为 SDIO0_CARD_POWER_EN 功能时， 3.3V 模式下推荐配置为 11； 1.8V 模式下推荐配置为 10； 当管脚为其他功能时，推荐配置为 11；																							



[8]	RW	ioctrl_64_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_64	SDIO0_CARD_POWER_EN 管脚的具体复用情况。 0: GPIO3_7; 1: SDIO0_CARD_POWER_EN。

ioshare_78

USB_BOOT 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x138				ioshare_78								0x00001700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_78_PU	reserved	ioctrl_78_DSx		ioctrl_78_SR	reserved				ioshare_78						
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				1	0 1 1 1				0 0 0 0				0 0 0 0						
	Bits		Access		Name		Description																									
	[31:13]		-		reserved		保留。																									
	[12]		RW		ioctrl_78_PU		上拉使能。 0：不使能； 1：使能。																									
	[11]		RW		reserved		保留。																									
	[10:9]		RW		ioctrl_78_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																									
	[8]		RW		ioctrl_78_SR		slew rate 控制使能信号。 0：no SR ctrl；																									



			1: SR ctrl。 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_78	USB_BOOT 管脚的具体复用情况。 0: USB_BOOT; 1: GPIO2_5。

ioshare_79

SPI_SCLK 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																
0x13C								ioshare_79								0x00000700																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_79_PD		reserved	ioctrl_79_DSx		ioctrl_79_SR	reserved				ioshare_79					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits		Access		Name				Description																								
[31:13]		-		reserved				保留。																								
[12]		RW		ioctrl_79_PD				下拉使能。 0：不使能； 1：使能。																								
[11]		RW		reserved				保留。																								
[10:9]		RW		ioctrl_79_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 当管脚为 SPI_SCLK 功能时，推荐配置为 10； 当管脚为其他功能时，推荐配置为 11；																								
[8]		RW		ioctrl_79_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。																								



			推荐配置为 1;
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_79	SPI_SCLK 管脚的具体复用情况。 00: GPIO0_3; 01: SPI_SCLK; 10: UART2_CTSN; 其它: 保留。

ioshare_80

SPI_SDO 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x140				ioshare_80								0x00000700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_80_PD	reserved	ioctl_80_DSx		ioctl_80_SR	reserved				ioshare_80						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits		Access		Name		Description																										
[31:13]		-		reserved		保留。																										
[12]		RW		ioctl_80_PD		下拉使能。 0：不使能； 1：使能。																										
[11]		RW		reserved		保留。																										
[10:9]		RW		ioctl_80_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																										
[8]		RW		ioctl_80_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。																										



			推荐配置为 1;
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_80	SPI_SDO 管脚的具体复用情况。 00: GPIO4_0; 01: SPI_SDO; 10: UART2_RXD; 其它: 保留。

ioshare_81

SPI_SDI 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x144				ioshare_81				0x00000700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_81_PD	reserved	ioctl_81_DSx		ioctl_81_SR	reserved				ioshare_81						
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0			
	Bits		Access		Name				Description																							
	[31:13]		-		reserved				保留。																							
	[12]		RW		ioctl_81_PD				下拉使能。 0：不使能； 1：使能。																							
	[11]		RW		reserved				保留。																							
	[10:9]		RW		ioctl_81_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																							
	[8]		RW		ioctl_81_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。																							



			推荐配置为 1；
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_81	SPI_SDI 管脚的具体复用情况。 00: GPIO4_1; 01: SPI_SDI; 10: UART2_TXD; 11: I2C1_SCL。

ioshare_82

SPI_CSN0 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x148				ioshare_82								0x00000700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_82_PD	reserved	ioctrl_82_DSx		ioctrl_82_SR	reserved				ioshare_82						
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0			
	Bits		Access		Name				Description																							
	[31:13]		-		reserved				保留。																							
	[12]		RW		ioctrl_82_PD				下拉使能。 0：不使能； 1：使能。																							
	[11]		RW		reserved				保留。																							
	[10:9]		RW		ioctrl_82_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																							
	[8]		RW		ioctrl_82_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。																							



			推荐配置为 1;
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_82	SPI_CSN0 管脚的具体复用情况。 00: GPIO6_0; 01: SPI_CSN0; 10: UART2_RTSN; 11: I2C1_SDA。

ioshare_83

SPI_CSN1 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x14C				ioshare_83				0x00000700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_83_PD	reserved	ioctl_83_DSx		ioctl_83_SR	reserved								ioshare_83		
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0							
	Bits		Access		Name				Description																							
	[31:13]		-		reserved				保留。																							
	[12]		RW		ioctl_83_PD				下拉使能。 0：不使能； 1：使能。																							
	[11]		RW		reserved				保留。																							
	[10:9]		RW		ioctl_83_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																							
	[8]		RW		ioctl_83_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。																							



			推荐配置为 1；
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_83	SPI_CSN1 管脚的具体复用情况。 0: GPIO6_1； 1: SPI_CSN1。

ioshare_84

SLIC_RST 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																						
0x150				ioshare_84								0x00000700																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																ioctrl_84_PD		reserved		ioctrl_84_DSx		ioctrl_84_SR		reserved									ioshare_84
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0					
	Bits		Access		Name				Description																									
	[31:13]		-		reserved				保留。																									
	[12]		RW		ioctrl_84_PD				下拉使能。 0：不使能； 1：使能。																									
	[11]		RW		reserved				保留。																									
	[10:9]		RW		ioctrl_84_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																									
	[8]		RW		ioctrl_84_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																									



[7:1]	RW	reserved	保留。
[0]	RW	ioshare_84	SLIC_RST 管脚的具体复用情况。 0: GPIO6_2; 1: SLIC_RST。

ioshare_85

I2S0_BCLK 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x154				ioshare_85				0x00000700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_85_PD	reserved	ioctrl_85_DSx	ioctrl_85_SR	reserved				ioshare_85							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_85_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_85_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 当管脚为 I2S0_BCLK 功能时，推荐配置为 10； 当管脚为其他功能时，推荐配置为 11；																											
[8]	RW		ioctrl_85_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																											



[7:1]	RW	reserved	保留。
[0]	RW	ioshare_85	I2S0_BCLK 管脚的具体复用情况。 0: GPIO6_3; 1: I2S0_BCLK。

ioshare_86

I2S0_WS 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x158				ioshare_86								0x00000700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_86_PD	reserved	ioctrl_86_DSx		ioctrl_86_SR	reserved				ioshare_86						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
	Bits		Access		Name		Description																									
	[31:13]		-		reserved		保留。																									
	[12]		RW		ioctrl_86_PD		下拉使能。 0：不使能； 1：使能。																									
	[11]		RW		reserved		保留。																									
	[10:9]		RW		ioctrl_86_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																									
	[8]		RW		ioctrl_86_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																									
	[7:1]		RW		reserved		保留。																									



[0]	RW	ioshare_86	I2S0_WS 管脚的具体复用情况。 0: GPIO6_4; 1: I2S0_WS。
-----	----	------------	--

ioshare_87

I2S0_DOUT0 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x15C				ioshare_87								0x00000700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_87_PD		reserved	ioctrl_87_DSx		ioctrl_87_SR		reserved								ioshare_87
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_87_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_87_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																											
[8]	RW		ioctrl_87_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																											
[7:1]	RW		reserved		保留。																											
[0]	RW		ioshare_87		I2S0_DOUT0 管脚的具体复用情况。																											



			0: GPIO6_5; 1: I2S0_DOUT0。
--	--	--	-------------------------------

ioshare_88

I2S0_MCLK 管脚复用控制寄存器。

Offset Address																Register Name								Total Reset Value												
0x160																ioshare_88								0x00000700												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												ioctrl_88_PD				reserved	ioctrl_88_DSx				ioctrl_88_SR	reserved								ioshare_88					
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0											
	Bits		Access		Name		Description																													
	[31:13]		-		reserved		保留。																													
	[12]		RW		ioctrl_88_PD		下拉使能。 0：不使能； 1：使能。																													
	[11]		RW		reserved		保留。																													
	[10:9]		RW		ioctrl_88_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 当管脚为 I2S0_MCLK 功能时，推荐配置为 01； 当管脚为其他功能时，推荐配置为 11；																													
	[8]		RW		ioctrl_88_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																													
	[7:1]		RW		reserved		保留。																													
	[0]		RW		ioshare_88		I2S0_MCLK 管脚的具体复用情况。 0：GPIO6_6；																													



			1: I2S0_MCLK。
--	--	--	---------------

ioshare_89

I2S0_DIN0 管脚复用控制寄存器。

Offset Address				Register Name												Total Reset Value																												
0x164				ioshare_89												0x00000700																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
Name	reserved																ioctrl_89_PD	reserved	ioctrl_89_DSx		ioctrl_89_SR	reserved								ioshare_89														
Reset	0				0				0				0				0				0				0				1				1				0				0			
Bits	Access				Name				Description																																			
[31:13]	-				reserved				保留。																																			
[12]	RW				ioctrl_89_PD				下拉使能。 0：不使能； 1：使能。																																			
[11]	RW				reserved				保留。																																			
[10:9]	RW				ioctrl_89_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 推荐配置为 11；																																			
[8]	RW				ioctrl_89_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 推荐配置为 1；																																			
[7:1]	RW				reserved				保留。																																			
[0]	RW				ioshare_89				I2S0_DIN0 管脚的具体复用情况。 0：GPIO6_7； 1：I2S0_DIN0。																																			



SC_IO_REUSE_SEL



注意

该寄存器的基地址和其他寄存器的基地址不一样，SC_IO_REUSE_SEL 寄存器的基地址为 0xF800_0000。

SC_IO_REUSE_SEL 为 MCU 子系统管脚复用控制寄存器。

Offset Address										Register Name										Total Reset Value																
0x0044										SC_IO_REUSE_SEL										0x0038_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								sim0_det_padctrl_PD	sim0_data_padctrl_PD	sim0_clk_padctrl_PD	sim0_clk_padctrl_DS	sim0_clk_padctrl_SR	reserved	led_data_padctrl_PD	led_clk_padctrl_PD	reserved	stb_gpio_sel	reserved	ir_gpio_sel	csn0_gpio_sel	reserved	data_gpio_sel	clk_gpio_sel	reserved	uart_txd_gpio_sel	uart_rxd_gpio_sel									
Reset	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
Bits	Access				Name								Description																							
[31:25]	RW				reserved								保留。																							
[24]	RW				sim0_det_padctrl_PD								SIM0_DET 管脚下拉控制使能： 0：不使能； 1：使能；																							
[23]	RW				sim0_data_padctrl_PD								SIM0_DATA 管脚下拉控制使能： 0：不使能； 1：使能；																							
[22]	RW				sim0_clk_padctrl_PD								SIM0_CLK 管脚下拉控制使能： 0：不使能； 1：使能；																							



[21:20]	RW	sim0_clk_padctrl_DS	SIM0_CLK 管脚驱动能力控制： 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA; 当管脚为 SIM0_CLK 功能是： OD 输出推荐配置为 01; CMOS 输出推荐配置为 10; 当管脚为其他功能时推荐配置为 11;
[19]	RW	sim0_clk_padctrl_SR	SIM0_CLK 管脚 SR 控制使能： 0: 使能; 1: 不使能; 推荐配置为 1;
[18]	RW	reserved	保留
[17]	RW	led_data_padctrl_PD	LED_DATA 管脚下拉控制使能： 0: 不使能; 1: 使能;
[16]	RW	led_clk_padctrl_PD	LED_CLK 管脚下拉控制使能： 0: 不使能; 1: 使能;
[15:14]	RW	reserved	保留
[13]	RW	stb_gpio_sel	STANDBY_PWROFF 管脚复用控制： 0: STANDBY_PWROFF; 1: 选择 GPIO5_0;
[12:11]	RW	reserved	保留。
[10]	RW	ir_gpio_sel	IR_IN 管脚复用控制。 0: 选择 IR_IN; 1: 选择 GPIO5_1。
[9:8]	RW	csn0_gpio_sel	LED_CSN0 管脚复用控制。 00: 选择 LED_KEY0; 01: 选择 GPIO5_2; 10: 保留
[7:6]	RW	reserved	保留



[5]	RW	data_gpio_sel	LED_DATA 管脚复用控制。 0: 选择 GPIO5_5; 1: 选择 LED DATA;
[4]	RW	clk_gpio_sel	LED_CLK 管脚复用控制。 0: 选择 GPIO5_6; 1: 选择 LED CLK;
[3:2]	RW	reserved	保留。
[1]	RW	uart_txd_gpio_sel	UART0_TXD 管脚复用控制 0: 选择 UART0_TXD; 1: 选择 UART1_TXD;
[0]	RW	uart_rxd_gpio_sel	UART0_RXD 管脚复用控制 0: 选择 UART0_RXD; 1: 选择 UART1_RXD;

1.5 软件复用管脚

1.5.1 MEM

MEM 的软件复用管脚如表 1-34 所示。

表1-34 MEM 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
AC25	EBI_DQ7	ioshare_0	EBI_DQ7	SDIO1_CDATA7	BOOT_SEL0
AC26	EBI_DQ6	ioshare_1	EBI_DQ6	SDIO1_CDATA6	-
AB26	EBI_DQ5	ioshare_2	EBI_DQ5	SDIO1_CDATA5	-
AB28	EBI_DQ4	ioshare_3	EBI_DQ4	SDIO1_CDATA4	-
AA25	EBI_DQ3	ioshare_4	EBI_DQ3	SDIO1_CDATA3	-
AA26	EBI_DQ2	ioshare_5	EBI_DQ2	SDIO1_CDATA2	-
Y26	EBI_DQ1	ioshare_6	EBI_DQ1	SDIO1_CDATA1	-
Y28	EBI_DQ0	ioshare_7	EBI_DQ0	SDIO1_CDATA0	-
V27	NF_WEN	ioshare_8	NF_WEN	SDIO1_CARD_DETECT	GPIO0_0



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
W26	NF_ALE	ioshare_9	NF_ALE	SDIO1_CARD_POWER_EN	GPIO0_1
V26	NF_CLE	ioshare_10	NF_CLE	SDIO1_CWPR	GPIO0_2
V28	NF_CSN0	ioshare_11	NF_CSN0	SDIO1_CCMD	-
W25	NF_REN	ioshare_12	NF_REN	SDIO1_CCLK_OUT	-
U26	NF_RDY0	ioshare_13	NF_RDY0	SDIO1_RST	-

MEM 的软件复用管脚如表 1-35 所示。

表1-35 MEM 的软件复用管脚描述

信号名	方向	说明
BOOT_SEL0	I	启动 mememory 类型选择，仅在上电的时候有效， {BOOT_SEL1,BOOT_SEL0}： 00：保留； 01：NAND Flash 10：SD 11：EMMC
EBI_DQ0	I/O	NAND Flash 数据总线
EBI_DQ1	I/O	NAND Flash 数据总线
EBI_DQ2	I/O	NAND Flash 数据总线
EBI_DQ3	I/O	NAND Flash 数据总线
EBI_DQ4	I/O	NAND Flash 数据总线
EBI_DQ5	I/O	NAND Flash 数据总线
EBI_DQ6	I/O	NAND Flash 数据总线
EBI_DQ7	I/O	NAND Flash 数据总线
GPIO0_0	I/O	通用输入输出
GPIO0_1	I/O	通用输入输出
GPIO0_2	I/O	通用输入输出
NF_ALE	O	NAND Flash 地址锁存信号
NF_CLE	O	NAND Flash 命令锁存信号



信号名	方向	说明
NF_CSN0	O	NAND Flash 片选信号，低电平有效
NF_RDY0	I	NAND Flash 忙/空闲指示。 1：空闲； 0：忙；
NF_REN	O	NAND Flash 读使能信号，低电平有效
NF_WEN	O	NAND Flash 写使能信号,低电平有效
SDIO1_CARD_DETECT	I	卡检查信号，低电平有效
SDIO1_CARD_POWER_EN	O	电源使能控制信号，高电平有效
SDIO1_CCLK_OUT	O	输出给卡使用的工作时钟
SDIO1_CCMD	I/O	卡命令，默认处于高电平
SDIO1_CDATA0	I/O	卡数据，默认处于高电平
SDIO1_CDATA1	I/O	卡数据，默认处于高电平
SDIO1_CDATA2	I/O	卡数据，默认处于高电平
SDIO1_CDATA3	I/O	卡数据，默认处于高电平
SDIO1_CDATA4	I/O	卡数据，默认处于高电平
SDIO1_CDATA5	I/O	卡数据，默认处于高电平
SDIO1_CDATA6	I/O	卡数据，默认处于高电平
SDIO1_CDATA7	I/O	卡数据，默认处于高电平
SDIO1_CWPR	I	卡写保护检测信号，高电平有效
SDIO1_RST	O	EMMC 复位信号

1.5.2 JTAG

JTAG 的软件复用管脚如表 1-36 所示。

表1-36 JTAG 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3	复用信号 4
N28	JTAG_TMS	ioshare_21	JTAG_TMS	TSIO_D7	GPIO0_4	PHY_MHL_CLK	-



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3	复用信号 4
N27	JTAG_TRSTN	ioshare_22	JTAG_TRSTN	TSI0_D6	TSI0_CLK	GPIO0_5	PHY_AS CLK
M26	JTAG_TCK	ioshare_23	JTAG_TCK	TSI0_D5	TSI0_VALID	GPIO0_6	PCLK_REF
L28	JTAG_TDI	ioshare_24	JTAG_TDI	TSI0_D4	TSI0_SYNC	GPIO0_7	-
L27	JTAG_TDO	ioshare_25	JTAG_TDO	TSI0_D3	TSI1_D7	GPIO2_0	-

JTAG 的软件复用管脚如表 1-37 所示。

表1-37 JTAG 的软件复用管脚描述

信号名	方向	说明
GPIO0_4	I/O	通用输入输出
GPIO0_5	I/O	通用输入输出
GPIO0_6	I/O	通用输入输出
GPIO0_7	I/O	通用输入输出
GPIO2_0	I/O	通用输入输出
JTAG_TCK	I	JTAG 时钟输入
JTAG_TDI	I	JTAG 数据输入
JTAG_TDO	O	JTAG 数据输出
JTAG_TMS	I/O	JTAG 模式选择输入,或软件跟踪的数据输出。两种模式选择在 CPU 中进行控制
JTAG_TRSTN	I	JTAG 复位输入
PCLK_REF	O	HDMI TX 输出测试信号
PHY_ASCLK	O	HDMI TX 输出测试信号
PHY_MHL_CLK	O	HDMI TX 输出测试信号
TSI0_D3	I	TSI0 并行输入的数据, 串行模式下无效
TSI0_D4	I	TSI0 并行输入的数据, 串行模式下无效
TSI0_D5	I	TSI0 并行输入的数据, 串行模式下无效
TSI0_D6	I	TSI0 并行输入的数据, 或 2bit 串行数据输入
TSI0_D7	I	TSI0 并行输入的数据, 或 1bit 串行数据输入, 或 2bit



信号名	方向	说明
		串行数据输入
TSI1_D7	I	TSI1 1bit 串行数据输入

1.5.3 TS

TS 的软件复用管脚如表 1-38 所示。

表1-38 TS 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
K28	TSI0_D2	ioshare_26	GPIO1_0	TSI0_D2	TSI1_CLK
J27	TSI0_D1	ioshare_27	GPIO1_1	TSI0_D1	TSI1_VALID
H26	TSI0_D0	ioshare_28	GPIO1_2	TSI0_D0	TSI1_SYNC
G28	TSI0_CLK	ioshare_29	GPIO1_3	TSI0_CLK	-
G27	TSI0_VALID	ioshare_30	GPIO1_4	TSI0_VALID	-

TS 的软件复用管脚如表 1-39 所示。

表1-39 TS 的软件复用管脚描述

信号名	方向	说明
DEM_RST	O	DEMOD 复位信号
GPIO1_0	I/O	通用输入输出
GPIO1_1	I/O	通用输入输出
GPIO1_2	I/O	通用输入输出
GPIO1_3	I/O	通用输入输出
GPIO1_4	I/O	通用输入输出
TSI0_CLK	I	TSI0 的时钟输入，串行模式下的输入最高为 190MHz，并行模式下的输入最高为 50MHz
TSI0_D0	I	TSI0 并行输入的数据，或 1bit 串行数据输入，或 2bit 串行数据输入
TSI0_D1	I	TSI0 并行输入的数据，或 2bit 串行数据输入



信号名	方向	说明
TSI0_D2	I	TSI0 并行输入的数据，串行模式下无效
TSI0_SYNC	I	TSI0 输入的数据同步指示信号
TSI0_VALID	I	TSI0 输入的数据有效信号，高电平有效
TSI1_CLK	I	TSI1 的时钟输入，串行模式下的输入最高为 190MHz
TSI1_D7	I	TSI1 1bit 串行数据输入
TSI1_SYNC	I	TSI1 输入的数据同步指示信号
TSI1_VALID	I	TSI1 输入的数据有效信号，高电平有效

1.5.4 I2C

I2C 的软件复用管脚如表 1-40 所示。

表1-40 I2C 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
E27	I2C2_SCL	ioshare_31	PMC_PWM0	I2C2_SCL	GPIO2_6
E28	I2C2_SDA	ioshare_32	PMC_PWM1	GPIO2_7	I2C2_SDA
D26	I2C0_SCL	ioshare_37	GPIO1_6	I2C0_SCL	-
C27	I2C0_SDA	ioshare_38	GPIO1_7	I2C0_SDA	-

I2C 的软件复用管脚如表 1-41 所示。

表1-41 I2C 的软件复用管脚描述

信号名	方向	说明
GPIO1_6	I/O	通用输入输出
GPIO1_7	I/O	通用输入输出
GPIO2_6	I/O	通用输入输出
GPIO2_7	I/O	通用输入输出
I2C0_SCL	I/O	I2C0 总线时钟，OD 输出
I2C0_SDA	I/O	I2C0 总线数据，OD 输出
I2C2_SCL	I/O	I2C2 总线时钟，OD 输出



信号名	方向	说明
I2C2_SDA	I/O	I2C2 总线数据，OD 输出
PMC_PWM0	O	PMC_PWM0 输出
PMC_PWM1	O	PMC_PWM1 输出

1.5.5 AUDIO

AUDIO 的软件复用管脚如表 1-42 所示。

表1-42 AUDIO 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3
B22	SPDIF_OUT	ioshare_43	RSA_END	SPDIF_OUT	GPIO4_2	BOOT_SEL1
A22	MUTE_CTRL	ioshare_44	GPIO4_3	MUTE_CTRL	-	-
D12	I2S0_BCLK	ioshare_85	GPIO6_3	I2S0_BCLK	-	-
B10	I2S0_WS	ioshare_86	GPIO6_4	I2S0_WS	-	-
A10	I2S0_DOUT0	ioshare_87	GPIO6_5	I2S0_DOUT0	-	-
C11	I2S0_MCLK	ioshare_88	GPIO6_6	I2S0_MCLK	-	-
D11	I2S0_DIN0	ioshare_89	GPIO6_7	I2S0_DIN0	-	-

AUDIO 的软件复用管脚如表 1-43 所示。

表1-43 AUDIO 的软件复用管脚描述

信号名	方向	说明
BOOT_SEL1	I	启动 memory 类型选择，仅在上电的时候有效， {BOOT_SEL1,BOOT_SEL0}： 00：保留； 01：Nandflash 10：SD 11：EMMC
GPIO4_2	I/O	通用输入输出



信号名	方向	说明
GPIO4_3	I/O	通用输入输出
GPIO6_3	I/O	通用输入输出
GPIO6_4	I/O	通用输入输出
GPIO6_5	I/O	通用输入输出
GPIO6_6	I/O	通用输入输出
GPIO6_7	I/O	通用输入输出
I2S0_BCLK	I/O	I2S 或 PCM 接口位流时钟
I2S0_DIN0	I	I2S 或 PCM 接口数据输入。
I2S0_DOUT0	O	I2S 或 PCM 接口数据输出。
I2S0_MCLK	O	I2S 或 PCM 接口主时钟，可以作为音频 CODEC 的工作时钟(低端 DAC)
I2S0_WS	I/O	I2S 接收端左右声道选择信号（与 ADC 接口）
MUTE_CTRL	O	MUTE 控制信号
RSA_END	O	CA 的调试输出接口-RSA 签名校验是否结束： 0：正在校验； 1：校验结束；
SPDIF_OUT	O	SPDIF 数据输出

1.5.6 HDMITX

HDMITX 的软件复用管脚如表 1-44 所示。

表1-44 HDMITX 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
C21	HDMITX_SDA	ioshare_45	-	HDMITX_SDA	GPIO4_4
B20	HDMITX_SCL	ioshare_46	-	HDMITX_SCL	GPIO4_5
D21	HDMITX_HOTPLUG	ioshare_47	-	HDMITX_HOTPLUG	GPIO4_6
A20	HDMITX_CEC	ioshare_48	-	HDMITX_CEC	GPIO4_7

HDMITX 的软件复用管脚如表 1-45 所示。



表1-45 HDMITX 的软件复用管脚描述

信号名	方向	说明
GPIO4_4	I/O	通用输入输出
GPIO4_5	I/O	通用输入输出
GPIO4_6	I/O	通用输入输出
GPIO4_7	I/O	通用输入输出
HDMITX_CEC	I/O	HDMI TX 接口的控制通道信号
HDMITX_HOTPLUG	I	HDMI TX 接口的热插拔信号
HDMITX_SCL	I/O	HDMI TX 接口的 I2C 总线时钟
HDMITX_SDA	I/O	HDMI TX 接口的 I2C 总线数据

1.5.7 NET

NET 的软件复用管脚如表 1-46 所示。

表1-46 NET 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
B1	FE_LED_ACT	ioshare_54	-	FE_LED_ACT	GPIO2_1
C2	FE_LED_BASE	ioshare_55	GPIO2_2	FE_LED_BASE	-

NET 的软件复用管脚如表 1-47 所示。

表1-47 NET 的软件复用管脚描述

信号名	方向	说明
FE_LED_ACT	O	网口链接状态指示信号： 1：链接已经建立；0：没有链接建立。 此信号控制的 LED 闪烁，传输的数据包密集时 LED 闪烁迅速，传输数据包稀疏时 LED 闪烁缓慢。 OD/CMOS 类型可选，默认为 OD 输出；
FE_LED_BASE	O	网口链接状态指示信号： 1：链接已经建立；0：没有链接建立。 OD/CMOS 类型可选，默认为 OD 输出；
GPIO2_1	I/O	通用输入输出



信号名	方向	说明
GPIO2_2	I/O	通用输入输出

1.5.8 SDIO

SDIO 的软件复用管脚如表 1-48 所示。

表1-48 SDIO 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
C1	SDIO0_CWPR	ioshare_56	GPIO2_3	SDIO0_CWPR
D3	SDIO0_CDATA1	ioshare_57	GPIO3_0	SDIO0_CDATA1
E3	SDIO0_CDATA0	ioshare_58	GPIO3_1	SDIO0_CDATA0
E1	SDIO0_CCLK_OUT	ioshare_59	GPIO3_2	SDIO0_CCLK_OUT
F2	SDIO0_CCMD	ioshare_60	GPIO3_3	SDIO0_CCMD
G3	SDIO0_CDATA3	ioshare_61	GPIO3_4	SDIO0_CDATA3
H3	SDIO0_CDATA2	ioshare_62	GPIO3_5	SDIO0_CDATA2
J2	SDIO0_CARD_DETECT	ioshare_63	GPIO3_6	SDIO0_CARD_DETECT
J1	SDIO0_CARD_POWER_EN	ioshare_64	GPIO3_7	SDIO0_CARD_POWER_EN

SDIO 的软件复用管脚如表 1-49 所示。

表1-49 SDIO 的软件复用管脚描述

信号名	方向	说明
GPIO2_3	I/O	通用输入输出
GPIO3_0	I/O	通用输入输出
GPIO3_1	I/O	通用输入输出
GPIO3_2	I/O	通用输入输出
GPIO3_3	I/O	通用输入输出
GPIO3_4	I/O	通用输入输出



信号名	方向	说明
GPIO3_5	I/O	通用输入输出
GPIO3_6	I/O	通用输入输出
GPIO3_7	I/O	通用输入输出
SDIO0_CARD_DETECT	I	卡检查信号，低电平有效
SDIO0_CARD_POWER_EN	O	电源使能控制信号，高电平有效，默认处于低电平
SDIO0_CCLK_OUT	O	输出给卡使用的工作时钟
SDIO0_CCMD	I/O	卡命令，默认处于高电平
SDIO0_CDATA0	I/O	卡数据，默认处于高电平
SDIO0_CDATA1	I/O	卡数据，默认处于高电平
SDIO0_CDATA2	I/O	卡数据，默认处于高电平
SDIO0_CDATA3	I/O	卡数据，默认处于高电平
SDIO0_CWPR	I	卡写保护检测信号，高电平有效

1.5.9 SYS

SYS 的软件复用管脚如表 1-50 所示。

表1-50 SYS 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
A27	USB_BOOT	ioshare_78	USB_BOOT	GPIO2_5
C12	SLIC_RST	ioshare_84	GPIO6_2	SLIC_RST
C28	DEM_RST	ioshare_36	GPIO1_5	DEM_RST

SYS 的软件复用管脚如表 1-51 所示。

表1-51 SYS 的软件复用管脚描述

信号名	方向	说明
GPIO2_5	I/O	通用输入输出
GPIO6_2	I/O	通用输入输出



信号名	方向	说明
SLIC_RST	O	SLIC 芯片复位信号
USB_BOOT	I	BOOT 时，指示 USB 自举是否使能： 0：使能； 1：不使能；
DEM_RST	O	DEMOM 复位信号
GPIO1_5	I/O	通用输入输出

1.5.10 SPI

SPI 的软件复用管脚如表 1-52 所示。

表1-52 SPI 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3
A13	SPI_SCLK	ioshare_79	GPIO0_3	SPI_SCLK	UART2_CTSN	-
C13	SPI_SDO	ioshare_80	GPIO4_0	SPI_SDO	UART2_RXD	-
D13	SPI_SDI	ioshare_81	GPIO4_1	SPI_SDI	UART2_TXD	I2C1_SCL
B13	SPI_CSN0	ioshare_82	GPIO6_0	SPI_CSN0	UART2_RTSN	I2C1_SDA
A14	SPI_CSN1	ioshare_83	GPIO6_1	SPI_CSN1	-	-

SPI 的软件复用管脚如表 1-53 所示。

表1-53 SPI 的软件复用管脚描述

信号名	方向	说明
GPIO0_3	I/O	通用输入输出
GPIO4_0	I/O	通用输入输出
GPIO4_1	I/O	通用输入输出
GPIO6_0	I/O	通用输入输出
GPIO6_1	I/O	通用输入输出
I2C1_SCL	I/O	I2C1 总线时钟，OD 输出



信号名	方向	说明
I2C1_SDA	I/O	I2C1 总线数据，OD 输出
SPI_CSN0	O	SPI 的片选 0 输出
SPI_CSN1	O	SPI 的片选 1 输出
SPI_SCLK	O	SPI 时钟信号
SPI_SDI	I	SPI 数据输入
SPI_SDO	O	SPI 数据输出
UART2_CTSN	I	Modem 状态输入：Clear To Send.低有效。
UART2_RTSN	O	Modem 状态输出：request to send，低有效。复位值为 0
UART2_RXD	I	UART2 数据接收
UART2_TXD	O	UART2 数据发送



2 电性能参数

2.1 功耗分布

Hi3796M V100 的功耗分布如表 2-1 所示。

表2-1 功耗参数

符号	描述	最小值	典型值	最大值	单位
VDD	内核电源	TBD	TBD	TBD	mA
VDD_CPU	CPU 电源	TBD	TBD	TBD	mA
DVDD33	接口电源	TBD	TBD	TBD	mA
VDDIO_DDR	DDR 接口电源	TBD	TBD	TBD	mA

2.2 极限工作电压



警告

极限工作电压参数如表 2-2 所示，超过这些数值，可能导致芯片损坏，可能导致可靠性问题。

表2-2 极限工作电压参数

符号	参数	最小值	最大值	单位
VDD	内核电源	-0.5	1.8	V
VDD_CPU	CPU 电源	-0.5	1.8	V



符号	参数	最小值	最大值	单位
DVDD33	接口电源	-0.5	4.6	V
DVDD33_STANDBY	接口电源	-0.5	4.6	V
NF_DVDD3318	接口电源	-0.5	4.6	V
VDDIO_DDR	接口电源	-0.5	4.6	V
VDDIO_CK_DDR	接口电源	-0.5	4.6	V

2.3 推荐工作条件

Hi3796MV100 的推荐工作条件如表 2-3 所示。

表2-3 推荐工作条件

符号	描述	最小值	典型值	最大值	单位
VDD	内部核电源	TBD	TBD	TBD	V
VDD_CPU	CPU 内核电源	TBD	TBD	TBD	V
DVDD33	接口电源	3.125	3.3	3.6	V
DVDD33_STANDBY	常供电区接口电源	3.125	3.3	3.6	V
NF_DVDD3318	NAND Flash 接口电源	3.125/1.71	3.3/1.8	3.6/1.98	V
VDDIO_DDR	DDR3 接口电源	1.425	1.5	1.575	V
VDDIO_CK_DDR	DDR3 时钟接口电源	1.425	1.5	1.575	V
AVDD_DDRPLL1 AVDD_DDRPLL2	DDR3 PLL 3.3V 模拟电源	3.125	3.3	3.6	V
AVDD11_PLL	PLL 1.1V 模拟电源	1.045	1.1	1.155	V
AVDD33_PLL	PLL 3.3V 模拟电源	3.125	3.3	3.465	V
AVDD33_USB2	USB2.0 3.3V 模拟电源	3.125	3.3	3.6	V
AVDD33_VDAC	VDAC 3.3V 模拟电源	3.125	3.3	3.465	V
AVDD33_ADAC	ADAC 3.3V 模拟电源	3.125	3.3	3.465	V
AVCC11_HDMITX	HDMI TX 1.1V 模拟电源	1.045	1.1	1.155	V
AVDD33_USB0	USB2.0 3.3V 模拟电源	3.125	3.3	3.6	V



符号	描述	最小值	典型值	最大值	单位
AVDD33_USB1	USB2.0 3.3V 模拟电源	3.125	3.3	3.6	V
AVDD33_FE	FE PHY 3.3V 模拟电源	3.125	3.3	3.465	V
AVDD11_FE	FE PHY 1.1V 模拟电源	1.045	1.1	1.155	V

2.4 DC/AC 电气参数

Hi3796MV100 DC 电气参数如表 2-4 所示。

表2-4 DC 电气参数表 (DVDD33=3.3V, 部分接口支持 5V 输入兼容)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD33	接口电压	3.125	3.3	3.6	V	-
V _{IH}	高电平输入电压	2.0	-	DVDD33+0.3	V	不兼容 5V 输入, 部分接口支持 5V 输入, 最大输入要求不高于 5.5V
V _{IL}	低电平输入电压	-0.3	-	0.8	V	-
I _L	输入漏电流	-	-	±10	μA	-
I _{OZ}	三态输出漏电流	-	-	±10	μA	-
V _{OH}	高电平输出电压	2.4	-	-	V	-
V _{OL}	低电平输出电压	-	-	0.4	V	-
R _{PU}	内部上拉电阻	27	40	64	kΩ	-
R _{PD}	内部下拉电阻	31	46	78	kΩ	-
R _{PU8k}	上拉电阻	7.1	8.5	10	kΩ	-
R _{PD8k}	下拉电阻	7.1	8.4	10	kΩ	-

表2-5 DC 电气参数表 (NF_DVDD3318=1.8V)

符号	参数	最小值	典型值	最大值	单位	说明
NF_DVDD3318	接口电压	1.71	1.8	1.98	V	1.8v NAND Flash 接口



2 电性能参数

符号	参数	最小值	典型值	最大值	单位	说明
V_{IH}	高电平输入电压	$0.65 * NF_DVDD3318$	-	$NF_DVDD3318 + 0.3$	V	
V_{IL}	低电平输入电压	-0.3	-	$0.35 * NF_DVDD3318$	V	-
I_L	输入漏电流	-	-	± 10	μA	-
I_{OZ}	三态输出漏电流	-	-	± 10	μA	-
V_{OH}	高电平输出电压	$NF_DVDD3318 - 0.45V$	-	-	V	-
V_{OL}	低电平输出电压	-	-	0.45	V	-
R_{PU}	内部上拉电阻	53	89	163	$k\Omega$	-
R_{PD}	内部下拉电阻	54	96	189	$k\Omega$	-
R_{PU8k}	上拉电阻	7.4	9	11	$k\Omega$	-
R_{PD8k}	下拉电阻	7.1	8.9	11	$k\Omega$	-

DDR3 模式下，DC 电气参数如表 2-6 所示。

表2-6 DC 电气参数表（VDDIO_DDR=1.5V，DDR3 模式）

符号	参数	最小值	典型值	最大值	单位
VDDIO_DDR	接口电压	1.425	1.5	1.575	V
Vref	参考电压	$0.49 * VDDIO_DDR$	$0.5 * VDDIO_DDR$	$0.51 * VDDIO_DDR$	-
VTT	端接电压	$Vref - 40mV$	Vref	$Vref + 40mV$	mV
$V_{IH(DC)}$	高电平输入电压	$Vref + 0.1$	-	$VDDIO_DDR + 0.3$	V
$V_{IL(DC)}$	低电平输入电压	-0.3	-	$Vref - 0.1$	V
V_{OH}	高电平输出电压	$0.8 * VDDIO_DDR$	-	$(1 + 0.1) * VDDIO_DDR$	V
V_{OL}	低电平输出电压	0	-	$0.2 * VDDIO_DDR$	V
R_{ON}	输出阻抗	34	-	80	Ω



DDR3 模式下，AC 电气参数如表 2-7 所示。

表2-7 AC 电气参数表（VDDIO_DDR=1.5V，DDR3 模式）

符号	参数	最小值	最大值	单位
$V_{IH(AC)}$	高电平输入电压	$V_{ref} + 0.15$	$VDDIO_DDR + 0.3$	V
$V_{IL(AC)}$	低电平输入电压	-	$V_{ref} - 0.15$	V
V_{OH}	高电平输出电压	$V_{TT} + 0.1 * VDDIO_DDR$	-	V
V_{OL}	低电平输出电压	-	$V_{TT} - 0.1 * VDDIO_DDR$	V

2.5 上下电要求

Hi3796M V100 的上下电顺序如下：

- 先上 3v3_standby，然后上 1V5 和 1V1，之后上 3V3_MOS，必须在 60ms 内完成上电。
- 低电压先下电，3.3V 后下电。



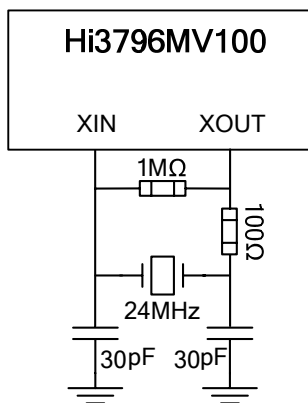
3 原理图设计建议

3.1 小系统设计建议

3.1.1 Clocking 电路

通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟，晶振选型频偏 $\leq 30\text{ppm}$ 。推荐晶体连接方式及器件参数如图 3-1 所示。

图3-1 推荐晶体连接方式及器件参数



注意

晶体自身负载电容需与外部对地电容以及 PCB 走线负载电容匹配。

另外，系统时钟还可以直接由外部的晶振时钟电路产生时钟，通过 XIN 脚输入。

3.1.2 复位和 Watchdog 电路

Hi3796MV100 集成内部 POR（Power On Reset）电路，Watchdog 信号在芯片内部与 POR 电路相连，无需外部复位电路。



3.1.3 JTAG Debug 接口

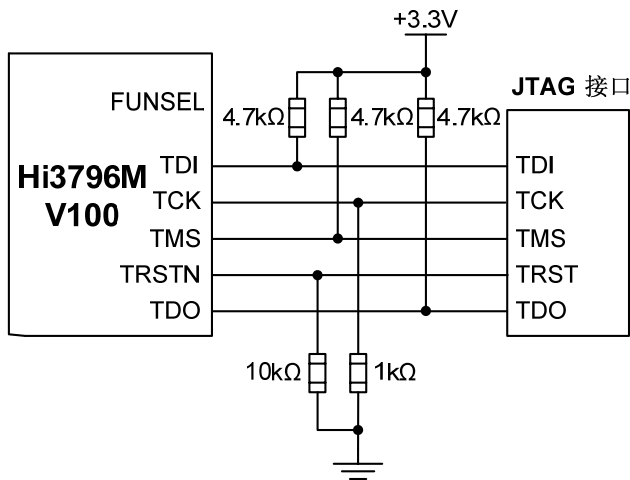
Hi3796MV100 JTAG 接口符合 IEEE1149.1 标准。PC 可通过此接口连接 Realview-ICE 仿真器，调试芯片。JTAG Debug 接口信号描述如表 3-1 所示。

表3-1 JTAG Debug 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，芯片内部下拉。建议单板上拉。
TDI	JTAG 数据输入，芯片内部上拉。建议单板上拉。
TMS	JTAG 模式选择输入，芯片内部上拉。建议单板上拉。
TRSTN	JTAG 复位输入，芯片内部下拉。正常工作建议单板上拉。如果通过 JTAG 口连接 Realview-ICE 等调试仿真器，建议单板下拉。
TDO	JTAG 数据输出。建议单板上拉。

JTAG 连接方式及标准连接器管脚定义及单板上拉电阻、下拉电阻的阻值如图 3-2 所示。

图3-2 JTAG 连接方式及标准连接器管脚定义



Hi3796MV100 可以通过 FUNC_SEL 管脚选择正常和测试两种工作模式，默认内部下拉，具体说明如表 3-2 所示。

表3-2 FUNC_SEL 模式说明

FUNC_SEL	模式说明
0	Hi3796MV100 正常工作模式，此时可通过 JTAG 对芯片进行调试，默认工作模式。



FUNC_SEL	模式说明
1	Hi3796MV100 处于测试模式，此时可进行芯片 DFT 测试和板级互连测试。

3.1.4 硬件初始化系统配置电路

Hi3796MV100 内部集成四核 Cortex-A7 CPU，支持从 NAND Flash、SD 卡、eMMC 三种启动模式，支持多种 NAND Flash 规格。根据需要选用硬件启动配置。单板通过上、下拉电阻实现。

硬件配置信号描述如下表 3-3 所示。

表3-3 信号描述

信号名	方向	说明
JTAG_SEL	I	JTAG 管脚复用选择控制信号。 0: JTAG 管脚复用关系由管脚复用寄存器决定； 1: JTAG 管脚复用为 JTAG 功能，复用寄存器不起作用。
BOOTSEL1/BOOTSEL0	I	启动 memory 类型选择，仅在上电的时候有效，{BOOT_SEL1,BOOT_SEL0}： 00: 保留； 01: NANDFlash 10: SD 11: EMMC

3.1.5 DDR 电路设计

3.1.5.1 接口介绍

Hi3796MV100 DDRC 接口支持支持 DDR3 SDRAM 标准接口，接口电平标准为 SSTL-15。有如下特点：

- 提供 1 个 DDRC 接口；提供 1 个 DDR SDRAM 片选、1 个 ODT、2 组 CK，支持数据总线位宽 32bit/16bit 可配、地址总线最大支持 16bit。
- 支持 2 片主流 16bit DDR3 SDRAM 器件，最大容量 4Gb×2=8Gb=1GB；4 片主流 8bit DDR3 器件最大容量 4Gb×4=16Gb=2GB；DDR 时钟频率：800MHz。
- DDR3 SDRAM 器件的 A/C 和 DDRC 的 CK 支持 write leveling 功能，A/C 支持 2T Mode。
- 支持 Power Down、SELF Refresh 等低功耗模式。



- 支持 DDR3L，即在 DDR3L 时，支持 1.35V。

3.1.5.2 DDR 拓扑结构

Hi3796MV100 典型外接 DDR3 SDRAM 拓扑结构如图 3-3、图 3-4 所示。

图3-3 Hi3796MV100 与 DDR3 SDRAM 的 T 型拓扑结构图

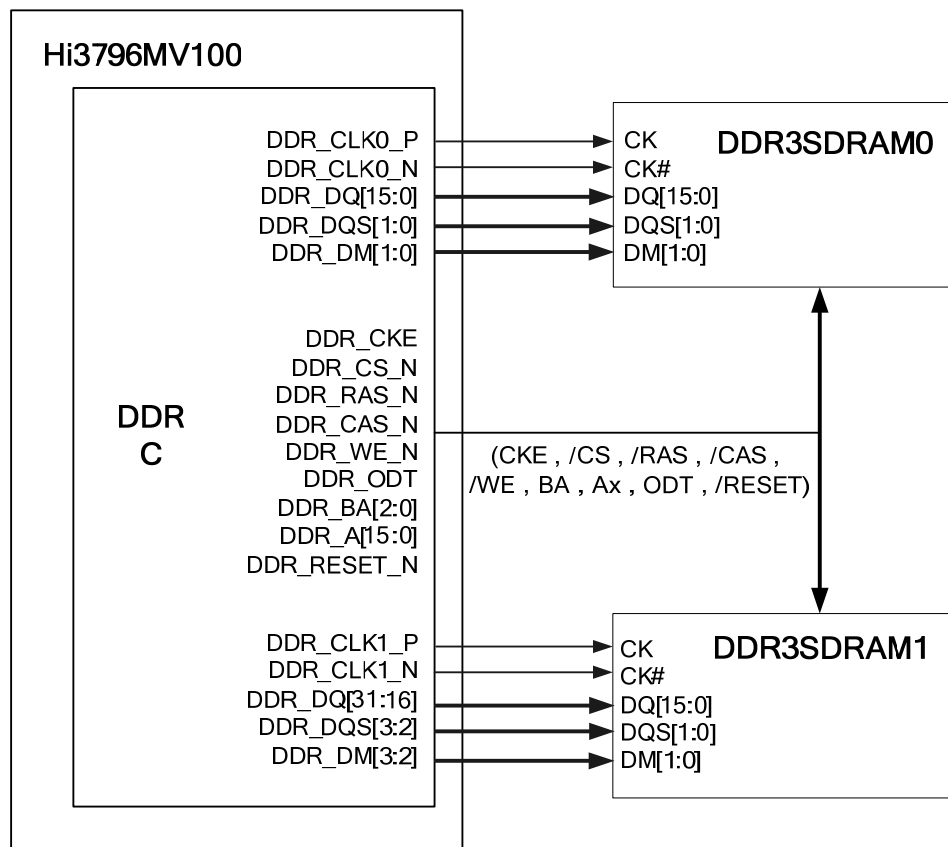
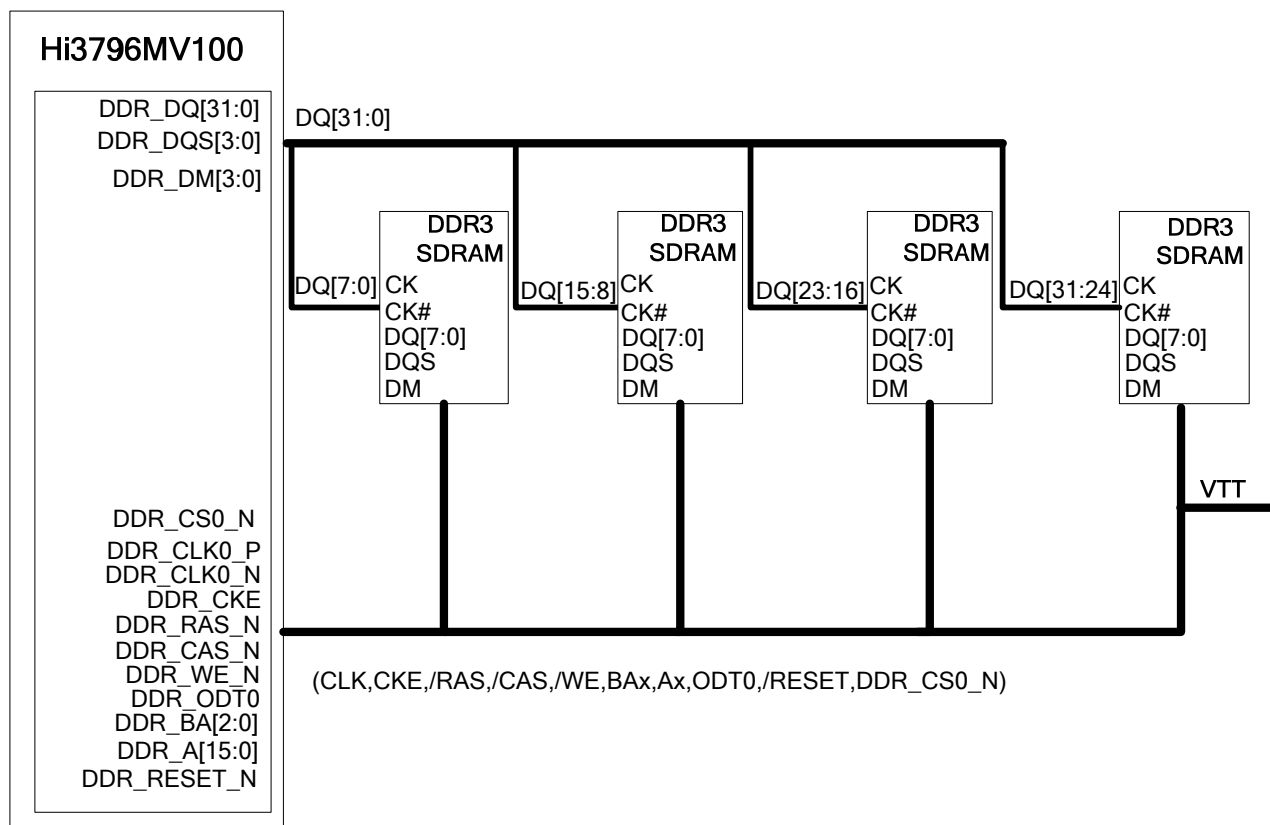




图3-4 Hi3796MV100 与 DDR3 SDRAM 的 fly-by 拓扑结构图



3.1.5.3 匹配方式设计建议

DDQ、DDQS、DDM 双向信号

Hi3796MV100 DDR 应用中 DDQ、DDQS_P/DDQS_N、DDM 信号采用点对点拓扑方式，如表 3-4 所示。

表3-4 DDQ、DDQS_P/DDQS_N、DDM 拓扑设计推荐

信号	PCB 设计
DDQx	直连
DDQSx_P/N	直连
DDM	直连

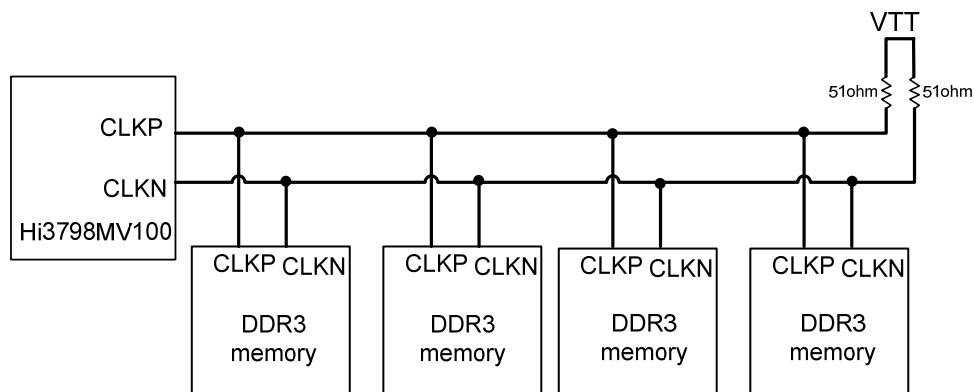
差分时钟

Hi3796MV100 DDR 应用中差分时钟 DDR_CLK_N、DDR_CLK_P 信号支持一驱二和一驱四两种应用：



PCB 设计采用一驱二或者一驱四 fly-by 结构。一驱二无需 VTT 电源，一驱四则需要 VTT 电源。以一驱四结构为例，一对时钟驱动四颗 8bit DDR 颗粒。终端用 51Ω 匹配电阻上拉到 VTT，如图 3-5 所示。

图3-5 DDR3 应用中，四负载，采用 Fly-by 结构，差分时钟 DDR_CLK_P/N 一驱四应用



地址信号、控制信号

PCB 设计：

- ADDR, ODT, CSN 信号一驱二 fly-by 拓扑，驱动两颗 16bit DDR 颗粒，终端无需 VTT。
- ADDR, ODT, CSN 信号一驱四 fly-by 拓扑，驱动四颗 8bit DDR 颗粒，终端上拉 51Ω 到 VTT。

3.1.5.4 器件选型建议

Hi3796MV100 DDRC 接口 DDR3 最高工作频率支持到 800MHz，器件请在海思《Hi3796MV100 兼容器件列表》中选择。

3.1.6 Flash 电路设计

3.1.6.1 接口介绍

- NAND 接口，外接单片 SLC、MLC NAND Flash，最大支持 32GB，支持 4bit、8bit、24bit、28bit、40bit、64bit ECC Mode，支持 randomization 和 read retry 功能。当使用 MLC 时，海思推荐增加 MLC NAND 断电保护电路，详细请参考海思参考设计；
- SDIO 接口，外接单片 SD 卡或 eMMC，支持 eMMC4.41 接口协议。

NAND FLASH、eMMC 和 SD 卡共用一套管脚，三者只能选其一。



3.1.6.2 信号处理

NAND Flash

NAND Flash 接口支持 8 位宽的 SLC 和 MLC 的 NAND Flash 器件，NAND Flash 接口上下拉和匹配设计推荐如图 3-5 所示。

表3-5 单片 NAND Flash 上下拉和匹配设计推荐

信号	内置上下拉	连接方式
DQ[0:7]	NA	直连
NF_RDY/NF_CSN	8kΩ 上拉	直连
NF_WEN/NF_REN	NA	直连
NF_CLE/NF_ALE	NA	直连

eMMC Flash

eMMC Flash 接口支持 eMMC4.41 接口协议的器件，接口上下拉和匹配设计推荐如表 3-6 所示。

表3-6 单片 eMMC Flash 上下拉和匹配设计推荐

信号	内置上下拉	连接方式
SDIO1_CLK	NA	3.3V I/O 串联 0Ω 电阻；1.8V I/O 串联 22Ω 电阻
SDIO1_CMD	NA	直连，上拉 47kΩ 到 eMMC_VDD
SDIO1_DQ[7:0]	NA	直连，上拉 47kΩ 到 eMMC_VDD
SDIO1_CWPR/CCM D_ODPULLUP_EN	NA	直连
SDIO1_PWREN_EN /CARD_DETECT	NA	直连

SD 卡

SD 卡接口上下拉和匹配设计推荐如表 3-6 所示。SD 卡接口支持 SDIO3.0 1.8V 模式，芯片内置 LDO，上拉电阻直接上拉到 LDO 输出，详细设计请参考海思参考设计。



表3-7 单片 SD 卡上下拉和匹配设计推荐

信号	内置上下拉	连接方式
SDIO1_CLK	NA	串联 22 欧姆电阻
SDIO1_CMD	NA	直连, 上拉 47k Ω 到 SD_VDD
SDIO1_DQ[3:0]	NA	直连, 上拉 47k Ω 到 SD_VDD
SDIO1_CWPR/CARD_DETECT	NA	上拉 47k Ω 到 SD_VDD
SDIO1_PWREN_EN	NA	直连

3.2 电源设计建议



说明

系统电源的设计, 详细请参见 Hi3796MV100 DEMO 板原理图。

3.2.1 CPU/CORE 电源设计

Hi3796MV100 采用 CPU、CORE 独立电源域供电 (管脚名: VDD_CPU、VDD), 支持 AVS/DVFS 动态调频调压功能。两路电源使用独立 DC-DC/PMU 电源供电。

VDD_CPU、VDD 两路电源的去耦电路请参考海思 Hi3796MV100 参考设计的原理图。

3.2.2 IO 电源设计

IO 电源 (管脚名 DVDD33): 连接数字 3.3V 电源。每 2~3 个 DVDD33 管脚处放置 1 个 100nF 去耦电容, 并紧靠供电管脚摆放。详细设计请参考海思 Hi3796MV100 参考设计。

3.2.3 DDR 电源设计

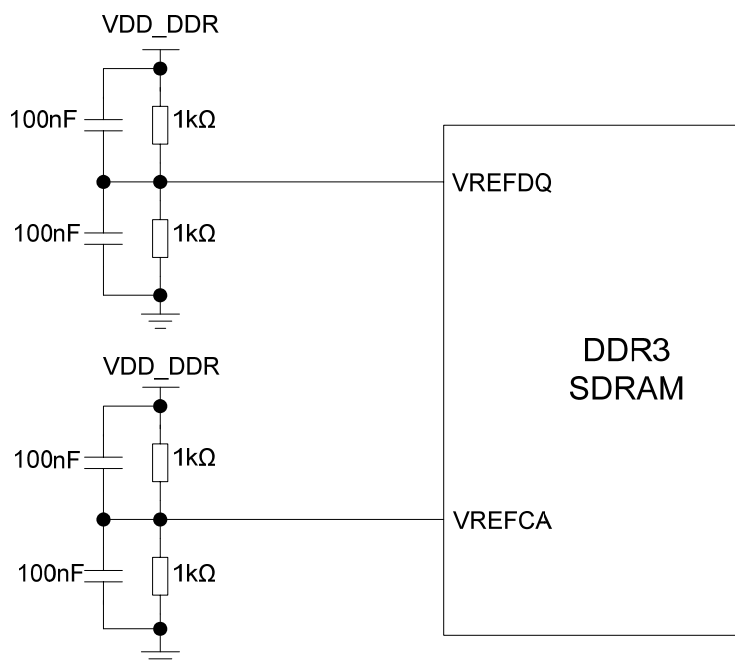
DDR 电源设计如下:

- Hi3796MV100 DDRC 及接口符合 DDR3 SSTL-15 电平标准, 内部集成 VREF 电路, 产生参考电压 VDDIO_DDR/2。
- Hi3796MV100 DDR PHY 内部时钟由独立的 PLL 产生, PLL 需要独立供电 (管脚名 AVDD_DDRPLL): 通过磁珠连接数字 3.3V 电源, 要求每个 DDR PLL 电源管脚放置一个 100nF 的陶瓷滤波电容, 并紧靠供电管脚摆放; 整个 DDR PLL 供电电源至少有一个 1 μ F 的对地滤波电容, 详细设计请参考海思 Hi3796MV100 参考设计。
- Hi3796MV100 DDR 电源 (管脚名 VDDIO_DDR/VDDIO_CK_DDR): 连接 DDR 数字电源。要求 Hi3796MV100 DDR PHY 与所有对接的 DDR 颗粒采用同一电源设计, 在每 1~2 个电源管脚处放置一个 100nF 的陶瓷滤波电容, 并紧靠供电管脚摆放; 整个 DDR3 SDRAM 功能单元每个 DDR 颗粒供电电源至少有一个 10 μ F 的对地滤波电容。详细设计请参考海思 Hi3796MV100 参考设计。

- 建议单板上采用单独的 DC-DC 电路为 DDR3 颗粒和 Hi3796MV100 DDR PHY 电源管脚供电。通过 1k Ω 电阻（精度 $\pm 1\%$ ）分压提供 VDDIO_DDR/2 电压给 DDR3 颗粒 VREF 管脚供电，每个电源管脚和参考电源管脚旁边放 1 个 100nF 的去耦电容。DDR 颗粒端 VREFDQ 和 VREFCA 采用独立的 VREF 电压参考电路。

DDR3 电源分压网络参考设计如图 3-6 所示。

图3-6 DDR3 电源分压网络参考设计图



3.2.4 PLL 电源设计

PLL 模拟电源 AVDD33_PLL/AVDD11_PLL，板级必须通过磁珠进行隔离，滤波电容应靠近管脚摆放。每种电源滤波电容需要一个 1 μ F 以及 100nF 电容并联。

3.2.5 Standby 电源设计

板级需要提供 3.3V 常供电源到 DVDD33_STANDBY 管脚，待机时不关断。

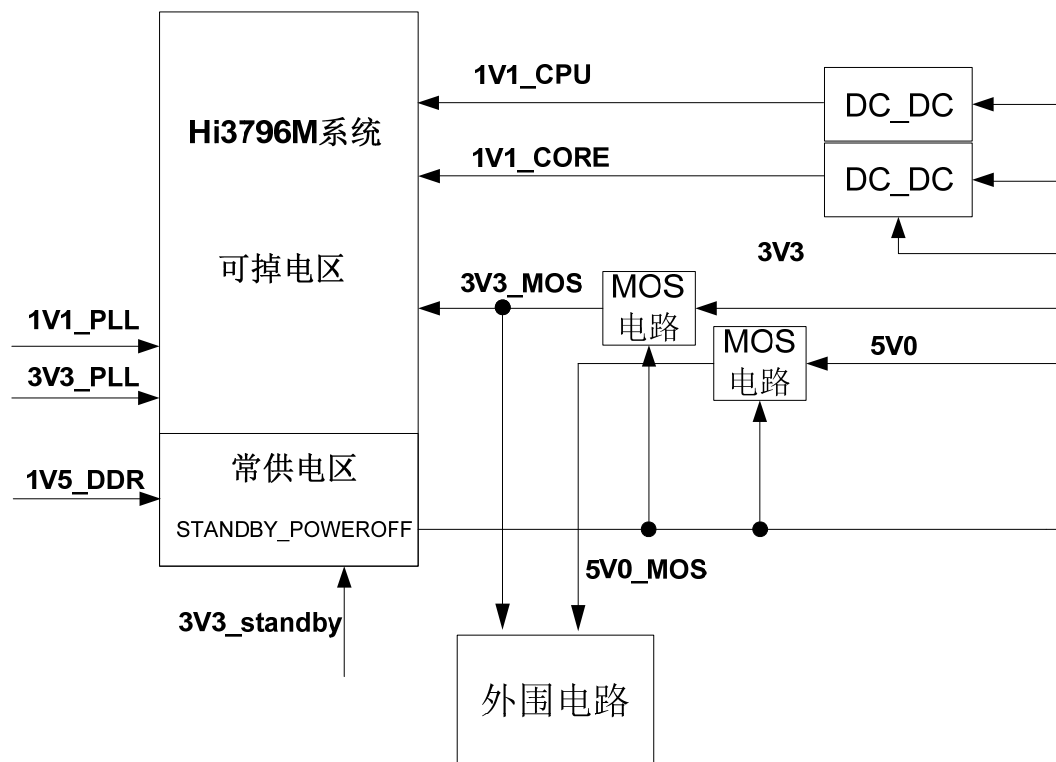
Hi3796MV100 内部集成 3.3V 转 1.1V LDO，用于待机时的内部的 1.1V 供电，要求在 DVDD11_STANDBY_DECAP 外接 2.2 μ F 电容到地，滤波电容应靠近管脚摆放。

3.2.6 待机电路方案设计

Hi3796MV100 板级系统采用真待机方案，系统分为常供电区和可掉电区，两部分独立供电，如图 3-7 所示，常供电区电源由电源芯片直接提供，可掉电区电源则通过 STANDBY_PWROFF 控制 MOS 开关电路，在待机状态切断供电。由于真待机方案 DDR 数据需要保存，DDR 电源不能断电，但在部分高安设计中，待机时要求 DDR 中数据清空，DDR 电源断电。海思参考设计是基于真待机方案设计，所有功耗数据基于真待机方案。



图3-7 Hi3796MV100 板级待机电路方案框图



3.2.7 注意事项

电源设计的其它注意事项如下：

各模块电源的要求请参考“[电性能参数](#)”章节，保证电源输出电压加上纹波噪声仍然满足芯片的需求。

3.3 外围接口设计建议

3.3.1 SDIO 接口设计

Hi3796MV100 提供了一个 SDIO 接口控制器，支持 SDIO3.0 协议：

- 采用单独的 3.3V 供电，与 3.3V IO 共电源域。
- 内部集成 LDO，SDIO_DVDD18_DECAP 管脚外接 2.2μF 滤波电容到地，提供 SDIO3.0 协议的 1.8V IO 电平。

SDIO 接口匹配设计如[表 3-8](#)。



表3-8 SDIO 接口匹配设计推荐

信号	匹配设计
SDIO0_CDATA[7:0]	直连，上拉 47k Ω 到 SDIO DVDD18 DECAP
SDIO0_CCMD	直连，上拉 47k Ω 到 SDIO DVDD18 DECAP
SDIO0_CCLK	3.3V IO：直连 1.8V IO：Hi3796MV100 端串连 22 Ω 电阻
SDIO0_CARD_POWER_EN	直连
SDIO0_CARD_DETECT	直连，上拉 10K 到 3V3_MOS
SDIO0_CWPR	直连

3.3.2 网口设计

Hi3796MV100 内部集成一个 FE PHY，设计建议如下：

- FE_TXN/P、FE_RXN/P 信号按差分走线，差分阻抗 100 Ω ±10%，平行、等长走线，板级走线<5inch。
- FE_REXT 外接±1%精度的 10 k Ω 电阻到地，走线尽量短。
- AVDD33_FE 和 AVSS_FE 为模拟 3.3V 电源管脚和地，AVDD33_FE 电源电压偏差应控制在±5%以内，使用磁珠隔离 FE 模拟 3.3V 电源和单板数字 3.3V 电源，推荐采用平面方式，以减小寄生效应、耦合噪声和供电阻抗，滤波电容就近放置，靠近 AVDD33_FE 和 AVSS_FE 管脚。AVSS_FE 在板级可与普通 VSS 短接。
- 内部集成 FE 1V1 LDO，AVDD11_FE 为 LDO 的滤波管脚，需要外接 2.2 μ F 电容到地。

为了满足 ESD、浪涌保护要求，建议在电路设计时在 FE PHY 电路上设计保护电路。为了避免保护器件对 FE PHY 走线信号造成影响，并能够达到良好的保护效果，建议 PCB 设计时采用如下原则：

- 保护器件建议放置在变压器内侧，在变压器和 PHY 之间，靠近变压器放置。
- 保护器件建议选用 TVS 管，击穿电压 8kV，响应时间小于 1ns。

3.3.3 USB 接口设计

USB 功能单元供电电源设计建议

Hi3796MV100 集成了 3 路 USB 2.0 Host 接口和 1 路 USB3.0 接口。USB 功能单元的供电电源和地管脚分为 AVDD33_USB01/2 和 AVSS_USB，分别对应 3.3V 电源和地。设计建议如下：

- AVDD33_USB 和 AVSS_USB 为模拟 3.3V 电源管脚和地，AVDD33_USB 电源应控制在±5%以内。建议使用磁珠隔离 USB 模拟 3.3V 电源和单板数字 3.3V 电源，推荐采用平面方式，以减小寄生效应、耦合噪声和供电阻抗，滤波电容就近放



置，靠近 AVDD33_USB 和 AVSS_USB 管脚。AVSS_USB 在板级可与普通 VSS 短接。

- USB2.0_REXT 管脚需要通过 $135\Omega \pm 1\%$ 电阻连接到 VSS；USB3.0_REXT 管脚需要通过 $200\Omega \pm 1\%$ 电阻连接到 VSS。
- USB 差分对的 PCB 走线控制差分阻抗 $90\Omega \pm 10\%$ ，Hi3796MV100 距离连接器应尽量控制在 5inch 以内。
- 单个 USB 对外供电的 VBUS 供电线路上并联的电容容量之和需要大于 $100\mu\text{F}$ 。

USB 保护电路设计建议

为了满足 ESD 保护等要求，在电路设计时需要考虑在 USB 电路上设计保护电路。为了避免保护器件对 USB 走线信号造成影响，并能够达到良好的保护效果，建议 PCB 设计时采用如下原则：

- 保护器件建议紧靠 USB 连接器端口放置。
- 保护器件建议选用低寄生电容的 TVS 管保护器件，击穿电压 8kV，响应时间小于 1ns。
- 建议保护器件的寄生电容小于 2pF。

3.3.4 音频 DAC 接口设计

- Audio DAC 的电源 AVDD33_ADAC 在板级需要磁珠来隔离数字电源噪声，放置 1uF 滤波电容，靠管脚放置。
- ADAC_VREFDAC 管脚外接 $2.2\mu\text{F}$ 电容，靠管脚放置。

3.3.5 视频 DAC 接口设计

视频 DAC 功能单元供电电源设计建议

视频 DAC 电源包括模拟电源地 AVDD11_VDAC/AVDD33_VDAC/AVSS_VDAC，在板级要求隔离：

- 模拟电源 AVDD33_VDAC 和 AVDD11_VDAC 建议分别通过磁珠与单板 CORE 电源和数字 3.3V 电源隔离，滤波参考平面为 AVSS_VDAC 模拟视频地，在靠近电源管脚和 AVSS 管脚附近放置滤波电容。
- 模拟视频地平面通过和数字地合并，采用同一个地平面。
- 模拟视频 1.1V 和 3.3V 电源电平偏差控制在 $\pm 5\%$ 以内。

视频 DAC 接口设计

Hi3796MV100 提供一组 1 路 Video DAC，作为 CVBS 信号输出。

- VDAC_REXT 外接 $12\text{k}\Omega (\pm 1\%)$ 电阻到 AVSS_VDAC。
- Video DAC 供电的 AVDD33_VDAC 要用磁珠隔离噪声，电平偏差控制在 $\pm 5\%$ 以内。



视频 DAC 接口保护电路设计建议

为了满足 ESD 保护等问题的要求，在电路设计时需要考虑在视频 DAC 输出端口上设计保护电路，建议 PCB 设计时采用如下原则：

- 保护器件建议紧靠视频输出端口连接器放置。
- 保护器件可以考虑使用 TVS 管或开关二极管等保护器件。

3.3.6 HDMI 接口设计

Hi3796MV100 提供了一个 HDMI TX 接口，支持 HDMI1.4 协议：

- HDMI_TX 模拟电源 AVCC11_HDMITX、AVDD33_HDMITX 在板级需要用磁珠来隔离数字电源噪声，连接到数字 1.1VCORE 电源和 3.3V I/O 电源上，滤波电容靠近管脚放置；AVSS 连接到数字 VSS 上，但要注意避开附近高频噪声。
- HDMI 四组差分信号上需要有 ESD 保护，ESD 器件靠近 HDMI 接口放置，推介电容最大不超过 1pF。
- HDMI 接口专用的 I2C 信号，支持 3.3V 和 5V IO 电平。
- HDMI 接口电路注意防倒灌设计，详细见 Hi3796MV100DEMO 板原理图。

3.3.7 TSI 接口设计

Hi3796MV100 支持 1 路并行 TSI 或者 2 路 1bit 串行 TSI 接口。接口复用推荐如表 3-9 所示，详细设计，请参考海思 DEMO 板。

表3-9 TSI 接口连接推荐

Pin Num	1 路 TSI 并行	2 路 TSI 串行
N28	TSI0_D7	TSI0_D0
N27	TSI0_D6	TSI0_CLK
M26	TSI0_D5	TSI0_VALID
L28	TSI0_D4	GPIO0_7(DEMOD0_RSTN)
L27	TSI0_D3	TSI1_D0
K28	TSI0_D2	TSI1_CLK
J27	TSI0_D1	TSI1_VALID
H26	TSI0_D0	TSI1_SYNC
G28	TSI0_CLK	GPIO1_3(DEMOD0_SDA)
G27	TSI0_VALID	GPIO1_4(DEMOD0_SCL)
C28	DEM_RST	DEM_RST(DEMOD1_RSTN)
D26	I2C0_SCL	I2C0_SCL(DEMOD1_SCL)



Pin Num	1 路 TSI 并行	2 路 TSI 串行
C27	I2C0_SDA	I2C0_SDA(DEMOD1_SDA)

3.3.8 SCI 接口设计

Hi3796MV100 集成了 1 路 SCI 接口，专门用于和 SIM 卡进行通讯，同时支持 3.3V 和 5V 的卡。

- CLK 信号支持 CMOS 和 OD 两种输出模式。
 - 采用 OD 输出时，CLK 要求上拉 560Ω。
 - 采用 CMOS 输出时，CLK 不需要上拉，但对接 5V 卡时需要外接电压转换芯片（如 TDA8024）。
- DATA 需要上拉 560Ω



4 PCB 设计建议

4.1 层叠和布局

4.1.1 层叠

Hi3796MV100 的封装为 PBGA-573，管脚间距 0.8mm，外形尺寸 23x23（mm）。在 PCB 设计时，采用四层 PCB 板的设计，建议如下分层：

- TOP 层：信号走线。
- 内一层：地平面层。
- 内二层：电源平面层。
- BOTTOM 层：信号走线。

PCB 设计注意事项：

- 元器件布局在 TOP 层，信号线走 TOP 层和 BOTTOM，滤波小电容可放在 BOTTOM 层。
- 电源管脚走粗线。
- 保持内一层为一个完整的地平面层。
- 主芯片出线推荐过孔大小为 8mil，线宽为 5mil。

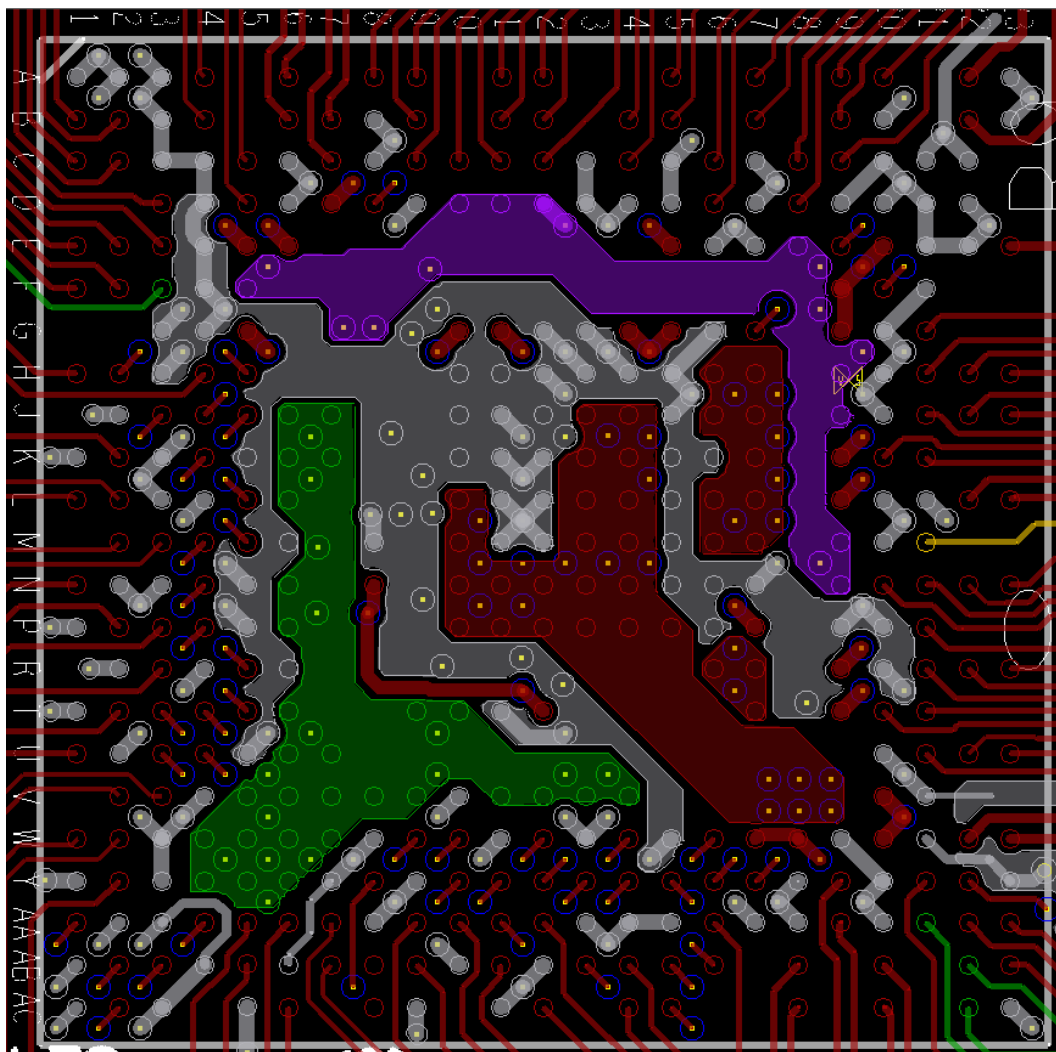
PCB 材料 FR-4，PCB 板厚度为 1.2 毫米，表层铜箔厚度为 1 盎司。

4.1.2 Fanout 封装设计建议

Hi3796MV100 PBGA-573 Fanout 如图 4-1 所示。



图4-1 PBGA-573 封装 Fanout



4.2 小系统 PCB 设计建议

4.2.1 小系统电源

Core/CPU 电源

Hi3796MV100 CORE/CPU 电源布局建议每路电源尽量靠近芯片的电源输入区域，避免走长路径，以铺电源平面实现，CORE/CPU 布线最窄处要求 3A 的通流能力，建议每 1-2 个 pin 要加一个去耦电容且靠近放置，不同容值的电容分散、均匀放置。尽量多加电源和地的过孔，增加 Top 层和电源、地层的耦合度。

AVS/DVFS 控制电路请完全参考海思 Hi3796MV100 参考设计，采用 DC-DC 时，VDD_CPU、VDD_CORE 的 DC-DC 调整电路中 RC 靠主芯片放置，且走线要包地处理。



详细设计请参考海思 Hi3796MV100 参考设计。

DDR 电源

DDR3 SDRAM 的 VREF 电源必须和其它电源隔离，可以通过较宽的走线（20mil 及以上）连接，保证 1~2 个电源管脚尽可能就近摆放去耦电容，并且最好在 PCB 上对 VREF 加包地屏蔽处理。DDR3 颗粒 VDD 和 VDDIO 电源管脚与 Hi3796MV100 DDR VDDIO_DDR 电源管脚连接到同一个电源网络，每 1~2 个电源管脚旁边尽可能就近摆放去耦电容，不同容值的电容分散、均匀放置。

VREF 参考电压设计建议如下：

- 根据 SSTL-15 协议要求，VREF 参考电压上的噪声不得超过 $\pm 1\%$ ，为了降低噪声，VREF 走线宽度尽量宽，建议将 VREF 在电源平面层通过铜皮布线，且不能作为信号线的参考平面。
- 每个 VREF pin 要加去耦电容且走线尽量宽，与其它信号线间隔 20mil~25mil。

DDR3 SDRAM 的 VTT 必须通过带状铜皮走线，尽量靠近 DDR 颗粒，不同容值的电容分散、均匀放置在带状铜皮上。

详细设计请参考海思 Hi3796MV100 参考设计。

4.2.2 时钟和复位电路

时钟

Hi3796MV100 的 PLL 功能单元的供电电源和地分为 AVDD33_PLL、AVDD11_PLL、AVSS_PLL。建议 PCB 设计时采用如下原则：

- AVDD33_PLL 为 3.3V 的 PLL 电源，建议与单板数字 3.3V 电源用磁珠隔开，3.3V 电源电平偏差控制在 $\pm 5\%$ 以内。
- AVDD11_PLL 为 1.1V 的 PLL 电源，建议通过磁珠与数字 1.1V 电源隔离，1.1V 电源电平偏差控制在 $\pm 5\%$ 以内。
- VSS_PLL 为 PLL 电路的参考地，AVDD33_PLL 和 AVDD11_PLL 电源的去耦电容要求以 VSS_PLL 为参考地平面，滤波电容靠近管脚放置。
- 系统时钟的晶振电路走线长度须控制在 1000mil 以内，须做包地处理。

复位

Hi3796MV100 内置 POR（Power On Reset），板级不需要复位电路。

4.2.3 DDR 信号设计

Hi3796MV100 DDR 支持最高频率 800MHz/1600Mbps，DDR 布局布线均通过严格的 SI/PI 仿真，并提供在不同应用场景下的 DDR 布局布线参考，要求客户必须完全拷贝海思 Hi3796MV100 参考设计 DDR 的布局布线。

DDR 布局布线主要参考以下设计原则：

- 所有 DDR3 SDRAM 信号走线必须分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，必须保证 DDR 信号走线都有完整的参考平面。



- 信号走线及换层过孔附近放置与地连通的过孔和电容，减小不同参考层的耦合度，保持良好的信号回流路径。
- 信号线尽量短，走线路径上尽量少打过孔，保证走线阻抗的连续性。
- 使用排组时，同一排组上的信号须属于同一 DDR 信号线组，尤其避免 DQS 与地址/控制线分布在同一个排阻上。
- 相邻信号走线间距保持在 2~3 倍线宽，即满足“3W”原则。
- 避免时钟信号紧邻数据、地址总线。
- 避免地址信号紧邻数据信号。
- DDR3 SDRAM 信号与非 DDR3 SDRAM 信号走线间隔至少 20mil 且需要包地处理。
- 每个 VREF pin 要加去耦电容且走线尽量宽，与其他信号线间隔 20mil~25mil；

4.2.4 Flash 设计

NAND Flash

信号线设计建议：

为减小信号反射，建议所有的信号线不要穿越电源和地分割区域，保持完整的电源地参考平面，4 层 PCB 板传输线阻抗控制在 $50\Omega \pm 10\%$ 。建议 PCB 设计采用以下原则：

- 建议所有信号走线分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面。
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径。
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性。
- 相邻信号走线间距保持在 2~3 倍线宽。
- 各数据信号线尽量保持等长。

信号的 PCB 走线约束，如表 4-1 所示。

表4-1 单片 NAND Flash PCB 走线约束推荐

信号	PCB 设计
NF_RDY/NF_CSN/NF_CLE/NF_ALE/DQ[0:7]	50 Ω 阻抗，走线长度<4inch
NF_WEN/NF_REN	50 Ω 阻抗，走线长度<2.5inch

eMMC Flash/SD

eMMC/SD 设计的注意点同 Nand Flash。信号的匹配、走线约束，如下表 4-2 所示。



表4-2 单片 eMMC Flash PCB 走线约束推荐

信号	PCB 设计
SDIO1_CLK	50 Ω 阻抗，走线长度<4inch
SDIO1_CMD	50 Ω 阻抗，走线长度<4inch
SDIO1_DQ[7:0]	50 Ω 阻抗，走线长度<4inch

4.3 典型外围接口 PCB 设计建议

4.3.1 SDIO 接口设计

SDIO3.0 接口信号线设计建议：

为减小信号反射，建议所有的信号线不要穿越电源和地分割区域，保持完整的电源地参考平面，建议 PCB 设计采用以下原则：

- 建议所有信号走线分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面。
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径。
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性。
- 相邻信号走线间距保持在 2~3 倍线宽。
- 各数据信号线尽量保持等长。
- 2.2uF 滤波电容尽量靠近 SDIO_DVDD18_DECAP 管脚放置。

信号的 PCB 走线约束，如表 4-3 所示。

表4-3 SDIO3.0 接口 PCB 走线约束推荐

信号	PCB 设计
SDIO_CCMD/SDIO_CDATA[0:3]	50 Ω 阻抗，走线长度<4inch
SDIO_CCLK	50 Ω 阻抗，走线长度<5inch

FE PHY 布线设计建议

为了保证良好的信号质量，FE PHY 端口数据信号 FE_TXN/P、FE_RXN/P 按照差分线方式走线，差分数据线组内走线控制等长，走线间距保持均匀，阻抗应控制在 $100\Omega \pm 10\%$ 的均匀差分阻抗，并且避免靠近时钟芯片如时钟谐振器、时钟振荡器和时钟驱动器等，建议 PCB 布线设计采用以下原则：



- 10k Ω REXT 电阻尽量靠近芯片管脚放置。
- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长。
- 差分数据线走线宽度恒定。
- 差分数据线走线间距恒定，走线尽可能在临近地平面的布线层走线且不要换层。
- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割，要求对差分信号线严格包地处理。
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 45 度角，避免直角，以减少反射和阻抗变化。
- 差分数据线走线上不允许有分叉。
- 避免邻近其它高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。

4.3.2 USB 接口设计

为了保证良好的信号质量，USB 端口数据信号线按照差分线方式走线，差分数据线走线控制等长，走线间距保持均匀，USB 差分数据线阻抗应控制在 $90\Omega \pm 10\%$ 的均匀差分阻抗，并且避免靠近时钟芯片如时钟谐振器、时钟振荡器和时钟驱动器等。USB 走线长度建议控制在 5inch 以内。为了达到 USB2.0 高速 480MHz、USB3.0 5Gbit/s 的速度要求，建议 PCB 布线设计采用以下原则：

- REXT 电阻尽量靠近芯片管脚放置。
- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长。
- 差分数据线走线宽度恒定。
- 差分数据线走线间距恒定，走线尽可能在临近地平面的布线层走线且不要换层。
- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割。
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 45 度角，避免直角，以减少反射和阻抗变化。
- 差分数据线走线上不允许有分叉。
- 避免邻近其它高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。

4.3.3 音频 DAC 接口设计

为了保证音频 DAC 输出的音频质量，建议 PCB 布线设计采用以下原则：

- 音频参考电压并联 2.2 μ F 滤波电容尽量靠近 ADAC_VREFDAC 管脚放置。
- 音频 DAC 输出信号走线遵循 3W 原则。
- 尽量不要使用视频模拟地平面作为其它信号走线的参考平面。
- 走线拐角可考虑用圆弧或者 45 度角，避免直角，以减少反射。

4.3.4 视频 DAC 接口设计

4.3.4.1 VDAC 接口

为了保证视频 DAC 输出的视频图像质量，建议 PCB 布线设计采用以下原则：



- 视频 DAC 输出端外接串联 75Ω 视频匹配电阻尽量靠近 Hi3796MV100 放置，减小 VDAC 驱动感抗。
- 模拟视频滤波电路尽量靠近 Hi3796MV100 放置。
- 视频 DAC 输出外置 $12k\Omega$ 校准电阻尽量靠近 VDAC_REXT 管脚放置。
- 单路视频 DAC 设计为单负载驱动，如需驱动多个负载，输出多路视频信号，请考虑使用驱动器。
- 建议所有模拟信号线在靠近视频模拟地平面的走线层布线，且尽量不要换层走线。
- 尽量不要使用视频模拟地平面作为其它信号走线的参考平面。
- 走线拐角可考虑用圆弧或者 45° 角，避免直角，以减少反射。

4.3.5 HDMI 接口设计

Hi3796MV100 集成了 1 路 HDMI 输出接口。

HDMI 接口各信号 PCB 走线约束推荐如表 4-4 所示。

表4-4 HDMI 接口各信号 PCB 走线约束推荐

信号名称	PCB 设计
TMDS_CLK	100Ω 差分阻抗，走线长度 $<5\text{inch}$
TMDS_DATA[2:0]	100Ω 差分阻抗，走线长度 $<5\text{inch}$

设计时注意如下事项：

- HDMI 四对差分线总的长度尽量短；差分线对内对间都要等长，对内最好控制在 10mil 以内，对间控制在 50mil 以内。
- 四对差分线严格控制 100Ω 阻抗。
- 四对差分线尽量不换层，不打过孔，走在 TOP 层。
- 确保四对差分线不跨越地和电源分割，其下方有完整的回流平面。
- 四对差分线之间尽量远离，最好能做包地处理。
- 弯度控制，避免突然弯转，绝对不能出现 90° 弯曲或 T 型走线。
- 过孔接地穿引，如果 HDMI 走线中出现了过孔，建议接地穿引（在靠近信号过孔增加一个接地孔，可以保持回流路径均匀连续）。
- HDMI 保护电路建议采用低容值 TVS 管， $C<0.8\text{pF}$ 。

4.3.6 TSI 接口设计

TSI 接口各信号走线约束推荐如表 4-5 所示。



表4-5 TSI 接口各信号 PCB 走线约束推荐

信号	PCB 设计
TSI_D[7:0]/TSI_VALID/TSI_SYNC	50Ω 阻抗，走线长度<6inch
TSI_CLK	并行时钟：50 Ω 阻抗，走线长度<6inch； 串行时钟：50 Ω 阻抗，器件端串 50Ω 电阻，走线长度<6inch

4.3.7 SCI 接口设计

SCI 接口各信号走线约束推荐如表 4-6 所示。

表4-6 SCI 接口各信号 PCB 走线约束推荐

信号	PCB 设计
SIM_DATA(OD)	50Ω 阻抗，上拉 560Ω，走线长度<3.5inch
SIM_CLK(OD)	50Ω 阻抗，上拉 560Ω，走线长度<3.5inch
SIM_CLK(CMOS)	源端串 33Ω 电阻，50Ω 阻抗，走线长度<7inch

4.3.8 其它

PCB 信号完整性仿真设计建议

PCB 设计人员可以使用板级仿真工具，根据 Hi3796MV100 接口 IBIS 模型、对接器件 IBIS 模型、传输线模型以及板上拓扑结构完成信号完整性仿真分析。通过对仿真结果的分析，不断调整拓扑结构，以达到所需的信号质量要求，包括过冲、下冲、振铃、单调性等。

其它 PCB 设计注意事项

时钟信号如果带多个负载，无论频率高低，都需要特别注意其信号质量，应保证信号边沿单调。



5 热设计建议

5.1 工作条件

Hi3796MV100 的封装热阻如表 5-1 所示。



注意

热阻基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件作出分析。

表5-1 PCB 封装热阻参数

参数	符号	最小值	典型值	最大值	单位
极限环境温度	T_A	-20	-	70	°C
极限结温	T_{JMAX}	-	-	125	°C
Junction-to-ambient thermal resistance	θ_{JA}	-	23	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	-	9.62	-	°C/W
Junction-to-case thermal resistance	θ_{JC}	-	5.53	-	°C/W
Junction-to-top center of case thermal resistance	Ψ_{JT}	-	-	-	°C/W

注：热阻是 XX 层 PCB 板设计没有散热片条件下的参考值，具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。其中工作环境参数如表 5-2 所示。

表5-2 推荐工作环境参数

参数	符号	最小值	典型值	最大值	单位
环境温度	T_A	0	25	55	°C



参数	符号	最小值	典型值	最大值	单位
长期工作	T_{JMAX}	-	-	125	°C

5.2 散热设计参考

常用散热片的分类

根据材料可分为：铝合金，铜合金，铝铜合金，陶瓷。

根据加工工艺可分为：铝挤压工艺，切削工艺，bonded 工艺，铸造工艺，机械压合工艺。

散热片材质及加工工艺选型建议

基于低成本考虑推荐选型铝合金材质的散热片。对散热片工艺类型的选择参考以下建议：

- 挤压的散热片要比铸铝散热片好一些。铸铝散热片中金属铝所占的比例为 25 - 30 %，其他为碳及其他金属的合金。挤压的散热片中金属铝所占的比例为 70 % - 80%，其他为碳及其他金属的合金。因此铸铝散热片比挤压成形的散热器传热效率要低。
- 自然散热的条件下，黑色的比银白色的铝散热片的散热效果要好 3~8% 左右，这是因为黑色热辐射的效果比白色的要强。
- 常见的散热片通常为黑色或阳极氧化处理。

综上，建议选用采用表面黑色经过阳极氧化处理的挤压的铝合金材质散热片。

散热片尺寸选择

铝质散热片的热阻计算公式

$$R = 1/hA$$

其中：

- A：散热片面积
- h：散热系数（与散热片的材质，厚度，密度，温差，风速等参数相关）

由以上公式得出散热片面积越大，热阻越小，由此得出以下经验数据：

厚 2mm 的铝板，表面积（平方厘米）和热阻（°C/W）的对应关系是：

- 500 cm² 对应 2.0°C/W
- 250 cm² 对应 2.9°C/W
- 100 cm² 对应 4.0°C/W
- 50 cm² 对应 5.2°C/W



- 25 cm² 对应 6.5℃/W

例如：XXX 芯片所需散热片的热阻计算公式：

$$R_{sa} = (T_j - T_a) / Q - (R_{jc} + R_{cs}) \quad (\text{公式一})$$

- T_j : XXX 芯片最高承受结温 (125℃)
- T_a : 产品长期工作最高工作环境温度 (55℃)
- Q : XXX 芯片功耗 (3.5W)
- R_{sa} : 散热片热阻 (需要考虑环境风速)
- R_{cs} : 导热介质 (导热胶) 的热阻 (示例: 5℃/W)
- R_{jc} : XXX 芯片封装热阻 (4.1℃/W)

由以上公式得到散热片的热阻要求，再对比散热片的热阻数据，可以得出所需要的散热片的散热面积。

XXX PCB 设计：

- $R_{jc} = 4.1℃/W$
- $T_j = 125℃$

案例：在 55℃ 的环境温度中，盒子中的温升 15 度 (参考值)，Hi3796MV100 芯片采用热阻为 5℃/W 的导热胶，那么所需要的散热片尺寸，由公式一可得：

$$R_{sa} = (125 - 55 - 15) / 3.5 - (4.1 + 5) = 6.6℃/W \quad (Q \text{ 按芯片最大功耗取值})$$

参考上边的数据，XXX PCB 设计散热面积 25 cm² 以上的散热片可以满足芯片散热需求。



说明

以上规格选型仅作为参考，具体客户散热器规格选型需根据客户单板设计来定。

导热介质材料推荐

导热介质材料推荐如表 5-3 所示。

表5-3 导热介质材料推荐表

散热器固定方式	型号	导热系数 (w/m · k)	应用环境温度 (℃)	胶体类型	绝缘强度 (V/mil)	阻燃性	承重能力 (g)
需机械固定	GF2000	2	-60~+200	硅橡胶	500	UL9V0	-
无需机械固定	Locotite 315	0.808	-	丙烯酸树脂	6000	UL9V2	-

散热器固定方式与质量关系

散热器固定方式跟散热器质量有关系，如：大质量的散热器不适合用导热胶粘接，散热器固定方式与质量关系请参考表 5-4 所示，可根据实际单板设计选择合适的安装方式。



表5-4 散热器固定方式与质量关系

安装方式	质量		
	m<85g	85≤m<150g	m≥150 个
导热胶粘接	√	-	-
PUSH PIN 扣具	√	-	-
弹簧+螺钉结构	-	√	√
专用金属扣具（非优选）	√	√	√
塑料卡座（非优选）	√	-	-

5.3 电路热设计参考

5.3.1 原理图

电源

整个单板电源树在保证稳定性的前提下效率较高，即要合理设计单板电源效率，少采用高压差 LDO 器件，减少电源自身在电源转换过程中所产生的热量。

单板为外接设备供电的电源（例如 SD 卡、USB 等），设计中可保留，不用时可以关断该功能。单板的主要 IC 必须支持 Power Down 功能。

大电流的电源需要选择高效率的 DC/DC 电路实现。CORE/CPU 电源和 DDR 的工作电流都较大，这些电源必须选择高效率的 DC/DC 电路实现。

闲置模块低功耗配置

在 Hi3796MV100 产品形态应用中，对于不使用的模块，此时应当将这些模块配置为 Power Down 模式或者默认状态。

芯片 SVB 控制

建议用户对芯片的 Core、CPU 电压进行 SVB 控制，依据芯片自身的工艺偏差情况，选择合适的电压，以此达到降低芯片功耗的目的。



注意

为了降低功耗，请在软件中打开主芯片的时钟门控功能。



5.3.2 PCB

器件布局

结合产品结构和热设计，器件布局建议如下：

- 单板上大功耗且易产生热量器件要均匀分布，避免局部过热，影响器件可靠性和效率，建议 Hi3796MV100 和电源部分不要放置太近。
- 合理设计结构，保证产品内部与外界有热交换途径。

走线

走线热设计建议如下：

- 芯片底下的过孔采用 FULL 孔连接，而不是普通的花孔连接，以提高单板散热效率；
- Hi3796MV100 的 1.1V/1.5V/3.3V 电源和地信号都通过平面铺铜的方式连接，在保证信号过流能力的前提下打更多过孔到这些铜皮上；
- 在热量大的器件正下方和周边尽量增大铜皮面积以保证单板利用 PCB 有效散热。特别是电源部分的电感和供电芯片，注意其摆放位置不要过于密集，周边尽量增加铺铜面积。



6 焊接工艺建议

6.1 概述

【目的】Objective

本章规定了客户端在用海思芯片 SMT 时各温区温度基本设置。

【适用范围】Scope

海思芯片 Hi3796MV100 产品。

【基本信息】Basic information

海思提供给客户端的产品均为 RoHS 产品（HixxxxRBCVxxx 中 R 表示为 RoHS），即均是 Lead-free（无铅）产品；本章主要介绍客户端在使用海思芯片做回流焊时工艺控制：主要是无铅工艺和混合工艺两类。

【回流焊工艺控制】Reflow Chart

定义说明：

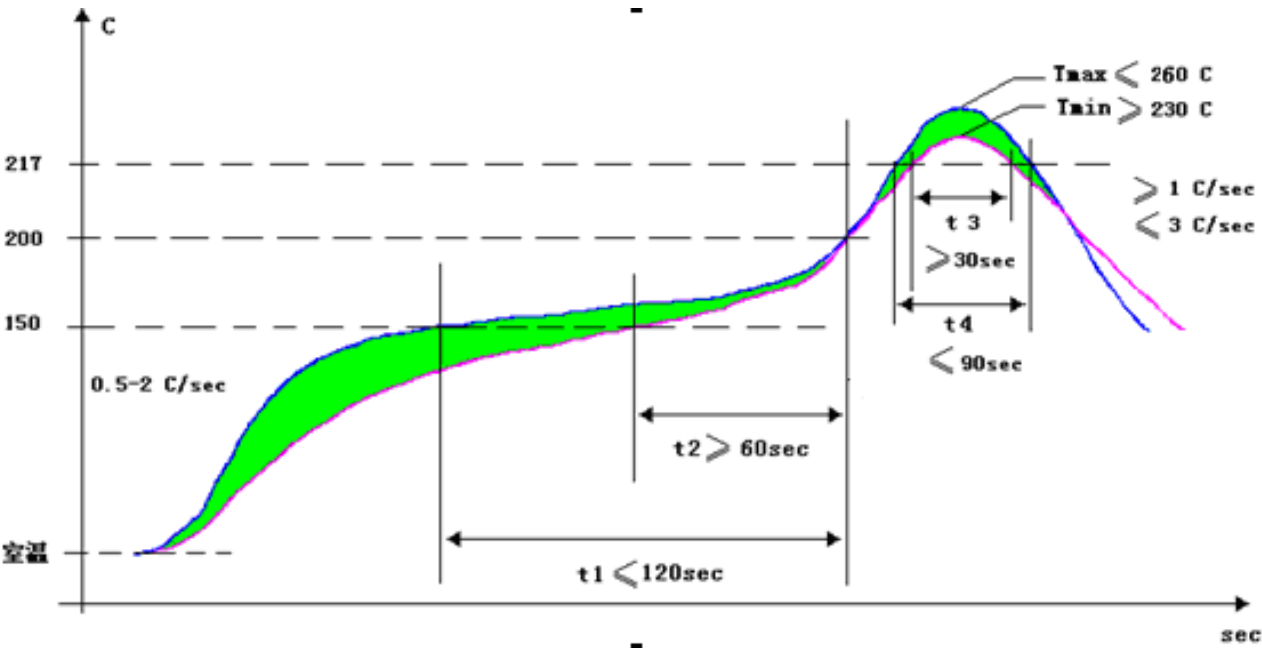
- 海思芯片：海思给客户的芯片均为 ROHS 产品，均满足无铅要求。
- 无铅工艺：所有器件(主板/所有 IC/电容电阻等)均为无铅器件，并使用无铅锡膏的纯无铅工艺。
- 混合工艺：指使用有铅锡膏和既有无铅 BGA 也有有铅 IC 的混合焊接工艺。

6.2 无铅回流焊工艺参数要求

无铅回流焊接工艺曲线如[图 6-1](#) 所示。



图6-1 无铅回流焊接工艺曲线



无铅回流焊工艺参数如表 6-1 所示。

表6-1 无铅回流焊工艺参数

区域	时间	升温速率	峰值温度	降温速率
预热区（40~150℃）	60~150s	≤2.0℃/s	-	-
均温区（150~200℃）	60~120s	<1.0℃/s	-	-
回流区（>217℃）	60~90s	-	230-260℃	-
冷却区（Tmax~180℃）	-	-	-	1.0℃/s≤Slope≤4.0℃/s

说明：

- 预热区：温度由 40℃~150℃，温度上升速率控制在 2℃/s 左右，该温区时间为 60~50s。
- 均温区：温度由 150℃~200℃，稳定缓慢升温，温度上升速率小于 1℃/s，且该区域时间控制在 60~120s（注意：该区域一定缓慢受热，否则易导致焊接不良）。
- 回流区：温度由 217℃~Tmax~217℃，整个区间时间控制在 60~90s。
- 冷却区：温度由 Tmax~180℃，温度下降速率最大不能超过 4℃/s。
- 温度从室温 25℃升温到 250℃时间不应该超过 6 分钟。
- 该回流焊曲线仅为推荐值，客户端需根据实际生产情况做相应调整。



- 回流时间以 60~90s 为目标，对于一些热容较大无法满足时间要求的单板可将回流时间放宽至 120s。封装体耐温标准参考 IPC/JEDEC J-STD-020D 标准，封装体测温方法参考 JEP 140 标准。

IPC/JEDEC J-STD-020D 标准，封装体测温方法按照 JEP 140 标准要求：IPC/JEDEC 020D 中的无铅器件封装体耐温标准如表 6-2 所示。

表6-2 IPC/JEDEC 020D 中的无铅器件封装体耐温标准

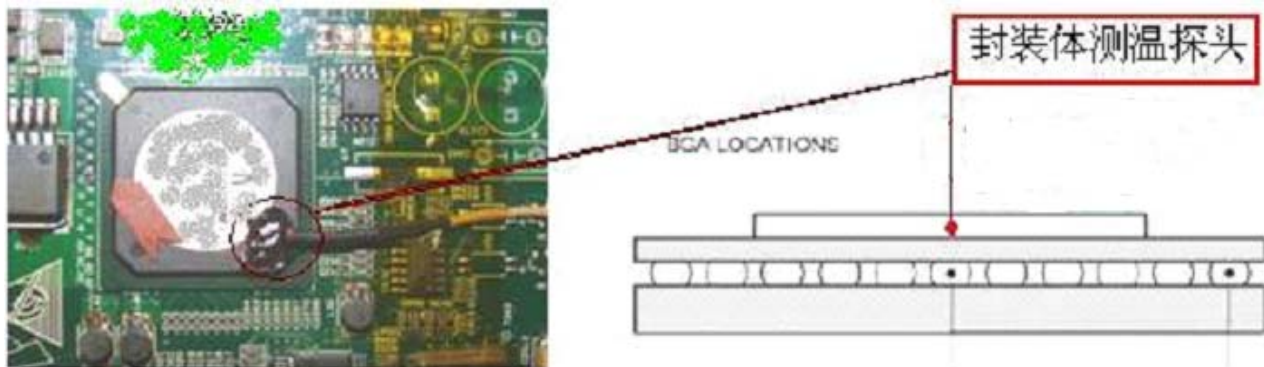
Package Thickness	Volume mm ³ <350	Volume mm ³ 350~2000	Volume mm ³ >2000
<1.6mm	260℃	260℃	260℃
1.6mm~2.5mm	260℃	250℃	245℃
>2.5mm	250℃	245℃	245℃

体积计算中不计入器件焊端（焊球，引脚）和外部散热片。

回流焊接工艺曲线测量方法：

JEP140 推荐：对于厚度较小的器件，测量封装体温度时，直接将热电偶贴放在器件表面，对于厚度较大的器件，在器件表面钻孔埋入热电偶进行测量。由于量化器件厚度的要求，推荐全部采用在封装体表面钻孔埋入热电偶的方式（特别薄器件，无法钻孔除外）。如图 6-2 所示。

图6-2 封装体测温示意图



说明

如果是 QFP 封装的芯片，直接将测温探头放在管脚处即可。

6.3 混合回流焊工艺参数要求

回流焊接过程中，如果出现器件混装现象，应首先保证无铅器件的正常焊接。具体要求如表 6-3 所示。



表6-3 混装回流焊工艺参数表

数值要求		有铅 BGA	无铅 BGA	其它器件
预热区（40~150℃）	时间	60~150s		
	升温斜率	<2.5℃/s		
均温区（150~183℃）	时间	30~90s		
	升温斜率	<1.0℃/s		
回流区（>183℃）	峰值温度	210~240℃	220~240℃	210~245℃
	时间	30~120s	60~120s	30~120s
冷却区（Tmax~150℃）	降温斜率	1.0℃/s≤Slope≤4.0℃/s		



说明

以上工艺参数要求均针对焊点温度。单板上焊点最热点和最冷点均需要满足以上规范要求。

曲线调制中，还需要满足单板上元器件的封装体耐温要求。封装体耐温标准按照 IPC/JEDEC J-STD-020D 标准，封装体测温方法按照 JEP 140 标准。

IPC/JEDEC 020D 中的有铅器件封装体耐温标准如表 6-4 所示。

表6-4 IPC/JEDEC 020D 中的有铅器件封装体耐温标准

Package Thickness	Volume mm ³ <350	Volume mm ³ ≥350
<2.5mm	235℃	220℃
≥2.5mm	220℃	220℃

体积计算中不计入器件焊端（焊球，引脚）和外部散热片。

JEP140 标准规定测量封装体温度方法同无铅工艺，请参考 6.2 无铅回流焊工艺参数要求详细说明。



7 潮敏参数

7.1 概述

【目的】Objective

规定了 IC（潮敏产品）的使用原则，以确保产品使用规范。

【使用范围】

海思生产的所有外销类产品。

【术语解释】

- Floor life: 海思产品允许在车间保留的最长时间（环境 30℃/60% RH，在拆开防潮包装到 reflow 之前）
- Desiccant(干燥剂): 一种用于吸附潮气而保持干燥的材料
- Humidity Indicator Card (HIC): 湿度指示卡
- Moisture sensitivity level(MSL): 潮敏等级
- Moisture Barrier Bag (MBB): 防潮包装袋
- Solder Reflow: 回流焊
- Shelf Life: 存储期限

7.2 海思产品防潮包装

7.2.1 包装信息

干燥真空包装材料包含：

- 湿度指示卡（HIC）
- 防潮袋（MBB）
- 干燥剂



图7-1 干燥真空包装材料示意图



7.2.2 潮敏产品进料检验

客户或者外协厂在生产使用（SMT）之前，打开真空袋子后：

- 如果 HIC 的最大指示点已经变化（不是蓝色或土黄色），产品必须参照表 7-2 进行 rebake。
- 如果 HIC 中 10%RH dot 是蓝色或土黄色的，表示产品很干燥，可以仅仅更换防潮剂后真空封装。
- 如果 HIC 中 10%RH dot 不是蓝色或土黄色，5%RH dot 已经变红色或浅绿色，表示产品已经受潮，参考表 7-2 进行 rebake。

7.3 存放与使用

【存放环境】

建议产品真空包装存放，存放在<30°C/60% RH 下。

【shelf life】（存储期限）

存放环境<30°C/60% RH 下，真空包装存放，shelf life（存储期限）≥12 个月。

【floor life】

在环境条件<30°C/60%下，floor life 参照表 7-1 如下。

表7-1 floor life 参照表

MSL	Floor life(out of bag) at factory ambient≤30°C/60% RH or as stated
1	Unlimited at ≤30°C/85% RH



MSL	Floor life(out of bag) at factory ambient $\leq 30^{\circ}\text{C}/60\% \text{ RH}$ or as stated
2	1 year
2a	4 weeks
3	168 hours
4	72 hours
5	48 hours
5a	24 hours
6	Mandatory bake before use, must be reflowed within the time limit specified on the label

【潮敏产品的使用】

- 产品在 $\leq 30^{\circ}\text{C}/60\%\text{RH}$ 下连续或累计暴露超过 2 个小时，建议进行 rebake 后再真空干燥包装。
- 产品在 $\leq 30^{\circ}\text{C}/60\%\text{RH}$ 下暴露累计没有超过 2 个小时，可以不用 rebake，但要更换新的干燥剂，进行真空干燥包装。

本文没有提到的存储及使用原则，请直接参考 **JEDEC J-STD-033A**。

7.4 重新烘烤

【适用产品】

海思所有 IC（潮敏产品）

【使用范围】

需要重新烘烤的 IC（潮敏产品）

【重新烘烤参考表】

表7-2 重新烘烤参考表

Body thickness	level	bake@125°C	bake@90°C $\leq 5\% \text{ RH}$	bake@40°C $\leq 5\% \text{ RH}$
$\leq 1.4\text{mm}$	2a	3 hours	11 hours	5 days
	3	7hours	23 hours	9 days
	4	7 hours	23 hours	9 days
	5	7 hours	24 hours	10 days
	5a	10 hours	24 hours	10 days
$\leq 2.0\text{mm}$	2a	16 hours	2 days	22 days



Body thickness	level	bake@125°C	bake@90°C ≤5% RH	bake@40°C ≤5% RH
	3	17 hours	2 days	23 days
	4	20 hours	3 days	28 days
	5	25 hours	4 days	35 days
	5a	40 hours	6 days	56 days
≤ 4.5mm	2a	48 hours	7 days	67 days
	3	48 hours	8 days	67 days
	4	48 hours	10 days	67 days
	5	48 hours	10 days	67 days
	5a	48 hours	10 days	67 days

说明：

- 此表中显示的均是受潮后，必须的最小的烘烤时间。
- 重新烘烤优先选择低温烘烤。
- 详细情况请参考 JEDEC。



8 接口时序

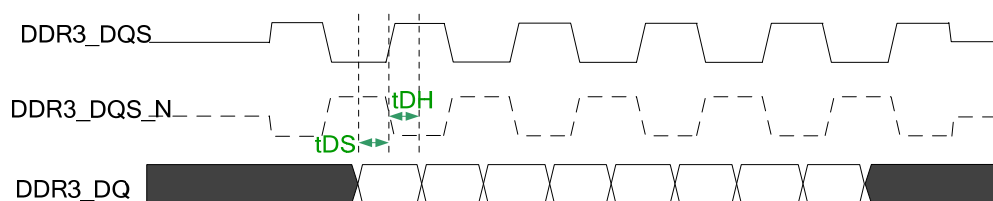
8.1 DDR 接口时序

8.1.1 写操作时序

DDR3_DQS 相对于 DDR3_DQ 的写操作时序

DDR3_DQS 相对于 DDR3_DQ 的写操作时序的主要时序参数是 t_{DS} 和 t_{DH} 。

图8-1 DDR3 中 DDR3_DQS 相对于 DDR3_DQ 的写操作时序图



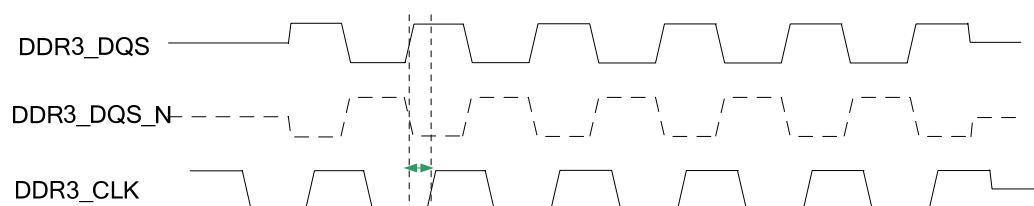
补充说明：

上面的时序图适用于 {DDR3_DQS[1:0]、DDR3_DQS_N[1:0]、DDR3_DQ[15:0]}、以及 {DDR3_DQS[3:2]、DDR3_DQS_N[3:2]、DDR3_DQ[31:16]} 两个 16bit DQ 位段。

DDR3_DQS 相对于 DDR3_CLK 的写操作时序

DDR3_DQS 相对于 DDR3_CLK 的写操作时序。DDR3 的时序如图 8-2 所示。

图8-2 DDR3 中 DDR3_DQS 相对于 DDR3_CLK(CMDADDR PHY)的写操作时序图





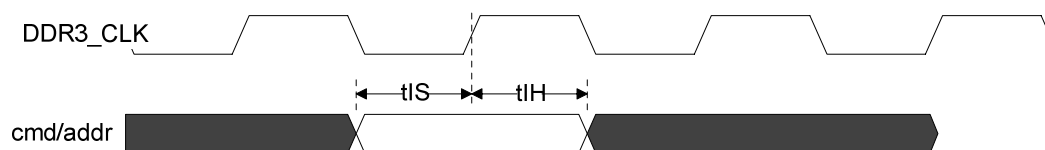
说明：在上图绿色箭头标识的地方，

要求 DDR3_DQS[3:0]、DDR3_DQS_N[3:0]的相位，相对 DDR3_CLK (CMDADDR PHY)，其偏离不能超过 $1/4 \times T_{\text{dram clock}}$ (即上图中的 DDR3_CLK)。

命令和地址相对于 DDR3_CLK 的写操作时序

命令和地址的采样时钟为 DDR3_CLK。命令和地址相对于 DDR3_CLK 的写操作时序如图 8-3 所示。

图8-3 命令和地址相对于 DDR3_CLK(CMDADDR PHY)的写操作时序图



8.1.2 读操作时序

命令和地址相对于 DDR3_CLK 的读操作时序

“命令和地址相对于 DDR3_CLK 的读操作时序”与“[的写操作时序](#)”相同。

DDR3_DQS 相对于 DDR3_DQ 的读操作时序

DDR3_DQS 相对于 DDR3_DQ 的读操作时序分为 DDRn SDRAM 输出时序和 DDRPHY 端 DDR3_DQS 和 DDR3_DQ 的时序。

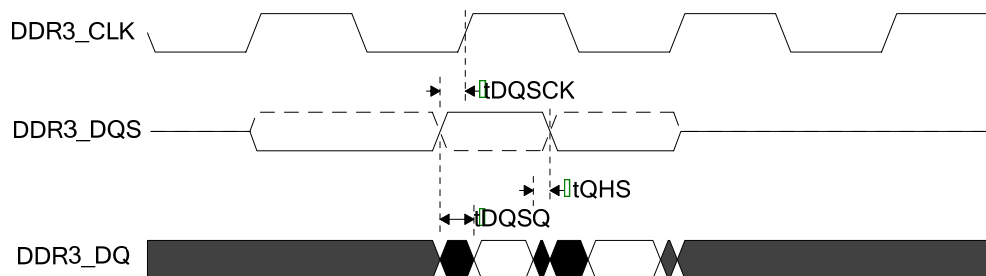
对于 DDRn SDRAM 输出时序，理想情况下，从颗粒出来的 DQS (连接芯片的 DDR3_DQS) 和 DDRPHY 输出的 DDR3_CLK 是同相位的，但由于外部条件的干扰，DQS 到 DDRPHY 端的时候，相对于 DDR3_CLK 会有 t_{DQSCK} 的偏斜，该偏斜不能超过 0.35ns。

从颗粒出来的 DQ 相对于 DQS，也会有相位的抖动，衡量该抖动的时序参数有 t_{DQSQ} 和 t_{QHS} ，如图 8-4 所示，其中： t_{DQSQ} 是在 DDRPHY 端观测到的最晚有效的 DQ 相对于 DQS 的抖动，其值不能超过 0.2ns； t_{QHS} 是最早失效的 DQ 相对于下一次 DQS 翻转的抖动 (也可表述为最早有效的 DQ 相对于 DQS 的抖动)，其值为 0.3ns。

DDRn SDRAM 输出时序如图 8-4 所示。



图8-4 DDRn SDRAM 输出时序图



8.1.3 时序参数

DDR 接口时序满足 JEDEC（JESD79-2E 和 JESD79-3B）标准协议，本文中描述的时序都是 DDR PHY 侧输出的时序。

对于高清芯片，以 DDR3-1066 的时序参数为依据。

DDR3-1066 SDRAM 时钟参数如表 8-1 和表 8-2 所示。

表8-1 DDR3 时钟参数表

参数	典型值	单位
存储器时钟频率	533.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	47.000	%
时钟偏斜	0.100	ns

表8-2 DDR3 SDRAM 存储器参数表（DDR3-1066）

参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.500	ns
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.500	ns
DQ/DM 相对于 DQS 的建立时间	tDS	0.075	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.150	ns
DQS 与 DQ 的偏斜	tDQSQ	0.200	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.200	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.275	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSK	0.400	ns

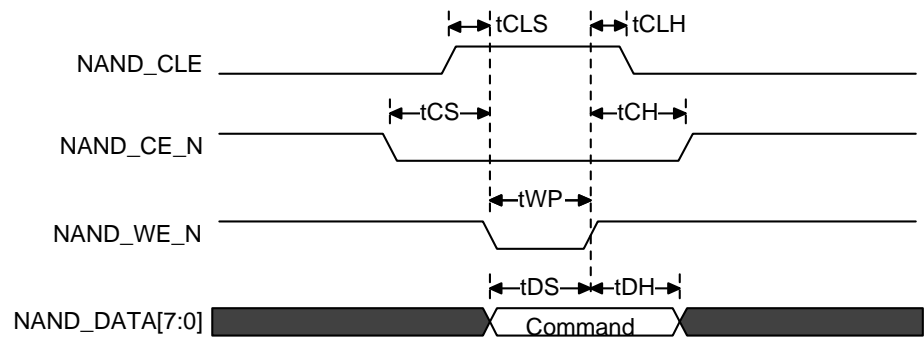


8.2 NANDC 接口时序

8.2.1 命令周期时序

NANDC 命令周期时序如图 8-5 所示。

图8-5 NANDC 命令周期时序图



说明

NAND_WE_N 和 NAND_RE_N 的高电平宽度和低电平宽度是可以通过 NANDFLASH 控制器的 NF_PULSE_WIDTH 寄存器设置的，因此，NANDC 接口时序图中的部分参数会随着该寄存器的设置不同而改变。在本节的参数表中，统一以“可以设置”表示。

NANDC 命令周期时序参数如表 8-3 所示。

表8-3 NANDC 命令周期时序参数表

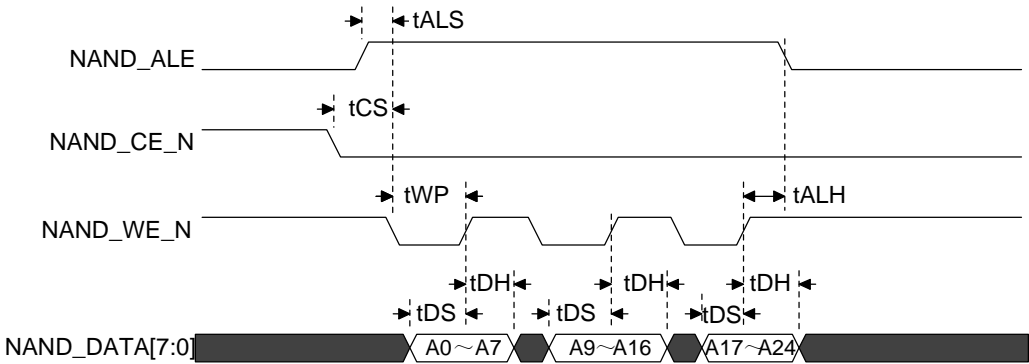
参数	符号	最小值	最大值	单位	说明
NAND_CLE 建立时间	tCLS	0	-	ns	-
NAND_CLE 保持时间	tCLH	10	-	ns	可以设置
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_CE_N 保持时间	tCH	10	-	ns	可以设置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以设置
数据建立时间	tDS	10	-	ns	可以设置
数据保持时间	tDH	10	-	ns	可以设置



8.2.2 地址周期时序

NANDC 地址周期时序如图 8-6 所示。

图8-6 NANDC 地址周期时序图



NANDC 地址周期时序参数如表 8-4 所示。

表8-4 NANDC 地址周期时序参数表

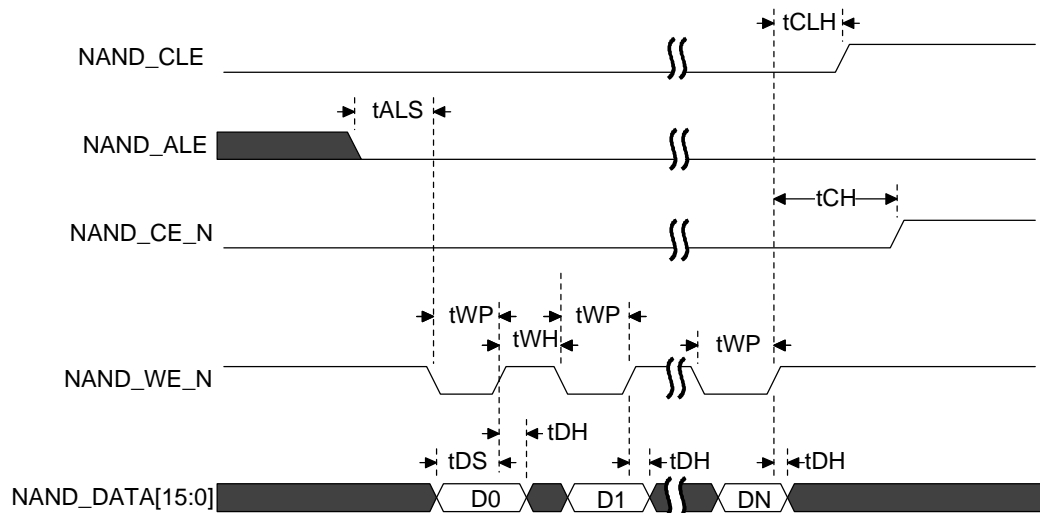
参数	符号	最小值	最大值	单位	说明
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以设置
NAND_ALE 建立时间	tALS	0	-	ns	-
NAND_ALE 保持时间	tALH	10	-	ns	可以设置
数据建立时间	tDS	10	-	ns	可以设置
数据保持时间	tDH	10	-	ns	可以设置

8.2.3 写数据时序

NANDC 写数据时序如图 8-7 所示。



图8-7 NANDC 写数据时序图



NANDC 写数据时序参数如表 8-5 所示。

表8-5 NANDC 写数据时序参数表

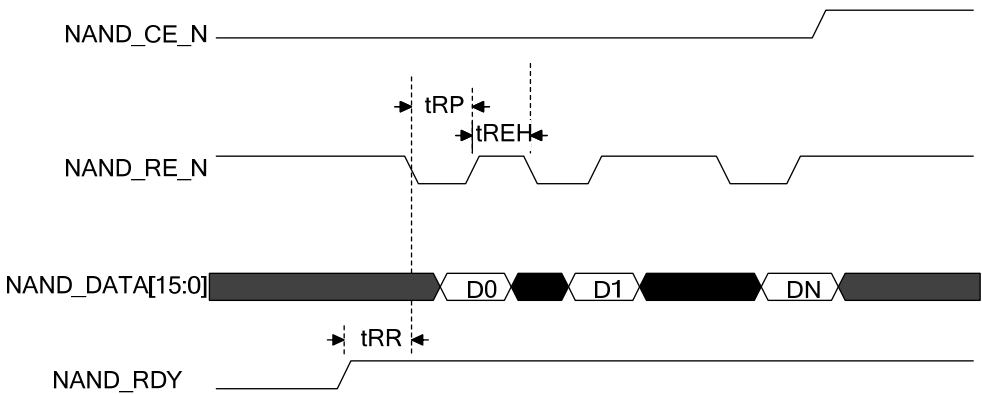
参数	符号	最小值	最大值	单位	说明
NAND_CLE 保持时间	tCLH	10	-	ns	可以设置
NAND_CE_N 保持时间	tCH	10	-	ns	可以设置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以设置
NAND_ALE 建立时间	tALS	0	-	ns	可以设置
数据建立时间	tDS	10	-	ns	可以设置
数据保持时间	tDH	10	-	ns	可以设置
NAND_WE_N 高电平保持时间	tWH	15	-	ns	可以设置

8.2.4 读数据时序

NANDC 读数据时序如图 8-8 所示。



图8-8 NANDC 读数据时序图



NANDC 读数据时序参数如表 8-6 所示。

表8-6 NANDC 读数据时序参数表

参数	符号	最小值	最大值	单位	说明
NAND_RE_N 变低等待时间	tRR	15	-	ns	可以设置
NAND_RE_N 脉冲宽度	tRP	15	-	ns	可以设置
NAND_RE_N 高电平宽度	tREH	15	-	ns	可以设置

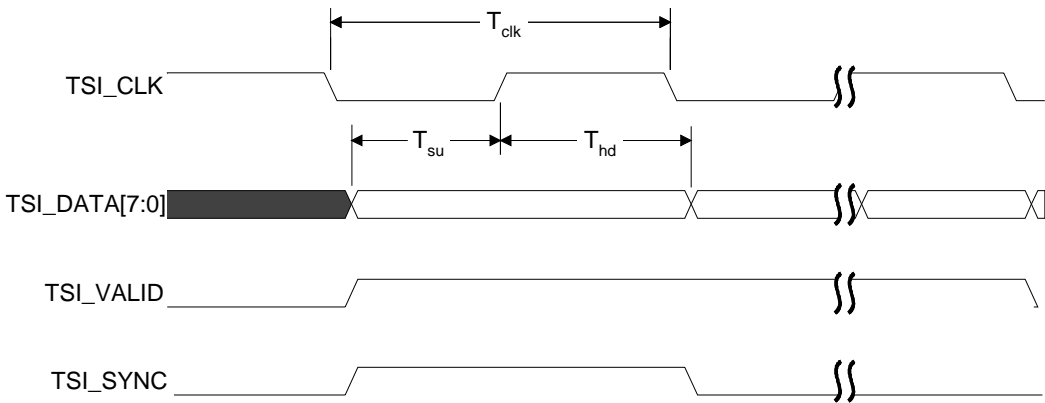
注：tRR 延时是可以设置的。

8.3 TSI 接口时序

TSI 接口时序图如图 8-9 所示。



图8-9 TSI 接口时序图



TSI 接口时序参数如表 8-7 所示。

表8-7 TSI 接口时序参数表

参数	符号	最小值	典型值	最大值	单位	说明
TSI_CLK 时钟周期	T_{clk}	20	-	-	ns	并行
		5.26	-	-	ns	串行
输入信号建立时间要求	T_{su}	9.3	-	-	ns	并行
		2.5	-	-	ns	串行
输入信号保持时间要求	T_{hd}	2.0	-	-	ns	并行
		1.5	-	-	ns	串行

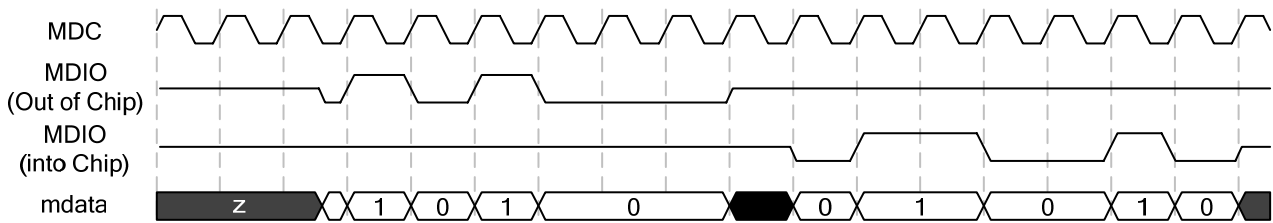
8.4 Ethernet MAC 接口时序

8.4.1 MDIO 接口时序

MDIO 接口读时序如图 8-10 所示。

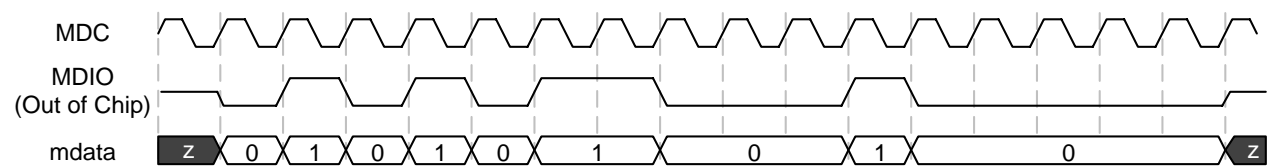


图8-10 MDIO 接口读时序



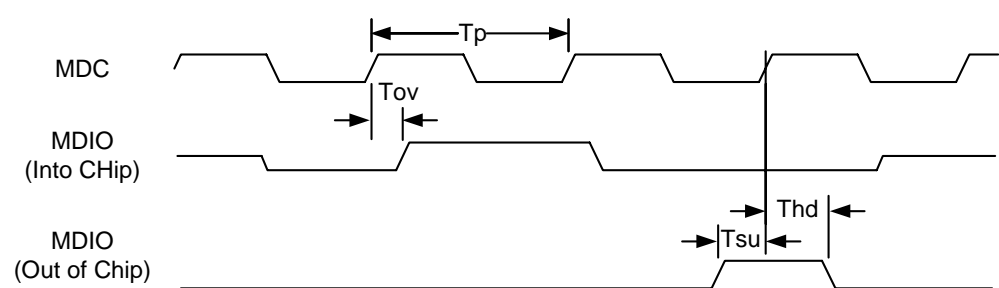
MDIO 接口写时序如图 8-11 所示。

图8-11 MDIO 接口写时序



MDIO 接口时序参数如图 8-12 所示。

图8-12 MDIO 接口接收时序参数



MDIO 接口时序参数说明如表 8-8 所示。

表8-8 MDIO 接口时序参数

参数	符号	信号	最小值	最大值	单位
MDIO 接收数据延迟时间	Tov	MDIO	166	20833	ns
MDIO 时钟周期	Tp	MDC	333	41667	ns
MDIO 发送数据建立时间	Tsu	MDIO	10	-	ns
MDIO 发送数据保持时间	Thd	MDIO	10	-	ns

注：MDC 时钟周期 T_p 可通过调整 MDC 频率（MDIO_RWCTRL[frq_dv]）进行改变，选择 Ethernet 工作时钟 150MHz 的 100 分频、50 分频或者其他分频。 T_{ov} 与 MDC 时钟周期 T_p 相关，约为 $T_{mdc}/2$ 。

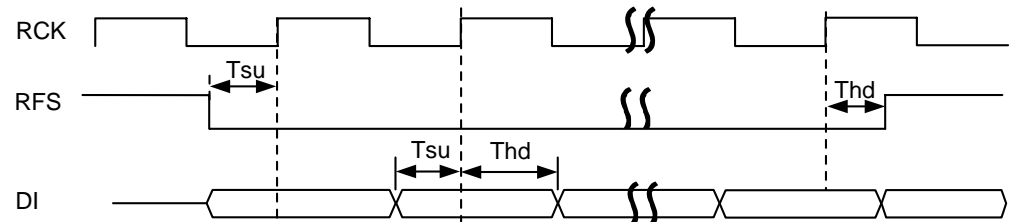


8.5 SIO 接口时序

8.5.1 I²S 模式接口时序

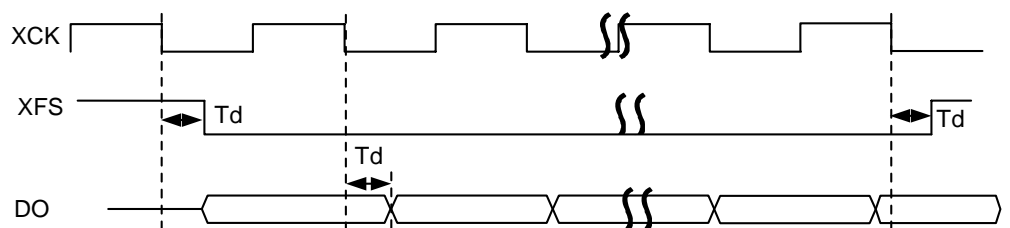
I²S 接口接收时序如图 8-13 所示。

图8-13 I²S 接口接收时序图



I²S 接口发送时序如图 8-14 所示。

图8-14 I²S 接口发送时序图



I²S 接口时序参数如表 8-9 所示。

表8-9 I²S 接口时序参数表

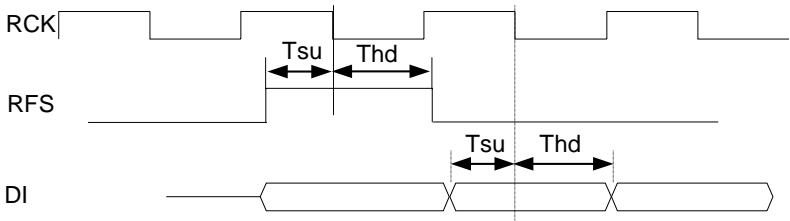
参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T _{su}	10	-	-	ns
输入信号保持时间	T _{hd}	10	-	-	ns
输出信号延时	T _d	0	-	8	ns

8.5.2 PCM 模式接口时序

PCM 接口接收时序如图 8-15 所示。

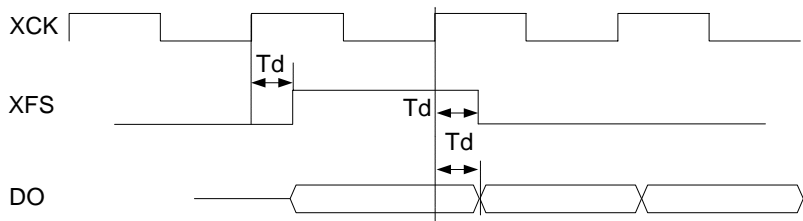


图8-15 PCM 接口接收时序图



PCM 接口发送时序如图 8-16 所示。

图8-16 PCM 接口发送时序图



PCM 接口时序参数如表 8-10 所示。

表8-10 PCM 接口时序参数表

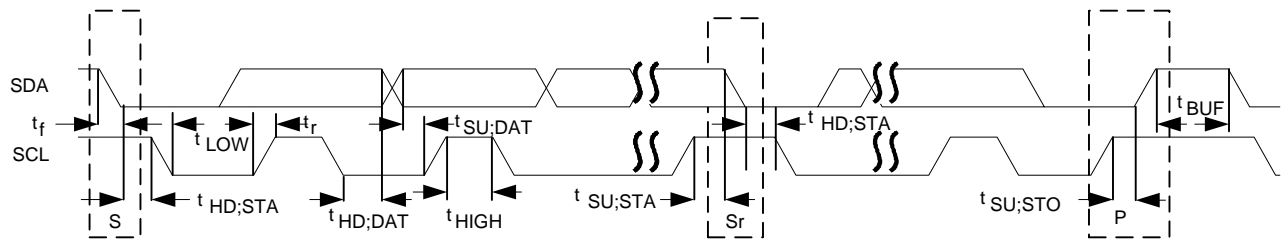
参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T_{su}	10	-	-	ns
输入信号保持时间	T_{hd}	10	-	-	ns
输出信号延时	T_d	0	-	8	ns

8.6 I²C 时序

I²C 传输时序如图 8-17 所示。



图8-17 I²C 传输时序图



I²C 接口时序参数如表 8-11 所示。

表8-11 I²C 接口时序参数表

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f_{SCL}	0	100	0	400	KHz
启动保持时间	$t_{HD;STA}$	4.0	-	0.6	-	μs
SCL 低电平周期	t_{LOW}	4.7	-	1.3	-	μs
SCL 高电平周期	t_{HIGH}	4.0	-	0.6	-	μs
启动建立时间	$t_{SU;STA}$	4.7	-	0.6	-	μs
数据保持时间	$t_{HD;DAT}$	0	3.45	0	0.9	μs
数据建立时间	$t_{SU;DAT}$	250	-	100	-	ns
SDA、SCL 上升时间	t_r	-	1000	$20+0.1C_b$	300	ns
SDA、SCL 下降时间	t_f	-	300	$20+0.1C_b$	300	ns
结束建立时间	$t_{SU;STO}$	4.0	-	0.6	-	μs
开始与结束之间的总线释放时间	t_{BUF}	4.7	-	1.3	-	μs
总线负载	C_b	-	400	-	400	pF
低电平噪声容限	V_{nL}	$0.1V_{DD}$	-	$0.1V_{DD}$	-	V
高电平噪声容限	V_{nH}	$0.2V_{DD}$	-	$0.2V_{DD}$	-	V

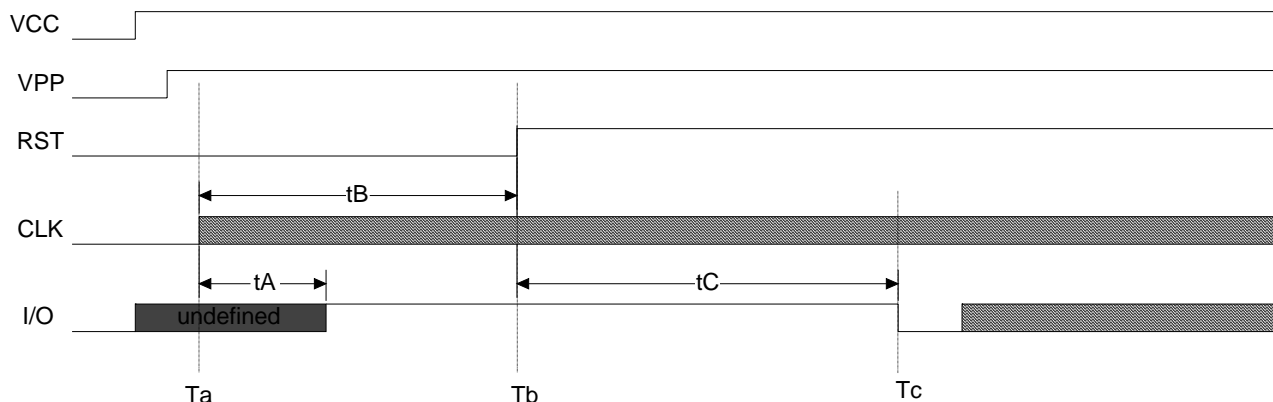


8.7 SCI 接口时序

8.7.1 激活和冷复位接口时序

对于 A 类卡 (5V), f : 1~5MHz; 对于 B 类卡 (3V), f : 1~4MHz。激活和冷复位接口时序如图 8-18 所示, 其中 $t_A \leq 200/f$ 、 $400/f \leq t_B$ 、 $400/f \leq t_C \leq 40000/f$ 。

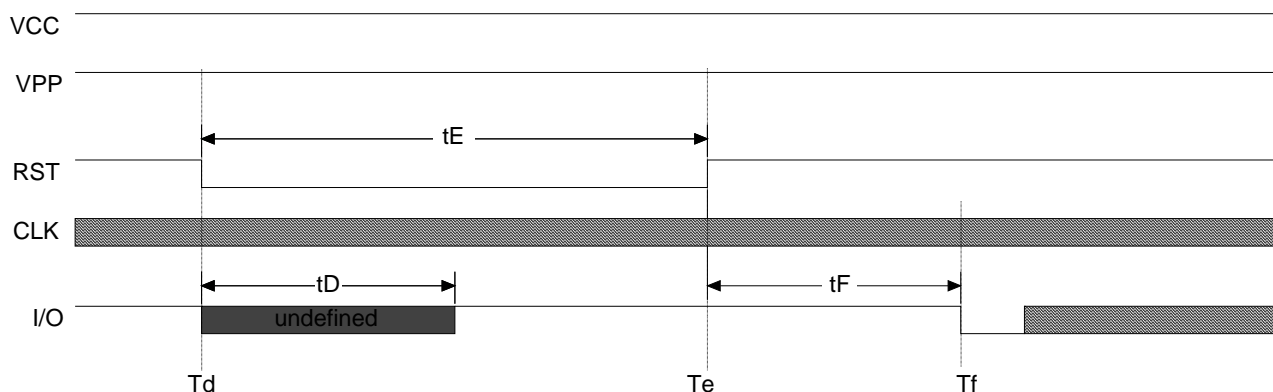
图8-18 SCI 激活和冷复位接口时序图



8.7.2 热复位接口时序

对于 A 类卡 (5V), f : 1~5MHz; 对于 B 类卡 (3V), f : 1~4MHz。热复位接口时序如图 8-19 所示, 其中 $t_D \leq 200/f$ 、 $400/f \leq t_E$ 、 $400/f \leq t_F \leq 40000/f$ 。

图8-19 SCI 热复位接口时序图

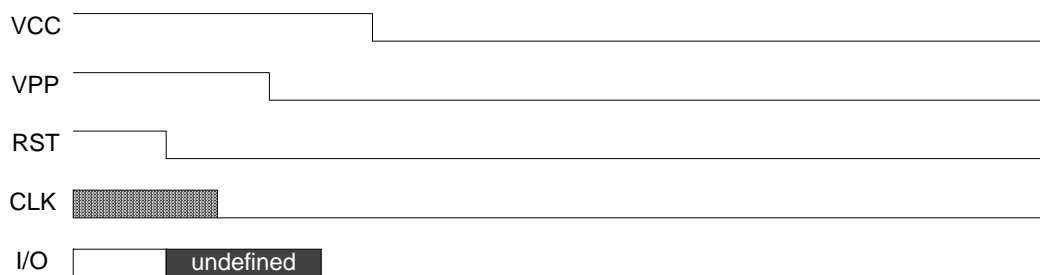


8.7.3 释放接口时序

SCI 释放接口时序如图 8-20 所示。



图8-20 SCI 释放接口时序图



8.8 SPI 接口时序

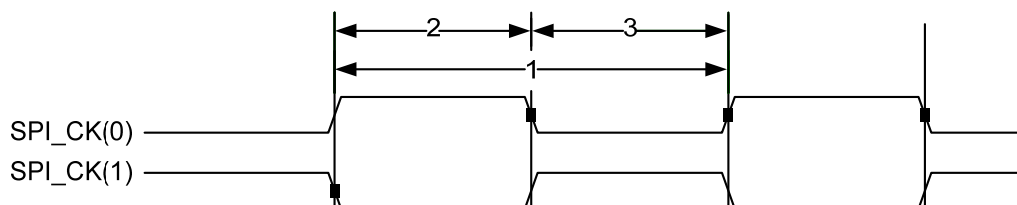
说明

图 8-21～图 8-23 中，以下缩略语或字母意义不变：

- MSB:Most Significant Bit
- LSB:Least Significant Bit
- SPI_CK(0):spo=0
- SPI_CK(1):spo=1

SPI 接口时钟时序如图 8-21 所示。

图8-21 SPICK 时序



SPI 主模式下接口时序分别如图 8-22 和图 8-23 所示。

图8-22 SPI 主模式下接口时序 (sph=0)

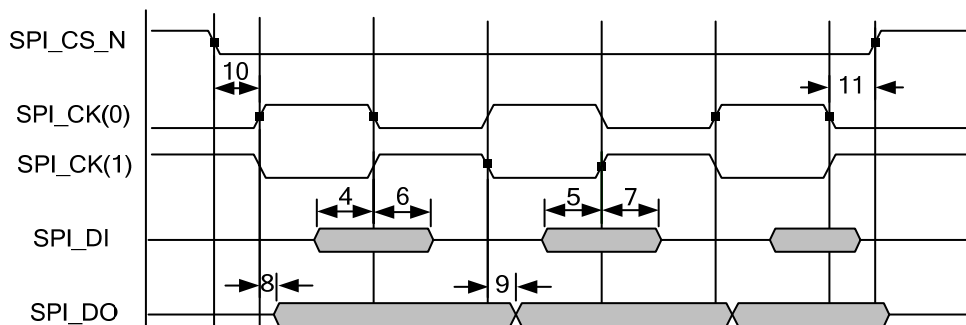
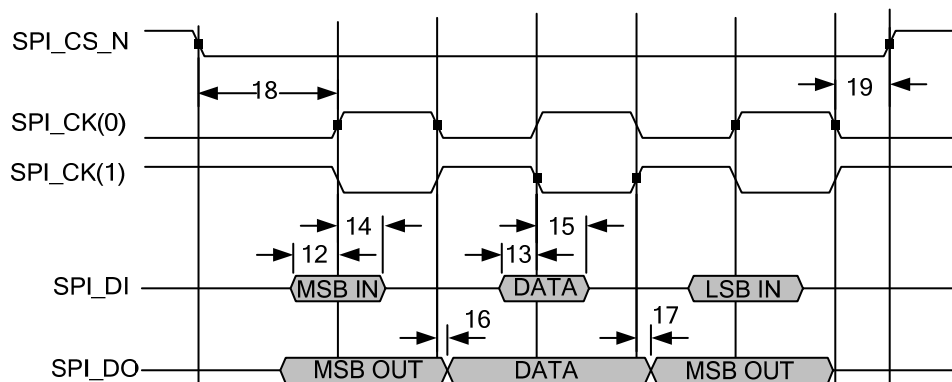




图8-23 SPI 主模式下接口时序 (sph=1)



SPI 接口时序参数如表 8-12 所示。

表8-12 SPI 接口时序参数

No	参数	符号	最小值	典型值	最大值	单位
1	Cycle time, SPI_CK	tc	-	-	-	ns
2	Pulse duration, SPI_CK high (All Master Modes)	tw1	-	-	-	ns
3	Pulse duration, SPI_CK low (All Master Modes)	tw2	-	-	-	ns
4	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu1	-	-	-	ns
5	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu2	-	-	-	ns
6	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th1	-	-	-	ns
7	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th2	-	-	-	ns
8	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td1	-	-	-	ns
9	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td2	-	-	-	ns
10	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td3	-	-	-	ns

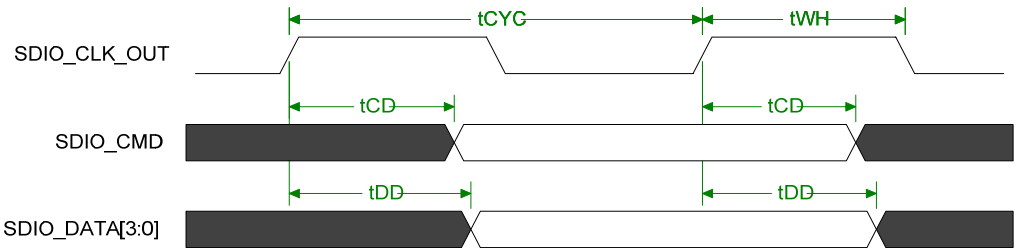


No	参数	符号	最小值	典型值	最大值	单位
11	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td4	-	-	-	ns
12	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu3	-	-	-	ns
13	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu4	-	-	-	ns
14	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th3	-	-	-	ns
15	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th4	-	-	-	ns
16	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td5	-	-	-	ns
17	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td6	-	-	-	ns
18	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td7	-	-	-	ns
19	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td8	-	-	-	ns

8.9 MMC/SD/SDIO 接口时序

输出方向时序如图 8-24 所示。

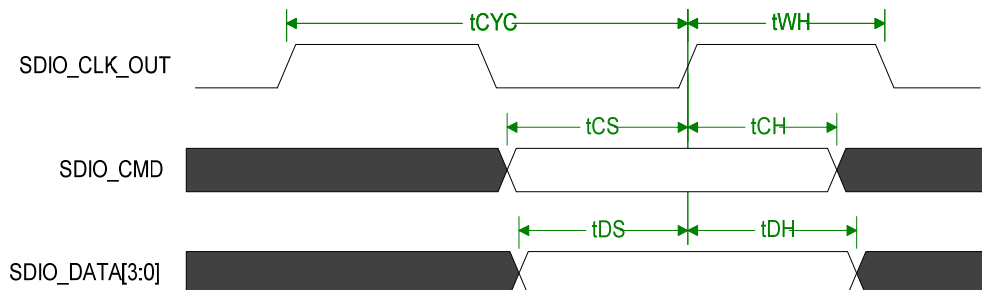
图8-24 输出方向时序图





输入方向时序如图 8-25 所示。

图8-25 输入方向时序图



MMC 接口时序参数如表 8-13 所示。

表8-13 MMC 接口时序参数

参数	描述	最小值	最大值	单位
tCYC	卡时钟周期	10	34000*(1)	ns
tWH	卡时钟高电平时间	4.95	16999.8	ns
tCCLK_IN	MMC 模块工作时钟周期	10~66.67		ns
tCD	SDIO_CMD 输出延时	1.9*(2)	6.7*(2)	ns
tDD	SDIO_DATA 输出延时	1.7*(2)	6.4*(2)	ns
tCS	SDIO_CMD 输入建立时间	3.1*(3)	-	ns
tCH	SDIO_CMD 输入保持时间	0.7*(3)	-	ns
tDS	SDIO_DATA 输入建立时间	3.3*(3)	-	ns
tDH	SDIO_DATA 输入保持时间	0.7*(3)	-	ns

说明：

*(1): SDIO 时钟源输入最低频率为 15MHz，在 SDIO 模块内部，还可以将时钟源进一步做分频处理，最多做 510 分频，即 $1000.0/15*510 = 34ms$ ，具体见 SDIO CLKDIV 寄存器。

*(2): a、输出驱动时钟选择相移 90°（可选 8 种相移：0°、45°、90°、135°、180°、225°、270°、315°，具体见芯片手册的“PERI_CRG39 bit[18:16]寄存器”）；b、以上表格列出的参数仅适合 SD3.0 协议，按照 eMMC 协议，在 DDR50 模式下，要求 DATA 的输出延时最小要不小于 2.5ns，对接 eMMC 的情况下，可通过进一步调整驱动时钟相位，使 hold 满足。

*(3): 输入采样时钟选择相移 90 度（可选 8 种相移：0°、45°、90°、135°、180°、225°、270°、315°，具体见芯片手册的“PERI_CRG39 bit[14:12]寄存器”）。



A 缩略语

A

AAC	advanced audio coding
AAF	anti-aliasing filter
ABR	average bit rate
AC	alternating current
ACA	accessory charge adapter
ACC	automatic contrast control
ACD	auto command done
ACM	adaptive coding and modulation
ADP	attach detection protocol
ADC	analog-to-digital converter
AE	automatic exposure
AEC	audio echo cancellation
AES	advanced encryption standard
AF	adaption field
AGC	automatic gain control
AHB	advanced high-performance bus
AI	audio input
AIU	audio input unit
ALU	arithmetic logic unit
AMBA	advanced microcontroller bus architecture
AMP	asymmetric multi-processing
ANI	automatic number identification
ANR	automatic noise reduction



A 缩略语

AO	audio output
AOU	audio output unit
AP	access point
APB	advanced peripheral bus
API	application programming interface
APLL	analog phase-locked loop
APSK	amplitude phase shift keying
AQTD	alternate queue transfer descriptor
ARM	advanced RISC machines
ARGB	alpha, red, green, blue
ASF	advanced specification format
ATA	advanced technology attachment
ATAH	ATA host controller
ATAPI	advanced technology attachment packet interface
ATR	answer to reset
ATTR	attribute
AUD	audio
AV	audio & video
AVI	auxiliary video information
AVS	audio video coding standard
AWB	automatic white balance
AXI	advanced eXtensible interface

B

BB	baseband
BCH	Bose-Chaudhuri-Hocquenghem
BCM	byte counter modified
BEP	boot entrance point
BER	bit error rate
BGA	ball grid array
BIST	built-in self test
BIU	bus interface unit



BMC	bi-phase mark coding
BND	bayonet nut connector
BOM	bill of material
BPD	bit plan decoder
BPSK	binary phase shift keying
BRG	bridge
BSP	board support package
BVACT	bottom vertical active area
BVBB	bottom vertical back blank
BVFB	bottom vertical front blank
C	
CA	conditional access
CABAC	context-based adaptive binary arithmetic coding
CAR	committed access rate
CAS	column address signal.
CAVLC	context adaptive variable length coding
CBC	cipher block chaining
CBR	constant bit rate
CCB	change control board
CCC	command completion coalescing
CCD	charge-coupled device
CCM	constant coding and modulation
CD	command done or collision detection
CDR	clock data recovery
CEC	consumer electronics control
CF	compact flash
CFB	cipher feedback
CFR	crest factor reduction
CGI	common gate interface
CGMS	copy generation management system
CI	common interface
CIC	cascaded integrator comb



CIU	card interface unit
CL	CAS latency
CLK	clock
CML	current mode logic
CMOS	complementary metal-oxide semiconductor
CN	carrier noise
CNG	comfort noise generator
CODEC	coder/decoder
CP	charge pump
CPL	completion
CPLD	complex programmable logic device
CPU	central processing unit
CR	carrier recovery
CRAMFS	compressed ROM file system
CRC	cyclic redundancy check
CRG	clock and reset generator
CRS	completion retry request
CS	chip select
CSA	common scramble algorithm
CSI	camera serial interface
CSIX	common switch interface
CSMD	<i>carrier sense multiple access</i>
CTI	chroma transient improvement
CTR	counter
CTS	clear to send
CVBS	composite video broadcast signal
CW	cipher word
D	
DAC	digital-to-analog converter
DAG	digital automatic gain
DAGC	digital automatic gain control
DAV	DMA of audio and video



DC	direct current
DCD	data connect detection
DCRC	data CRC error
DDC	display data channel
DDR	double data-rate
DDRC	double data rate controller
DHCP	dynamic host configuration protocol
DEM	dynamic-element matching
DES	data encryption standard
DFT	design for test
DIP	dual in-line package
DIS	digital image stabilization
DiSEqC	digital satellite equipment control
DLL	delay locked loop
DM	data mask
DMA	direct memory access
DMAC	direct memory access controller
DNR	digital noise reduction
DP	data path
DPLL	digital phase-locked loop
DQ	data input/output
DQS	data strobe
DR	design requirement
DRAM	dynamic random access memory
DRC	dynamic range compression
DRM	digital rights management
DRTO	data read timeout
DSI	display serial interface
DSU	dedicated scaling unit
DTMF	dual tone multi frequency
DTO	data transfer over
DVB	digital video broadcasting
DVB-S	digital video broadcasting-satellite



DVD	digital versatile disc
DVI	digital visual interface
DVR	digital video recorder
DWA	data weighted averaging
E	
E2PROM	electrically erasable programmable read-only memory
EAV	end of active video
EB	eviction buffer
EBE	end-bit error
EBI	external bus interface
ECB	electronic codebook
ECC	error correcting code
ECM	entitlement control message
ECS	embedded CPU subsystem
ED	exposed die
EDID	extended display identification data
EEE	energy efficient Ethernet
EHCI	enhanced host controller interface
EMI	electromagnetic interference
EMM	entitlement management message
eMMC	embedded multimedia card
EOP	end of PES
EoS	Ethernet over SONET/SDH
EP	end point
EPG	electronic program guide
EQU	equalizer
ERR	error
ES	element stream
eSATA	external serial advanced technology attachment
ESD	electrostatic discharge
ESR	equivalent series resistance
ETH	Ethernet



ETU elementary time unit

F

FAS frame aligning signal

FBE feedback equalizer

FC switch fabric

FCBGA flip-chip ball grid array

FCCSP flip-chip chip scale package

FEC forward error correction

FER frame error rate

FFC flexible flat cable

FFE feed forward equalizer

FIFO first in first out

FIQ fast interrupt request

FIR finite impulse response

FIS frame information structure

FOD field order detect

FPC flexible printed connector

FPU floating-point unit

FRUN FIFO underrun/overrun error

FSK frequency shift keying

FTP File Transfer Protocol

G

GFP-F frame-mapped generic framing procedure

GFP-T transparent generic framing procedure

GHB global history buffer

GIC generic interrupt controller

GOP group of picture

GS generic stream

GMAC gigabit media access control

GND ground

GPIO general purpose input/output



GPL	GNU general public license
GPU	graphics processing unit
H	
HBA	host bus adapter
HBP	horizontal back porch
HD	high definition
HDCP	high-bandwidth digital content protection
HDI	high density interconnector
HDMI	high definition multimedia interface
HFP	horizontal front porch
HIAO	high-performance audio output interface
HPW	horizontal pulse width
HSTL	high speed transceiver logic
HTML	hypertext markup language
HACT	horizontal active area
HFB	horizontal front blank
HL	high level
HLDC	horizontal lens distortion correction
HLE	hardware locked error
HNP	host negotiation protocol
HTO	data starvation-by-host timeout
HP	high profile
HSIC	high-speed inter-chip
HSS	high-speed serializer/deserializer
HTTP	Hypertext Transfer Protocol
HTTPS	Hypertext Transfer Protocol Secure
HVBB	horizontal back blank
I	
I	in-phase
IBIS	input/output buffer information specification
IC	integrated circuit



I²C	inter-integrated circuit
I²S	inter-IC sound
I/O	input/output
IOC	I/O configuration
IP	Internet Protocol
ISI	input stream identifier
ISP	image signal processor
IDE	integrated device electronic
LDPC	low density parity check code
IDR	intermediate data rate
IF	intermediate frequency
IGMP	Internet Group Management Protocol
LMS	linear mean square
IPF	IP filter
IPv4	Internet Protocol Version 4
IR	infrared
IRQ	interrupt request
ISI	input stream identifier
ISP	image signal processor
ISR	interrupt service routine
ITCM	instruction tightly coupled memory
ITLA	integrated tunable laser assembly
ITU	International Telecommunication Union
IV	initialization vector

J

JFFS2	journaling flash file system version 2
JPEG	Joint Photographic Experts Group
JPGE	JPEG encoder
JTAG	Joint Test Action Group

K

KL	key ladder
-----------	------------

**L**

LCD	liquid crystal display
LDO	low dropout regulator
LDPC	low-density parity check code
LED	light emitting diode
LFB	line fill buffer
LFSR	linear feedback shifting register
LMR	load mode register
LMS	least mean square
LNB	low noise block
LOS	loss of signal
LPI	low-power idle
LRB	line read buffer
LSB	least significant bit
LSP	label switched path
LSN	logic sector number
LTI	luma transient improvement
LVDS	low-voltage differential signaling
LVPECL	low-voltage positive emitter coupled logic
LVTTL	low-voltage transistor-transistor logic
LVPECL	low-voltage positive emitter-coupled logic

M

MAC	media access control
MBAFF	macroblock adaptive frame field
MCE	media control engine
MCU	microprogrammed control unit
MD	motion detection
MDDRC	multiport DDRC
MDIO	management data input/output
MDU	motion detect unit
MF	matched filter



MQFN	mapped quad flat non-leaded
MHL	mobile high-definition link
MII	media independent interface
MIPI	mobile industry processor interface
MIPS	microprocessor without interlocked pipeline stages
MLC	multi-level cell
MLF	malformed
MMB	media memory block
MMC	multimedia card
MMU	memory management unit
MMZ	media memory zone
MP	main profile
MPI	MPP programming interface
MPE	media processing engine
MPLL	multiplying phase-locked loop
MPP	media processing platform
MRL	manually-operated retention latch
MSB	most significant bit
MSE	mean square error
MSG	message
MV	motion vector
N	
NAL	network abstraction layer
NANDC	NAND flash controller
NC	not connect
NCQ	native command queuing
NLP	non-linear processor
NR	noise reduction
NRZ	non-return-to-zero
NTSC	National Television Systems Committee
NVR	network video recorder

**O**

OCT	on-chip termination
OD	open drain
ODT	on-die termination
OEN	output enable
OFB	output feedback
OHCI	open host controller interface
OOB	out of band
OP	operational amplifier
OR	original requirement
OSC	oscillator
OSD	on screen display
OTG	on-the-go
OTP	one time programmable
OTU	optical transponder unit

P

PAD	packet assembler/disassembler
PAFF	picture adaptive frame field
PAL	phase alternating line
PCB	printed circuit board
PCI	peripheral component interconnect
PCIe	peripheral component interconnect express
PCIV	PCI view
PCR	program clock reference
PCM	pulse code modulation
PDM	pulse density modulation
PECL	positive emitter coupled logic
PER	packet error rate
PES	packetized elementary stream
PG	power/ground
PHY	physical
PID	packet ID



PIM-DM	protocol independent multicast dense mode
PIM-SM	protocol independent multicast sparse mode
PIO	programmable input/output
SSA	secure software authentication
PLL	phase-locked loop
PLS	physical layer signaling
PM	port multiplexer
PMoC	power management of chip
PMP	personal media player
POR	power-on reset
PPP	Point-to-Point Protocol
PPS	picture parameter set
PRBS	pseudo random binary sequence
PRDT	physical region descriptor table
PSI	program specific information
PSK	phase shift keying
PSRAM	pseudo static random access memory
RTCP	Real-time Transport Control Protocol
RTP	Real-time Transport Protocol
PT	packet type
PTS	presentation time stamp
PUB	PHY utility block
PUSI	payload unit start indicator
PWM	pulse width modulation

Q	
Q	quadrant
QAM	quadrature amplitude modulation
QDR	quad data rate
QoS	quality of service
QP	quantizer parameter
QPSK	quaternary phase shift keying

**R**

RAM	random access memory
RAS	row address signal
RC	resistor-capacitor
RCA	Radio Corporation of America
RCRC	response CRC error
RE	response error
RF	radio frequency
RGB	red-green-blue
RGMII	reduced gigabit media independent interface
RH	relative humidity
RoHS	restriction of the use of certain hazardous substances
ROI	region of interest
ROM	read-only memory
ROP	raster operation
RPR	resilient packet ring
RLDRAM	reduced latency dynamic random access memory
RMII	reduced media-independent interface
RS	Reed-Solomon
RTC	real-time clock
RTO	response timeout
RTS	request to send
RVDS	RealView development suite
RX	receive
RXDR	receive FIFO data request

S

SAP	service access point
SAD	sum of absolute difference
SAR	successive approximation
SATA	serial advanced technology attachment
SAV	start of active video
SBE	start-bit error



SBP	secure boot procedure
SCD	start code detect
SCI	smart card interface
SCL	serial clock
SCR	system clock reference
SCS	secure chipset start-up
SCU	snoop control unit
SD	secure digital
SDA	serial data
SDB	set device bits
SDH	synchronous digital hierarchy
SDHC	secure digital high capacity
SDI	serial digital interface
SDIO	secure digital input/output
SDK	software development kit
SDRAM	synchronous dynamic random access memory
SDV	system design verification
SI	specific information
SIO	sonic input/output
SLC	single-level cell
SMI	static memory interface
SNAP	subnetwork access point
SNR	signal-to-noise ratio
SNTF	serial ATA notification
SOA	semiconductor optical amplifier
SoC	system-on-chip
SONET	synchronous optical network
SOP	start of PES
SP	simple profile
SPDIF	Sony/Philips digital interface
SPI	serial peripheral interface
SPS	sequence parameter set
SRAM	static random access memory



SRP	Session Request Protocol
SSA	secure software authentication
SSD	secure software download
SSMC	synchronous static memory controller
SSP	synchronous serial port
SSRAM	synchronous static random access memory
SSTL-18	stub series terminated logic for 1.8 V
STA	station
STB	set-top box
STM-1	synchronous transport module level 1
SVB	selective voltage bias
SYNC	synchronization
SYS	system

T

TBD	to be determined
TBGA	tape ball grid array
TC	traffic class
TCP	Transmission Control Protocol
TD	TLP digest
TDES	triple data encryption standard
TDE	two-dimensional engine
TE	tearing effect
TEI	transport error indicator
TFD	task file data
TFPBGA	tape fine-pitch ball grid array
TFT	thin-film technology
TI	Texas Instruments
TLV	type-length-value
TOE	TCP/IP offload engine
TP	transponder
TPIT	TS packet index table
TR	timing recovery



TT	teletext
TV	television
TVACT	top vertical active area
TVBB	top vertical back blank
TVFB	top vertical front blank
TVS	transient voltage suppressor
TX	transmit
TXDR	transmit FIFO data request
U	
UART	universal asynchronous receiver transmitter
U-boot	universal boot loader
UC	unexpected completion
UDP	User Datagram Protocol
ULPI	UTMI low pin interface
UPnP	universal plug and play
UR	unsupported request
USB	universal serial bus
USIM	universal subscriber identity module
UTMI	USB 2.0 transceiver macrocell interface
V	
VACT	vertical active area
VAD	voice activity detector
VAPU	video analysis&process unit
VBB	vertical back blank
VBI	vertical blanking interval
VBR	variable bit rate
VCC	common connector voltage
VCO	voltage controller oscillator
VCMP	video compress
VCXO	voltage control crystal oscillator



VDA	video detection analysis
VDH	video decoder for high-definition
VDM	video decoding module
VDEC	video decoding
VDP	video display
VEDU	video encoding/decoding unit
VENC	video encoding
VFB	vertical front blank
VFMW	video firmware
VFP	vertical front porch
VGA	video graphics array
VI	video input
VIC	vector interrupt controller
VICAP	video capture
VIU	video input unit
VLD	valid
VLL	virtual leased line
VO	video output
VOIE	voice encoder
VOU	video output unit
VPP	video pre-processing
VPS	video programming system
VPSS	video process subsystem
VPW	vertical pulse width
VSA	vertical sync start
VQE	voice quality enhancement
VQM	voice quality monitor
W	
WDG	watchdog
WE	write enable
WFE	wait for event
WFI	wait for interrupt



WRED	weighted random early discard
WSS	wide screen signaling
X	
XAUI	10 gigabit attachment unit interface
Y	
YAFFS	yet another flash file system
YUV	luminance-bandwidth-chrominance
Z	
ZME	zoom engine