



Hi3136V100 卫星数字电视信道处理芯片

用户指南

文档版本 00B10

发布日期 2013-05-02

版权所有 © 深圳市海思半导体有限公司 2013。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址：深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址：<http://www.hisilicon.com>

客户服务电话：+86-755-28788858

客户服务传真：+86-755-28357515

客户服务邮箱：support@hisilicon.com



目 录

前 言.....	1
----------	---



前 言

概述

本文档主要介绍 Hi3136V100 卫星数字电视信道处理芯片的主要特点、逻辑结构、以及硬件设计信息，提供给用户设计使用参考。

产品版本

与本文档相对应的产品版本如下。

产品名称	版本
Hi3136	V100

读者对象

本文档（本指南）主要适用于以下工程师：

- 电子产品设计维护人员
- 电子产品元器件市场销售人员

约定

寄存器访问类型约定

类型	说明	类型	说明
RO	只读，不可写。	RW	可读可写。
RC	读清零。	WC	可读，写 1 清零，写 0 保持不变。



寄存器复位值约定

在寄存器定义表格中：

- 如果某一个比特的复位值“Reset”（即“Reset”行）为“？”，表示复位值不确定。
- 如果某一个或者多个比特的复位值“Reset”为“？”，则整个寄存器的复位值“Total Reset Value”为“-”，表示复位值不确定。

数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量（如 RAM 容量）	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列（寄存器描述中除外）。
X	00X、1XX	在数据的表达方式中，X 表示 0 或 1。 例如：00X 表示 000 或 001； 1XX 表示 100、101、110 或 111。

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修改日期	版本	修改说明
2012-11-24	00B01	第 1 个临时版本。



修改日期	版本	修改说明
2013-05-02	00B10	修改 3.8 章节接口时序。



目 录

1 产品概述.....	1-1
1.1 概述.....	1-1
1.2 主要特点.....	1-1
1.2.1 多标准解调	1-1
1.2.2 特性	1-1
1.2.3 系统	1-2
1.2.4 接口	1-2
1.2.5 工艺	1-2
1.3 功能框图.....	1-2
1.4 应用领域.....	1-3
1.5 典型应用.....	1-3



插图目录

图 1-1 Hi3136V100 功能框图.....	1-3
图 1-2 前端接收应用框图.....	1-4



1 产品概述

1.1 概述

Hi3136V100 是一款集成了 DVB-S2、DVB-S、DirecTV 模式的卫星数字电视信道接收芯片。芯片完成卫星数字信号从基带采样到 MPEG-TS 流输出的全数字处理过程。芯片支持 QPSK/8PSK/16APSK/32APSK 和 ACM/VCM 功能，是业内功能最齐全的产品。芯片支持高达 60M baud 的符号率，提供快速高可靠的全频段盲扫功能，自动获得载波频率、符号率等系统信息。提供优越的抗相位噪声、抗多径和抗干扰能力。提供快速同步能力，缩短换频道的等待时间。Hi3136V100 具有高性能、适应环境能力强的优点。

1.2 主要特点

1.2.1 多标准解调

- 支持 DVB-S2、DVB-S、DirecTV（ITU-R BO.1516 - System B）标准，并自动识别
- DVB-S2 下支持 QPSK、8PSK、16APSK、32APSK
- DVB-S2 下支持所有 11 种码率
- DVB-S2 下支持短帧和长帧
- DVB-S2 下支持 CCM、VCM 和 ACM 模式
- DVB-S2 下支持 TS 流和 GS 流，适应数据业务

1.2.2 特性

- 更加快速且更加可靠的全频段盲扫功能，自动获得载波频率、符号率、码率等系统信息
- 更加优越的抗相位噪声性能
- 更加优越的抗多径性能，有效降低高建筑物反射以及阻抗不匹配的影响
- 更加优异的抗干扰性能，对环境的适应能力更强
- 更加快速的信道同步能力，缩短换频道的等待时间
- 载波和符号率的捕获范围大，提高应用适应能力
- 自适应频谱反转识别



- 最高比特率范围达 187.5Mbps
- 最低符号率到 1MSps；最高符号率支持：
 - QPSK 和 8PSK：最高 60MSps
 - 16APSK：最高 47MSps
 - 32APSK：最高 37.5MSps

1.2.3 系统

- 集成 125MHz、10 比特的双通道 ADC，确保采样的高精度
- 集成 PLL，外部仅需无源晶振，频率 10MHz~30MHz，典型 24MHz
- 提供信号强度、信噪比和误码率的实时监测
- 外部电路简单，支持两层板布线，BOM 成本更低

1.2.4 接口

- 支持 I2C 总线协议，实现对芯片灵活控制
- 支持对 Tuner 的 I2C 总线的中继
- 支持 DiSEqCTM v2.x 协议和 FSK 协议，方便对各种卫星设备的控制
- 支持串行和并行 TS 流输出，并提供多种灵活选择，方便与解码芯片的配合
- TS 流输出信号管脚号任意配置，PCB 布板更方便

1.2.5 工艺

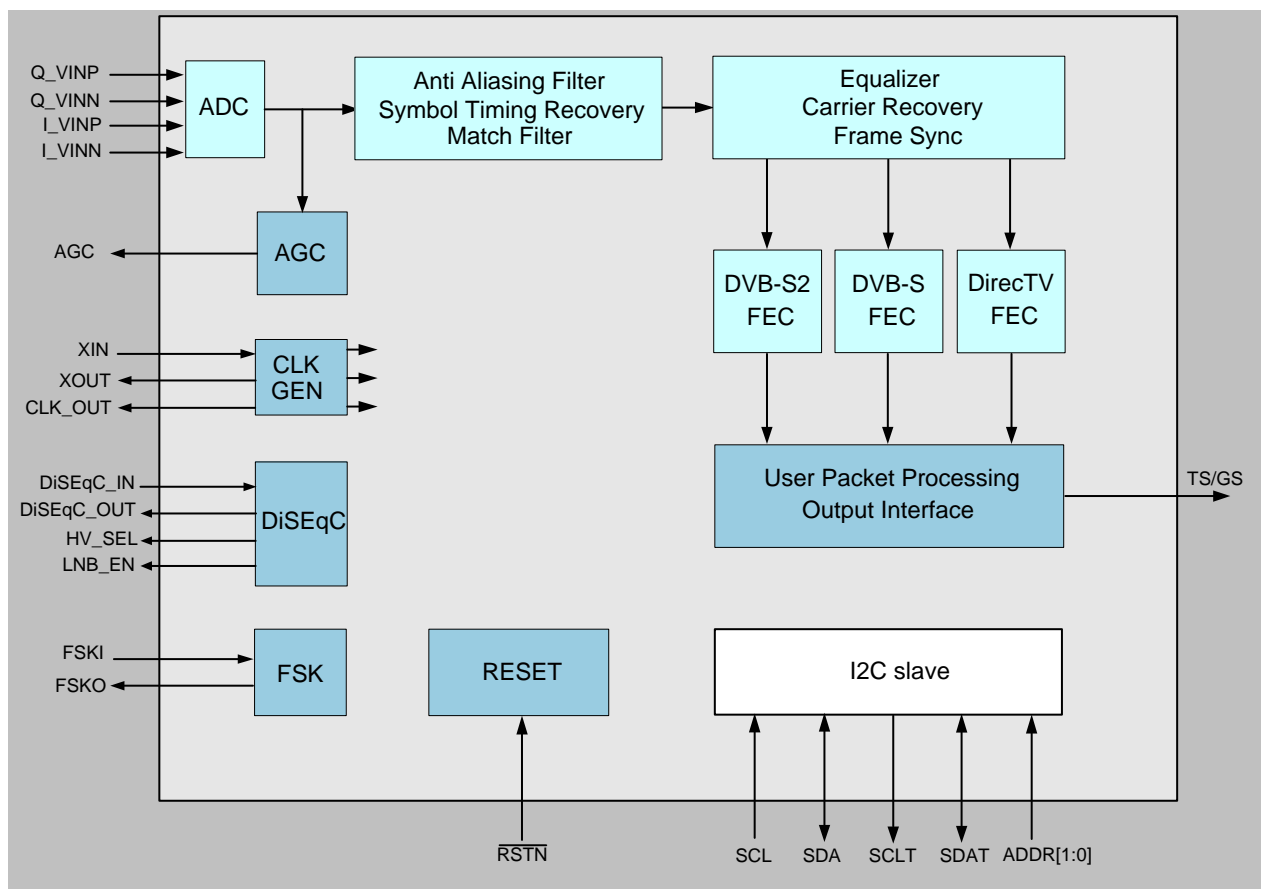
- 内核供电 1.2V，IO 供电 3.3V。最大功耗 540 mW
- 封装 MQFN48，尺寸 6mm×6mm，RoHS

1.3 功能框图

Hi3136V100 芯片的功能框图如图 1-1 所示。



图1-1 Hi3136V100 功能框图



1.4 应用领域

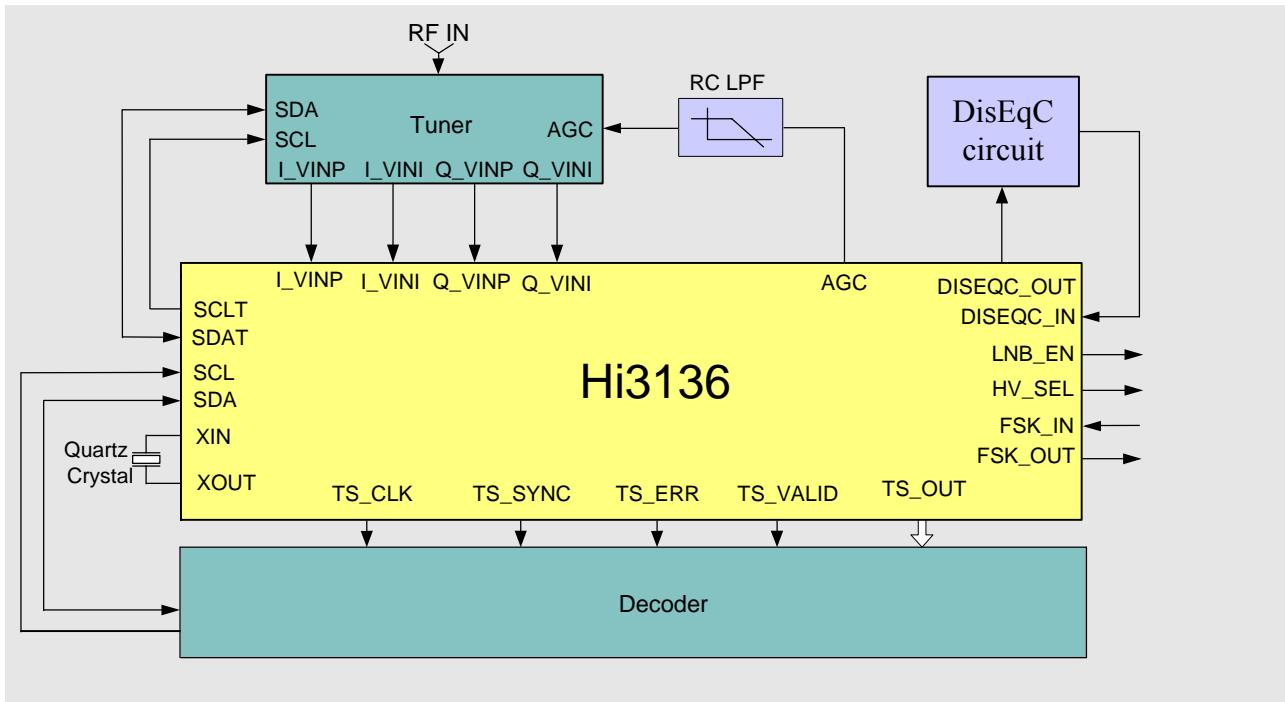
- 卫星调谐器
- 卫星机顶盒和数字一体电视机
- 卫星调制解调器和数字电视卡

1.5 典型应用

Hi3136V100 芯片的前端接收的典型应用如[图 1-2](#) 所示。



图1-2 前端接收应用框图





目 录

2 Demod	2-1
2.1 概述	2-1
2.2 时钟	2-1
2.3 复位	2-4
2.4 I2C 控制器	2-4
2.5 ADC	2-6
2.6 AGC	2-6
2.7 抗混叠滤波	2-7
2.8 时钟恢复	2-7
2.9 匹配滤波器	2-7
2.10 均衡	2-7
2.11 载波恢复	2-8
2.12 帧同步	2-8
2.13 DVB-S2 FEC 模块	2-8
2.14 DVB-S&DirecTV FEC 模块	2-8
2.15 TS 输出	2-9
2.16 信号监测	2-13
2.17 信道盲扫	2-18
2.18 DISEQC	2-19
2.19 寄存器概览	2-22
2.20 Demod 寄存器描述	2-29



插图目录

图 2-1 Demod 内部时钟域示意	2-1
图 2-2 I2C 读时序	2-5
图 2-3 I2C 写时序	2-5
图 2-4 I2C 转发功能	2-6
图 2-5 TS 并行输出时序示意	2-10
图 2-6 TS 1bit 串行输出时序示意	2-10
图 2-7 TS 2bit 串行输出时序示意	2-11
图 2-8 0 Tone Burst 输出示意	2-20
图 2-9 1 Data Burst 输出示意	2-21
图 2-10 DISEQC 消息数据输出示意	2-21



表格目录

表 2-1 其他主要模块时钟域.....	2-2
表 2-2 PLL 内部及输入输出时钟范围.....	2-3
表 2-3 Demod 支持最高符号率.....	2-3
表 2-4 AGC 信号时钟频率选择	2-7
表 2-5 TS 输出模式选择.....	2-9
表 2-6 ts_x_sel 与所控制管脚关系（x 取值 0/1/2/3/4/5/6/7/8/9/a）	2-12
表 2-7 ts_x_sel 取值与输出关系（x 取值 0/1/2/3/4/5/6/7/8/9/a）	2-12
表 2-8 PLS_CODE 高 5 位与调制模式码率关系.....	2-13
表 2-9 roll_off 取值与滚降系数对应关系.....	2-14
表 2-10 DVB_S&DirectV 模式下码率.....	2-14
表 2-11 DVB-S2 模式下 N 取值.....	2-17
表 2-12 BER_CTRL[6:4]与 frams 关系.....	2-17
表 2-13 DISEQC 模式选择.....	2-20
表 2-14 Demod 寄存器概览（基址是 0x00）	2-22



2 Demod

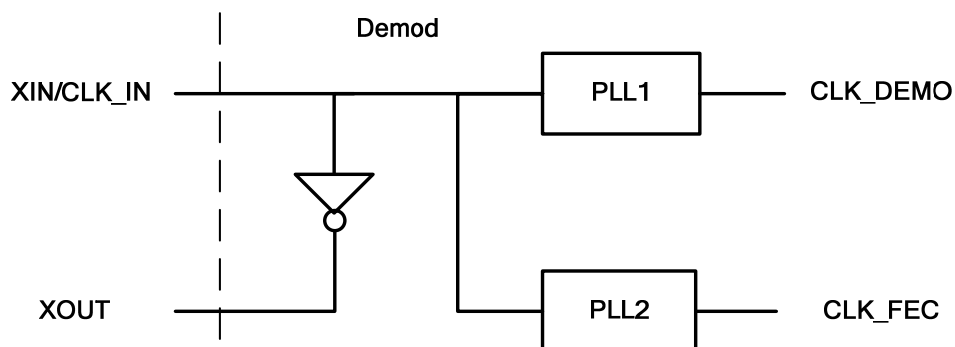
2.1 概述

Demod 完成卫星数字电视信号从基带采样、解调、纠错译码到 MPEG-TS 流输出的全数字处理过程，完全支持 DVB-S2(ETS 302 307)、DVB-S (ETS 300 421) 和 DirecTV(ITU-R BO.1294 System B)标准。

2.2 时钟

Demod 的输入时钟来自外接晶振或外部时钟，经内部 PLL 得到 Demod 工作需要的时钟频率。Demod 内部分两个时钟域，ADC(Analog Digital Converter, 模数转换器)和解调部分工作在 CLK_DEMO 时钟域，纠错译码和 TS 输出部分工作在 CLK_FEC 时钟域。Demod 内部时钟如图 2-1 所示。

图2-1 Demod 内部时钟域示意



其他主要模块工作的时钟域如表 2-1 所示。



表2-1 其他主要模块时钟域

模块	时钟域
I2C	上电工作在晶振时钟（或外部时钟）上，待芯片内部 PLL 稳定后可切换到 CLK_DEMO 上以提高 I2C 通信速度。
DISEQC	CLK_DEMO(解调时钟)
FSK	CLK_FEC(纠错译码时钟)

CLK_DEMO 的频率可通过以下 I2C 操作设置。

步骤 1 将寄存器 `ADC_CTRL2[i2c_xo_clk]` 清 0，切换 I2C 时钟到晶振或外部时钟上（如芯片从上电复位开始，I2C 默认工作在晶振/外部时钟上）。

步骤 2 将 `PLL1_CTRL1[pll1_pd]` 置 1，关闭 PLL1。

步骤 3 配置 PLL1 的参数。

```
FVCO1=FREF/pll1_refdiv[5:0]*(pll1_fbdiv[7:0]+pll1_frac[11:0]/2^12)
FOUT1=FVCO1/pll1_postdiv1[2:0]/pll1_postdiv2[2:0]
```

其中：

- FREF 为晶振/外部时钟频率。
- FVCO1 为 PLL1 的 VCO 频率。
- FOUT1 即 CLK_DEMO 输出频率。
- 其他参数参考 PLL1 的寄存器说明。

在典型的 24MHz 晶振/外部时钟输入情况下，基于默认配置，CLK_DEMO 的工作频率为 125MHz。

步骤 4 将 `PLL1_CTRL1[pll1_pd]` 清 0，重新使能 PLL1。

步骤 5 延时等待 `TS_CTRL2[pll1_lock]` 指示，为 1 表示 PLL1 锁定。

步骤 6 将 `PLL1_CTRL5[pll1_vcopd]` 清 0，使能 PLL1 输出。

步骤 7 将寄存器 `ADC_CTRL2[i2c_xo_clk]` 清 0，切换 I2C 时钟到 CLK_DEMO 上。

步骤 8 对芯片做一次热复位，即 `RSTN_CTRL[hot_rst_n]` 先写 0 后写 1。

----结束

CLK_FEC 的频率设置与 CLK_DEMO 相同步骤，只需把其中 PLL1/pll1/FVCO1/FOUT1 相关的部分分别替换为 PLL2/pll2/FVCO2/FOUT2，请参考 PLL2 相关的寄存器说明。在典型的 24MHz 晶振/外部时钟输入情况下，基于默认配置，CLK_FEC 的工作频率为 187.5MHz。



说明

可以在 I2C 切到晶振/外部时钟后，一起完成 CLK_DEMO 和 CLK_FEC 的配置。PLLx（x 取值 1 或 2，下同）输入输出及内部各时钟项允许的频率范围如表 2-2 所示。

表2-2 PLL 内部及输入输出时钟范围

时钟项	频率范围（MHz）
FREF	10~30
FREF/pllx_refdiv	10~40
FVCOx	≤1600
CLK_DEMO（即 FOUT1）	≤125
CLK_FEC（即 FOUT2）	≤187.5

为保证解调部分正常工作，Demod 所能支持的最高符号率为 CLK_DEMO/2。为保证纠错译码部分正常工作，Demod 所能支持的最高符号率与 CLK_FEC 的关系如表 2-3 所示。

表2-3 Demod 支持最高符号率

调制模式	最高符号率
QPSK	CLK_FEC/2
8PSK	CLK_FEC/3
16APSK	CLK_FEC/4
32APSK	CLK_FEC/5

上电复位情况下，PLL1 和 PLL2 的输出是关闭的，需要将 PLL1_CTRL5[p1l1_vcopd]和 PLL2_CTRL5[p1l2_vcopd]清 0，来打开时钟输出。

为保证芯片正常工作，在修改完 PLL 频率设置后，需要：

- 把当前 CLK_DEMO 频率置入寄存器 CLK_DEMO_L[clk_demo_l]、CLK_DEMO_M[clk_demo_m]和 CLK_DEMO_H[clk_demo_h]中，用 kHz 表示的 CLK_DEMO 频率等于：
$$\text{clk_demo_h} * 65536 + \text{clk_demo_m} * 256 + \text{clk_demo_l}$$
- 把当前 CLK_FEC 频率置入寄存器 CLK_FEC_L[clk_fec_l]、CLK_FEC_M[clk_fec_m]和 CLK_FEC_H[clk_fec_h]中。用 kHz 表示的 CLK_FEC 频率等于：
$$\text{clk_fec_h} * 65536 + \text{clk_fec_m} * 256 + \text{clk_fec_l}$$



此外，Demod 还提供晶振/外部时钟的环出 CLK_OUT (PIN_24) 供 MPEG 等其它芯片使用。

2.3 复位

复位包括硬件复位和软件复位：

- 外部管脚 RSTN 用于上电复位或者主控芯片对 Demod 的硬复位，复位所有寄存器。
- 内部寄存器复位通过 I2C 可支持冷复位 (cool_rst_n) 和热复位 (hot_rst_n):
 - 冷复位，对 RSTN_CTRL[cool_rst_n]先写 0 后写 1，效果同硬件复位，复位所有寄存器。
 - 热复位，对 RSTN_CTRL[hot_rst_n]先写 0 后写 1，仅复位逻辑，配置寄存器的值保持不变。

2.4 I2C 控制器

Demod 上的 I2C 控制器实现了 I2C 的 slave 功能，通过 I2C 通信可完成对 Demod 内部配置寄存器的读取/写入，也可实现对 Tuner 的 I2C 通信的转发。

Demod 做为 slave，接受主控芯片的各项 I2C 操作。Demod 的器件地址用 8 位二进制表示为：10110XXY（其中 XX 通过芯片管脚 ADDR[1:0]设定；Y 用于区分读写操作，1 为读，0 为写）。I2C 的操作时序如图 2-2、图 2-3 所示。



图2-2 I2C 读时序

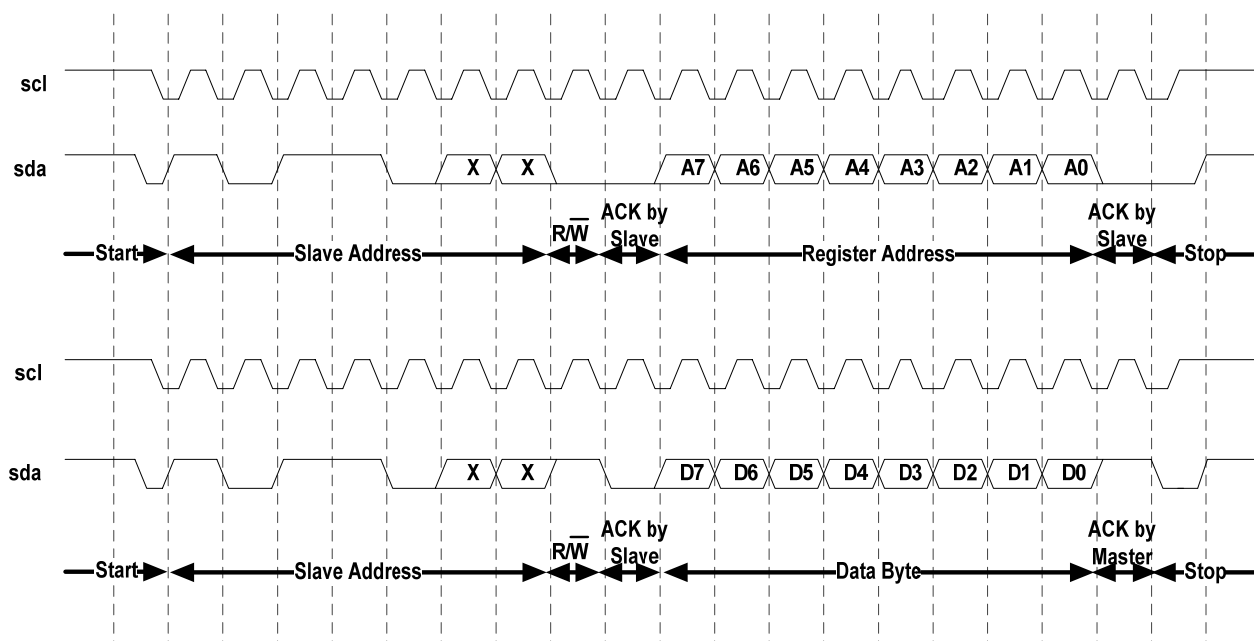
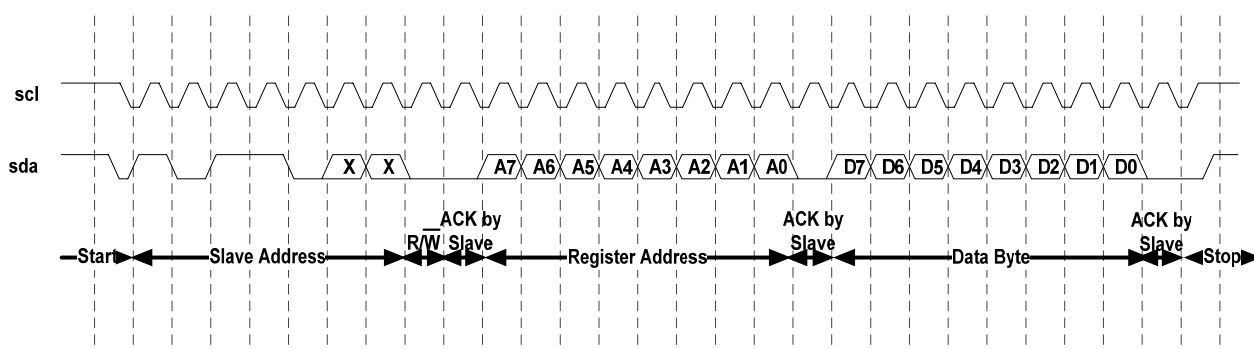


图2-3 I2C 写时序

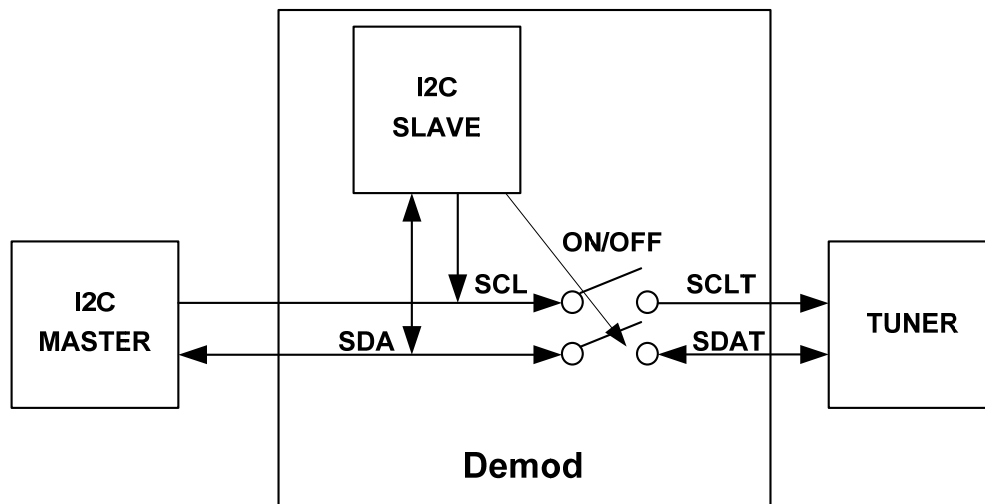


结合软件的控制，Demod 的 I2C 控制器可实现连续读/写多个寄存器的操作。对于 Tuner 来说，Demod 可以完成 I2C 的转发功能，即当主控芯片需要访问 Tuner 时，打开主控芯片与 Tuner 之间的 I2C 路径，主控芯片随即可像访问 Demod 一样访问 Tuner，当一次 I2C 读或写操作完成后 Demod 会自动关闭转发功能，以防止 I2C 对 Tuner 的干扰。Tuner 的 I2C 地址参见相关 Tuner 器件手册。

I2C 转发功能如图 2-4 所示。



图2-4 I2C 转发功能



打开 I2C 转发功能请参考寄存器 [TUNER_SEL](#) 说明。

2.5 ADC

Demod 片内集成高性能 10bit 双通道 ADC（Analog Digital Converter），对前端 Tuner 输出的基带模拟 I（In-phase，同相）/Q（Quadrant，正交）信号进行采样。通过改变 CLK_DEMO 频率可改变实际采样时钟频率，最高可支持到 125MHz。ADC 支持差分或单端输入（默认为差分输入），满幅峰峰值为 1V。可通过寄存器 [ADC_CTRL2\[adc_clk_inv\]](#) 选择采样时钟的边沿。

一般情况下，ADC 的 I/Q 与 Tuner 的 I/Q 分别相接。但有时为方便 PCB 布线，ADC 的 I/Q 与 Tuner 的 Q/I 分别相接，Demod 也能自动识别。

Demod 上电后，请通过寄存器 [ADC_CTRL1\[adc_om\]](#) 先写 3 再写 0 的操作对其做一次初始化。

2.6 AGC

AGC 模块接收 ADC 的 I/Q 输出，根据期望功率和实际功率之差，生成 AGC 控制信号（PDM 波）。该 AGC 控制信号经过外部简单的 RC 滤波后送往 Tuner，调整 Tuner 信号输出幅度至期望值。AGC 控制信号的时钟频率通过 [AGC_CTRL\[pdm_div\]](#) 可调，输出极性可以通过 [AGC_CTRL\[agc_inverse\]](#) 配置。

- AGC 期望功率可以通过 [AGC_GOAL\[agc_goal\]](#) 设置。
- AGC 调整速度通过 [AGC_SPEED_BOUND\[agc_speed\]](#) 控制。

AGC 信号时钟频率选择如表 2-4 所示。



表2-4 AGC 信号时钟频率选择

pdm_div[2:0]	AGC 信号时钟频率
0	CLK_DEMO
1	CLK_DEMO/2
2	CLK_DEMO/4
3	CLK_DEMO/8
4	CLK_DEMO/16
5	CLK_DEMO/32
6	CLK_DEMO/64
7	CLK_DEMO/128

2.7 抗混叠滤波

抗混叠滤波模块 AAF（Anti-aliasing Filter）根据所设符号率完成带外干扰的抑制，防止对有用信号的干扰。

2.8 时钟恢复

时钟恢复 TR（Timing Recovery，定时恢复）是要恢复出与发送端符号率完全相同的时钟，并且恢复出准确时钟相位下的采样数据。

为使时钟恢复模块正常工作，Demod 需要通过 I2C 写入符号率初值 fs。fs 为无符号数，用 16 位表示，最低位（LSB）表示 1kHz，这样 fs 最高可表示到约 65MHz。请参考寄存器 [FS_H](#) 和 [FS_L](#)。

当启用信道盲扫时，符号率初值可由盲扫功能模块给出，请参考信道盲扫说明部分。

2.9 匹配滤波器

匹配滤波器 MF（Matched Filter，匹配滤波器）为根升余弦滤波器，其滚降系数支持 0.2/0.25/0.35，且可自动识别。

2.10 均衡

均衡模块 EQU（Equalizer，均衡器）结合使用盲均衡和判决反馈均衡用于消除回波和线性信道失真的影响。盲均衡的步长可通过 [2.20 EQU_CTRL\[blind_step\]](#) 调整。判决反



馈均衡的步长可通过 [LMS_STEP\[lms_step_4_8\]](#)和 [RD_WR_TAP\[lms_step_16_32\]](#)调整, 其中 [LMS_STEP\[lms_step_4_8\]](#)针对 QPSK 和 8PSK, [RD_WR_TAP\[lms_step_16_32\]](#)针对 16APSK 和 32APSK。

2.11 载波恢复

载波恢复模块 CR (Carrier Recovery, 载波恢复) 用于跟踪和补偿载波的频率偏移与相位偏移。芯片内部采用创新的算法, 使抗相位噪声性能、同步速度、捕获范围达到综合最佳。

某些情况下 (比如小符号率), 通过设偏 Tuner 中心频率, 解调部分能得到更好的性能。该偏移量需要在芯片内部补偿回来, 可以通过 [CENT_FREQ_L\[cent_freq_l\]](#)和 [CENT_FREQ_H\[cent_freq_h\]](#)设置。cent_freq[15:0]的值取 Tuner 输入端信号实际中心频率和 Tuner 所设中心频率之差, 为有符号数, 最低位 (LSB) 表示 1kHz, 这样表示的范围为正负 32MHz。

2.12 帧同步

DVB-S2 信号为按帧组织的, 需要可靠界定帧的起始位置。帧同步完成此功能。支持极低信噪比下的快速同步。并支持 VCM/ACM 时逐帧变化帧长情况下的可靠同步。

2.13 DVB-S2 FEC 模块

此模块完成以下操作:

- 步骤 1 进行符号解映射, 生成的软信息送解交织处理。
- 步骤 2 解交织完成后, 存入 RAM 中进行 LDPC 译码, LDPC 译码可以支持长帧和短帧模式, 并支持标准所有码率。
- 步骤 3 LDPC 译码之后的数据输出到 BCH 模块进行 BCH 译码。

----结束

2.14 DVB-S&DirecTV FEC 模块

此模块完成以下操作:

- 步骤 1 进行 Viterbi 码率识别和同步操作。
- 步骤 2 进行解删余和解映射操作。
- 步骤 3 Viterbi 译码, 支持码率 1/2、2/3、3/4、5/6、7/8、6/7。
- 步骤 4 进行 DVB-S/ DirecTV 的解交织操作。



步骤 5 解交织后数据输入 RS（Reed-Solomon Decoder）模块，完成信道纠错功能。DVB-S 输出包长为 188 字节，DirecTV 输出包长为 130 字节。

----结束

2.15 TS 输出

Demod 提供 3 种 TS 输出模式，包括并行模式、串行模式和 2bit 串行模式。

TS 输出接口信号包括数据信号 TS_OUT[7:0]、时钟信号 TS_CLK、数据有效信号 TS_VLD、同步头信号 TS_SYNC 和包错误信号 TS_ERR：

- TS_OUT：TS 帧数据。并行模式下用 8 位，串行模式下用 1 位，2bit 串行模式用 2 位。
- TS_CLK：数据时钟。时钟沿可设，在不同模式下对应不同的时钟输出。
- TS_VLD：TS 包数据有效指示（并行模式是字节有效，串行模式是比特有效）。
- TS_SYNC：TS 包同步头指示（并行模式是字节有效，串行模式是比特有效）。
- TS_ERR：TS 包错误指示，当前 TS 包出错则置 1。

TS 接口的并行/1bit 串行/2bit 串行输出模式通过寄存器 [TS_PARALL_CTRL\[ts_parall\]](#)和 [TS_PARALL_CTRL\[ts_serial2\]](#)选择。

表2-5 TS 输出模式选择

ts_parall	ts_serial2	TS 输出模式	TS_CLK 最高速率 (MHz)	所支持的最高 TS 流比特速率 (Mbps)
1	0	并行	23.5	187.5
1	1	串行 2bit	94	187.5
0	x	串行 1bit	187.5	187.5



图2-5 TS 并行输出时序示意

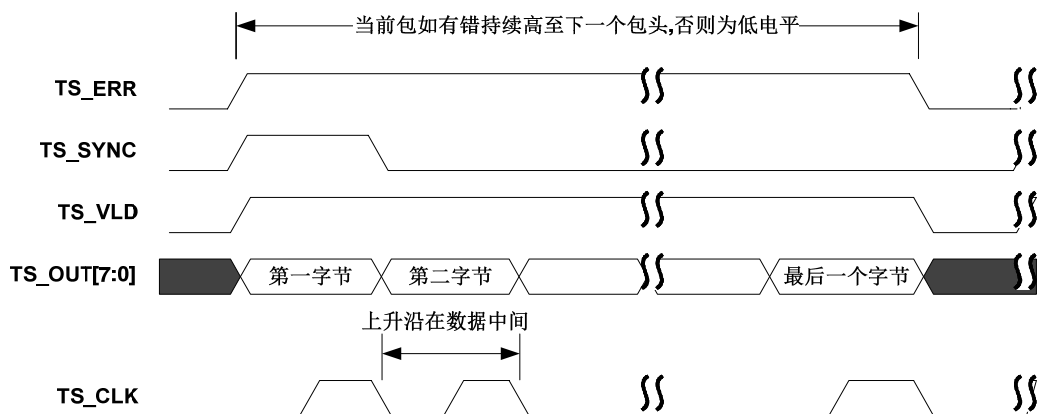
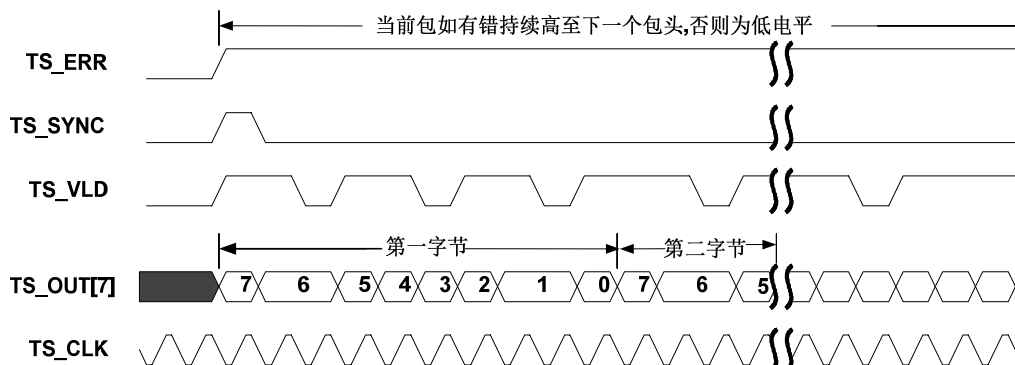


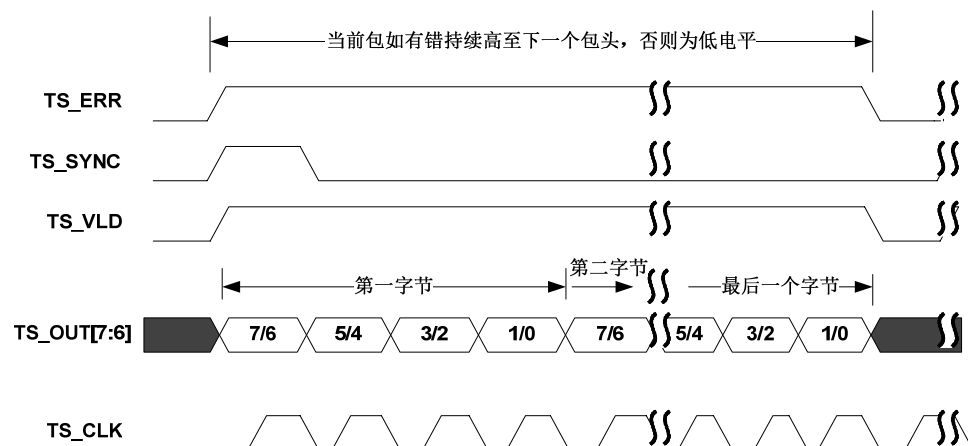
图2-6 TS 1bit 串行输出时序示意



*注：串行输出情况下 TS_CLK 固定工作在 CLK_FEC 频率，通过 TS_VLD 为低电平屏蔽掉无效的 bit。图中所示为高位输出优先，通过寄存器 2.20 TS_CTRL0[ts_lsb_first]可改成低位输出优先。TS_OUT 可实际映射到 TS_OUT[7:0]中任意一个管脚，参考后面说明。



图2-7 TS 2bit 串行输出时序示意



*注：两比特串行输出情况下 TS_OUT 可实际映射到 TS_OUT[7:0]的任意两个管脚。

并行和串行两比特输出模式下，TS_CLK 的时钟沿通过 [TS_CTRL0\[ts_clk_inv\]](#)选择，0 为上升沿在 TS 数据中间，1 为下降沿在 TS 数据中间。

串行输出模式下，TS_CLK 的时钟沿通过 [ADC_CTRL2\[clk_inv\]](#)选择，0 为上升沿，1 为下降沿。

并行和串行两比特输出模式下，Demod 可根据 CLK_FEC 的频率、传输制式、符号率及调制模式自动生成均匀化的 TS_CLK 信号。用户也可以指定用 CLK_FEC 的固定分频来作为 TS_CLK 信号，此种为推荐工作方式，可更好支持包括 VCM/Multi-TS 在内的多种情况下的 TS 输出。方法如下：

- 步骤 1 设置寄存器 [TS_CTRL4\[ts_clk_div\]](#)、[TS_CLK_DIV_F_L\[ts_clk_div_f_l\]](#)、[TS_CLK_DIV_F_H\[ts_clk_div_f_h\]](#)来确定系统时钟的分频比。其中 ts_clk_div[5:0]为分频比的整数部分，取值 8~63。ts_clk_div_f[15:0]为分频比的小数部分。实际分频比为 $ts_clk_div[5:0] + ts_clk_div_f[15:0]/65536$ 。
- 步骤 2 [TS_CTRL4\[clk_auto\]](#)清零切换 TS_CLK 到设定的频率上。
- 步骤 3 通过 [TS_CTRL0\[mask_ts_clk\]](#)选择是否在 TS_VLD 为低期间屏蔽掉 TS_CLK 输出。



注意

此种情形下的 TS_CLK 频率需保证能够传输最高 TS 流速率的要求。

串行（1bit）模式下，如前所述，TS_CLK 的输出固定在 CLK_FEC 频率上。通过 TS_VLD 为低电平来屏蔽无效 bit。

TS 管脚映射通过以下控制信号来选择输出。



表2-6 ts_x_sel 与所控制管脚关系 (x 取值 0/1/2/3/4/5/6/7/8/9/a)

控制信号	所在寄存器	所控制的芯片外部管脚
ts_0_sel	TS_10_SEL	TS_OUT0
ts_1_sel	TS_10_SEL	TS_OUT1
ts_2_sel	TS_32_SEL	TS_OUT2
ts_3_sel	TS_32_SEL	TS_OUT3
ts_4_sel	TS_54_SEL	TS_OUT4
ts_5_sel	TS_54_SEL	TS_OUT5
ts_6_sel	TS_76_SEL	TS_OUT6
ts_7_sel	TS_76_SEL	TS_OUT7
ts_8_sel	TS_98_SEL	TS_SYNC
ts_9_sel	TS_98_SEL	TS_VLD
ts_a_sel	TS_PARALL_CTRL	TS_ERR

ts_x_sel 取值与内部 TS 信号的选择关系。

表2-7 ts_x_sel 取值与输出关系 (x 取值 0/1/2/3/4/5/6/7/8/9/a)

ts_x_sel 取值	所选择的芯片内部 TS 信号
0000	ts_out[0]
0001	ts_out[1]
0010	ts_out[2]
0011	ts_out[3]
0100	ts_out[4]
0101	ts_out[5]
0110	ts_out[6]
0111	ts_out[7]
1000	ts_sync
1001	ts_vld
其他	ts_err

*注:



串行 1bit 输出情况下，如果高位输出优先，芯片内部 TS 数据信号请选择 ts_out[7]，如果低位输出优先，芯片内部 TS 数据信号请选择 ts_out[0]；
串行 2bit 输出情况下，如果高位输出优先，芯片内部 TS 数据信号请选择 ts_out[7:6]，如果低位输出优先，芯片内部 TS 数据信号请选择 ts_out[1:0]。

----结束

2.16 信号监测

信号强度

Demod 内部提供信号功率统计，可以先后读取 AGC_CTRL_L[agc_ctrl_l]和 AGC_CTRL_H[agc_ctrl_h]来得到信号强度指示。

$\text{sig_strength} = \text{agc_ctrl_h} * 256 + \text{agc_ctrl_l}$ 。

sig_strength 值越大表示信号越弱。

传输制式和频谱反转识别

通过如下操作读取传输制式的信息：

步骤 1 等待 LOCK_FLAG[fec_ok]为 1。只有 fec_ok 为 1 下面读出的信息才可靠。

步骤 2 读取 LOCK_FLAG[sync_ok]。如果为 1 表示 DVB-S2 模式，如果为 0 表示 DVB-S/DirecTV 模式。

- DVB-S2 模式

可读取 PLS_CODE[6:0]。其中 PLS_CODE[6:2]表示调制模式和码率；
PLS_CODE[1]表示帧长，0 为 normal 帧（帧长 64800 比特），1 为 short 帧（帧长 16200 比特）；PLS_CODE[0]表示有无导频，为 0 无导频，为 1 带导频。

表2-8 PLS_CODE 高 5 位与调制模式码率关系

PLS_CODE[6:2]	调制模式和码率	PLS_CODE[6:2]	调制模式和码率
00000	DUMMY(QPSK)	10000	8PSK 8/9
00001	QPSK 1/4	10001	8PSK 9/10
00010	QPSK 1/3	10010	16APSK 2/3
00011	QPSK 2/5	10011	16APSK 3/4
00100	QPSK 1/2	10100	16APSK 4/5
00101	QPSK 3/5	10101	16APSK 5/6
00110	QPSK 2/3	10110	16APSK 8/9
00111	QPSK 3/4	10111	16APSK 9/10



PLS_CODE[6:2]	调制模式和码率	PLS_CODE[6:2]	调制模式和码率
01000	QPSK 4/5	11000	32APSK 3/4
01001	QPSK 5/6	11001	32APSK 4/5
01010	QPSK 8/9	11010	32APSK 5/6
01011	QPSK 9/10	11011	32APSK 8/9
01100	8PSK 3/5	11100	32APSK 9/10
01101	8PSK 2/3	11101	Reserved
01110	8PSK 3/4	11110	Reserved
01111	8PSK 5/6	11111	Reserved

DVB-S2 下读取 [TS_CTRL3\[is_ccm\]](#)，值为 0 表示当前传输为 VCM/ACM 模式，值为 0 表示当前传输为 CCM 模式。

DVB-S2 下的滚降系数可以通过 [ROLL_OFF\[roll_off\]](#) 读取。

表2-9 roll_off 取值与滚降系数对应关系

roll_off[1:0]	滚降系数
00	0.35
01	0.25
10	0.2
11	reserved

DVB-S2 模式下读取 [FREQ_INV\[freq_inverse\]](#)，值为 1 表示频谱反转，值为 0 表示频谱未反转。

- DVB-S/DirecTV

可进一步读取 [SEAR_RESULT \[0\]](#)，值为 1 表示为 DirecTV 模式，值为 0 表示 DVBS 模式。进一步读取 [SEAR_RESULT \[3:1\]](#) 可得到 DVB-S/DirecTV 的码率信息。

表2-10 DVB_S&DirecTV 模式下码率

SEAR_RESULT [3:1]	DVB-S 模式下码率	DirecTV 模式下码率
000	1/2	1/2
001	2/3	2/3
010	3/4	NA



SEAR_RESULT [3:1]	DVB-S 模式下码率	DirecTV 模式下码率
011	5/6	NA
100	7/8	NA
101	NA	6/7
110	NA	NA
111	NA	NA

其中：

- DVB-S/DirecTV 的调制方式固定为 QPSK。
- DVB-S 的滚降系数固定为 0.35，DirecTV 的滚降系数固定为 0.2。
- DVB-S&DirecTV 模式下读取 [DEC_RESULT\[iq_swap\]](#):
 - 1：频谱反转；
 - 0：频谱未反转。

----结束

符号率偏差

如前所述，定时恢复需要预先置入符号率初值 fs。当定时环路稳定后，可以从 Demod 先后读出 [FS_OFFSET_FC_L\[fs_offset_fc_l\]](#)和 [FS_OFFSET_FC_H\[fs_offset_fc_h\]](#)，实际符号率和 fs 的偏差按下式计算：

```
fs_offset_tmp = (fs_offset_fc_h*256+fs_offset_fc_l)
if(fs_offset_tmp>=32768)
    fs_offset = (fs_offset_tmp-65536)/2^22*CLK_DEMO
else
    fs_offset = fs_offset_tmp/2^22*CLK_DEMO。
```

计算值 fs_offset 如果为正表示实际符号率比设置的符号率大，为负则反之。因 CLK_DEMO 用 kHz 表示，fs_offset 的单位也为 kHz。

注：在 [LOCK_FLAG\[fec_ok\]](#)为 1 后读取的符号率偏差才有效。

载波偏差

当载波环路稳定后，可以从 Demod 先后读取 [FREQ_OFFSET_FC_L\[freq_offset_fc_l\]](#)和 [FREQ_OFFSET_FC_H\[freq_offset_fc_h\]](#)，实际信号中心频率和 Tuner 所设中心频率的偏差按下式计算：

```
freq_offset_tmp=(freq_offset_fc_h*256+freq_offset_fc_l)
if(freq_offset_tmp>=32768)
    freq_offset = (freq_offset_tmp - 65536)/2^17*CLK_DEMO
else
```



$\text{freq_offset} = \text{freq_offset_tmp} / 2^{17} * \text{CLK_DEMO}$ 。

计算值 freq_offset 如果为正表示实际载波频率比 Tuner 设置频率高，为负则反之。因 CLK_DEMO 用 kHz 表示， freq_offset 的单位也为 kHz。

注：在 LOCK_FLAG[fec_ok] 为 1 后读取的载波偏差才有效。

信号质量

Demod 提供噪声功率统计寄存器 NOISE_POW_H[noise_pow_h] 和 NOISE_POW_L[noise_pow_l]，可以通过如下公式转成信噪比估计（单位 dB），作为信号质量的指示。

$\text{SNR} = 10.0 * \log_{10}(8192.0 / (\text{noise_pow_h}[6:0] * 256 + \text{noise_pow_l}))$



注意

请先读寄存器 NOISE_POW_H 再读 NOISE_POW_L，此处为特例。读寄存器 NOISE_POW_H[cnr_est_ok] 可以得到指示，只有当 cnr_est_ok 为 1 时，信噪比估计才可靠。

BER 统计

通过 Demod 内部的错误比特统计计数器（FEC_BER_H、FEC_BER_L），可以计算出 RS(DVB-S&DirecTV 模式)、BCH(DVB-S2 模式)纠错前的 BER(Bit Error Rate，误比特率)。

先后读取 FEC_BER_L 和 FEC_BER_H，则错误比特数 $\text{error_cnt} = \text{FEC_BER_H} * 256 + \text{FEC_BER_L}$ 。误码率较高的情况下，实际错误比特数可能会超过统计计数器最大值，统计计数器将保持最大值，此时 BER 比实际偏小。

DVB-S&DirecTV 模式下，RS 译码前 BER 计算公式为：

$$\text{BER} = \frac{\text{error_cnt}}{8 \times N \times \text{frams}}$$

- DVB-S 模式时，N 为 204，DirecTV 时，N 为 146。
- frams 表示总统计帧数，通过寄存器 BER_CTRL [6:4] 设置。

DVB-S2 模式下 BCH 译码之前 BER 计算公式为：

$$\text{BER} = \frac{\text{error_cnt}}{N \times \text{frams}}$$

- N 表示不同帧长模式和码率下的 BCH 码长。
- frams 值仍通过寄存器 BER_CTRL [6:4] 设置。



表2-11 DVB-S2 模式下 N 取值

ldpc 码率	Normal 帧 N 值	Short 帧 N 值
1/4	16200	3240
1/3	21600	5400
2/5	25920	6480
1/2	32400	7200
3/5	38880	9720
2/3	43200	10800
3/4	48600	11880
4/5	51840	12600
5/6	54000	13320
8/9	57600	14400
9/10	58320	NA

表2-12 BER_CTRL[6:4]与 frams 关系

BER_CTRL [6:4]	DVB-S&DirecTV 模式下 frams 值	DVB-S2 模式下 frams 值
b'000	d'16	d'4
b'001	d'64	d'16
b'010	d'256	d'128
b'011	d'1024	d'256
b'100	d'4096	d'2048
b'101	d'16384	d'4096
b'110	d'65536	d'32768
b'111	d'262144	d'65535

- DVB-S&DirecTV 模式下 RS 译码后 BER 计算公式为：BER=32*FER。
这里的 FER 参照下面 FER 统计部分，RS 之后 BER 计算为近似计算。
- DVB-S2 模式下 BCH 译码之后 BER 计算公式为：BER=27*FER。
这里的 FER 参照下面 FER 统计部分，BCH 之后 BER 计算为近似计算。



说明

BER 统计使能寄存器为 FS_CTRL2[1]，高有效，缺省值为高。



FER 统计

FER (Frame Error Rate, 误帧率统计)用于统计帧出错概率。这里所指的帧, 对于 DVB-S/DirecTV 来说就是一个 RS 帧, 对于 DVB-S2 信号来说就是一个 BCH 帧。与 BER 统计复用同一个统计使能 `FS_CTRL2bit [1]`。

先后读取 `FEC_FER_L` 和 `FEC_FER_H`, 则 $\text{error_fram} = \text{FEC_FER_H} * 256 + \text{FEC_FER_L}$ 。DVB-S/DirecTV/DVB-S2 模式下总统计帧数 `frames` 与 `BER_CTRL bit [6:4]` 的关系参照 BER 统计部分。

$\text{FER} = \text{error_fram} / \text{frames}$ 。

PER 统计

DVB-S2 模式下, 一个 BCH 帧可能包含若干个 TS/GS 包, 可以进一步统计 PER (Packet Error Rate, 误包率), 按照如下方式进行:

- 步骤 1 如果当前属 Multi-TS 传输, 首先通过 `TS_CTRL4[isi_sel_vld]`置 1 且 `ISI_SEL[isi_sel]`置入流 ID 选取所需流。如果当前是 Single-TS 传输则略过此步。
- 步骤 2 置入 `RST_WAIT[crc_pkt_cnt]`指定用于统计 PER 的总包数。总包数等于 `crc_pkt_cnt * 1024`。 `crc_pkt_cnt` 为 0 时, 总包数取 1024。
- 步骤 3 读取 `CRC_ERR[crc_err]`。计算 $\text{PER} = \text{crc_err} / 1024$ 。



注意

- 如果所选取的流为连续流, 则 PER 统计无效。
- 如果 PER 为非 0 且小于 1/1024, 则被限为 1/1024。
- 如果 PER 大于 255/1024, 则被限为 255/1024。

2.17 信道盲扫

信道盲扫就是在未知信道中心频率和符号率情况下进行盲扫描, 信道盲扫描后可以得到精确的信号中心频率和信号符号率。

通常的信道盲扫是在未知 TP (Transponder, 转发器) 载波频率和符号率时进行盲扫描, 盲扫可以获得比较精确的 TP 载波频率和符号率。如果已知载波频率和符号率, 结合盲扫可使系统具有更强大的同步能力。

盲扫的三种状态如下:

- 关闭盲扫功能: 配置寄存器 `CBS_CTRL_RDADDR[use_cbs]`为 0。
- 已知载波频率和符号率的盲扫: 配置 `CBS_CTRL_RDADDR[use_cbs]`为 1、`CBS_CTRL_RDADDR[know_fs_fc]`为 1、`CBS_CTRL_RDADDR[cbs_rd_addr]`为 0。其它操作与非盲扫的操作完全相同。



- 全频段盲扫：设置 `CBS_CTRL_RDADDR[use_cbs]` 为 1、`CBS_CTRL_RDADDR[know_fs_fc]` 为 0。盲扫可能会发现多个 TP，自动选择 `CBS_CTRL_RDADDR[cbs_rd_addr]` 指定的 TP 进行后继解调和 FEC 译码。

全频段盲扫过程如下：

步骤 1 初始化芯片。

步骤 2 设置盲扫模式。即配置 `CBS_CTRL_RDADDR[use_cbs]` 为 1，`CBS_CTRL_RDADDR[know_fs_fc]` 为 0。

步骤 3 给 Tuner 配置 RF 频率，等待一段时间（与 Tuner 相关，参考值为 5~20ms），热复位。

步骤 4 等待一段时间（参考值为 2~5ms）；查询 `CBS_FINISH[cbs_finish]`，当 `cbs_finish=1` 时，进入下一步，当 `cbs_finish=0` 时，继续等待和查询。

步骤 5 先读出 `CBS_R2_NUM[sig_num]`（表示有效信号个数）；当 `sig_num` 不为 0 时，设置 `CBS_CTRL_RDADDR[cbs_rd_addr]=0`，读出首个 TP 的符号率和载波偏差，RF 频率加（或减，与硬件有关）载波偏差得到首个 TP 的实际载波频率。再设 `CBS_CTRL_RDADDR[cbs_rd_addr]=1`，同上读出第 2 个 TP 的信息；同样操作直至 `cbs_rd_addr=sig_num-1`。TP 的符号率和载波偏差请分别参考寄存器 `CBS_FS_L`、`CBS_FS_H`、`CBS_FC_L`、`CBS_FC_H` 的说明。

步骤 6 返回到步骤 2，给 Tuner 换 RF 频率（增量最大不能大于 13.5MHz），直至完成指定频段范围的盲扫。

步骤 7 软件处理盲扫结果，比如去掉重复 TP、TP 按载波排序、TP 有效性确认等，由软件方案确定。

----结束



注意

- `CBS_RELIABILITY1` 和 `CBS_R2_NUM` 中还提供了盲扫到的各个 TP 的可靠性度量，可作为软件方案的额外信息，采取更复杂的软件控制策略，以加快盲扫速度或提高可靠性。
- 已知载波频率和符号率的盲扫时（`CBS_CTRL_RDADDR[know_fs_fc]=1`），盲扫结果中的载波偏差是相对已知的载波频率值而言的。当全频段盲扫时，盲扫结果中的载波偏差是绝对的载波偏差。盲扫的载波偏差均不包含载波恢复模块所给出的载波偏差。

2.18 DISEQC

实现 Diseqc 2.x 标准的收发功能。Diseqc 一般用于控制卫星前端设备如 LNB，Multi-Switch 等的工作状态。

可通过 `DSEC_EN[dsec_en]` 打开/关闭 Diseqc 外围电路。



- 1：管脚 LNB_EN 输出高电平；
- 0：管脚 LNB_EN 输出低电平。

可通过 [TX_CTRL1\[hv_sel\]](#)选择 13/18V 电平。

- 1：管脚 HV_SEL 输出高电平；
- 0：管脚 HV_SEL 输出低电平。

使用 Diseqc 功能前首先需要配置 22kHz 载波。通过 [DSEC_RATIO_L](#)（diseqc_ratio 低 8 位）和 [DSEC_RATIO_H](#)（diseqc_ratio 高 8 位）置入 CLK_DEMO 的分频比得到 22KHz 频率。

diseqc_ratio[15:0]=round（CLK_DEMO/22）。

其中 CLK_DEMO 以 kHz 表示，round 表示取整。

发送

Diseqc 发端的几种工作模式通过 [TX_CTRL1\[dsec_mode\]](#)选择。

表2-13 DISEQC 模式选择

dsec_mode[2:0]	发送模式
000	空闲
001	发送连续的 22kHz 方波，占空比 50%
010	发送一个 0 Tone Burst
011	发送一个 1 Data Burst
100	发送 diseqc 消息数据
其他	保留

图2-8 0 Tone Burst 输出示意

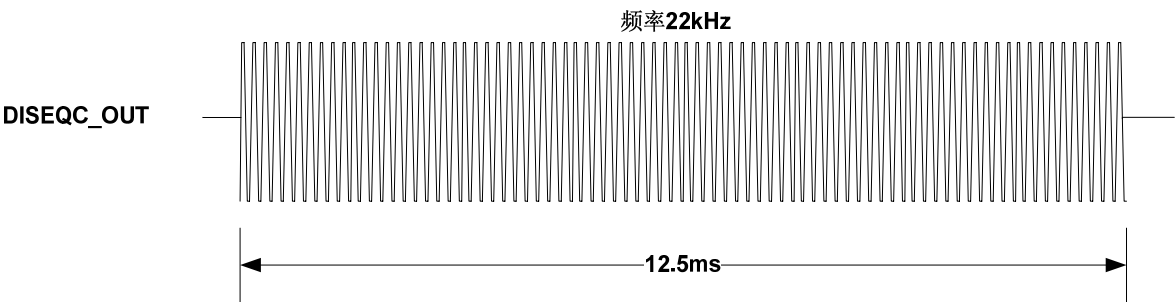




图2-9 1 Data Burst 输出示意

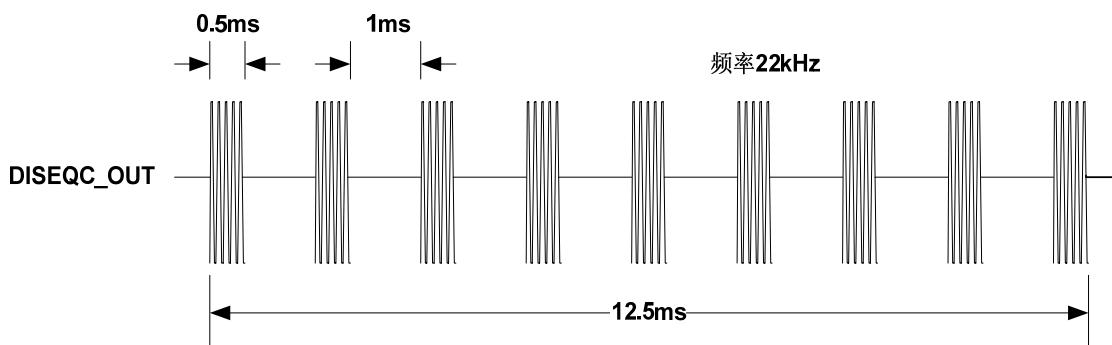
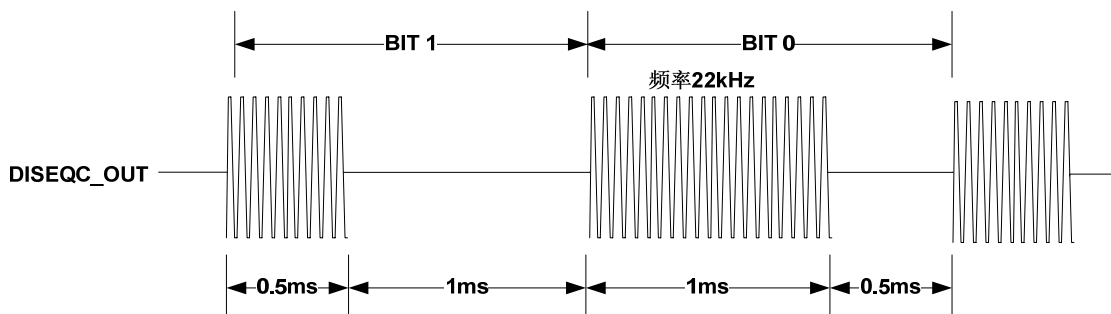


图2-10 DISEQC 消息数据输出示意



发送流程如下：

- 步骤 1 将寄存器 `TX_CTRL1[dsec_mode]` 配置 0，如果发送消息数据转步骤 2，否则转步骤 6。
- 步骤 2 `DSEC_DATA[dsec_data]` 写入数据。
- 步骤 3 `DSEC_ADDR[dsec_addr]` 的 bit [2:0] 写入需要存储的地址，bit [7] 为 0，bit [3] 为 0。
- 步骤 4 重复步骤 2 和步骤 3，直到用户数据全部存入。
- 步骤 5 配置 `TX_CTRL1[num_byte]`。
- 步骤 6 配置 `TX_CTRL1[dsec_mode]` 开始发送。
- 步骤 7 除了 `TX_CTRL1[dsec_mode]` 配置为 001 的情况需要手动更改外，其他模式在发送完成后将自动清除 `dsec_mode` 至 0。

----结束



说明

考虑节省 I2C 地址，Diseqc 的消息数据存储在内部 ram 里。当存数据时，先写入数据至 `dsec_data`，然后写入存储地址至 `dsec_addr`，则数据被存入；当读数据时，先写入读取地址至 `dsec_addr`，然后可以从 `dsec_data` 中读取数据值。具体地址分配按如下规则进行：



- dsec_addr[7]为 1 时表示当前为读操作，dsec_addr[3]为 0 时，dsec_addr[2:0]用于指定发送数据存储地址；dsec_addr[3]为 1 时，dsec_addr[2:0]用于指定接收数据存储地址；
- dsec_addr[7]为 0 时表示当前为写操作，dsec_addr[3]为 0 时，dsec_addr[2:0]用于指定发送数据存储地址；dsec_addr[3]为 1 时，dsec_addr[2:0]给出的地址无效。

接收

如果发送消息的第一个字节的 bit [1]为 1，则发送完成后自动进入接收状态。接收流程如下：

步骤 1 读取 [INT_STATE](#) 获取接收状态信息。

步骤 2 读取 [RX_STATE](#)[rx_recv_bytes]获取接收字节数。

步骤 3 在寄存器 [DSEC_ADDR](#)[dsec_addr]的 bit[2:0]中写入需要读取的地址，配置 dsec_addr[7]为 1，dsec_addr[3]为 1。

步骤 4 读取 [DSEC_DATA](#)[dsec_data]。

步骤 5 重复步骤 3 和步骤 4，直到所有数据读出。

----结束

2.19 寄存器概览

当对寄存器进行部分写操作（对寄存器中某几比特写）时，请先读该寄存器，仅改变所需要修改比特，其它用读出的值替代。

当读取某个状态量，而该状态量分布在多个寄存器中，如该寄存器描述中无特别申明，则请先读低地址的寄存器，后读高地址。举例：[FREQ_OFFSET_FC_L](#) 和 [FREQ_OFFSET_FC_H](#) 结合对应 freq_offset_fc 状态量，应先读 [FREQ_OFFSET_FC_L](#)，后读 [FREQ_OFFSET_FC_H](#)。



注意

注意信号质量处的读取顺序相反，仅此处为特例。

Demod 寄存器概览如表 2-14 所示。

表2-14 Demod 寄存器概览（基址是 0x00）

偏移地址	名称	描述	页码
0x00	PLL1_CTRL1	pll1 控制寄存器 1	2-29
0x01	PLL1_CTRL2	pll1 控制寄存器 2	2-29
0x02	PLL1_CTRL3	pll1 控制寄存器 3	2-30



偏移地址	名称	描述	页码
0x03	PLL1_CTRL4	pll1 控制寄存器 4	2-30
0x04	PLL1_CTRL5	pll1 控制寄存器 5	2-31
0x05	PLL2_CTRL1	pll2 控制寄存器 1	2-31
0x06	PLL2_CTRL2	pll2 控制寄存器 2	2-32
0x07	PLL2_CTRL3	pll2 控制寄存器 3	2-32
0x08	PLL2_CTRL4	pll2 控制寄存器 4	2-33
0x09	PLL2_CTRL5	pll2 控制寄存器 5	2-33
0x0A	ADC_CTRL1	adc 控制寄存器 1	2-34
0x0B	TS_CTRL1	ts 控制寄存器 1	2-35
0x0C	ADC_CTRL2	adc 控制寄存器 2	2-36
0x0D	IO_CTRL1	io 控制寄存器	2-37
0x0E	IO_CTRL2	io 控制寄存器 2	2-38
0x0F	TS_CTRL2	ts 控制寄存器 2	2-38
0x20	MAN_RST_CTRL0	复位控制寄存器	2-39
0x21	MAN_RST_CTRL1	复位控制使能寄存器	2-40
0x22	STATE_WAITS	超时复位寄存器	2-41
0x23	CLK_DEMO_L	解调时钟低位寄存器	2-41
0x24	CLK_DEMO_M	解调时钟中位寄存器	2-42
0x25	CLK_DEMO_H	解调时钟高位寄存器	2-42
0x26	CLK_FEC_L	纠错译码时钟低位寄存器	2-42
0x27	CLK_FEC_M	纠错译码时钟中位寄存器	2-43
0x28	CLK_FEC_H	纠错译码时钟高位寄存器	2-43
0x29	LOCK_TIME_L	锁定时间低位寄存器	2-43
0x2A	LOCK_TIME_M	锁定时间中位寄存器	2-44
0x2B	LOCK_TIME_H	锁定时间高位寄存器	2-44
0x2C	LOCK_FLAG	锁定指示寄存器	2-45
0x2D	TUNER_SEL	tuner 控制寄存器	2-45
0x2E	RSTN_CTRL	逻辑复位寄存器	2-46



偏移地址	名称	描述	页码
0x2F	ILA_SEL	测试向量选择寄存器	2-46
0x30	AGC_SPEED_BOUN D	agc 步长寄存器	2-47
0x31	AGC_GOAL	agc 功率寄存器	2-47
0x32	AGCOK_WAIT	agc 等待寄存器	2-48
0x33	AGC_CTRL	agc 控制寄存器	2-48
0x34	AGC_DC_I	I 路直流寄存器	2-49
0x35	AGC_DC_Q	Q 路直流寄存器	2-49
0x36	DAGC_CTRL	数字 agc 控制寄存器	2-49
0x37	AGC_CTRL_L	agc 功率低位寄存器	2-50
0x38	AGC_CTRL_H	agc 功率高位寄存器	2-50
0x39	AMP_ERR_IIR	功率误差寄存器	2-51
0x3A	PDM_CTRL_L	手动 agc 控制字低位寄存器	2-51
0x3B	PDM_CTRL_H	手动 agc 控制字高位寄存器	2-51
0x40	TR_CTRL1	tr 控制寄存器	2-52
0x41	DAGC_STD	dagc 控制寄存器	2-52
0x43	TR_MONITOR	tr 监控寄存器	2-53
0x44	CNT_THRESH	tr 等待时间寄存器	2-53
0x46	FS_L	符号率低位寄存器	2-54
0x47	FS_H	符号率高位寄存器	2-54
0x48	CENT_FREQ_L	载波频率低位寄存器	2-55
0x49	CENT_FREQ_H	载波频率高位寄存器	2-55
0x4C	FS_OFFSET_FC_L	符号率偏差低位寄存器	2-55
0x4D	FS_OFFSET_FC_H	符号率偏差高位寄存器	2-56
0x4E	FREQ_OFFSET_FC_ L	频率偏差低位寄存器	2-56
0x4F	FREQ_OFFSET_FC_ H	频率偏差高位寄存器	2-56
0x50	PLH_SYNC_1	帧同步控制寄存器 1	2-57



偏移地址	名称	描述	页码
0x51	PLH_SYNC_2	帧同步控制寄存器 2	2-57
0x52	CR_CTRL_SW	cr 控制寄存器	2-58
0x53	SCAN_STEP_L	扫频速度寄存器	2-59
0x54	SCAN_STEP_FB	扫频控制寄存器	2-59
0x55	SCAN_ADJUST	自动扫频速度寄存器	2-59
0x56	CR_ZUNI_WAIT	载波控制寄存器	2-60
0x57	CR_BW_ADJUST	载波带宽控制寄存器	2-60
0x58	CR_BW_MAX	载波最大带宽控制寄存器	2-61
0x59	CR_BW_SET	载波带宽控制寄存器	2-61
0x5A	CR_CN	载波 CN 值寄存器	2-61
0x5B	CR_STATE	载波状态寄存器	2-62
0x5C	PLS_CODE	pls_code 寄存器	2-62
0x5D	FREQ_INV	频谱反转寄存器	2-63
0x5E	CR_ZUNI_BW_L	载波带宽寄存器	2-63
0x5F	CR_ZUNI_BW_H	载波带宽寄存器	2-63
0x60	SYNC_FREQ_L	帧同步频率寄存器	2-64
0x61	SYNC_FREQ_H	帧同步频率寄存器	2-64
0x62	SCAN_FREQ_L	扫频频率寄存器	2-65
0x63	SCAN_FREQ_H	扫频频率寄存器	2-65
0x64	FREQ_ACC_L	载波频差慢反馈寄存器	2-65
0x65	FREQ_ACC_H	载波频差慢反馈寄存器	2-66
0x66	TR_FREQ_FB_L	载波频差 tr 反馈寄存器	2-66
0x67	TR_FREQ_FB_H	载波频差 tr 反馈寄存器	2-67
0x68	CR_LOOP_DC_L	载波 PLL 控制字寄存器	2-67
0x69	CR_LOOP_DC_H	载波 PLL 控制字寄存器	2-67
0x6C	CHIP_ID_0	芯片 ID 寄存器 0	2-68
0x6D	CHIP_ID_1	芯片 ID 寄存器 1	2-68
0x6E	CHIP_ID_2	芯片 ID 寄存器 2	2-68



偏移地址	名称	描述	页码
0x6F	CHIP_ID_3	芯片 ID 寄存器 3	2-69
0x70	EQU_CTRL	均衡控制寄存器	2-69
0x71	LMS_STEP	均衡步长控制寄存器	2-69
0x75	CN_CTRL	噪声功率统计控制寄存器	2-70
0x76	EQU_TAP_REAL	均衡抽头实部寄存器	2-70
0x77	EQU_TAP_IMAG	均衡抽头虚部寄存器	2-71
0x78	EQU_TAP_SEL	抽头选择寄存器	2-71
0x7A	XREG_INIT_LOW	均衡控制寄存器	2-72
0x7B	XREG_INIT_MID	均衡控制寄存器	2-72
0x7C	XREG_INIT_HI	均衡控制寄存器	2-72
0x7D	RD_WR_TAP	抽头控制寄存器	2-73
0x7E	NOISE_POW_L	噪声功率低位寄存器	2-73
0x7F	NOISE_POW_H	噪声功率高位寄存器	2-74
0x82	LDPC_ITER	ldpc 迭代控制寄存器	2-74
0x83	BER_CTRL	ber 控制寄存器	2-75
0x84	FEC_BER_L	ber 低位寄存器	2-75
0x85	FEC_BER_H	ber 高位寄存器	2-76
0x86	FEC_FER_L	fer 低位寄存器	2-76
0x87	FEC_FER_H	fer 高位寄存器	2-76
0x88	S2_SUCCESS	s2 译码成功寄存器	2-77
0x89	VTB_CTRL1	vtb 控制寄存器	2-77
0x8A	VTB_THRES	vtb 搜索控制寄存器	2-78
0x8B	VTB_CTRL2	vtb 控制寄存器	2-79
0x8C	FS_CTRL1	s 帧同步控制寄存器	2-79
0x8D	FS_CTRL2	s 帧同步控制寄存器	2-80
0x8E	SEAR_RESULT	s 搜索结果寄存器	2-81
0x8F	DEC_RESULT	s 译码结果寄存器	2-81
0x90	TS_PARALL_CTRL	ts 输出选择寄存器	2-82



偏移地址	名称	描述	页码
0x91	TS_10_SEL	ts 输出控制寄存器	2-83
0x92	TS_32_SEL	ts 输出控制寄存器	2-84
0x93	TS_54_SEL	ts 输出控制寄存器	2-84
0x94	TS_76_SEL	ts 输出控制寄存器	2-84
0x95	TS_98_SEL	ts 输出控制寄存器	2-85
0x96	TS_CTRL0	ts 控制寄存器 0	2-85
0x97	TS_CTRL3	ts 控制寄存器 3	2-86
0x98	TS_CTRL4	ts 控制寄存器 4	2-87
0x99	TS_CLK_DIV_F_L	ts 时钟低位寄存器	2-88
0x9A	TS_CLK_DIV_F_H	ts 时钟高位寄存器	2-88
0x9B	ISI_SEL	isi 选择寄存器	2-88
0x9C	MATTYPE	流 id 寄存器	2-89
0x9D	ROLL_OFF	滚降寄存器	2-89
0x9E	CRC_ERR	crc 校验寄存器	2-90
0x9F	RST_WAIT	复位等待寄存器	2-90
0xA0	FC_MAX_RELIABLE	盲扫载波控制寄存器	2-91
0xA1	FS_SPAN	盲扫符号率范围寄存器	2-91
0xA7	AMP_MIN_FS	盲扫最低符号率寄存器	2-92
0xA8	CBS_CTRL_RDADDR	盲扫控制寄存器	2-92
0xA9	CBS_FS_L	盲扫符号率低位寄存器	2-93
0xAA	CBS_FS_H	盲扫符号率高位寄存器	2-93
0xAB	CBS_FC_L	盲扫频偏低位寄存器	2-94
0xAC	CBS_FC_H	盲扫频偏高位寄存器	2-94
0xAD	CBS_FINISH	盲扫结束寄存器	2-95
0xAE	CBS_RELIABILITY1	盲扫可靠度寄存器	2-95
0xAF	CBS_R2_NUM	盲扫信号个数寄存器	2-95



偏移地址	名称	描述	页码
0xB0	DSEC_ADDR	dsec 地址寄存器	2-96
0xB1	DSEC_DATA	dsec 数据寄存器	2-96
0xB2	DSEC_RATIO_L	dsec 低位频率寄存器	2-97
0xB3	DSEC_RATIO_H	dsec 高位频率寄存器	2-97
0xB4	TX_CTRL1	dsec 发送控制寄存器	2-98
0xB5	RX_CTRL1	dsec 接收控制寄存器	2-98
0xB7	DSEC_EN	dsec 使能寄存器	2-99
0xB8	RX_STATE	dsec 接收状态寄存器	2-99
0xB9	INT_STATE	dsec 状态寄存器	2-100
0xC0	DF_FC_L	fsk 频偏低位寄存器	2-100
0xC1	DF_FC_H	fsk 频偏高位寄存器	2-101
0xC2	FS_FC_L	fsk 符号率低位寄存器	2-101
0xC3	FS_FC_M	fsk 符号率中位寄存器	2-102
0xC4	FS_FC_H	fsk 符号率高位寄存器	2-102
0xC5	HEAD_L	帧头低位寄存器	2-102
0xC6	HEAD_M	帧头中位寄存器	2-103
0xC7	HEAD_H	帧头高位寄存器	2-103
0xC8	NBIT_HEAD	fsk 控制寄存器	2-104
0xC9	CRC_POLY_L	crc 低位寄存器	2-104
0xCA	CRC_POLY_M	crc 中位寄存器	2-104
0xCB	CRC_POLY_H	crc 高位寄存器	2-105
0xCC	NBIT_CRC	crc 控制寄存器	2-105
0xCD	TCF_FC_L	发送频率低位寄存器	2-106
0xCE	TCF_FC_H	发送频率高位寄存器	2-106
0xCF	RCF_FC_L	接收频率低位寄存器	2-106
0xD0	RCF_FC_H	接收频率高位寄存器	2-107
0xD1	TX_NBIT_L	发送控制寄存器	2-107
0xD2	TX_CTRL2	发送控制寄存器	2-108



偏移地址	名称	描述	页码
0xD3	RX_NBIT_L	接收控制寄存器	2-108
0xD4	RX_CTRL2	接收控制寄存器	2-109
0xD5	FSK_ADDR	fsk 地址寄存器	2-109
0xD6	FSK_DATA	fsk 数据寄存器	2-110
0xD7	FSK_RX_LEN	fsk 控制寄存器	2-110

2.20 Demod 寄存器描述

PLL1_CTRL1

PLL1_CTRL1 为 pll1 控制寄存器 1。

Offset Address			Register Name			Total Reset Value		
0x00			PLL1_CTRL1			0x01		
Bit	7	6	5	4	3	2	1	0
Name	pll1_pd	pll1_bypass	pll1_refdiv					
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7]	RW	pll1_pd	PLL1 的全局 powerdown 信号，高有效。					
[6]	RW	pll1_bypass	PLL1 bypass 信号，高有效。					
[5:0]	RW	pll1_refdiv	PLL1 分频值，分频后的时钟应在 1~40MHz 范围。					

PLL1_CTRL2

PLL1_CTRL2 为 pll1 控制寄存器 2。



Offset Address			Register Name			Total Reset Value		
0x01			PLL1_CTRL2			0x61		
Bit	7	6	5	4	3	2	1	0
Name	pll1_dsmpd		pll1_postdiv2		pll1_dacpd	pll1_postdiv1		
Reset	0	1	1	0	0	0	0	1
Bits	Access	Name	Description					
[7]	RW	pll1_dsmpd	PLL1 的 delta sigma power down 信号。 1: 整数分频; 0: 小数分频。					
[6:4]	RW	pll1_postdiv2	PLL1 FVCO 后的分频器 2 的分频值。 fout=fvco/postdiv1/postdiv2。					
[3]	RW	pll1_dacpd	PLL1 的 DAC pd 信号，正常情况下为低。					
[2:0]	RW	pll1_postdiv1	PLL1 FVCO 后的分频器 1 的分频值。 fout=fvco/postdiv1/postdiv2。					

PLL1_CTRL3

PLL1_CTRL3 为 pll1 控制寄存器 3。

Offset Address			Register Name			Total Reset Value		
0x02			PLL1_CTRL3			0x1F		
Bit	7	6	5	4	3	2	1	0
Name	pll1_fbdiv							
Reset	0	0	0	1	1	1	1	1
Bits	Access	Name		Description				
[7:0]	RW	pll1_fbdiv		PLL1 的整数分频值的低 8bit(高 4bit 不会用到，连接为 0)。				

PLL1_CTRL4

PLL1_CTRL4 为 pll1 控制寄存器 4。



Offset Address			Register Name			Total Reset Value		
0x03			PLL1_CTRL4			0x00		
Bit	7	6	5	4	3	2	1	0
Name	pll1_frac_1							
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RW	pll1_frac_1	PLL1 的小数分频值的 bit [19:12] (低 12bit 不会用到, 连接为 0)。				

PLL1_CTRL5

PLL1_CTRL5 为 pll1 控制寄存器 5。

Offset Address			Register Name			Total Reset Value		
0x04			PLL1_CTRL5			0x14		
Bit	7	6	5	4	3	2	1	0
Name	reserved		pll1_postdivpd	pll1_vcopd	pll1_frac_h			
Reset	0	0	0	1	0	1	0	0
Bits	Access	Name		Description				
[7:6]	-	reserved		保留。				
[5]	RW	pll1_postdivpd		PLL1 FVOC 后的分频器 power down 信号，1 有效。				
[4]	RW	pll1_vcopd		PLL1 的 vco buffer power down 信号，vco 仍然工作，但是输出 buffer 被 disable。				
[3:0]	RW	pll1_frac_h		PLL1 的小数分频值的 bit [23:20] (低 12bit 不会用到，连接为 0)。				

PLL2_CTRL1

PLL2_CTRL1 为 pll2 控制寄存器 1。



Offset Address			Register Name			Total Reset Value		
0x05			PLL2_CTRL1			0x01		
Bit	7	6	5	4	3	2	1	0
Name	pll2_pd	pll2_bypass	pll2_refdiv					
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7]	RW	pll2_pd	pll2 的全局 powerdown 信号，高有效。					
[6]	RW	pll2_bypass	PLL2 bypass 信号，高有效。					
[5:0]	RW	pll2_refdiv	PLL2 分频值，分频后的时钟应在 1~40Mhz 范围。					

PLL2_CTRL2

PLL2_CTRL2 为 pll2 控制寄存器 2。

Offset Address			Register Name			Total Reset Value		
0x06			PLL2_CTRL2			0x61		
Bit	7	6	5	4	3	2	1	0
Name	pll2_dsmpd		pll2_postdiv2		pll2_dacpd	pll2_postdiv1		
Reset	0	1	1	0	0	0	0	1
Bits	Access	Name		Description				
[7]	RW	pll2_dsmpd		PLL2 的 delta sigma power down 信号，为 1 表示整数分频，0 表示小数分频。				
[6:4]	RW	pll2_postdiv2		PLL2 FVCO 后的分频器 2 分频值。 fout=fvco/postdiv1/postdiv2。				
[3]	RW	pll2_dacpd		PLL2 的 DAC pd 信号，正常情况下为低。				
[2:0]	RW	pll2_postdiv1		PLL2 FVCO 后的分频器 1 分频值。 fout=fvco/postdiv1/postdiv2。				

PLL2_CTRL3

PLL2_CTRL3 为 pll2 控制寄存器 3。



Offset Address			Register Name			Total Reset Value		
0x07			PLL2_CTRL3			0x2E		
Bit	7	6	5	4	3	2	1	0
Name	pll2_fbdiv							
Reset	0	0	1	0	1	1	1	0
Bits	Access	Name	Description					
[7:0]	RW	pll2_fbdiv	PLL2 的整数分频值的低 8bit(高 4bit 不会用到, 连接为 0)。					

PLL2_CTRL4

PLL2_CTRL4 为 pll2 控制寄存器 4。

Offset Address			Register Name			Total Reset Value		
0x08			PLL2_CTRL4			0x00		
Bit	7	6	5	4	3	2	1	0
Name	pll2_frac_1							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	pll2_frac_1	PLL2 的小数分频值的 bit [19:12] (低 12bit 不会用到，连接为 0)。					

PLL2_CTRL5

PLL2_CTRL5 为 pll2 控制寄存器 5。

Offset Address			Register Name			Total Reset Value		
0x09			PLL2_CTRL5			0x1E		
Bit	7	6	5	4	3	2	1	0
Name	reserved		pll2_postdivpd	pll2_vcopd	pll2_frac_h			
Reset	0	0	0	1	1	1	1	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5]	RW	pll2_postdivpd	PLL2 FVOC 后的分频器 power down 信号，1 有效。					



[4]	RW	pll2_vcopd	PLL2 的 vco buffer power down 信号, vco 仍然工作, 但是输出 buffer 被 disable。
[3:0]	RW	pll2_frac_h	PLL2 的小数分频值的 bit [23:20] (低 12bit 不会用到, 连接为 0)。

ADC_CTRL1

ADC_CTRL1 为 adc 控制寄存器 1。

Offset Address			Register Name				Total Reset Value	
0x0A			ADC_CTRL1				0x4A	
Bit	7	6	5	4	3	2	1	0
Name	adc_odf	adc_pdclamp	adc_om		adc_cs		adc_is	
Reset	0	1	0	0	1	0	1	0
Bits	Access	Name		Description				
[7]	RW	adc_odf		输出格式选择寄存器。 1：补码形式； 0：原码形式。				
[6]	RW	adc_pdclamp		adc 模式控制。 1：AC 模式； 0：DC 模式。				
[5:4]	RW	adc_om		模式选择寄存器。 00：正常模式； 01：stand_by 模式(最小 start_up 时间)； 10：最小功耗模式； 11：power down 模式。				
[3:2]	RW	adc_cs		通道选择信号。 00：I 路通道； 11：Q 路通道； 10：双通道选择； 11：保留。				



[1:0]	RW	adc_is	偏压控制寄存器。 00: 比当前值减少 50%; 01: 比当前值减少 25%; 10: 没有偏移; 11: 比当前值增加 25%。
-------	----	--------	--

TS_CTRL1

TS_CTRL1 为 ts 控制寄存器 1。

Offset Address				Register Name			Total Reset Value	
0x0B				TS_CTRL1			0x6C	
Bit	7	6	5	4	3	2	1	0
Name	ts_vld_ds			ts_err_ds			reserved	
Reset	0	1	1	0	1	1	0	0
	Bits	Access	Name	Description				
	[7:5]	RW	ts_vld_ds	TS_VLD 管脚驱动电流调节寄存器。 000: 0mA; 001: 4mA; 010: 8mA; 011: 12mA; 100: 12mA; 101: 16mA; 110: 20mA; 111: 24mA。				
	[4:2]	RW	ts_err_ds	TS_ERR 管脚驱动能力调节寄存器。 000: 0mA; 001: 4mA; 010: 8mA; 011: 12mA; 100: 12mA; 101: 16mA; 110: 20mA 111: 24mA。				
	[1:0]	-	reserved	保留。				



ADC_CTRL2

ADC_CTRL2 为 adc 控制寄存器 2。

Offset Address			Register Name			Total Reset Value										
0x0C			ADC_CTRL2			0x52										
Bit	7		6		5		4		3		2		1		0	
Name	adc_clk_sel		adc_clk_on		adc_clk_inv		i2c_xo_clk		reserved		clk_inv		lock_fsko		ts_testout	
Reset	0		1		0		1		0		0		1		0	
Bits	Access		Name		Description											
[7]	RW		adc_clk_sel		adc io 时钟选择寄存器。 1：TS_SYNC 端口为 adc_clk 的输入端口； 0：TS_SYNC 端口为输出端口，输出 ts_sync 信号。											
[6]	RW		adc_clk_on		adc 时钟使能寄存器。 1：adc 时钟正常； 0：adc 没有时钟。											
[5]	RW		adc_clk_inv		adc 时钟反向寄存器。 1：adc 时钟为反向时钟； 0：adc 时钟为正向时钟。											
[4]	RW		i2c_xo_clk		晶振时钟选择寄存器。 1：clk_i2c 时钟选择晶振输入； 0：clk_i2c 时钟选择 pll 输出时钟。											
[3]	-		reserved		保留。											
[2]	RW		clk_inv		ts 串行时钟反向寄存器。 1：ts 时钟反向输出； 0：ts 时钟正向输出。											
[1]	RW		lock_fsko		锁定输出选择寄存器。 1：fsk 输出； 0：信道锁定标志输出。											
[0]	RW		ts_testout		测试模式选择寄存器。 0：正常 ts 流输出； 1：复用 ts 流管脚来输出测试信号。											



IO_CTRL1

IO_CTRL1 为 io 控制寄存器。

Offset Address			Register Name			Total Reset Value										
0x0D			IO_CTRL1			0x1B										
Bit	7		6		5		4		3		2		1		0	
Name	adc_im		adc_clk_sel		ts_out_ds						ts_sync_ds					
Reset	0		0		0		1		1		0		1		1	
Bits	Access		Name		Description											
[7]	RW		adc_im		输入模式选择寄存器。 1：单端输入； 0：差分输入。											
[6]	RW		adc_clk_sel		adc 时钟选择。 1：使用 io 上的时钟； 0：使用 pll 输出的时钟。											
[5:3]	RW		ts_out_ds		TS_OUT 管脚驱动能力调节寄存器。 000：0mA； 001：4mA； 010：8mA； 011：12mA； 100：12mA； 101：16mA； 110：20mA 111：24mA。											
[2:0]	RW		ts_sync_ds		TS_SYNC 管脚驱动能力调节寄存器。 000：0mA； 001：4mA； 010：8mA； 011：12mA； 100：12mA； 101：16mA； 110：20mA 111：24mA。											



IO_CTRL2

IO_CTRL2 为 io 控制寄存器 2。

Offset Address			Register Name			Total Reset Value		
0x0E			IO_CTRL2			0x1B		
Bit	7	6	5	4	3	2	1	0
Name	test_clk_en	clkout_sel	fsko_ds			ts_clk_ds		
Reset	0	0	0	1	1	0	1	1
Bits	Access	Name	Description					
[7]	RW	test_clk_en	测试时钟使能。 1：使用测试时钟输出； 0：正常功能。					
[6]	RW	clkout_sel	时钟输出控制。 1：使用 diseqc_in 和 diseqc_out 管脚来复用输出 pll0 和 pll1 的时钟信号； 0：正常管脚功能。					
[5:3]	RW	fsko_ds	FSK_OUT 管脚驱动能力调节寄存器。					
[2:0]	RW	ts_clk_ds	TS_CLK 管脚驱动能力调节寄存器。					

TS_CTRL2

TS_CTRL2 为 ts 控制寄存器 2。

Offset Address			Register Name			Total Reset Value		
0x0F			TS_CTRL2			0x00		
Bit	7	6	5	4	3	2	1	0
Name	pll2_lock	pll1_lock	ts_out_sl	ts_sync_sl	ts_vld_sl	ts_err_sl	ts_clk_sl	fsko_sl
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RO	pll2_lock	pll2 的锁定标志。 1： 锁定； 0： 没锁定。					
[6]	RO	pll1_lock	pll1 的锁定标志。 1： 锁定； 0： 没锁定。					



[5]	RW	ts_out_sl	TS_OUT 管脚速度调节。 1: 慢边沿; 0: 快边沿。
[4]	RW	ts_sync_sl	TS_SYNC 管脚速度调节。 1: 慢边沿; 0: 快边沿。
[3]	RW	ts_vld_sl	TS_VLD 管脚速度调节。 1: 慢边沿; 0: 快边沿。
[2]	RW	ts_err_sl	TS_ERR 管脚速度调节。 1: 慢边沿; 0: 快边沿。
[1]	RW	ts_clk_sl	TS_CLK 管脚速度调节。 1: 慢边沿; 0: 快边沿。
[0]	RW	fsko_sl	FSK_OUT 管脚速度调节。 1: 慢边沿; 0: 快边沿。

MAN_RST_CTRL0

MAN_RST_CTRL0 为复位控制寄存器。

Offset Address				Register Name			Total Reset Value									
0x20				MAN_RST_CTRL0			0xFF									
Bit	7		6		5		4		3		2		1		0	
Name	rstn_fsk		rstn_outp		rstn_fec		rstn_equ		rstn_cr		rstn_tr		rstn_cbs		rstn_agc	
Reset	1		1		1		1		1		1		1		1	
	Bits		Access		Name		Description									
	[7]		RW		rstn_fsk		fsk 的复位控制。 1：取消复位； 0：复位。									



[6]	RW	rstn_outp	outp 的复位控制。 1: 取消复位; 0: 复位。
[5]	RW	rstn_fec	fec 的复位控制。 1: 取消复位; 0: 复位。
[4]	RW	rstn_equ	equ 的复位控制。 1: 取消复位; 0: 复位。
[3]	RW	rstn_cr	cr 的复位控制。 1: 取消复位; 0: 复位。
[2]	RW	rstn_tr	tr 的复位控制。 1: 取消复位; 0: 复位。
[1]	RW	rstn_cbs	cbs 的复位控制。 1: 取消复位; 0: 复位。
[0]	RW	rstn_agc	agc 的复位控制。 1: 取消复位; 0: 复位。

MAN_RST_CTRL1

MAN_RST_CTRL1 为复位控制使能寄存器。

Offset Address		Register Name				Total Reset Value		
0x21		MAN_RST_CTRL1				0x07		
Bit	7	6	5	4	3	2	1	0
Name	reserved					auto_rst_ena	rstn_diseqc	rstn_catch
Reset	0	0	0	0	0	1	1	1
Bits	Access	Name	Description					
[7:3]	-	reserved	保留。					



[2]	RW	auto_rst_ena	fec 自复位时能信号。 1: 允许自复位; 0: 不允许自复位。
[1]	RW	rstn_diseqc	diseqc 的复位控制。 1: 取消复位; 0: 复位。
[0]	RW	rstn_catch	catch 的复位控制。 1: 取消复位; 0: 复位。

STATE_WAITS

STATE_WAITS 为超时复位寄存器。

Offset Address			Register Name			Total Reset Value		
0x22			STATE_WAITS			0x1B		
Bit	7	6	5	4	3	2	1	0
Name	state_wait							
Reset	0	0	0	1	1	0	1	1
Bits	Access	Name		Description				
[7:0]	RW	state_wait		等待 ok 信号超时复位。 当计数器的 bit[28:21]≥state_wait 时，复位系统。				

CLK_DEMO_L

CLK_DEMO_L 为解调时钟低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x23			CLK_DEMO_L			0x48		
Bit	7	6	5	4	3	2	1	0
Name	clk_demo_l							
Reset	0	1	0	0	1	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	clk_demo_l		解调时钟 CLK_DEMO 频率低位，LSB=1KHz。				



CLK_DEMO_M

CLK_DEMO_M 为解调时钟中位寄存器。

Offset Address			Register Name			Total Reset Value		
0x24			CLK_DEMO_M			0xE8		
Bit	7	6	5	4	3	2	1	0
Name	clk_demo_m							
Reset	1	1	1	0	1	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	clk_demo_m	解调时钟 CLK_DEMO 频率中位。					

CLK_DEMO_H

CLK_DEMO_H 为解调时钟高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x25			CLK_DEMO_H			0x01		
Bit	7	6	5	4	3	2	1	0
Name	reserved						clk_demo_h	
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7:2]	-	reserved	保留。					
[1:0]	RW	clk_demo_h	解调时钟 CLK_DEMO 频率高位。					

CLK_FEC_L

CLK_FEC_L 为纠错译码时钟低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x26			CLK_FEC_L			0x6C		
Bit	7	6	5	4	3	2	1	0
Name	clk_fec_l							
Reset	0	1	1	0	1	1	0	0
Bits	Access	Name		Description				
[7:0]	RW	clk_fec_l		纠错译码时钟 CLK_FEC 频率低位，LSB=1KHz。				



CLK_FEC_M

CLK_FEC_M 为纠错译码时钟中位寄存器。

Offset Address			Register Name			Total Reset Value		
0x27			CLK_FEC_M			0xDC		
Bit	7	6	5	4	3	2	1	0
Name	clk_fec_m							
Reset	1	1	0	1	1	1	0	0
Bits	Access	Name		Description				
[7:0]	RW	clk_fec_m		纠错译码时钟 CLK_FEC 频率中位。				

CLK_FEC_H

CLK_FEC_H 为纠错译码时钟高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x28			CLK_FEC_H			0x02		
Bit	7	6	5	4	3	2	1	0
Name	reserved						clk_fec_h	
Reset	0	0	0	0	0	0	1	0
Bits	Access	Name		Description				
[7:2]	-	reserved		保留。				
[1:0]	RW	clk_fec_h		解调时钟 CLK_FEC 频率高位。				

LOCK_TIME_L

LOCK_TIME_L 为锁定时间低位寄存器。



Offset Address			Register Name			Total Reset Value		
0x29			LOCK_TIME_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	tr_time				cbs_time			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:4]	RO	tr_time		tr 锁定时间，单位为 10ms。				
[3:0]	RO	cbs_time		cbs 锁定时间，单位为 10ms。				

LOCK_TIME_M

LOCK_TIME_M 为锁定时间中位寄存器。

Offset Address			Register Name			Total Reset Value		
0x2A			LOCK_TIME_M			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cr_time_l				sync_time			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:4]	RO	cr_time_l		cr 锁定时间低 4 位，单位为 10ms。				
[3:0]	RO	sync_time		sync 锁定时间，单位为 10ms。				

LOCK_TIME_H

LOCK_TIME_H 为锁定时间高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x2B			LOCK_TIME_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	fec_time						cr_time_h	
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:2]	RO	fec_time	fec 锁定时间，单位为 10ms。					
[1:0]	RO	cr_time_h	cr 锁定时间高 2 位。					



LOCK_FLAG

LOCK_FLAG 为锁定指示寄存器。

Offset Address			Register Name			Total Reset Value		
0x2C			LOCK_FLAG			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved		fec_ok	cr_ok	sync_ok	tr_ok	cbs_ok	agc_ok
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:6]	-	reserved		保留。				
[5]	RO	fec_ok		fec 锁定标志信号。 1：锁定； 0：不锁定。				
[4]	RO	cr_ok		cr 锁定标志信号。 1：锁定； 0：不锁定。				
[3]	RO	sync_ok		sync 锁定标志信号。 1：锁定； 0：不锁定。				
[2]	RO	tr_ok		tr 锁定标志信号。 1：锁定； 0：不锁定。				
[1]	RO	cbs_ok		cbs 锁定标志信号。 1：锁定； 0：不锁定。				
[0]	RO	agc_ok		agc 锁定标志信号。 1：锁定； 0：不锁定。				

TUNER_SEL

TUNER_SEL 为 tuner 控制寄存器。



Offset Address			Register Name			Total Reset Value		
0x2D			TUNER_SEL			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved				man_state			tuner_sel
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:4]	-	reserved	保留。					
[3:1]	RO	man_state	主控状态机的状态。					
[0]	RW	tuner_sel	通过 i2c 配置 tuner 选择信号。 如果需要配置 tuner，需要将该寄存器配置为 1，对 tuner 进行完一次读或写操作后，该寄存器自清为 0；如果继续对 tuner 配置，则需再次将该寄存器配置为 1。					

RSTN_CTRL

RSTN_CTRL 为逻辑复位寄存器。

Offset Address			Register Name			Total Reset Value		
0x2E			RSTN_CTRL			0x03		
Bit	7	6	5	4	3	2	1	0
Name	reserved						hot_rstn	cool_rstn
Reset	0	0	0	0	0	0	1	1
Bits	Access	Name	Description					
[7:2]	-	reserved	保留。					
[1]	RW	hot_rstn	逻辑复位信号，只复位逻辑，不复位系统寄存器。 1：不复位； 0：复位。					
[0]	RW	cool_rstn	复位信号，即复位逻辑，又复位系统寄存器。 1：不复位； 0：复位。					

ILA_SEL

ILA_SEL 为测试向量选择寄存器。



Offset Address			Register Name			Total Reset Value		
0x2F			ILA_SEL			0x00		
Bit	7	6	5	4	3	2	1	0
Name	ila_sel							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	ila_sel		ila 和 catch 模块测试向量选择信号。				

AGC_SPEED_BOUND

AGC_SPEED_BOUND 为 agc 步长寄存器。

Offset Address			Register Name			Total Reset Value		
0x30			AGC_SPEED_BOUND			0x67		
Bit	7	6	5	4	3	2	1	0
Name	agc_speed			err_bound				
Reset	0	1	1	0	0	1	1	1
Bits	Access	Name		Description				
[7:5]	RW	agc_speed		agc 步长寄存器，实际值为配置值+2，最大值为 7。				
[4:0]	RW	err_bound		幅度误差边界值。				

AGC_GOAL

AGC_GOAL 为 agc 功率寄存器。

Offset Address			Register Name			Total Reset Value		
0x31			AGC_GOAL			0x22		
Bit	7	6	5	4	3	2	1	0
Name	agc_goal							
Reset	0	0	1	0	0	0	1	0
Bits	Access	Name		Description				
[7:0]	RW	agc_goal		agc 功率目标值。				



AGCOK_WAIT

AGCOK_WAIT 为 agc 等待寄存器。

Offset Address			Register Name			Total Reset Value		
0x32			AGCOK_WAIT			0x0F		
Bit	7	6	5	4	3	2	1	0
Name	agcok_wait							
Reset	0	0	0	0	1	1	1	1
Bits	Access	Name		Description				
[7:0]	RW	agcok_wait		agc 幅度异常等待时间。				

AGC_CTRL

AGC_CTRL 为 agc 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x33			AGC_CTRL			0x71		
Bit	7	6	5	4	3	2	1	0
Name	pdm_div			adc_twos	iq_swap	agc_hold	agc_inverse	dagc_on
Reset	0	1	1	1	0	0	0	1
Bits	Access	Name	Description					
[7:5]	RW	pdm_div	agc 的 pdm 输出的脉冲宽度。 实际值为配置值+1。					
[4]	RW	adc_twos	输入数据类型。 1：补码； 0：原码。					
[3]	RW	iq_swap	iq 路数据交换控制信号。 1：iq 交换； 0：iq 不交换。					
[2]	RW	agc_hold	agc 工作类型控制信号。 1：agc 保持，输出 pdm 为固定值； 0：agc 正常工作。					



[1]	RW	agc_inverse	pdm 输出控制。 1: pdm 信号取反; 0: pdm 不取反, 正常输出。
[0]	RW	dagc_on	数字 agc 开启信号。 1: 开启数字 agc; 0: 关闭数字 agc。

AGC_DC_I

AGC_DC_I 为 I 路直流寄存器。

Offset Address			Register Name			Total Reset Value		
0x34			AGC_DC_I			0x00		
Bit	7	6	5	4	3	2	1	0
Name	agc_dc_i							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	agc_dc_i		I 路数据的直流量。				

AGC_DC_Q

AGC_DC_Q 为 Q 路直流寄存器。

Offset Address			Register Name			Total Reset Value		
0x35			AGC_DC_Q			0x00		
Bit	7	6	5	4	3	2	1	0
Name	agc_dc_q							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	agc_dc_q		Q 路数据的直流量。				

DAGC_CTRL

DAGC_CTRL 为数字 agc 控制寄存器。



Offset Address			Register Name			Total Reset Value		
0x36			DAGC_CTRL			0x00		
Bit	7	6	5	4	3	2	1	0
Name	dagc_ctrl							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	dagc_ctrl		数字 agc 的控制字。				

AGC_CTRL_L

AGC_CTRL_L 为 agc 功率低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x37			AGC_CTRL_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	agc_ctrl_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	agc_ctrl_l		agc 控制字的低 8 位，表示当前信号的功率。				

AGC_CTRL_H

AGC_CTRL_H 为 agc 功率高位寄存器。

Offset Address				Register Name			Total Reset Value	
0x38				AGC_CTRL_H			0x00	
Bit	7	6	5	4	3	2	1	0
Name	agc_ok	reserved			agc_ctrl_h			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7]	RO	agc_ok		agc 锁定标志。 1: agc 锁定; 0: agc 没有锁定。				
[6:4]	-	reserved		保留。				



[3:0]	RO	agc_ctrl_h	agc 控制字的高 4 位，表示当前信号的功率。
-------	----	------------	--------------------------

AMP_ERR_IIR

AMP_ERR_IIR 为功率误差寄存器。

Offset Address			Register Name			Total Reset Value		
0x39			AMP_ERR_IIR			0x00		
Bit	7	6	5	4	3	2	1	0
Name	amp_err_iir							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	amp_err_iir		数据功率与参考功率之间的误差值。				

PDM_CTRL_L

PDM_CTRL_L 为手动 agc 控制字低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x3A			PDM_CTRL_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	pdm_ctrl_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	pdm_ctrl_l	在手动 agc 模式下，可配置的 agc 控制字的低 8 位。					

PDM_CTRL_H

PDM_CTRL_H 为手动 agc 控制字高位寄存器。



Offset Address 0x3B				Register Name PDM_CTRL_H			Total Reset Value 0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved			pdm_ctrl_sel	pdm_ctrl_h			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:5]	-	reserved		保留。				
[4]	RW	pdm_ctrl_sel		手动 agc 控制信号。 1: 手动模式, pdm_ctrl_sel 作为控制字; 0: 自动 agc 模式。				
[3:0]	RW	pdm_ctrl_h		在手动 agc 模式下, 可配置的 agc 控制字的高 4 位。				

TR_CTRL1

TR_CTRL1 为 tr 控制寄存器。

Offset Address 0x40				Register Name TR_CTRL1			Total Reset Value 0x21	
Bit	7	6	5	4	3	2	1	0
Name	reserved				dagc_bypass	dagc_speed		
Reset	0	0	1	0	0	0	0	1
Bits	Access	Name		Description				
[7:4]	-	reserved		保留。				
[3]	RW	dagc_bypass		数字 agc 旁路开关。 1: 数字 agc 不工作; 0: 数字 agc 工作。				
[2:0]	RW	dagc_speed		数字 agc 调整速度。 数字越大调节越快。				

DAGC_STD

DAGC_STD 为 dagc 控制寄存器。



Offset Address			Register Name			Total Reset Value		
0x41			DAGC_STD			0x20		
Bit	7	6	5	4	3	2	1	0
Name	dagc_std							
Reset	0	0	1	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	dagc_std	数字 agc 调整后的幅度均值。 数字越大幅度越大。					

TR_MONITOR

TR_MONITOR 为 tr 监控寄存器。

Offset Address			Register Name			Total Reset Value		
0x43			TR_MONITOR			0x00		
Bit	7	6	5	4	3	2	1	0
Name	tr_ok	reserved						
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RO	tr_ok	定时锁定指示。 1：定时锁定； 0：定时未锁定。					
[6:0]	-	reserved	保留。					

CNT_THRESH

CNT_THRESH 为 tr 等待时间寄存器。



Offset Address			Register Name			Total Reset Value		
0x44			CNT_THRESH			0x10		
Bit	7	6	5	4	3	2	1	0
Name	cnt_thresh							
Reset	0	0	0	1	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	cnt_thresh		锁定检测入锁等待时间。 数字越大等待时间越长。				

FS_L

FS_L 为符号率低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x46			FS_L			0x10		
Bit	7	6	5	4	3	2	1	0
Name	fs_l							
Reset	0	0	0	1	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	fs_l		符号率低位，1LSB=1kHz，无符号数。				

FS_H

FS_H 为符号率高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x47			FS_H			0x27		
Bit	7	6	5	4	3	2	1	0
Name	fs_h							
Reset	0	0	1	0	0	1	1	1
Bits	Access	Name		Description				
[7:0]	RW	fs_h		符号率高位，1LSB=1kHz，无符号数。				



CENT_FREQ_L

CENT_FREQ_L 为载波频率低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x48			CENT_FREQ_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cent_freq_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	cent_freq_l		载波中心频率低位，1LSB=1kHz，有符号数。				

CENT_FREQ_H

CENT_FREQ_H 为载波频率高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x49			CENT_FREQ_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cent_freq_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	cent_freq_h		载波中心频率高位，1LSB=1kHz，有符号数。				

FS_OFFSET_FC_L

FS_OFFSET_FC_L 为符号率偏差低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x4C			FS_OFFSET_FC_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	fs_offset_fc_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	fs_offset_fc_l		归一化到系统时钟上的符号率偏差低位，有符号数，实际归一化偏差为 fs_offset_fc/2^22。				



FS_OFFSET_FC_H

FS_OFFSET_FC_H 为符号率偏差高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x4D			FS_OFFSET_FC_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	fs_offset_fc_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	fs_offset_fc_h	归一化到系统时钟上的符号率偏差高位，有符号数，实际归一化偏差为 fs_offset_fc/2^22。					

FREQ_OFFSET_FC_L

FREQ_OFFSET_FC_L 为频率偏差低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x4E			FREQ_OFFSET_FC_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	freq_offset_fc_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	freq_offset_fc_l		归一化到系统时钟上的载波频率偏差低位，有符号数，实际归一化偏差为 freq_offset_fc/2^17。				

FREQ_OFFSET_FC_H

FREQ_OFFSET_FC_H 为频率偏差高位寄存器。



Offset Address			Register Name			Total Reset Value		
0x4F			FREQ_OFFSET_FC_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	freq_offset_fc_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	freq_offset_fc_h		归一化到系统时钟上的载波频率偏差高位，有符号数，实际归一化偏差为 freq_offset_fc/2^17。				

PLH_SYNC_1

PLH_SYNC_1 为帧同步控制寄存器 1。

Offset Address				Register Name		Total Reset Value		
0x50				PLH_SYNC_1		0x4F		
Bit	7	6	5	4	3	2	1	0
Name	plh_sync_th				reserved			
Reset	0	1	0	0	1	1	1	1
Bits	Access	Name		Description				
[7:4]	RW	plh_sync_th		帧同步进入同步态的置信度计数门限。值越小越快同步，但也越容易假同步。				
[3:0]	-	reserved		保留。				

PLH_SYNC_2

PLH_SYNC_2 为帧同步控制寄存器 2。

Offset Address				Register Name		Total Reset Value		
0x51				PLH_SYNC_2		0x49		
Bit	7	6	5	4	3	2	1	0
Name	plh_lost_th				plh_am_th			
Reset	0	1	0	0	1	0	0	1
Bits	Access	Name		Description				
[7:4]	RW	plh_lost_th		连续丢失的帧个数。值越小越快判断失锁，但也越容易假失锁。				



[3:0]	RW	plh_am_th	帧同步时幅度相关门限。值越小帧同步能力越强，但同步可能越慢。
-------	----	-----------	--------------------------------

CR_CTRL_SW

CR_CTRL_SW 为 cr 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x52			CR_CTRL_SW			0x3F		
Bit	7	6	5	4	3	2	1	0
Name	cr_crfb_bypass	ccm_dummy	denbi_bypass	use_intp	reserved	use_pulse_det	scan_auto	cr_bw_auto
Reset	0	0	1	1	1	1	1	1
Bits	Access	Name	Description					
[7]	RW	cr_crfb_bypass	是否允许载波频差慢反馈。 1：不许载波频差慢反馈。 0：允许载波频差慢反馈。					
[6]	RW	ccm_dummy	是否允许 CCM 中有空帧。 1：允许 CCM 中有空帧。 0：不许 CCM 中有空帧。					
[5]	RW	denbi_bypass	是否关闭去窄带干扰模块。 1：关闭去窄带干扰模块。 0：打开去窄带干扰模块。					
[4]	RW	use_intp	是否利用导频进行载波相位内插。 1：利用导频进行载波相位内插。 0：不用导频进行载波相位内插。					
[3]	-	reserved	保留。					
[2]	RW	use_pulse_det	是否进行脉冲干扰检测。 1：进行脉冲干扰检测。 0：不进行脉冲干扰检测。					
[1]	RW	scan_auto	是否自动设置载波扫频步长。 1：自动设置载波扫频步长。 0：人为设置载波扫频步长。					



[0]	RW	cr_bw_auto	是否自动设置载波恢复带宽。 1：自动设置载波恢复带宽。 0：人为设置载波恢复带宽。
-----	----	------------	---

SCAN_STEP_L

SCAN_STEP_L 为扫频速度寄存器。

Offset Address			Register Name			Total Reset Value		
0x53			SCAN_STEP_L			0x64		
Bit	7	6	5	4	3	2	1	0
Name	scan_step_l							
Reset	0	1	1	0	0	1	0	0
Bits	Access	Name		Description				
[7:0]	RW	scan_step_l		人为设置扫频速度，低 8 位，共 12 位。				

SCAN_STEP_FB

SCAN_STEP_FB 为扫频控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x54			SCAN_STEP_FB			0x30		
Bit	7	6	5	4	3	2	1	0
Name	reserved	fb_speed			scan_step_h			
Reset	0	0	1	1	0	0	0	0
Bits	Access	Name		Description				
[7]	-	reserved		保留。				
[6:4]	RW	fb_speed		载波频率慢反馈的速度控制。				
[3:0]	RW	scan_step_h		人为设置扫频速度，高 4 位，共 12 位。				

SCAN_ADJUST

SCAN_ADJUST 为自动扫频速度寄存器。



Offset Address			Register Name			Total Reset Value		
0x55			SCAN_ADJUST			0x18		
Bit	7	6	5	4	3	2	1	0
Name	reserved		scan_adjust					
Reset	0	0	0	1	1	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5:0]	RW	scan_adjust	自动载波扫频的速度调节。					

CR_ZUNI_WAIT

CR_ZUNI_WAIT 为载波控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x56			CR_ZUNI_WAIT			0x8B		
Bit	7	6	5	4	3	2	1	0
Name	cr_zuni			cr_lock_wait				
Reset	1	0	0	0	1	0	1	1
Bits	Access	Name		Description				
[7:5]	RW	cr_zuni		载波恢复 PLL 的稳态阻尼。				
[4:0]	RW	cr_lock_wait		载波锁定的等待时间选择。				

CR_BW_ADJUST

CR_BW_ADJUST 为载波带宽控制寄存器。

Offset Address			Register Name				Total Reset Value	
0x57			CR_BW_ADJUST				0x20	
Bit	7	6	5	4	3	2	1	0
Name	reserved		bw_adjust					
Reset	0	0	1	0	0	0	0	0
Bits	Access	Name		Description				
[7:6]	-	reserved		保留。				



[5:0]	RW	bw_adjust	载波恢复的带宽调整。
-------	----	-----------	------------

CR_BW_MAX

CR_BW_MAX 为载波最大带宽控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x58			CR_BW_MAX			0xFF		
Bit	7	6	5	4	3	2	1	0
Name	cr_bw_max							
Reset	1	1	1	1	1	1	1	1
Bits	Access	Name		Description				
[7:0]	RW	cr_bw_max		该值*32 作为芯片内部实际使用的最大带宽。				

CR_BW_SET

CR_BW_SET 为载波带宽控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x59			CR_BW_SET			0x1F		
Bit	7	6	5	4	3	2	1	0
Name	cr_bw_exp			cr_bw_coef				
Reset	0	0	0	1	1	1	1	1
Bits	Access	Name		Description				
[7:5]	RW	cr_bw_exp		带宽的指数部分。				
[4:0]	RW	cr_bw_coef		带宽的小数部分，实际带宽=cr_bw_coef*2^cr_bw_exp。				

CR_CN

CR_CN 为载波 CN 值寄存器。



Offset Address			Register Name			Total Reset Value		
0x5A			CR_CN			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cr_cn							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	cr_cn		CR 处的 CN 值，限幅到 255，LSB=0.1875dB。				

CR_STATE

CR_STATE 为载波状态寄存器。

Offset Address			Register Name			Total Reset Value		
0x5B			CR_STATE			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved					cr_ok	scan_ok	sync_ok
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:3]	-	reserved		保留。				
[2]	RO	cr_ok		载波恢复完成。				
[1]	RO	scan_ok		载波扫频完成。				
[0]	RO	sync_ok		帧同步完成。				

PLS_CODE

PLS_CODE 为 pls_code 寄存器。

Offset Address			Register Name				Total Reset Value	
0x5C			PLS_CODE				0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved	pls_code						
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7]	-	reserved		保留。				



[6:0]	RO	pls_code	DVB-S2 的 PLS_CODE, 高 5 位为 MODCOD, 低 2 位为 TYPE。
-------	----	----------	--

FREQ_INV

FREQ_INV 为频谱反转寄存器。

Offset Address			Register Name			Total Reset Value		
0x5D			FREQ_INV			0x02		
Bit	7	6	5	4	3	2	1	0
Name	reserved							freq_inverse
Reset	0	0	0	0	0	0	1	0
Bits	Access	Name		Description				
[7:1]	-	reserved		保留。				
[0]	RO	freq_inverse		是否为频谱反转，仅在 DVB-S2 下有效。				

CR_ZUNI_BW_L

CR_ZUNI_BW_L 为载波带宽寄存器。

Offset Address			Register Name			Total Reset Value		
0x5E			CR_ZUNI_BW_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cr_zuni_bw_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	cr_zuni_bw_l		阻尼和带宽积的低 8 位(共 13 位)。				

CR_ZUNI_BW_H

CR_ZUNI_BW_H 为载波带宽寄存器。



Offset Address				Register Name			Total Reset Value	
0x5F				CR_ZUNI_BW_H			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved			cr_zuni_bw_h				
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:5]	-	reserved		保留。				
[4:0]	RO	cr_zuni_bw_h		阻尼和带宽积的高 5 位(共 13 位)。				

SYNC_FREQ_L

SYNC_FREQ_L 为帧同步频率寄存器。

Offset Address				Register Name			Total Reset Value	
0x60				SYNC_FREQ_L			0x00	
Bit	7	6	5	4	3	2	1	0
Name	sync_freq_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	sync_freq_l		帧同步频率估计的低 8 位(共 12 位), LSB= $2^{-12} * f_s$ 。				

SYNC_FREQ_H

SYNC_FREQ_H 为帧同步频率寄存器。

Offset Address				Register Name			Total Reset Value	
0x61				SYNC_FREQ_H			0x80	
Bit	7	6	5	4	3	2	1	0
Name	reserved				sync_freq_h			
Reset	1	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:4]	-	reserved		保留。				
[3:0]	RO	sync_freq_h		帧同步频率估计的高 4 位(共 12 位), LSB= $2^{-4} * f_s$ 。				



SCAN_FREQ_L

SCAN_FREQ_L 为扫频频率寄存器。

Offset Address			Register Name			Total Reset Value		
0x62			SCAN_FREQ_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	scan_freq_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	scan_freq_l		扫频频率的低 8 位(共 16 位), LSB=2^-16 * fs。				

SCAN_FREQ_H

SCAN_FREQ_H 为扫频频率寄存器。

Offset Address			Register Name			Total Reset Value		
0x63			SCAN_FREQ_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	scan_freq_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	scan_freq_h		扫频频率的高 8 位(共 16 位), LSB=2^-8 * fs。				

FREQ_ACC_L

FREQ_ACC_L 为载波频差慢反馈寄存器。



Offset Address			Register Name			Total Reset Value		
0x64			FREQ_ACC_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	freq_acc_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	freq_acc_l		载波频差慢速反馈量的低 8 位(共 16 位), LSB=2 ⁻¹⁶ * fs。				

FREQ_ACC_H

FREQ_ACC_H 为载波频差慢反馈寄存器。

Offset Address			Register Name			Total Reset Value		
0x65			FREQ_ACC_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	freq_acc_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	freq_acc_h		载波频差慢速反馈量的高 8 位(共 16 位), LSB=2 ⁻⁸ * fs。				

TR_FREQ_FB_L

TR_FREQ_FB_L 为载波频差 tr 反馈寄存器。

Offset Address			Register Name			Total Reset Value		
0x66			TR_FREQ_FB_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	tr_freq_fb_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	tr_freq_fb_l		载波频差反馈到 TR 的低 8 位(共 16 位), LSB=2 ⁻¹⁶ * fs。				



TR_FREQ_FB_H

TR_FREQ_FB_H 为载波频差 tr 反馈寄存器。

Offset Address			Register Name			Total Reset Value		
0x67			TR_FREQ_FB_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	tr_freq_fb_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	tr_freq_fb_h		载波频差反馈到 TR 的高 8 位(共 16 位), LSB=2^(-8 * fs)。				

CR_LOOP_DC_L

CR_LOOP_DC_L 为载波 PLL 控制字寄存器。

Offset Address			Register Name			Total Reset Value		
0x68			CR_LOOP_DC_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cr_loop_dc_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	cr_loop_dc_l		载波 PLL 控制字的低 8 位(共 16 位), LSB=2 ⁻²⁰ * fs。				

CR_LOOP_DC_H

CR_LOOP_DC_H 为载波 PLL 控制字寄存器。

Offset Address			Register Name			Total Reset Value		
0x69			CR_LOOP_DC_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cr_loop_dc_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	cr_loop_dc_h	载波 PLL 控制字的高 8 位(共 16 位), LSB=2 ⁻¹² * fs。					



CHIP_ID_0

CHIP_ID_0 为芯片 ID 寄存器 0。

Offset Address			Register Name			Total Reset Value		
0x6C			CHIP_ID_0			0x00		
Bit	7	6	5	4	3	2	1	0
Name	chip_id_0							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	chip_id_0		芯片 ID 的最低 8 位，共 32 位。				

CHIP_ID_1

CHIP_ID_1 为芯片 ID 寄存器 1。

Offset Address			Register Name			Total Reset Value		
0x6D			CHIP_ID_1			0x01		
Bit	7	6	5	4	3	2	1	0
Name	chip_id_1							
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name		Description				
[7:0]	RO	chip_id_1		芯片 ID 的次低 8 位，共 32 位。				

CHIP_ID_2

CHIP_ID_2 为芯片 ID 寄存器 2。

Offset Address			Register Name			Total Reset Value		
0x6E			CHIP_ID_2			0x36		
Bit	7	6	5	4	3	2	1	0
Name	chip_id_2							
Reset	0	0	1	1	0	1	1	0
Bits	Access	Name		Description				
[7:0]	RO	chip_id_2		芯片 ID 的次高 8 位，共 32 位。				



CHIP_ID_3

CHIP_ID_3 为芯片 ID 寄存器 3。

Offset Address			Register Name			Total Reset Value		
0x6F			CHIP_ID_3			0x31		
Bit	7	6	5	4	3	2	1	0
Name	chip_id_3							
Reset	0	0	1	1	0	0	0	1
Bits	Access	Name		Description				
[7:0]	RO	chip_id_3		芯片 ID 的最高 8 位，共 32 位。				

EQU_CTRL

EQU_CTRL 为均衡控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x70			EQU_CTRL			0x06		
Bit	7	6	5	4	3	2	1	0
Name	equ_hold	equ_bypass	reserved			blind_step		
Reset	0	0	0	0	0	1	1	0
Bits	Access	Name	Description					
[7]	RW	equ_hold	保持当前均衡器系数。 1：保持； 0：不保持。					
[6]	RW	equ_bypass	旁路均衡器运算。 1：旁路； 0：不旁路。					
[5:3]	-	reserved	保留。					
[2:0]	RW	blind_step	盲均衡步长，每增加 1，步长乘以 2。					

LMS_STEP

LMS_STEP 为均衡步长控制寄存器。



Offset Address				Register Name		Total Reset Value		
0x71				LMS_STEP		0x02		
Bit	7	6	5	4	3	2	1	0
Name	reserved					lms_step_4_8		
Reset	0	0	0	0	0	0	1	0
Bits	Access	Name		Description				
[7:3]	-	reserved		保留。				
[2:0]	RW	lms_step_4_8		LMS 均衡在 QPSK/8PSK 模式的步长，每增加 1，步长乘以 2。				

CN_CTRL

CN_CTRL 为噪声功率统计控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x75			CN_CTRL			0x48		
Bit	7	6	5	4	3	2	1	0
Name	reserved		bypass_cnr_est	noise_sta		reserved		
Reset	0	1	0	0	1	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5]	RW	bypass_cnr_est	是否旁路 CNR 估计模块。 1：旁路； 0：不旁路。					
[4:3]	RW	noise_sta	噪声功率统计的平均次数。 00：64 次； 01：128 次； 10：256 次； 11：512 次。					
[2:0]	-	reserved	保留。					

EQU_TAP_REAL

EQU_TAP_REAL 为均衡抽头实部寄存器。



Offset Address			Register Name			Total Reset Value		
0x76			EQU_TAP_REAL			0x00		
Bit	7	6	5	4	3	2	1	0
Name	equ_tap_real							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	equ_tap_real		准备写入第 n 个抽头的实部，或者是从第 n 个抽头读出的实部；读或者写由 rd_wr_tap 控制。				

EQU_TAP_IMAG

EQU_TAP_IMAG 为均衡抽头虚部寄存器。

Offset Address			Register Name			Total Reset Value		
0x77			EQU_TAP_IMAG			0x00		
Bit	7	6	5	4	3	2	1	0
Name	equ_tap_imag							
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RW	equ_tap_imag	准备写入第 n 个抽头的虚部，或者是从第 n 个抽头读出的虚部；读或者写由 rd_wr_tap 控制。				

EQU_TAP_SEL

EQU_TAP_SEL 为抽头选择寄存器。

Offset Address			Register Name			Total Reset Value		
0x78			EQU_TAP_SEL			0x01		
Bit	7	6	5	4	3	2	1	0
Name	equ_tap_sel						reserved	
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name		Description				
[7:2]	RW	equ_tap_sel		无符号值表示选择第 n 个抽头进行读写，如果值大于实际抽头数，表示选择最后一个抽头。				
[1:0]	-	reserved		保留。				



XREG_INIT_LOW

XREG_INIT_LOW 为均衡控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x7A			XREG_INIT_LOW			0x01		
Bit	7	6	5	4	3	2	1	0
Name	xreg_init_low							
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name		Description				
[7:0]	RW	xreg_init_low		xreg_init 低 8 位。				

XREG_INIT_MID

XREG_INIT_MID 为均衡控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x7B			XREG_INIT_MID			0x00		
Bit	7	6	5	4	3	2	1	0
Name	xreg_init_mid							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	xreg_init_mid	xreg_init 中 8 位。					

XREG_INIT_HI

XREG_INIT_HI 为均衡控制寄存器。



Offset Address				Register Name			Total Reset Value	
0x7C				XREG_INIT_HI			0x60	
Bit	7	6	5	4	3	2	1	0
Name	reserved			ffe_step			xreg_init_hi	
Reset	0	1	1	0	0	0	0	0
Bits	Access	Name		Description				
[7:5]	-	reserved		保留。				
[4:2]	RW	ffe_step		均衡 FFE 部分抽头的步长，0 表示与 FBE 抽头步长相同，每增加 1 表示步长比 FBE 抽头步长小一半。				
[1:0]	RW	xreg_init_hi		xreg_init 高 2 位。				

RD_WR_TAP

RD_WR_TAP 为抽头控制寄存器。

Offset Address				Register Name		Total Reset Value		
0x7D				RD_WR_TAP		0x82		
Bit	7	6	5	4	3	2	1	0
Name	reserved			rd_wr_tap	reserved	lms_step_16_32		
Reset	1	0	0	0	0	0	1	0
Bits	Access	Name		Description				
[7:5]	-	reserved		保留。				
[4]	RW	rd_wr_tap		读写均衡器抽头控制。 0：读第 n 个抽头值输出到 0x76/0x77 寄存器中，n 由 equ_tap_sel 指定； 1：写 0x76/0x77 寄存器中的值到第 n 个抽头中，n 由 equ_tap_sel 指定。				
[3]	-	reserved		保留。				
[2:0]	RW	lms_step_16_32		LMS 均衡在 16APSK/32APSK 模式的步长，每增加 1，步长乘以 2。				

NOISE_POW_L

NOISE_POW_L 为噪声功率低位寄存器。



Offset Address			Register Name			Total Reset Value		
0x7E			NOISE_POW_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	noise_pow_l							
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RO	noise_pow_l	输出给用户的噪声功率统计低 8bits。				

NOISE_POW_H

NOISE_POW_H 为噪声功率高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x7F			NOISE_POW_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cnr_est_ok	noise_pow_h						
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7]	RO	cnr_est_ok		CNR 估计完成。				
[6:0]	RO	noise_pow_h		输出给用户的噪声功率统计高 7bits。				

LDPC_ITER

LDPC_ITER 为 ldpc 迭代控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x82			LDPC_ITER			0x50		
Bit	7	6	5	4	3	2	1	0
Name	fix_iter	iter_num_man	iter_num					
Reset	0	1	0	1	0	0	0	0
	Bits	Access	Name	Description				
	[7]	RW	fix_iter	指示配置固定最大迭代次数。 1：固定最大迭代次数； 0：自动精确选择最大迭代次数。				



[6]	RW	iter_num_man	指示手动配置最大迭代次数。 1: 手动配置最大迭代次数; 0: 自动简略配置最大迭代次数。
[5:0]	RW	iter_num	手动精确配置的最大迭代次数值。

BER_CTRL

BER_CTRL 为 ber 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x83			BER_CTRL			0xB5		
Bit	7	6	5	4	3	2	1	0
Name	stop_sel	frame_num			rst_frm_num		rst_err_num	
Reset	1	0	1	1	0	1	0	1
Bits	Access	Name	Description					
[7]	RW	stop_sel	指示校验迭代停止。 1：自动校验迭代停止； 0：迭代到最大迭代次数停止。					
[6:4]	RW	frame_num	统计 BER 周期长度。					
[3:2]	RW	rst_frm_num	自复位统计总帧数。					
[1:0]	RW	rst_err_num	自复位正确帧比例，值越大，正确帧占总帧数之比越高, 当正确帧与总帧数之比小于该比例时 fec 自复位。					

FEC_BER_L

FEC_BER_L 为 ber 低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x84			FEC_BER_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	fec_ber_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	fec_ber_l		BER 统计的低 8 位。				



FEC_BER_H

FEC_BER_H 为 ber 高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x85			FEC_BER_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	fec_ber_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	fec_ber_h		BER 统计的高 8 位。				

FEC_FER_L

FEC_FER_L 为 fer 低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x86			FEC_FER_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	fec_fer_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	fec_fer_l		错误帧数统计的低 8 位。				

FEC_FER_H

FEC_FER_H 为 fer 高位寄存器。



Offset Address			Register Name			Total Reset Value		
0x87			FEC_FER_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	fec_fer_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	fec_fer_h		错误帧数统计的高 8 位。				

S2_SUCCESS

S2_SUCCESS 为 s2 译码成功寄存器。

Offset Address			Register Name				Total Reset Value	
0x88			S2_SUCCESS				0x00	
Bit	7	6	5	4	3	2	1	0
Name	iter_num						bch_cancorr	ldpc_badly
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:2]	RO	iter_num		LDPC 实际译码迭代次数的一半。				
[1]	RO	bch_cancorr		指示 BCH 译码成功。 1：译码成功； 0：译码失败。				
[0]	RO	ldpc_badly		指示 LDPC 译码 badly。 1：LDPC 译码失败； 0：LDPC 译码成功。				

VTB_CTRL1

VTB_CTRL1 为 vtb 控制寄存器。



Offset Address 0x89			Register Name VTB_CTRL1			Total Reset Value 0x08		
Bit	7	6	5	4	3	2	1	0
Name	iq_swap_mod	iq_swap_man	vtb_search_mod	vtb_search_per		vtb_rate_man		
Reset	0	0	0	0	1	0	0	0
Bits	Access	Name		Description				
[7]	RW	iq_swap_mod		指示 IQ 反转搜索模式。 1: 手动搜索模式; 0: 自动搜索模式。				
[6]	RW	iq_swap_man		手动指示 IQ 反转。 1: IQ 反转; 0: IQ 不反转。				
[5]	RW	vtb_search_mod		指示 vtb 码率搜索模式。 1: 手动设置搜索码率模式; 0: 自动搜索码率模式。				
[4:3]	RW	vtb_search_per		指示 Vtb 搜索周期。				
[2:0]	RW	vtb_rate_man		指示 vtb 手动搜索码率。 000: 1/2; 001: 2/3; 010: 3/4; 011: 5/6; 100: 7/8; 101: 6/7; 其它: 保留。				

VTB_THRES

VTB_THRES 为 vtb 搜索控制寄存器。



Offset Address			Register Name			Total Reset Value		
0x8A			VTB_THRES			0x22		
Bit	7	6	5	4	3	2	1	0
Name	vtb_lock_th				vtb_loss_th			
Reset	0	0	1	0	0	0	1	0
Bits	Access	Name	Description					
[7:4]	RW	vtb_lock_th	Vtb 搜索锁定门限。					
[3:0]	RW	vtb_loss_th	Vtb 搜索失锁门限。					

VTB_CTRL2

VTB_CTRL2 为 vtb 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x8B			VTB_CTRL2			0x38		
Bit	7	6	5	4	3	2	1	0
Name	vtb_tout_th				vtb_lock_mod	vtb_adjust_man	vtb_adjust	
Reset	0	0	1	1	1	0	0	0
Bits	Access	Name	Description					
[7:4]	RW	vtb_tout_th	Vtb 搜索超时门限。					
[3]	RW	vtb_lock_mod	Vtb 搜索锁定模式。 1：锁定后不再失锁； 0：锁定后继续判断失锁。					
[2]	RW	vtb_adjust_man	Vtb 输入信号是否手动调整信号强度开关。 1：手动调整输入信号强度； 0：自动根据码率调整输入信号强度。					
[1:0]	RW	vtb_adjust	Vtb 输入信号手动调整其强度的系数，当 vtb_adjust_man 为 1 时有效，值越高输入信号调的越大。					

FS_CTRL1

FS_CTRL1 为 s 帧同步控制寄存器。



Offset Address				Register Name		Total Reset Value		
0x8C				FS_CTRL1		0xA9		
Bit	7	6	5	4	3	2	1	0
Name	fs_corr_en	fs_lock_th		fs_loss_th		fs_search_mod	fs_direct_man	rs_corr_en
Reset	1	0	1	0	1	0	0	1
Bits	Access	Name		Description				
[7]	RW	fs_corr_en		指示 Fs 帧头纠错使能。 1：对帧头进行纠错； 0：不对帧头进行纠错。				
[6:5]	RW	fs_lock_th		指示 fs 锁定门限。				
[4:3]	RW	fs_loss_th		指示 fs 失锁门限。				
[2]	RW	fs_search_mod		指示 fs 搜索模式。 1：手动搜索模式； 0：自动搜索模式。				
[1]	RW	fs_direct_man		指示搜索 directv 模式。 1：手动设置搜索 directv 模式； 0：手动设置搜索 dvbs 模式。				
[0]	RW	rs_corr_en		指示 RS 纠错使能。 1：RS 进行纠错； 0：RS 不进行纠错。				

FS_CTRL2

FS_CTRL2 为 s 帧同步控制寄存器。

Offset Address				Register Name			Total Reset Value	
0x8D				FS_CTRL2			0x5A	
Bit	7	6	5	4	3	2	1	0
Name	fs_sear_th		fs_modtrans_th		fs_tout_th		ber_en	ber_clear
Reset	0	1	0	1	1	0	1	0
Bits	Access	Name		Description				
[7:6]	RW	fs_sear_th		Fs 按模式搜索次数门限。				
[5:4]	RW	fs_modtrans_th		Fs 搜索一种模式的帧数门限。				



[3:2]	RW	fs_tout_th	Fs 搜索超时门限。
[1]	RW	ber_en	BER 统计使能。 1: BER 统计; 0: BER 不统计。
[0]	RW	ber_clear	BER 统计清零。 1: 清除 BER 统计结果; 0: 不清除 BER 统计结果。

SEAR_RESULT

SEAR_RESULT 为 s 搜索结果寄存器。

Offset Address			Register Name			Total Reset Value		
0x8E			SEAR_RESULT			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved				vtb_rate			ir_directv
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:4]	-	reserved		保留。				
[3:1]	RO	vtb_rate		Vtb 搜索码率结果。 000: 1/2; 001: 2/3; 010: 3/4; 011: 5/6; 100: 7/8; 101: 6/7; 其它: 保留。				
[0]	RO	ir_directv		指示是否为 directv 模式。 1: DirecTV 模式; 0: DVBS 模式。				

DEC_RESULT

DEC_RESULT 为 s 译码结果寄存器。



Offset Address			Register Name			Total Reset Value		
0x8F			DEC_RESULT			0x41		
Bit	7	6	5	4	3	2	1	0
Name	rst_vcm_err_num		vtb_tout	fs_tout	vtb_lock	iq_swap	fs_lock	rs_cancorr
Reset	0	1	0	0	0	0	0	1
Bits	Access	Name	Description					
[7:6]	RW	rst_vcm_err_num	VCM 模式下自复位正确帧比例，值越大，正确率越高					
[5]	RO	vtb_tout	指示 Vtb 搜索超时。 1: vtb 搜索超时； 0: vtb 搜索未超时。					
[4]	RO	fs_tout	指示 fs 搜索超时。 1: fs 搜索超时； 0: fs 搜索未超时。					
[3]	RO	vtb_lock	指示 vtb 搜索锁定。 1: vtb 搜索锁定； 0: vtb 搜索未锁定。					
[2]	RO	iq_swap	指示 IQ 反转。 1: IQ 反转； 0: IQ 未反转。					
[1]	RO	fs_lock	指示 fs 搜索锁定。 1: fs 搜索锁定； 0: fs 搜索未锁定。					
[0]	RO	rs_cancorr	指示 RS 译码错误。 1: RS 译码错误； 0: RS 译码成功。					

TS_PARALL_CTRL

TS_PARALL_CTRL 为 ts 输出选择寄存器。



Offset Address			Register Name			Total Reset Value		
0x90			TS_PARALL_CTRL			0x6A		
Bit	7	6	5	4	3	2	1	0
Name	c_isi_research	reserved	ts_parall	ts_serial2	ts_a_sel			
Reset	0	1	1	0	1	0	1	0
Bits	Access	Name		Description				
[7]	RW	c_isi_research		重新搜索流 ID 开关。 1：重新搜索流 ID,自清； 0：不重新搜索流 ID。				
[6]	-	reserved		保留。				
[5]	RW	ts_parall		ts 输出并行模式选择。 1：并行模式； 0：串行模式。				
[4]	RW	ts_serial2		ts 2bit 输出选择。 1：ts 2bit 输出选择(此时需要将 ts_parall 配置为 1)； 0：根据 ts_parall 的值来选择并或串模式。				
[3:0]	RW	ts_a_sel		控制管脚 TS_ERR 的输出。选择 {ts_err,ts_vld,ts_sync,ts_out[7:0]} 中的相应 bit 位信号输出。				

TS_10_SEL

TS_10_SEL 为 ts 输出控制寄存器。

Offset Address				Register Name		Total Reset Value		
0x91				TS_10_SEL		0x10		
Bit	7	6	5	4	3	2	1	0
Name	ts_1_sel				ts_0_sel			
Reset	0	0	0	1	0	0	0	0
Bits	Access	Name		Description				
[7:4]	RW	ts_1_sel		控制管脚 TS_OUT1 的输出。选择 {ts_err,ts_vld,ts_sync,ts_out[7:0]} 中的相应 bit 位信号输出。				
[3:0]	RW	ts_0_sel		控制管脚 TS_OUT0 的输出。选择 {ts_err,ts_vld,ts_sync,ts_out[7:0]} 中的相应 bit 位信号输出。				



TS_32_SEL

TS_32_SEL 为 ts 输出控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x92			TS_32_SEL			0x32		
Bit	7	6	5	4	3	2	1	0
Name	ts_3_sel				ts_2_sel			
Reset	0	0	1	1	0	0	1	0
Bits	Access	Name		Description				
[7:4]	RW	ts_3_sel		控制管脚 TS_OUT3 的输出。选择 {ts_err,ts_vld,ts_sync,ts_out[7:0]} 中的相应 bit 位信号输出。				
[3:0]	RW	ts_2_sel		控制管脚 TS_OUT2 的输出。选择 {ts_err,ts_vld,ts_sync,ts_out[7:0]} 中的相应 bit 位信号输出。				

TS_54_SEL

TS_54_SEL 为 ts 输出控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x93			TS_54_SEL			0x54		
Bit	7	6	5	4	3	2	1	0
Name	ts_5_sel				ts_4_sel			
Reset	0	1	0	1	0	1	0	0
Bits	Access	Name		Description				
[7:4]	RW	ts_5_sel		控制管脚 TS_OUT5 的输出。选择 {ts_err,ts_vld,ts_sync,ts_out[7:0]} 中的相应 bit 位信号输出。				
[3:0]	RW	ts_4_sel		控制管脚 TS_OUT4 的输出。选择 {ts_err,ts_vld,ts_sync,ts_out[7:0]} 中的相应 bit 位信号输出。				

TS_76_SEL

TS_76_SEL 为 ts 输出控制寄存器。



Offset Address				Register Name			Total Reset Value	
0x94				TS_76_SEL			0x76	
Bit	7	6	5	4	3	2	1	0
Name	ts_7_sel				ts_6_sel			
Reset	0	1	1	1	0	1	1	0
Bits	Access	Name		Description				
[7:4]	RW	ts_7_sel		控制管脚 TS_OUT7 的输出。选择 {ts_err,ts_vld,ts_sync,ts_out[7:0]} 中的相应 bit 位信号输出。				
[3:0]	RW	ts_6_sel		控制管脚 TS_OUT6 的输出。选择 {ts_err,ts_vld,ts_sync,ts_out[7:0]} 中的相应 bit 位信号输出。				

TS_98_SEL

TS_98_SEL 为 ts 输出控制寄存器。

Offset Address				Register Name			Total Reset Value	
0x95				TS_98_SEL			0x98	
Bit	7	6	5	4	3	2	1	0
Name	ts_9_sel				ts_8_sel			
Reset	1	0	0	1	1	0	0	0
Bits	Access	Name		Description				
[7:4]	RW	ts_9_sel		控制管脚 TS_VLD 的输出。选择 {ts_err,ts_vld,ts_sync,ts_out[7:0]} 中的相应 bit 位信号输出。				
[3:0]	RW	ts_8_sel		控制管脚 TS_SYNC 的输出。选择 {ts_err,ts_vld,ts_sync,ts_out[7:0]} 中的相应 bit 位信号输出。				

TS_CTRL0

TS_CTRL0 为 ts 控制寄存器 0。



Offset Address				Register Name			Total Reset Value		
0x96				TS_CTRL0			0x92		
Bit	7		6	5	4	3	2	1	0
Name	pcr_change		pcr_local_chg	ts_lsb_first	serial_sync8	mask_ts_clk	ts_on_bf_ok	ts_clk_on	ts_clk_inv
Reset	1		0	0	1	0	0	1	0
	Bits	Access	Name	Description					
	[7]	RW	pcr_change	修改 pcr 使能信号。 1：允许对 pcr 进行修改； 0：不允许对 pcr 进行修改。					
	[6]	RW	pcr_local_chg	是否使用本地计数器更新 pcr。 1：选择本地计数器作为更新 pcr 的值； 0：使用 iscr 计算的结果作为更新 pcr 的值。					
	[5]	RW	ts_lsb_first	ts 串行输出的顺序。 1：从 0 到 7 输出； 0：从 7 到 0 输出。					
	[4]	RW	serial_sync8	ts 同步头串行时的输出个数。 1：输出 8 个串行帧头； 0：输出 1 个串行帧头。					
	[3]	RW	mask_ts_clk	ts 并行时钟 mask 信号。 1：只有 ts_vld 有效时才有并行时钟输出； 0：并行时钟一直输出。					
	[2]	RW	ts_on_bf_ok	ts 流输出控制。 1：表示系统 ok 前 ts 流有输出； 0：表示系统 ok 后 ts 流才输出。					
	[1]	RW	ts_clk_on	ts 流输出控制。 1：表示允许 ts 流输出； 0：表示不允许 ts 流输出。					
	[0]	RW	ts_clk_inv	ts 时钟控制信号。 1：表示 ts 并行时钟取反后输出； 0：表示 ts 并行时钟直接输出。					

TS_CTRL3

TS_CTRL3 为 ts 控制寄存器 3。



Offset Address			Register Name			Total Reset Value		
0x97			TS_CTRL3			0x00		
Bit	7	6	5	4	3	2	1	0
Name	is_ccm	matype_addr						
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RO	is_ccm	当前为 CCM 模式。 1：当前为 CCM； 0：当前为 VCM/ACM。					
[6:0]	RW	matype_addr	isi 流信息存储寄存器地址，置入地址可从 matype_out 读出对 应得的流信息。 matype_addr[4:0]用于选择流； matype_addr[6:5]==2'b00,matype_out 寄存器输出为流 ID； matype_addr[6:5]==2'b01,matype_out 寄存器输出为流 ID 对应 的 matype1； matype_addr[6:5]==2'b1x,matype_out 寄存器输出为流 ID 对应 的 modcod。					

TS_CTRL4

TS_CTRL4 为 ts 控制寄存器 4。

Offset Address			Register Name			Total Reset Value		
0x98			TS_CTRL4			0xCA		
Bit	7	6	5	4	3	2	1	0
Name	isi_sel_vld	clk_auto	ts_clk_div					
Reset	1	1	0	0	1	0	1	0
Bits	Access	Name	Description					
[7]	RW	isi_sel_vld	使能通过指定流 ID 来选择 ts 输出。 1：输出的流为 isi_sel 指定的流； 0：输出的流为找到的第一个流。					
[6]	RW	clk_auto	使能自动 ts 时钟生成。 1：在单流且 ccm 的情况下，根据流速率自适应生成均匀 ts 时钟； 0：通过 ts_clk_div 生成固定的时钟频率。					



[5:0]	RW	ts_clk_div	对系统时钟分频得到 ts 并行时钟,分频比为 {ts_clk_div[5:0],ts_clk_div_f[15:0]}/2^16。 ts_clk_div 取值 8~31。
-------	----	------------	--

TS_CLK_DIV_F_L

TS_CLK_DIV_F_L 为 ts 时钟低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x99			TS_CLK_DIV_F_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	ts_clk_div_f_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	ts_clk_div_f_l		ts_clk_f[7:0], 对系统时钟分频得到 ts 并行时钟的小数部分低位。				

TS_CLK_DIV_F_H

TS_CLK_DIV_F_H 为 ts 时钟高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x9A			TS_CLK_DIV_F_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	ts_clk_div_f_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	ts_clk_div_f_h		ts_clk_f[7:0]，对系统时钟分频得到 ts 并行时钟的小数部分高位。				

ISI_SEL

ISI_SEL 为 isi 选择寄存器。



Offset Address			Register Name			Total Reset Value		
0x9B			ISI_SEL			0x01		
Bit	7	6	5	4	3	2	1	0
Name	isi_sel							
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name		Description				
[7:0]	RW	isi_sel		当 isi_sel_vld 为 1 时，通过 isi_sel 选择 ts 流输出。				

MATTYPE

MATTYPE 为流 id 寄存器。

Offset Address			Register Name			Total Reset Value		
0x9C			MATTYPE			0x00		
Bit	7	6	5	4	3	2	1	0
Name	matype_out							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	matype_out		isi 流 id 输出。				

ROLL_OFF

ROLL_OFF 为滚降寄存器。



Offset Address			Register Name			Total Reset Value		
0x9D			ROLL_OFF			0x00		
Bit	7	6	5	4	3	2	1	0
Name	roll_off		isi_num					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	RO	roll_off	滚降系数。 00: 0.35; 01: 0.25; 10: 0.20; 11: 保留。					
[5:0]	RO	isi_num	搜索得到的 isi 流数目。					

CRC_ERR

CRC_ERR 为 crc 校验寄存器。

Offset Address			Register Name			Total Reset Value		
0x9E			CRC_ERR			0x00		
Bit	7	6	5	4	3	2	1	0
Name	crc_err							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	crc_err	实际误包率=crc_err/1024*100%，只对 S2 信号有用，当实际 crc_err<1 且非零时，crc_err=1；当实际 crc_err>255 时，crc_err=255。					

RST_WAIT

RST_WAIT 为复位等待寄存器。



Offset Address			Register Name			Total Reset Value		
0x9F			RST_WAIT			0x15		
Bit	7	6	5	4	3	2	1	0
Name	crc_pkt_cnt				rst_wait			
Reset	0	0	0	1	0	1	0	1
Bits	Access	Name	Description					
[7:4]	RW	crc_pkt_cnt	用于误包率统计的包个数，实际包个数为 crc_pkt_cnt*1024;当 crc_pkt_cnt 为 0 时，实际包个数被限为 1024。					
[3:0]	RW	rst_wait	复位等待寄存器。 当 clk_cnt[28:25] == rst_wait 时，产生 ts 复位信号；clk_cnt 是以 fec 时钟计数的计数器。但接口异常时计数。					

FC_MAX_RELIABLE

FC_MAX_RELIABLE 为盲扫载波控制寄存器。

Offset Address				Register Name		Total Reset Value		
0xA0				FC_MAX_RELIABLE		0xB4		
Bit	7	6	5	4	3	2	1	0
Name	fc_dlt_sel		reserved			cbs_reliable		
Reset	1	0	1	1	0	1	0	0
Bits	Access	Name	Description					
[7:6]	RW	fc_dlt_sel	盲扫最大载波误差限制，配置 0 时对应 3.072MHz，配置值每增加 1 时对应限制值增加 1.024MHz。					
[5:3]	-	reserved	保留。					
[2:0]	RW	cbs_reliable	值越大，盲扫越可靠，但盲扫时间会变长。					

FS_SPAN

FS_SPAN 为盲扫符号率范围寄存器。



Offset Address				Register Name		Total Reset Value		
0xA1				FS_SPAN		0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved					fs_span		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:3]	-	reserved		保留。				
[2:0]	RW	fs_span		指定 fs 时符号率搜索范围，0 对应 $2^{-9} * fs$ ，数值加 1 则范围加倍。				

AMP_MIN_FS

AMP_MIN_FS 为盲扫最低符号率寄存器。

Offset Address			Register Name			Total Reset Value		
0xA7			AMP_MIN_FS			0x67		
Bit	7	6	5	4	3	2	1	0
Name	reserved			min_fs				
Reset	0	1	1	0	0	1	1	1
Bits	Access	Name	Description					
[7:5]	-	reserved	保留。					
[4:0]	RW	min_fs	盲扫的最低符号率，LSB=128kHz。					

CBS_CTRL_RDADDR

CBS_CTRL_RDADDR 为盲扫控制寄存器。



Offset Address			Register Name			Total Reset Value		
0xA8			CBS_CTRL_RDADDR			0x80		
Bit	7	6	5	4	3	2	1	0
Name	use_cbs	know_fs_fc	reserved	cbs_rd_addr				
Reset	1	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RW	use_cbs	控制是否使用盲扫功能。 1：使用盲扫功能； 0：关闭盲扫。					
[6]	RW	know_fs_fc	控制盲扫的模式。 1：已知 fs(符号率)和 fc(基带载波频率)； 0：未知 fs 和 fc。					
[5]	-	reserved	保留。					
[4:0]	RW	cbs_rd_addr	盲扫结果读地址。 一次盲扫可能有多个结果，存贮在 RAM 中，每个盲扫结果都有对应的 fs、fc 和可靠度信息(对应 0xA9~0xAF 中的部分寄存器)。					

CBS_FS_L

CBS_FS_L 为盲扫符号率低位寄存器。

Offset Address			Register Name			Total Reset Value		
0xA9			CBS_FS_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cbs_fs_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	cbs_fs_l		盲扫结果符号率的低 8 位，LSB=1kHz。				

CBS_FS_H

CBS_FS_H 为盲扫符号率高位寄存器。



Offset Address			Register Name			Total Reset Value		
0xAA			CBS_FS_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cbs_fs_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	cbs_fs_h		盲扫结果符号率的高 8 位，无符号数。				

CBS_FC_L

CBS_FC_L 为盲扫频偏低位寄存器。

Offset Address			Register Name			Total Reset Value		
0xAB			CBS_FC_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cbs_fc_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	cbs_fc_l		盲扫结果载波频偏的低 8 位，LSB=1kHz。				

CBS_FC_H

CBS_FC_H 为盲扫频偏高位寄存器。

Offset Address			Register Name			Total Reset Value		
0xAC			CBS_FC_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cbs_fc_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	cbs_fc_h		盲扫结果载波频偏的高 8 位，有符号数。				



CBS_FINISH

CBS_FINISH 为盲扫结束寄存器。

Offset Address				Register Name			Total Reset Value	
0xAD				CBS_FINISH			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved							cbs_finish
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:1]	-	reserved		保留。				
[0]	RO	cbs_finish		指示盲扫是否结束。 1：盲扫已结束； 0：盲扫未结束。				

CBS_RELIABILITY1

CBS_RELIABILITY1 为盲扫可靠度寄存器。

Offset Address			Register Name			Total Reset Value		
0xAE			CBS_RELIABILITY1			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cbs_reliability1							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	cbs_reliability1		盲扫结果的可靠度量 1，越大越可靠。				

CBS_R2_NUM

CBS_R2_NUM 为盲扫信号个数寄存器。



Offset Address				Register Name			Total Reset Value	
0xAF				CBS_R2_NUM			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reliability2			sig_num				
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:5]	RO	reliability2	盲扫结果的可靠度量 2，越大越可靠。					
[4:0]	RO	sig_num	本次盲扫的有效信号个数。					

DSEC_ADDR

DSEC_ADDR 为 dsec 地址寄存器。

Offset Address				Register Name			Total Reset Value	
0xB0				DSEC_ADDR			0x00	
Bit	7	6	5	4	3	2	1	0
Name	dsec_addr							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	dsec_addr	dsec_addr[7]为 1 时表示当前读操作：dsec_addr[3]为 0 时， dsec_addr[2:0]用于指定发送数据存储地址； dsec_addr[3]为 1 时，dsec_addr[2:0] 用于指定接收数据存储地址。 dsec_addr[7]为 0 时表示当前写操作：dsec_addr[3]为 0 时， dsec_addr[2:0]用于指定发送数据存储地址； dsec_addr[3]为 1 时，dsec_addr[2:0]给出的地址无效。					

DSEC_DATA

DSEC_DATA 为 dsec 数据寄存器。



Offset Address			Register Name			Total Reset Value		
0xB1			DSEC_DATA			0x00		
Bit	7	6	5	4	3	2	1	0
Name	dsec_data							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	dsec_data		用于提供发送数据和读取接收数据 请参见 2.18 节“发送流程”。 如果发送消息第一个字节的[1]位为 1，发送完成自动进入进入接收状态。接收流程： 请参见 2.18 节“接收流程”。				

DSEC_RATIO_L

DSEC_RATIO_L 为 dsec 低位频率寄存器。

Offset Address			Register Name			Total Reset Value		
0xB2			DSEC_RATIO_L			0x88		
Bit	7	6	5	4	3	2	1	0
Name	dsec_ratio_l							
Reset	1	0	0	0	1	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RW	dsec_ratio_l	系统时钟分频低位，用于产生 22kHz 方波， diseqc_ratio=fsys(in KHz)/22。				

DSEC_RATIO_H

DSEC_RATIO_H 为 dsec 高位频率寄存器。



Offset Address			Register Name			Total Reset Value		
0xB3			DSEC_RATIO_H			0x13		
Bit	7	6	5	4	3	2	1	0
Name	dsec_ratio_h							
Reset	0	0	0	1	0	0	1	1
Bits	Access	Name		Description				
[7:0]	RW	dsec_ratio_h		系统时钟分频高位，用于产生 22kHz 方波。				

TX_CTRL1

TX_CTRL1 为 dsec 发送控制寄存器。

Offset Address				Register Name			Total Reset Value	
0xB4				TX_CTRL1			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved	num_byte			dsec_mode			hv_sel
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7]	-	reserved		保留。				
[6:4]	RW	num_byte		发送消息字节数：实际值为配置值+1。				
[3:1]	RW	dsec_mode		diseqc 工作模式。 000：空闲； 001：发送连续的 22kHz 方波； 010：发送一个 0 Tone Burst； 011：发送一个 1 Data Burst； 100：发送完整的 diseqc 消息； 其他：保留。				
[0]	RW	hv_sel		水平垂直极化方向选择。 1：输出高电平； 0：输出低电平。				

RX_CTRL1

RX_CTRL1 为 dsec 接收控制寄存器。



Offset Address				Register Name			Total Reset Value	
0xB5				RX_CTRL1			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved						tone_cofig	
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:2]	-	reserved	保留。					
[1:0]	RW	tone_cofig	diseqc_in 信号中 22KHz 方波(44us)的允许周期偏差范围。 00: 33us~60us; 01: 30us~60us; 10: 33us~66us; 11: 30us~66us。					

DSEC_EN

DSEC_EN 为 dsec 使能寄存器。

Offset Address				Register Name			Total Reset Value	
0xB7				DSEC_EN			0x00	
Bit	7	6	5	4	3	2	1	0
Name	dsec_en	reserved						
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RW	dsec_en	使能 LNB 开关。 1: 使能 LNB; 0: 关闭 LNB。					
[6:0]	-	reserved	保留。					

RX_STATE

RX_STATE 为 dsec 接收状态寄存器。



Offset Address			Register Name			Total Reset Value		
0xB8			RX_STATE			0x00		
Bit	7	6	5	4	3	2	1	0
Name	rx_silent_time				rx_rcv_bytes			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:4]	RO	rx_silent_time	diseqc 输入持续为低电平的时间：rx_silent_time*16ms。					
[3:0]	RO	rx_rcv_bytes	接收的字节数：实际值为配置值+1。					

INT_STATE

INT_STATE 为 dsec 状态寄存器。

Offset Address			Register Name			Total Reset Value		
0xB9			INT_STATE			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved	rx_err_else	rx_err_silent	rx_err_overflow	rx_err_par	rx_message	rx_byte	reserved
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7]	-	reserved		保留。				
[6]	RO	rx_err_else		比特错误或字节错误(接收消息比特长度不是 8 的整数倍)。				
[5]	RO	rx_err_silent		diseqc 输入持续为低超过 192ms 指示。				
[4]	RO	rx_err_overflow		接收数据超过 8 字节指示。				
[3]	RO	rx_err_par		奇偶校验错指示。				
[2]	RO	rx_message		消息接收完指示。				
[1]	RO	rx_byte		字节接收完指示。				
[0]	-	reserved		保留。				

DF_FC_L

DF_FC_L 为 fsk 频偏低位寄存器。



Offset Address			Register Name			Total Reset Value		
0xC0			DF_FC_L			0x0C		
Bit	7	6	5	4	3	2	1	0
Name	df_fc_l							
Reset	0	0	0	0	1	1	0	0
	Bits	Access	Name	Description				
	[7:0]	RW	df_fc_l	归一化到系统时钟上的 fsk 调制频偏低位，实际归一化频偏为 df_fc/2^21。				

DF_FC_H

DF_FC_H 为 fsk 频偏高位寄存器。

Offset Address			Register Name			Total Reset Value		
0xC1			DF_FC_H			0x03		
Bit	7	6	5	4	3	2	1	0
Name	df_fc_h							
Reset	0	0	0	0	0	0	1	1
	Bits	Access	Name	Description				
	[7:0]	RW	df_fc_h	归一化到系统时钟上的 fsk 调制频偏高位。				

FS_FC_L

FS_FC_L 为 fsk 符号率低位寄存器。

Offset Address			Register Name			Total Reset Value		
0xC2			FS_FC_L			0x45		
Bit	7	6	5	4	3	2	1	0
Name	fs_fc_l							
Reset	0	1	0	0	0	1	0	1
	Bits	Access	Name	Description				
	[7:0]	RW	fs_fc_l	归一化到系统时钟上的 fsk 符号率低位，实际归一化符号率为 df_fc/2^27。				



FS_FC_M

FS_FC_M 为 fsk 符号率中位寄存器。

Offset Address			Register Name			Total Reset Value		
0xC3			FS_FC_M			0x23		
Bit	7	6	5	4	3	2	1	0
Name	fs_fc_m							
Reset	0	0	1	0	0	0	1	1
Bits	Access	Name		Description				
[7:0]	RW	fs_fc_m		归一化到系统时钟上的 fsk 符号率中位。				

FS_FC_H

FS_FC_H 为 fsk 符号率高位寄存器。

Offset Address				Register Name			Total Reset Value	
0xC4				FS_FC_H			0x01	
Bit	7	6	5	4	3	2	1	0
Name	reserved			fs_fc_h				
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name		Description				
[7:5]	-	reserved		保留。				
[4:0]	RW	fs_fc_h		归一化到系统时钟上的 fsk 符号率高位。				

HEAD_L

HEAD_L 为帧头低位寄存器。



Offset Address			Register Name			Total Reset Value		
0xC5			HEAD_L			0x0D		
Bit	7	6	5	4	3	2	1	0
Name	head_l							
Reset	0	0	0	0	1	1	0	1
Bits	Access	Name		Description				
[7:0]	RW	head_l		配置的帧头内容低位。				

HEAD_M

HEAD_M 为帧头中位寄存器。

Offset Address			Register Name			Total Reset Value		
0xC6			HEAD_M			0x55		
Bit	7	6	5	4	3	2	1	0
Name	head_m							
Reset	0	1	0	1	0	1	0	1
Bits	Access	Name		Description				
[7:0]	RW	head_m		配置的帧头内容中位。				

HEAD_H

HEAD_H 为帧头高位寄存器。

Offset Address			Register Name			Total Reset Value		
0xC7			HEAD_H			0x55		
Bit	7	6	5	4	3	2	1	0
Name	head_h							
Reset	0	1	0	1	0	1	0	1
Bits	Access	Name		Description				
[7:0]	RW	head_h		配置的帧头内容高位。				



NBIT_HEAD

NBIT_HEAD 为 fsk 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0xC8			NBIT_HEAD			0x18		
Bit	7	6	5	4	3	2	1	0
Name	reserved			nbit_head				
Reset	0	0	0	1	1	0	0	0
Bits	Access	Name	Description					
[7:5]	-	reserved	保留。					
[4:0]	RW	nbit_head	指定 head 的有效比特位，head[nbit_head-1:0]被实际发送。					

CRC_POLY_L

CRC_POLY_L 为 crc 低位寄存器。

Offset Address			Register Name			Total Reset Value		
0xC9			CRC_POLY_L			0x11		
Bit	7	6	5	4	3	2	1	0
Name	crc_poly_l							
Reset	0	0	0	1	0	0	0	1
Bits	Access	Name	Description					
[7:0]	RW	crc_poly_l	crc 生成多项式低位, LSB 对应 X^1。					

CRC_POLY_M

CRC_POLY_M 为 crc 中位寄存器。



Offset Address			Register Name			Total Reset Value		
0xCA			CRC_POLY_M			0x89		
Bit	7	6	5	4	3	2	1	0
Name	crc_poly_m							
Reset	1	0	0	0	1	0	0	1
Bits	Access	Name	Description					
[7:0]	RW	crc_poly_m	crc 生成多项式中位。					

CRC_POLY_H

CRC_POLY_H 为 crc 高位寄存器。

Offset Address			Register Name			Total Reset Value		
0xCB			CRC_POLY_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	crc_poly_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	crc_poly_h		crc 生成多项式高位。				

NBIT_CRC

NBIT_CRC 为 crc 控制寄存器。

Offset Address				Register Name			Total Reset Value	
0xCC				NBIT_CRC			0x10	
Bit	7	6	5	4	3	2	1	0
Name	reserved			nbit_crc				
Reset	0	0	0	1	0	0	0	0
Bits	Access	Name		Description				
[7:5]	-	reserved		保留。				
[4:0]	RW	nbit_crc		指定 crc 多项式的有效比特位，crc_poly[nbit_crc-1:0]被用于生成 crc 校验比特。				



TCF_FC_L

TCF_FC_L 为发送频率低位寄存器。

	Offset Address			Register Name			Total Reset Value	
	0xCD			TCF_FC_L			0xB8	
Bit	7	6	5	4	3	2	1	0
Name	tcf_fc_l							
Reset	1	0	1	1	1	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	tcf_fc_l		归一化到系统时钟上的发送中心频率低位,实际归一化频率为 tcf_fc/2^17。				

TCF_FC_H

TCF_FC_H 为发送频率高位寄存器。

	Offset Address			Register Name			Total Reset Value	
	0xCE			TCF_FC_H			0x1E	
Bit	7	6	5	4	3	2	1	0
Name	tcf_fc_h							
Reset	0	0	0	1	1	1	1	0
Bits	Access	Name		Description				
[7:0]	RW	tcf_fc_h		归一化到系统时钟上的发送中心频率高位。				

RCF_FC_L

RCF_FC_L 为接收频率低位寄存器。



Offset Address			Register Name			Total Reset Value		
0xCF			RCF_FC_L			0xB8		
Bit	7	6	5	4	3	2	1	0
Name	rcf_fc_l							
Reset	1	0	1	1	1	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	rcf_fc_l		归一化到系统时钟上的接收中心频率低位,实际归一化频率为tcf_fc/2^17。				

RCF_FC_H

RCF_FC_H 为接收频率高位寄存器。

Offset Address			Register Name			Total Reset Value		
0xD0			RCF_FC_H			0x1E		
Bit	7	6	5	4	3	2	1	0
Name	rcf_fc_h							
Reset	0	0	0	1	1	1	1	0
Bits	Access	Name	Description					
[7:0]	RW	rcf_fc_h	归一化到系统时钟上的接收中心频率高位。					

TX_NBIT_L

TX_NBIT_L 为发送控制寄存器。

Offset Address			Register Name			Total Reset Value		
0xD1			TX_NBIT_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	tx_nbit							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	tx_nbit	指定用户提供的发送比特数低位, 1~256。					



TX_CTRL2

TX_CTRL2 为发送控制寄存器。

Offset Address			Register Name			Total Reset Value		
0xD2			TX_CTRL2			0x21		
Bit	7	6	5	4	3	2	1	0
Name	freq_swap	tx_start	tx_pad	tx_busy	tx_done	reserved		tx_nbit_h
Reset	0	0	1	0	0	0	0	1
Bits	Access	Name	Description					
[7]	RW	freq_swap	交换发送/接收比特对应的 fsk 高低频率。 1：发送/接收比特为 1 对应 cf-df，为 0 对应 cf+df； 0：发送/接收比特为 1 对应 cf+df，为 0 对应 cf-df。					
[6]	RW	tx_start	启动发送开关。 自清。					
[5]	RW	tx_pad	是否添加帧头和 crc 开关。 1：在用户提供的比特序列基础上，头部添加 head，尾部添加 crc； 0：只发送用户提供的比特序列。					
[4]	RO	tx_busy	发送忙指示。					
[3]	RO	tx_done	发送完成指示。					
[2:1]	-	reserved	保留。					
[0]	RW	tx_nbit_h	指定用户提供的发送比特数高位，不包括 head 和 crc。					

RX_NBIT_L

RX_NBIT_L 为接收控制寄存器。

Offset Address			Register Name			Total Reset Value		
0xD3			RX_NBIT_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	rx_nbit_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	rx_nbit_l		接收的 fsk 帧比特长度低位，不包括 head 和 crc。				



RX_CTRL2

RX_CTRL2 为接收控制寄存器。

Offset Address			Register Name			Total Reset Value		
0xD4			RX_CTRL2			0x90		
Bit	7	6	5	4	3	2	1	0
Name	rx_ena	rx_thresh				rx_done	reserved	rx_nbit_h
Reset	1	0	0	1	0	0	0	0
Bits	Access	Name	Description					
[7]	RW	rx_ena	使能 fsk 接收。 1： fsk 接收使能； 0： fsk 接收关闭； 当 rx_ena 为 1 且成功接收到一个 fsk 帧后， rx_ena 自动清零， 需要用户读走接收数据后再置 1。					
[6:3]	RW	rx_thresh	用于信号检测的能量门限。 值越小越容易检测到信号。					
[2]	RO	rx_done	成功接收一个 fsk 包指示。					
[1]	-	reserved	保留。					
[0]	RO	rx_nbit_h	接收的 fsk 帧比特长度高位。					

FSK_ADDR

FSK_ADDR 为 fsk 地址寄存器。

Offset Address			Register Name			Total Reset Value		
0xD5			FSK_ADDR			0x00		
Bit	7	6	5	4	3	2	1	0
Name	fsk_addr							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	fsk_addr	fsk_addr[7]为 0 时 fsk_addr[4:0]用于指定发送数据存储地址。 fsk_addr[7]为 1 时 fsk_addr[4:0]用于指定接收数据存储地址。					



FSK_DATA

FSK_DATA 为 fsk 数据寄存器。

Offset Address			Register Name				Total Reset Value	
0xD6			FSK_DATA				0x00	
Bit	7	6	5	4	3	2	1	0
Name	fsk_data							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	fsk_data	<div>用于提供发送数据和读取接收数据。</div> <div>发送流程：</div> <div>1) fsk_data 写入数据；</div> <div>2) fsk_addr[4:0]写入需要存储的地址，其中 fsk_addr[7]为 0；</div> <div>3) 重复步骤 1 和 2，直到用户数据全部存入；</div> <div>4) 置 head, crc_poly, nbit_head, nbit_crc, freq_swap, tcf_fc, df_fc, fs_fc, tx_pad, tx_nbit 等内容；</div> <div>5) tx_start 置 1；</div> <div>6) 等待 tx_done；</div> <div>7) 回到 1 开始下一次发送。</div> <div>接收流程：</div> <div>1) 置 head, crc_poly, nbit_head, nbit_crc, freq_swap, rcf_fc, df_fc, fs_fc, data1_flen, flen 等内容；</div> <div>2) rx_ena 置 1；</div> <div>3) 等待 rx_done；</div> <div>4) 读取 rx_nbit 得到接收信息比特数(不包括 head 和 crc)，目前只支持 rx_nbit 为 8 的倍数；</div> <div>5) fsk_addr[4:0]写入需要读取的地址，其中 fsk_addr[7]为 1；</div> <div>6) 读取 fsk_data；</div> <div>7) 重复步骤 5 和 6，直到所有数据读出。</div>					

FSK_RX_LEN

FSK_RX_LEN 为 fsk 控制寄存器。



Offset Address			Register Name			Total Reset Value		
0xD7			FSK_RX_LEN			0x20		
Bit	7	6	5	4	3	2	1	0
Name	data1_flen	reserved	flen					
Reset	0	0	1	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RW	data1_flen	接收帧中包括帧长字段开关。 1：接收帧中包括帧长字段，接收端利用提取的帧长； 0：接收帧中不包括帧长字段，接收端利用用户指定的帧长flen。					
[6]	-	reserved	保留。					
[5:0]	RW	flen	用户指定接收字节数，不包括 head 和 crc1~32。					



目 录

3 硬件设计.....	3-1
3.1 封装与管脚.....	3-1
3.1.1 封装与管脚分布.....	3-1
3.1.2 管脚描述	3-4
3.1.3 复用寄存器概览.....	3-11
3.1.4 复用寄存器描述.....	3-11
3.1.5 软件复用管脚.....	3-11
3.2 电性能参数.....	3-12
3.2.1 功耗分布	3-12
3.2.2 极限工作条件.....	3-12
3.2.3 推荐工作条件.....	3-13
3.2.4 上下电顺序	3-13
3.2.5 DC 电气参数.....	3-13
3.3 原理图设计建议.....	3-14
3.3.1 小系统设计建议.....	3-14
3.3.2 电源设计建议.....	3-20
3.3.3 未使用管脚处理.....	3-21
3.4 PCB 设计建议	3-22
3.4.1 层叠和布局	3-22
3.4.2 小系统 PCB 设计建议	3-23
3.4.3 数字、模拟接口 PCB 设计建议	3-24
3.5 热设计建议.....	3-26
3.5.1 封装热阻	3-26
3.5.2 导热介质材料推荐.....	3-26
3.5.3 原理图设计	3-26
3.5.4 PCB 设计	3-27
3.6 焊接工艺建议.....	3-27
3.6.1 概述	3-27
3.6.2 加工准备	3-28
3.7 潮敏参数.....	3-28



3.7.1 存放与使用	3-28
3.7.2 重新烘烤	3-29
3.8 接口时序.....	3-30
3.8.1 输出接口时序.....	3-30
3.8.2 输出时序参数.....	3-32



插图目录

图 3-1 芯片封装图	3-2
图 3-2 封装参数说明表	3-3
图 3-3 Hi3136V100 封装管脚分布示意图	3-4
图 3-4 Hi3136 应用推荐晶体连接方式及器件参数	3-14
图 3-5 复位典型设计电路	3-15
图 3-6 Hi3136 与 DECODER 并接的拓扑结构图	3-16
图 3-7 Hi3136 与 DECODER 串接的拓扑结构图	3-17
图 3-8 Hi3136 DiSEqC 接口与 LM317 或 MP8126 的拓扑结构图	3-17
图 3-9 Hi3136 AGC 接口与 Tuner 的拓扑结构图	3-18
图 3-10 Hi3136 I2C 接口与 Hi3xxx 的拓扑结构图	3-18
图 3-11 多层板设计中, TS_OUT[0:7]和 DECODER 芯片互联拓扑结构	3-19
图 3-12 多层板设计中, TS_CLK/TS_SYNC/TS_VALID 和 DECODER 芯片互联拓扑结构	3-19
图 3-13 两层板设计中, TS_OUT[0:7]和 DECODER 芯片互联拓扑结构	3-19
图 3-14 两层板设计中, TS_VAILD、TS_SYNC、TS_CLK 和 DECODER 芯片互联拓扑结构	3-20
图 3-15 Hi3136 VDD33_IO 拓扑结构图	3-21
图 3-16 Hi3136 ADC_VDD12 拓扑结构图	3-21
图 3-17 单板结构图	3-23
图 3-18 焊接温度曲线图	3-28
图 3-19 TS 并行输出时序示意	3-31
图 3-20 TS 一比特串行输出时序示意	3-31
图 3-21 TS 两比特串行时序示意	3-32
图 3-22 TS_CLK 正、反向时序图	3-32
图 3-23 TS 并行和两比特串行的时序关系	3-32



表格目录

表 3-1 管脚排列表	3-5
表 3-2 管脚 I/O 类型说明	3-6
表 3-3 ADC 管脚	3-7
表 3-4 I2C 管脚	3-8
表 3-5 TS 管脚	3-9
表 3-6 PLL 管脚	3-10
表 3-7 OSC 管脚	3-10
表 3-8 DISEQC 管脚	3-10
表 3-9 PG 管脚	3-11
表 3-10 SYS 管脚	3-11
表 3-11 FSK 管脚	3-11
表 3-12 复用寄存器概览(复用寄存器基地址为 0x00)	3-12
表 3-13 FSK_OUT 的管脚复用选择	3-12
表 3-14 FSK_OUT 的管脚复用输出	3-13
表 3-15 功耗参数	3-13
表 3-16 Hi3136V100 极限工作条件	3-13
表 3-17 推荐工作条件	3-14
表 3-18 DC 电气参数表	3-14
表 3-19 地址配置一	3-16
表 3-20 地址配置二	3-16
表 3-21 Hi3136V100 的封装热阻	3-27
表 3-22 导热介质材料推荐表	3-27
表 3-23 回流焊工艺参数表	3-29
表 3-24 floor life 参照表	3-30
表 3-25 重新烘烤参考表	3-31



表 3-26 TS 输出方向时序参数表（正向）3-34

表 3-27 TS 输出方向时序参数表（反向）3-34



3 硬件设计

3.1 封装与管脚

3.1.1 封装与管脚分布

封装

Hi3136V100 芯片 MQFN（Mapped Quad Flat Non-leaded package）封装，封装尺寸为 $6\text{mm} \times 6\text{mm}$ ，管脚间距为 0.4mm ，管脚总数为 48 个，详细封装及其参数如[图 3-1](#)、[图 3-2](#) 所示。



图3-1 芯片封装图

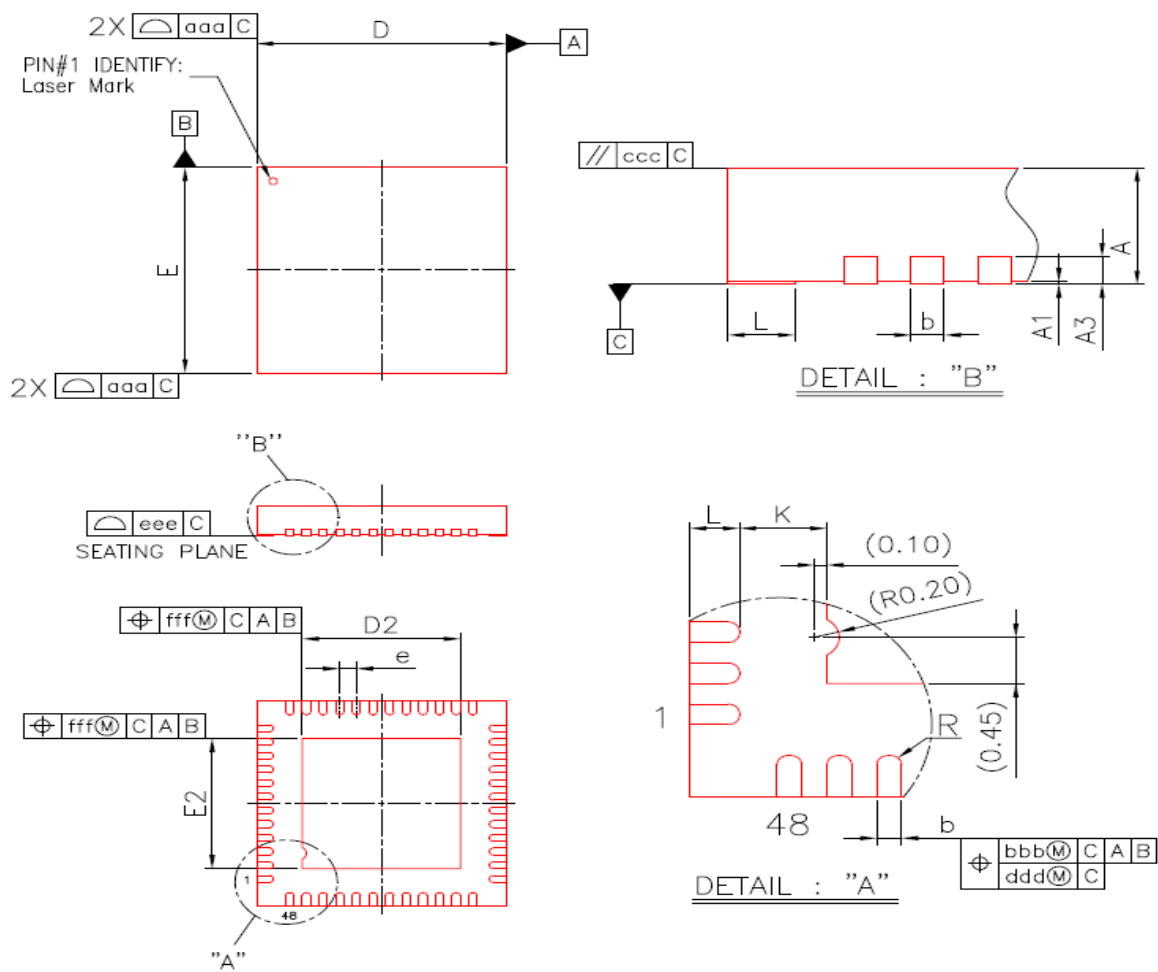




图3-2 封装参数说明表

Symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.80	0.85	0.90	0.031	0.033	0.035
A1	0.00	0.02	0.05	0.000	0.001	0.002
A3	0.20 REF			0.008 REF		
b	0.15	0.20	0.25	0.006	0.008	0.010
D/E	5.90	6.00	6.10	0.232	0.236	0.240
D2/E2	3.65	3.80	3.95	0.144	0.150	0.156
e	0.40 BSC			0.016 BSC		
L	0.30	0.40	0.50	0.012	0.016	0.020
K	0.20	---	---	0.008	---	---
R	0.075	---	---	0.003	---	---
aaa	0.10			0.004		
bbb	0.07			0.003		
ccc	0.10			0.004		
ddd	0.05			0.002		
eee	0.08			0.003		
fff	0.10			0.004		

NOTE:

1. CONTROLLING DIMENSION : MILLIMETER

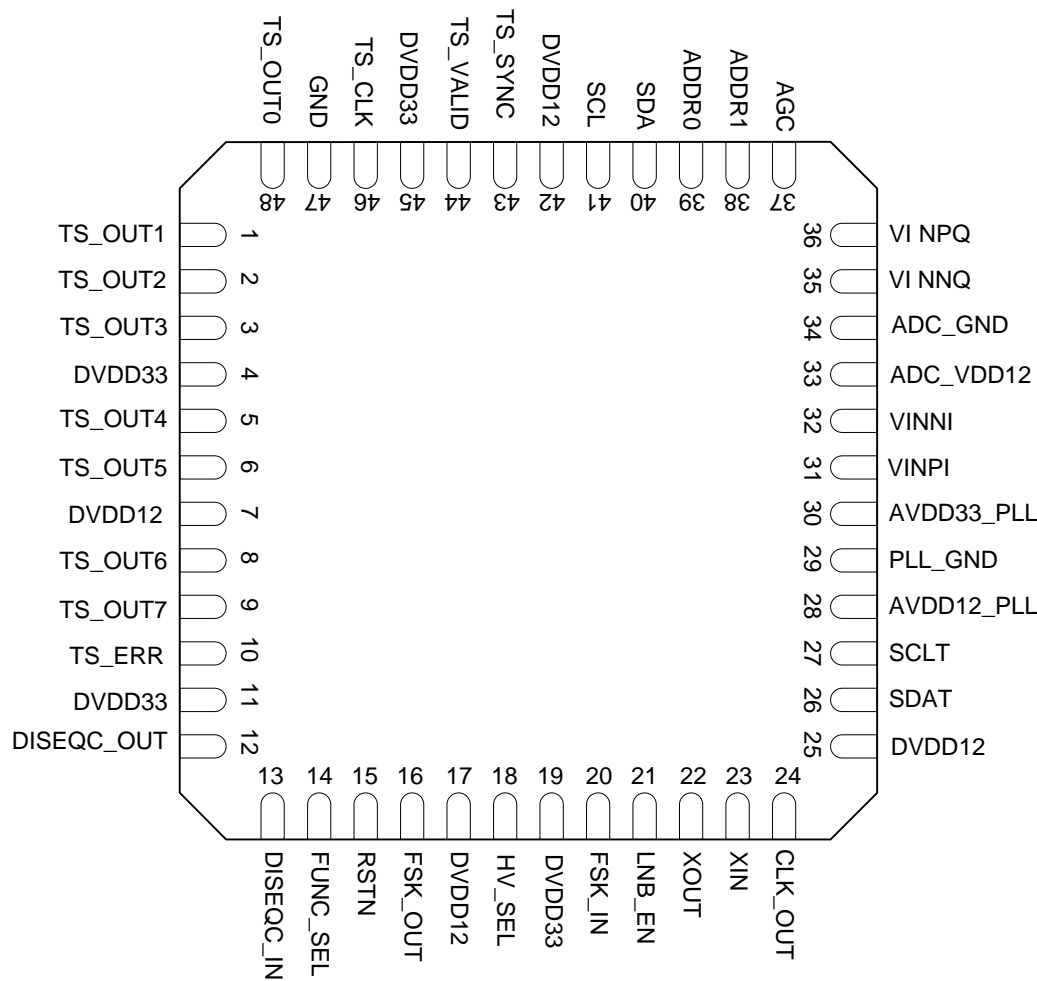
2. REFERENCE DOCUMENT: JEDEC MO-220.

管脚分布图

Hi3136V100 封装管脚分布如图 3-3 所示。



图3-3 Hi3136V100 封装管脚分布示意图



3.1.2 管脚描述

管脚排列表

Hi3136V100 的管脚按位置排列如表 3-1 所示。

表3-1 管脚排列表

位置	管脚名称	位置	管脚名称
1	TS_OUT1	25	DVDD12
2	TS_OUT2	26	SDAT
3	TS_OUT3	27	SCLT
4	DVDD33	28	AVDD12_PLL



位置	管脚名称	位置	管脚名称
5	TS_OUT4	29	PLL_GND
6	TS_OUT5	30	AVDD33_PLL
7	DVDD12	31	VINPI
8	TS_OUT6	32	VINNI
9	TS_OUT7	33	ADC_VDD12
10	TS_ERR	34	ADC_GND
11	DVDD33	35	VINNQ
12	DISEQC_OUT	36	VINPQ
13	DISEQC_IN	37	AGC
14	FUNC_SEL	38	ADDR1
15	RSTN	39	ADDR0
16	FSK_OUT	40	SDA
17	DVDD12	41	SCL
18	HV_SEL	42	DVDD12
19	DVDD33	43	TS_SYNC
20	FSK_IN	44	TS_VALID
21	LNB_EN	45	DVDD33
22	XOUT	46	TS_CLK
23	XIN	47	GND
24	CLK_OUT	48	TS_OUT0

管脚类型说明

管脚 I/O 类型说明如表 3-2 所示。

表3-2 管脚 I/O 类型说明

I/O	说明
I	输入信号。
I _{PD}	输入信号，内部下拉。
I _{PU}	输入信号，内部上拉。
I _S	输入信号，带施密特触发器。



I/O	说明
I _{SPD}	输入信号，带施密特触发器，内部下拉。
I _{SPU}	输入信号，带施密特触发器，内部上拉。
O	输出信号。
O _{OD}	输出，漏极开路。
I/O	双向输入/输出信号。
I _{PD} /O	双向，输入下拉。
I _{PU} /O	双向，输入上拉。
I _{SPU} /O	双向，输入上拉，带施密特触发器。
I _{PD} /O _{OD}	双向，输入下拉，输出漏极开路。
I _{PU} /O _{OD}	双向，输入上拉，输出漏极开路。
I _S /O	双向，输入带施密特触发器。
I _S /O _{OD}	双向，输入带施密特触发器，输出漏极开路。
XIN	Crystal Oscillator，晶振输入。
XOUT	Crystal Oscillator，晶振输出。
P	电源。
G	地。

ADC 管脚

ADC 管脚如表 3-3 所示。

表3-3 ADC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
34	ADC_GND	G	-	-	模拟/数字转换地
33	ADC_VDD12	P	-	1.2	模拟/数字转换 1.2V 电源
32	VINNI	I	-	1.2	通道 I 的差分输入，单端差分 输入范围均为 1V _{pp} 在单端模式下，加 100nF 电容 耦合到地
35	VINNQ	I	-	1.2	通道 Q 差分输入，单端差分输



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					入范围均为 1Vpp 在单端模式下，加 100nF 电容 耦合到地
31	VINPI	I	-	1.2	通道 I 的差分输入，单端差分 输入范围均为 1Vpp
36	VINPQ	I	-	1.2	通道 Q 差分输入，单端差分输 入范围均为 1Vpp

I2C 管脚

I2C 管脚如表 3-4 所示。

表3-4 I2C 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
39	ADDR0	I	4	3.3	Hi3136 设备地址选择 0
38	ADDR1	I	4	3.3	Hi3136 设备地址选择 1
27	SCLT	O _{OD}	4	3.3/5	I2C 总线时钟输出，控制 tuner 通讯接口，OD 门输 出，需外接上拉电阻至 3.3/5V，具体电压需要由 tuner 的 I2C 电平决定
26	SDAT	I _S /O _{OD}	4	3.3/5	I2C 总线数据输出，控制 tuner 通讯接口，OD 门输 出，需外接上拉电阻至 3.3/5V，具体电压需要由 tuner 的 I2C 电平决定
41	SCL	I _S	4	3.3	I2C 总线的时钟输入总线，外 部接上拉电阻至 3.3V
40	SDA	I _S /O _{OD}	4	3.3	I2C 总线的数据总线，OD 输 出，外部接上拉电阻至 3.3V

TS 管脚

TS 管脚如表 3-5 所示。



表3-5 TS 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
37	AGC	O _{OD}	8	3.3/5	AGC 输出，控制 Tuner 增益。OD 输出，支持 3.3V/5V 上拉。
46	TS_CLK	O	8	3.3	Demod 输出的 TS 时钟
48	TS_OUT0	O	8	3.3	TS_OUT0 Demod 输出的数据
1	TS_OUT1	O	8	3.3	TS_OUT1 Demod 输出的数据
2	TS_OUT2	O	8	3.3	TS_OUT2 Demod 输出的数据
3	TS_OUT3	O	8	3.3	TS_OUT3 Demod 输出的数据
5	TS_OUT4	O	8	3.3	TS_OUT4 Demod 输出的数据
6	TS_OUT5	O	8	3.3	TS_OUT5 Demod 输出的数据
8	TS_OUT6	O	8	3.3	TS_OUT6 Demod 输出的数据
9	TS_OUT7	O	8	3.3	TS_OUT7 Demod 输出的数据
10	TS_ERR	O	8	3.3	TS_ERR TS 错误指示
43	TS_SYNC	O	8	3.3	TS_SYNC Demod 输出的同步信号
44	TS_VALID	O	8	3.3	TS_VALID Demod 输出的数据有效信号，高电平有效

PLL 管脚

PLL 管脚如表 3-6 所示。



表3-6 PLL 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
28	AVDD12_PLL	P	-	1.2	PLL 1.2V 模拟电源
30	AVDD33_PLL	P	-	3.3	PLL 3.3V 模拟电源
29	PLL_GND	G	-	-	PLL 模拟地

OSC 管脚

OSC 管脚如表 3-7 所示。

表3-7 OSC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
24	CLK_OUT	O	8	3.3	晶振时钟缓通输出
23	XIN	I	-	3.3	晶振输入
22	XOUT	O	-	3.3	晶振输出

DISEQC 管脚

DISEQC 管脚如表 3-8 所示。

表3-8 DISEQC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
13	DISEQC_IN	I _S	8	3.3	DISEQC_IN DiSEqC 输入信号
12	DISEQC_OUT	O	8	3.3	DISEQC_OUT DiSEqC 输出
21	LNB_EN	O	8	3.3	LNB_EN LNB 电源控制使能
18	HV_SEL	O	8	3.3	HV_SEL 天线水平垂直选择



PG 管脚

PG 管脚如表 3-9 所示。

表3-9 PG 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
4、11、19、45	DVDD33	P	-	3.3	3.3V IO 电源
7、17、25、42	DVDD12	P	-	1.2	1.2V CORE 电压
47	GND	G	-	-	数字地

SYS 管脚

SYS 管脚如表 3-10 所示。

表3-10 SYS 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
14	FUNC_SEL	I _{SPD}	4	3.3	功能模式和 DFT 测试模式选择： 0: 功能模式 1: DFT 测试模式
15	RSTN	I _{SPU}	4	3.3	系统位信号输入，低电平有效

FSK 管脚

FSK 管脚如表 3-11 所示。

表3-11 FSK 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
20	FSK_IN	I _S	4	3.3	FSK 输入
16	FSK_OUT	O	6	3.3	FSK 输出



3.1.3 复用寄存器概览

复用寄存器概览如表 3-12 所示。

表3-12 复用寄存器概览(复用寄存器基地址为 0x00)

偏移地址	名称	描述	页码
0x0C	LOCK_FSKO	FSKO 复用控制寄存器	3-12

3.1.4 复用寄存器描述

LOCK_FSKO

FSKO 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0C				LOCK_FSKO				0x02																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												c_lock_fsko	reserved		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	
Bits	Access		Name		Description																											
[1]	RW		lock_fsko_sel		管脚的具体复用情况。 0: LOCK; 1: FSKO。																											

3.1.5 软件复用管脚

FSK_OUT 的管脚复用选择如表 3-13 所示。

表3-13 FSK_OUT 的管脚复用选择

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
16	FSK_OUT	LOCK_FSKO	LOCK	FSK_OUT

FSK_OUT 的管脚复用输出如表 3-14 所示。



表3-14 FSK_OUT 的管脚复用输出

信号名	方向	说明
LOCK	O	信道锁定指示
FSK_OUT	O	FSK 输出

3.2 电性能参数

3.2.1 功耗分布

Hi3136V100 的功耗分布如表 3-15 所示。

表3-15 功耗参数

符号	参数	最小值	典型值	最大值	单位
DVDD33	3.3V I/O 电源	-	8	12	mA
AVDD33_PLL	PLL 3.3V 模拟电源	-	1	1	mA
DVDD12	1.2V 内核电压	-	100	352	mA
ADC_VDD12	ADC 1.2V 电源	-	56	65	mA
AVDD12_PLL	PLL 1.2V 模拟电源	-	1	1	mA

3.2.2 极限工作条件



警告

极限工作电压参数如表 3-16 所示，超过这些数值，可能导致芯片损坏，可能导致 Hi3136V100 可靠性问题。

Hi3136V100 极限工作条件如表 3-16 所示。

表3-16 Hi3136V100 极限工作条件

符号	参数	最小值	最大值	单位
T _{OPT}	芯片工作温度	-40	125	℃
T _{STG}	存储温度	-65	150	℃



符号	参数	最小值	最大值	单位
VI	输入电压	-0.5	4.6	V
VO	输出电压	-0.5	4.6	V
DVDD12	内核电压	-0.5	1.8	V
DVDD33	I/O 电源	-0.5	4.6	V

3.2.3 推荐工作条件

Hi3136V100 的推荐工作条件如表 3-17 所示。

表3-17 推荐工作条件

符号	参数	最小值	典型值	最大值	单位
T _{OPT}	操作环境温度	0	25	70	°C
DVDD12	内部核电压	1.14	1.2	1.26	V
DVDD33	I/O 电源	2.97	3.3	3.63	V
AVDD33_PLL	PLL 电源	2.97	3.3	3.63	V
AVDD12_PLL	PLL 电源	1.14	1.2	1.26	V
ADC_VDD12	ADC 电源	1.14	1.2	1.26	V

3.2.4 上下电顺序

Hi3136 供电采用 3.3V 电压先上电，1.2V 电压后上；掉电顺序 1.2V 电压先下，后下 3.3V 电压。

3.2.5 DC 电气参数

Hi3136V100 DC 电气参数如表 3-18 所示。

表3-18 DC 电气参数表

符号	参数	最小值	典型值	最大值	单位	说明
V _{IH}	高电平输入电压	2.0	-	DVDD33+0.3	V	不支持 5V tol
V _{IL}	低电平输入电压	-0.3	-	0.8	V	-
I _L	输入漏电流	-	-	±10	μA	-
I _{OZ}	三态输出漏电流	-	-	±10	μA	-



符号	参数	最小值	典型值	最大值	单位	说明
V _{OH}	高电平输出电压	2.4	-	-	V	-
V _{OL}	低电平输出电压	-	-	0.4	V	-
R _{PU}	内部上拉电阻	30	55	80	kΩ	-
R _{PD}	内部下拉电阻	30	45	80	kΩ	-

3.3 原理图设计建议

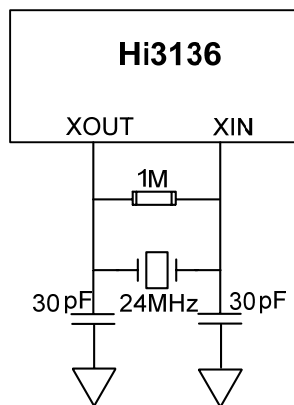
3.3.1 小系统设计建议

3.3.1.1 Clocking 电路

通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟。推荐选 24MHz。

推荐晶体连接方式及器件参数如图 3-4 所示。

图3-4 Hi3136 应用推荐晶体连接方式及器件参数



晶振负载电容与外挂电容的计算公式如下：

$$C_L = C_1 * C_2 / (C_1 + C_2) + C$$

- C：为 IC 内部电容，一般在 5~7pF。
- C₁、C₂：在图中分别为 30pF。
- C_L：为晶振内部负载电容，一般为 20~22pF 之间，具体由厂家提供的参数为准。

3.3.1.2 复位电路

Hi3136 的 RSTN 管脚为复位信号输入管脚，要求的复位有效信号为低电平脉冲，脉冲宽度大于 12 个 XIN 管脚输入的时钟周期（一般复位脉冲宽度为 10ms~100ms）。

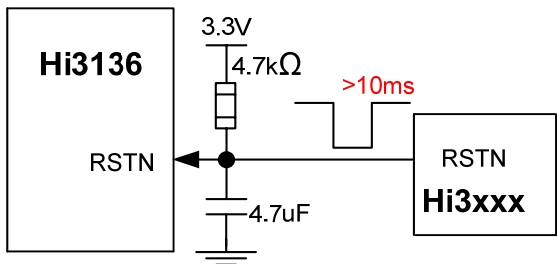


板级设计时，建议 RST_N 引脚采用典型的 RC 上电复位电路设计，通过上拉电阻接 3.3V 电源，并连接 4.7uF 对地电容，实现上电复位操作。该 PIN 也可和 Hi3xxx 等 STB DECODER 主芯片连接，正常工作以后根据协议，由主芯片给出复位信号。

工作异常时，可以通过主芯片的 GPIO 管脚产生低电平脉冲，进行复位。

复位典型设计电路如图 3-5 所示。

图3-5 复位典型设计电路



3.3.1.3 Hi3136 硬件初始化系统配置电路

Hi3136 硬件初始化系统配置电路采用 I2C 总线来实现内部寄存器的初始化，需要通过外部 ADDR0、ADDR1 设置 Hi3136 的 I2C 地址。

地址配置描述如下表 3-19、表 3-20 所示。

表3-19 地址配置一

ADDR1	ADDR0	7-bit Address							R/W bit	Write Address(in Hex)
		MSB						LSB		
Low	Low	1	0	1	1	0	0	0	0	0xB0
Low	High	1	0	1	1	0	0	1	0	0xB2
High	Low	1	0	1	1	0	1	0	0	0xB4
High	High	1	0	1	1	0	1	1	0	0xB6

表3-20 地址配置二

ADDR1	ADDR0	7-bit Address							R/W bit	Write Address(in Hex)
		MSB						LSB		
Low	Low	1	0	1	1	0	0	0	1	0xB1
Low	High	1	0	1	1	0	0	1	1	0xB3
High	Low	1	0	1	1	0	1	0	1	0xB5
High	High	1	0	1	1	0	1	1	1	0xB7



3.3.1.4 数字/模拟信号接口电路设计

接口介绍

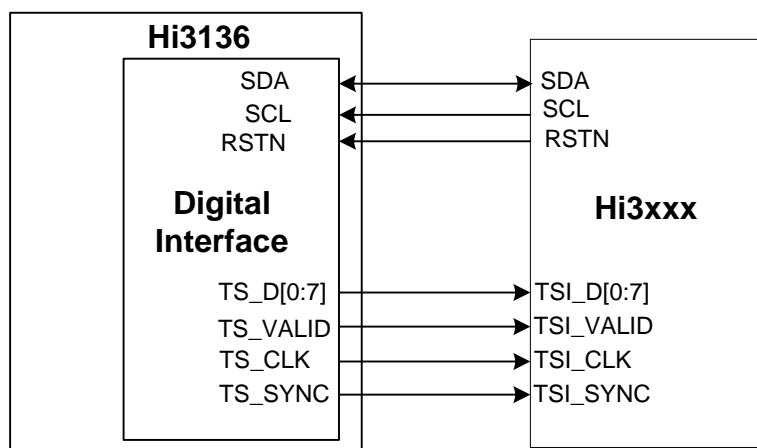
数字接口电平标准为 LVCMOS33，Hi3136 的数字接口有如下特点：

- 提供 1 个 TS 流串行/并行接口，1bit 串行工作时钟频率为 187.5MHz, 2bit 串行工作频率为 94M，并行工作时钟频率最高可达 23.5MHZ，并行位宽为 8bit、1bit 串行位宽为 1bit，2bit 串行位宽为 2bit，并行和串行工作方式可配。
- 提供 1 个 I2C 接口，通过 I2C 接口来对访问 Hi3136 和 I2C 转发控制 Tuner 的内部寄存器，I2C 工作频率最高为 400kHz。
- 提供 DiSEqC 接口及 FSK 接口，通过 DISEQC_OUT 接口及 FSK_OUT 接口对多个天线进行切换控制，通过 DiSEqc_IN 及 FSK_IN 接口回传天线反馈的控制信号
- 提供一个 AGC 输出接口，AGC 输出采用 PDM 调制的方式通过一 RC 低通滤波电路控制前端 Tuner 的增益
- 提供 1 个 RSTN，可由硬件 RC 电路进行复位，或由 STB DECODER 芯片进行复位操作，低电平有效。

TS 流拓扑结构

Hi3136 典型并行外接 STB DECODER 芯片拓扑结构如图 3-6 所示。典型串行外接 STB DECODER 拓扑结构如图 3-7 所示。

图3-6 Hi3136 与 DECODER 并接的拓扑结构图

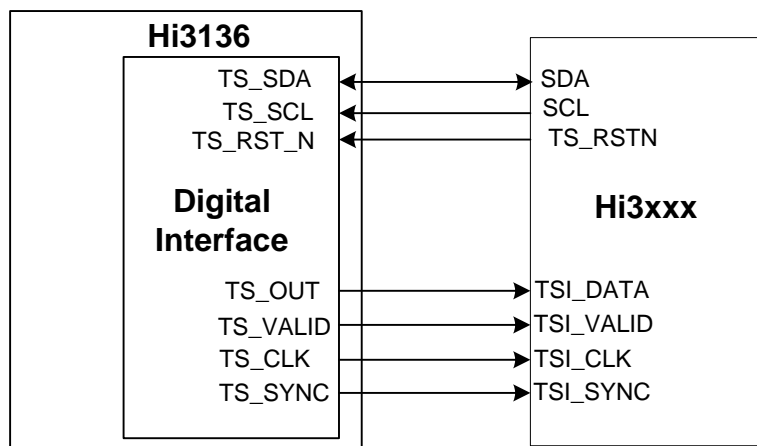


说明

并行 TS 接口 TS 输出管脚中，除 TS_CLK 不能任意配置外，其余均可根据实际 Layout 需要任意配置。



图3-7 Hi3136 与 DECODER 串接的拓扑结构图



说明

串行 TS 接口 TS 输出管脚中，除 TS_CLK 不能任意配置外，其余均可根据实际 Layout 需要任意配置。

DiSEqC 拓扑结构

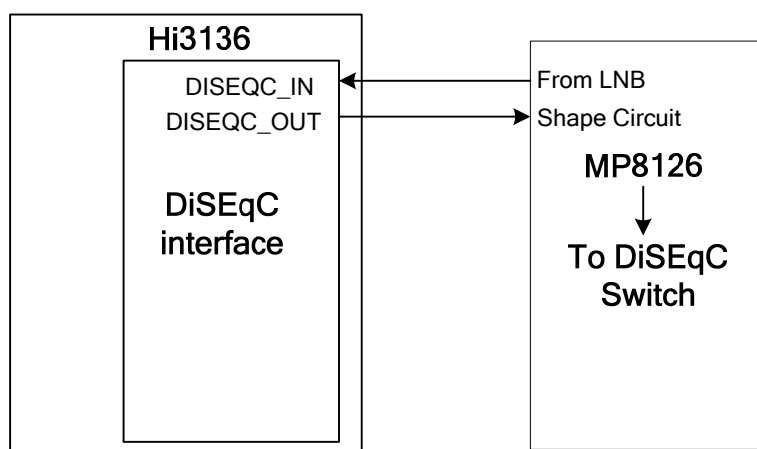
Hi3136 内置 DiSEqC 模块，可控制多个 LNB 的切换，达到一机多星的控制效果，DiSEqC 是以不连续数字信号形式调制在 22KHz 载波及 LNB 电源上，为了获取良好的幅度及信号质量需要外部配合整形电路进行控制，否则 DiSEqC 设备无法识别命令。

具体参数配置要求为：

- 22K 频率范围：22 KHz \pm 4.4KHz
- 峰峰值：650mV（ \pm 250 mV）
- 外部总线负载电容：不超过 250nF

DiSEqC 与外围的电路拓扑结构如图 3-8 所示。

图3-8 Hi3136 DiSEqC 接口与 LM317 或 MP8126 的拓扑结构图

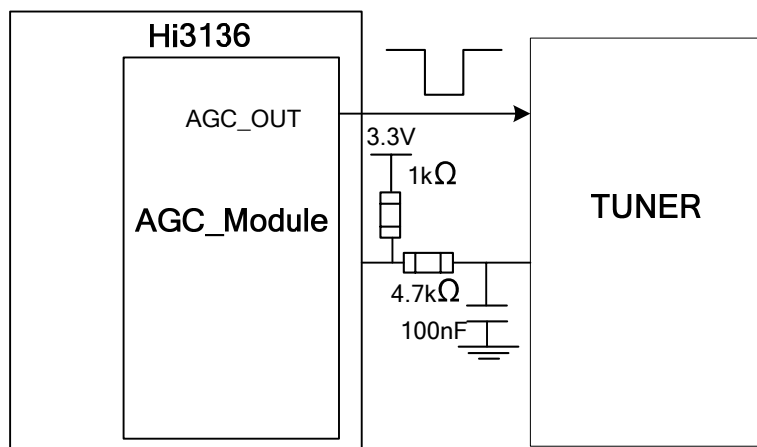




AGC 拓扑结构

Hi3136 AGC 模块采用 PDM 输出的方式，通过外部 RC 低通滤波器实现数字信号到模拟信号的转换，控制前端 Tuner 的增益，达到在外部环境信号质量变化时自动控制 Tuner 的增益，保证良好的信号质量输出。PCB Layout 时 RC 滤波电路需要靠近 Hi3136 AGC 输出，避免 AGC 对模拟 RF 的干扰。Hi3136 AGC 模块与外围的电路拓扑结构为如图 3-9 所示。

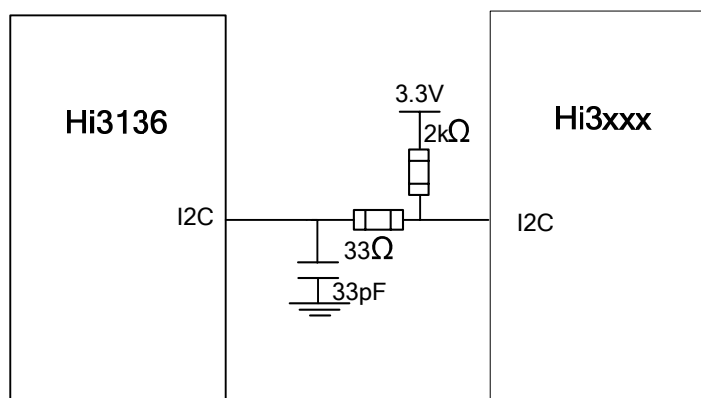
图3-9 Hi3136 AGC 接口与 Tuner 的拓扑结构图



I2C 设计建议

Hi3136V100 与 DECODER 芯片之间的 I2C 总线，需要接上拉电阻，上拉电压为 3.3V，上拉电阻选 2KΩ，具体可以根据 I2C 总线速率来确定。并分别加不大于 100pF 旁路滤波电容，靠近 Hi3136 管脚放置。

图3-10 Hi3136 I2C 接口与 Hi3xxx 的拓扑结构图



TS 流匹配方式设计建议

TS 流匹配设计分两种情况，多层板设计和二层板设计。

- 多层板设计时，走线特征阻抗为 50Ω 。
 - TS_OUT[0:7]采用串行匹配电阻为 33Ω ，拓扑结构如图 3-11 所示。
 - TS_CLK、TS_SYNC、TS_VALID 也采用串行匹配电阻为 33Ω ，拓扑结构如图 3-12 所示。
- 两层板设计时，走线特征阻抗为 140Ω 。
 - TS_OUT[0:7]采用串行匹配电阻为 75Ω ，拓扑结构如图 3-13 所示。
 - TS_CLK、TS_SYNC、TS_VALID 采用串行匹配电阻为 75Ω ，拓扑结构如图 3-14 所示。



说明

下图中的 5000mil 长度为最长的走线长度，实际走线一般小于该长度值。

图3-11 多层板设计中，TS_OUT[0:7]和 DECODER 芯片互联拓扑结构

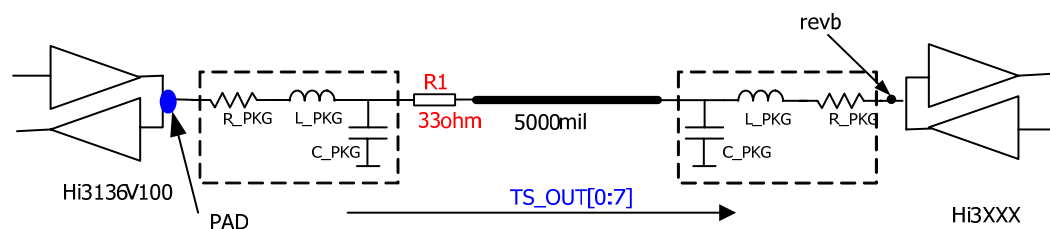


图3-12 多层板设计中，TS_CLK/TS_SYNC/TS_VALID 和 DECODER 芯片互联拓扑结构

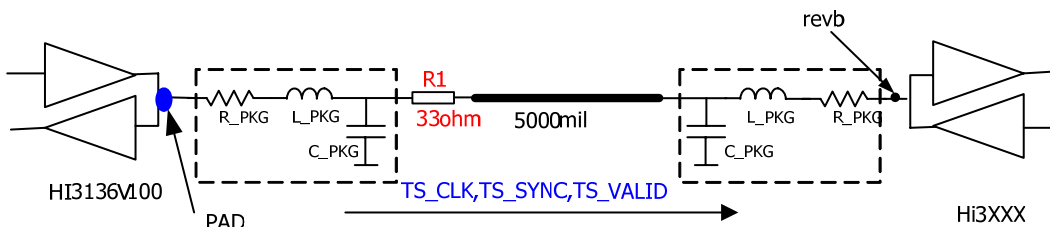


图3-13 两层板设计中，TS_OUT[0:7]和 DECODER 芯片互联拓扑结构

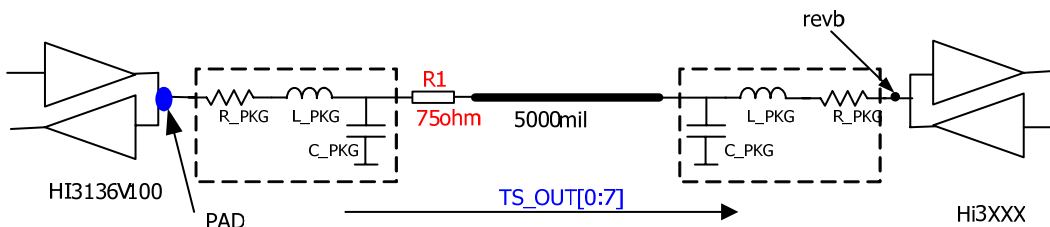
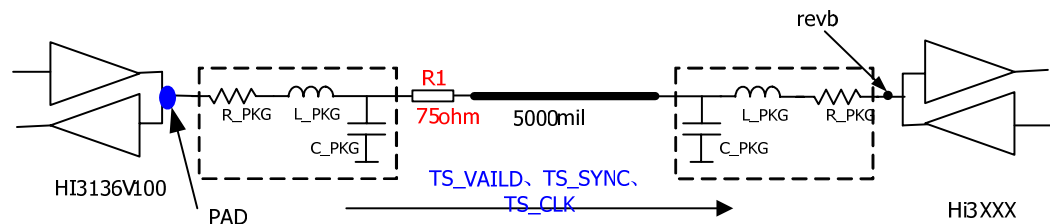




图3-14 两层板设计中，TS_VAILD、TS_SYNC、TS_CLK 和 DECODER 芯片互联拓扑结构



AGC 电路设计建议

PDM 调制信号经过低通滤波器后，模拟信号的交流成分得到了明显的削弱，在 RC 滤波网络中 RC 值越大，模拟信号的交流成分越少，而响应速度则变慢，因此需合理的选取 RC 值，使得交流成分的大小和响应速度都能满足实际应用的需求。Hi3136 AGC 电路建议 R 选择 4.7K Ω ，C 选择 100nF。

3.3.2 电源设计建议



说明

系统电源的设计，详细请参见 Hi3136 板原理图。

3.3.2.1 CORE 电源设计

CORE 电源（管脚名 DVDD12）：连接数字 1.2V 电源。设计建议如下：

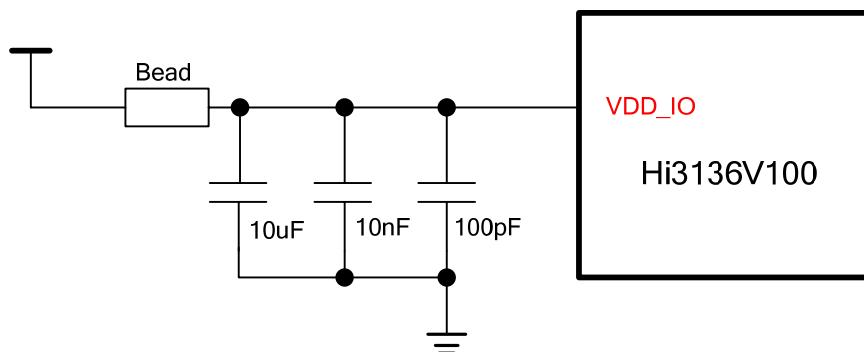
- 若单板上无 1.2V，电源芯片的选型上，优选 LDO，要求其供电能力 $\geq 500\text{mA}$ 。
- CORE 电源典型电流为 100mA，最大电流为 405mA。
- CORE 电源管脚放置一个 10uF 对地滤波旁路电容，而且每个 CORE 电源管脚处放置一组 10nF 和 100pF 去耦电容组合，并紧靠供电管脚摆放。

3.3.2.2 IO 电源设计

IO 电源管脚名 DVDD33：连接数字 3.3V 电源。

- VDD_IO 的最大电流为 12mA 电源供电，优选 LDO。
- IO 电源管脚处放置一组 10nF 和 100pF 去耦电容组合，并紧靠供电管脚摆放。
- IO 电源管脚的输入建议通过 BEAD 隔离，拓扑结构如图 3-15。

图3-15 Hi3136 VDD33_IO 拓扑结构图

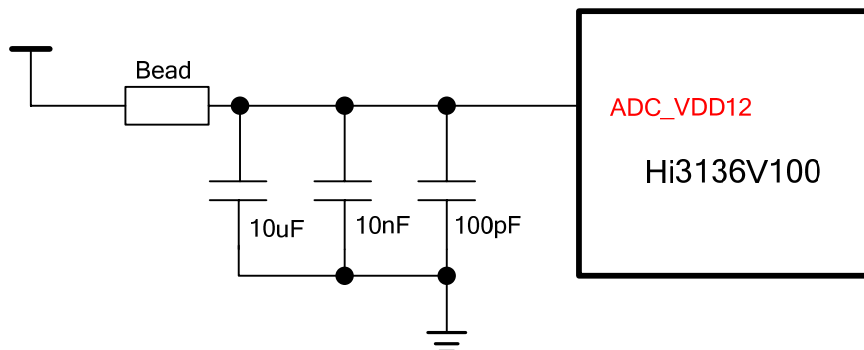


3.3.2.3 ADC 电源设计

ADC 电源（管脚名 ADC_VDD12）：连接 1.2V 模拟电源。

- ADC 电源的最大电流为 65mA，和 CORE 电源共用一个 1.2V 电源。
- 通过 BEAD 和 1.2V 电源隔离，并放置一个 10uF 对地滤波旁路电容。
- ADC 电源管脚处放置一组 10nF 和 100pF 去耦电容组合，并紧靠供电管脚摆放。
- 1.2V 电源电平偏差控制在 $\pm 5\%$ 以内。拓扑结构如图 3-16。

图3-16 Hi3136 ADC_VDD12 拓扑结构图



3.3.2.4 注意事项

电源设计的其他注意事项如下：

- Hi3136 的电源芯片优选 LDO，数字和模拟电源通过 BEAD 隔离，并增加 10nF 和 100pF 去耦电容组合。
- 各模块电源的要求请参考芯片手册中的电性能参数，保证电源输出电压加上纹波噪声仍然满足芯片的需求。

3.3.3 未使用管脚处理

未使用管脚处理建议如下：



直接 NC，可以通过寄存器配置关闭相应电路。

3.4 PCB 设计建议

3.4.1 层叠和布局

3.4.1.1 层叠

Hi3136V100 的封装为 MQFN48，管脚间距 0.4mm。在 PCB 设计时，可以采用四层 PCB 板的设计，建议如下分层：

- TOP 层：信号走线
- 内一层：地平面层
- 内二层：电源平面层
- BOTTOM 层：信号走线

在成本非常敏感的应用方案中，也可以采用二层 PCB 板的设计，PCB 分层建议如下：

- TOP 层：信号走线和部分电源走线
- BOTTOM 层：地平面层和部分电源走线

PCB 设计注意事项：

- 元器件布局在 TOP 层，信号线尽量走 TOP 层。
- 电源管脚走粗线。
- 尽量保持 BOTTOM 层为一个完整的地平面层。
- 主芯片出线推荐过孔大小为 8mill。
- 特殊信号线注意阻抗要求。

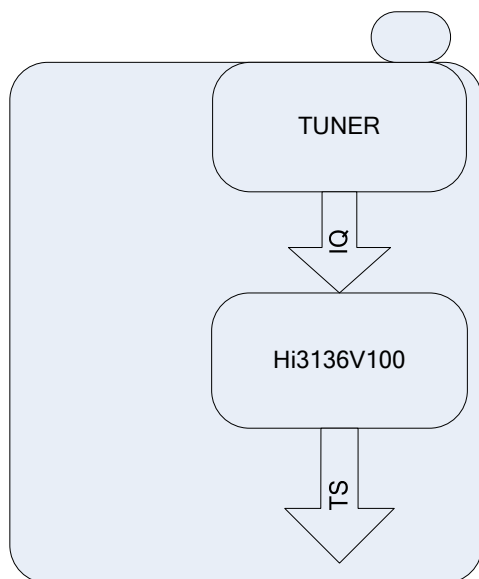
PCB 材料 FR-4，PCB 板厚度为 1.6mm，表层铜箔厚度为 1 盎司。

3.4.1.2 单板布局

Hi3136DMO 解决方案参考设计的单板尺寸信息如[图 3-17](#)所示。



图3-17 单板结构图



Hi3136Demod 参考设计的应充分考虑射频，模拟，和数字信号，以及 ESD 保护器件的布局。如射频接口 F 头、晶体谐振器、射频环路滤波器等。

Hi3136V100 的电源管脚 3.3V，1.2V 都尽可能通过 BEAD 和数字部分隔离。器件尽量选择小的封装。

3.4.2 小系统 PCB 设计建议

3.4.2.1 小系统电源

数字电源

Hi3136V100 的数字电源包括：DVDD33(3V3)和 DVDD12（1V2）建议与单板数字 3.3V 和 1.2V 电源用磁珠隔离，均以 Hi3136 的 exposed pad 为参考地。在保证通流能力的前提下，走线尽量宽。DVDD33 最小线宽 15mil，DVDD12 最小线宽 25mil。避免和模拟电源重叠。去耦电容靠近芯片放置。

射频/模拟电源

除了上述的数字电源外，其他属于射频/模拟电源，都必须和其他电源通过磁珠隔离，Hi3136 以 exposed pad 为参考地，具体建议如下：

- 模拟电源区域禁止有数字信号走线，尤其是高速数字信号。
- 每个电源 pin 要加去耦电容且走线尽量宽，去耦电容靠近芯片放置。



3.4.2.2 时钟和复位电路

时钟

Hi3136V100 的 PLL 功能单元的供电电源和地为 AVDD12_PLL(1.2V)、AVDD33_PLL 和 PLL_GND。建议 PCB 设计时采用如下原则：

- AVDD12_PLL 为 1.2V 的 PLL 电源，建议保证通流能力的前提下，线宽需要保证在 12mil。
- AVDD33_PLL 的 PLL 电源，建议在保证通流能力的前提下，线宽需要保证在 12mil。
- PLL_GND 为 Hi3136V100 的 PLL 功能单元的参考地，建议将地线连接至 exposed pad 下，并置地孔保证完整地平面。
- 系统时钟的晶振电路走线长度须尽量短，须做包地处理，晶体的地采用局部地处理，与大片地隔离设计，避免耦合。
- 晶振相关匹配电容应靠近晶体排布；晶振紧靠 Hi3136V100 放置，与板边缘至少保持 1000mil；晶振下面不要走高速时钟等重要走线，并保证晶体底部平面信号的完整性。

复位

PIN15 为复位管脚，复位信号线为关键信号，易受干扰。

- 多层板建议走内层，紧邻地层走线，线宽要求 8mil 以上，双层板建议加保护地处理。
- 要求远离接口与电源输入，至少 30mil。

3.4.3 数字、模拟接口 PCB 设计建议

3.4.3.1 数字接口设计

TS 流信号

TS 流信号的长度要求如下：

- 信号走线长度最长不能超过 5000mil。
- 所有以信号线的走线长度均以 TS_CLK 作为参考，允许偏差范围为 $\pm 250\text{mil}$ 。
- 串联匹配电阻应尽量靠近 Hi3136V100 放置。
- 双层板 TS 流信号线特性阻抗控制为 140Ω ，匹配电阻值建议：TS_OUT[0:7]串联匹配电阻为 75Ω ；TS_CLK、TS_SYNC，TS_VALID 串联匹配电阻 75Ω 。
- 多层板 TS 流信号线特性阻抗控制为 50Ω ，匹配电阻值建议为 33Ω 。

AGC 信号

AGC 信号的总线长度要求如下：

- 信号走线长度最长不能超过 5000mil，最小线宽要求 12mil，并保证 AGC 走线有地保护，防止 AGC 信号干扰外部信号走线，也避免本身受外部噪声的干扰。



- AGC 输出通过的 RC 低通积分滤波器需要靠近 Hi3136 AGC 输出管脚，防止 AGC 噪声传导至板级，造成信道性能恶化问题。

I2C 总线的长度建议如下：

- SCL 信号走线长度最长不能超过 5000mil。
- SDA 走线以 SCL 为参照进行走线，允许的偏差为 $\pm 250\text{mil}$ 。

PCB 布线建议

建议 PCB 布线设计采用以下原则：



注意

信号走线尽量不要破坏 TS 流信号走线的参考地平面，并做好保护地处理，串联电阻尽量靠近 Hi3136V100 放置，详细设计请参见 Hi3136EVA 板 PCB 设计文件。

- 所有 TS 流信号走线必须分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，必须保证信号走线都有完整的参考平面。
- 信号走线及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径。
- 信号线尽量短，走线路径上尽量少打过孔，保证走线阻抗的连续性。多层板单端信号 PCB 走线特性阻抗 $50\Omega \pm 10\%$ ；双层板单端信号 PCB 走线特性阻抗 $140\Omega \pm 10\%$ 。串联匹配电阻靠近 Hi3136V100 放置。
- 使用排阻时，尽量避免 TS_CLK 与其他 TS 流中的信号线在同一个组排上。
- 相邻信号走线间距保持在 2~3 倍线宽，即满足“3W”原则。
- 避免时钟信号紧邻数据、地址总线，对于 TS_CLK 增加包地处理。

3.4.3.2 其它

PCB 信号完整性仿真设计建议

PCB 设计人员可以使用板级仿真工具，根据 Hi3136V100 接口 IBIS 模型、对接器件 IBIS 模型、传输线模型以及板上拓扑结构完成信号完整性仿真分析。通过对仿真结果的分析，不断调整拓扑结构，以达到所需的信号质量要求，包括过冲、下冲、振铃、单调性等。

其它 PCB 设计注意事项

时钟信号如果带多个负载，无论频率高低，都需要特别注意其信号质量，应保证信号边沿单调。



3.5 热设计建议

3.5.1 封装热阻



注意

热阻基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件作出分析。

Hi3136V100 的封装热阻如表 3-21 所示。

表3-21 Hi3136V100 的封装热阻

参数	符号	数值	单位
Junction-to-ambient thermal resistance	θ_{JA}	32	°C/W
Junction-to-case thermal resistance	θ_{JC}	6.5	°C/W
Junction-to-top center of case thermal resistance	Ψ_{JT}	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	8.5	°C/W

3.5.2 导热介质材料推荐

导热介质材料推荐表如表 3-22 所示。

表3-22 导热介质材料推荐表

散热器固定方式	型号	导热系数 (w/m · k)	应用环境温度 (°C)	胶体类型	绝缘强度 (V/mil)	阻燃性	承重能力 (g)
需机械固定	GF2000	2	-60~+200	硅橡胶	500	UL9V0	-
无需机械固定	Locotite 315	0.808	-	丙烯酸树脂	6000	UL9V2	-

3.5.3 原理图设计

3.5.3.1 电源

整个单板电源树在保证稳定性的前提下效率最高，即要合理设计单板电源负载，少采用高压差 LDO 器件，减少电源自身在电源转换过程中所产生的热量。芯片底部采用 EPAD 设计，将 PCB 底部地平面进行开窗设计，利于芯片的热传导。



3.5.4 PCB 设计

3.5.4.1 器件布局

结合产品结构和热设计，器件布局建议如下：

- 单板上功耗大且产生热量大的器件不能分布在同一个风道上。
- 单板上大功耗且易产生热量器件要均匀分布，以保证单板利用 PCB 有效散热，在这些器件正下方和周边尽量增大铜皮面积以利于散热。

3.5.4.2 PCB 热设计

PCB 热设计建议如下：

- Hi3136V100 芯片底下的 EPAD 过孔采用 FULL 孔连接，而不是普通的花孔连接，并且 EPAD 对应的 PCB 底层的铜皮开窗，以提高单板散热效率。
- Hi3136V100 的 1.2V/3.3V 电源和地信号在保证过流能力的前提下尽量走宽。
- Hi3136V100 周边避免放置发热量大的器件。

3.6 焊接工艺建议

3.6.1 概述

客户在使用本产品焊接时，参考所有的元器件/IC/PCB 单板所承受 reflow profile，依据锡膏的供应商推荐的 reflow profile 平衡制定合适的回流焊接温度，本章节仅仅是给出本产品能承受的回流焊接温度范围。

3.6.1.1 框架材料

- QFN 镀层成份：电镀锡

3.6.1.2 元器件包装及存储

元器件包装及存储如下：

- 表贴元器件包装类型：tray or tape&reel
- 可存储期限（60%相对湿度以下）：12moths@40℃
- 包装材料：防静电材料

3.6.1.3 焊接工艺

可应用的焊接方法：reflow

本产品可以承受的 reflow profile 范围如下（客户也可以参考 JEDEC020D），并非推荐的实际焊接的 reflow profile。客户实际焊接时的 reflow profile 要参考锡膏的 reflow profile 并平衡 PCB/所有 IC/元器件而定。



图3-18 焊接温度曲线图

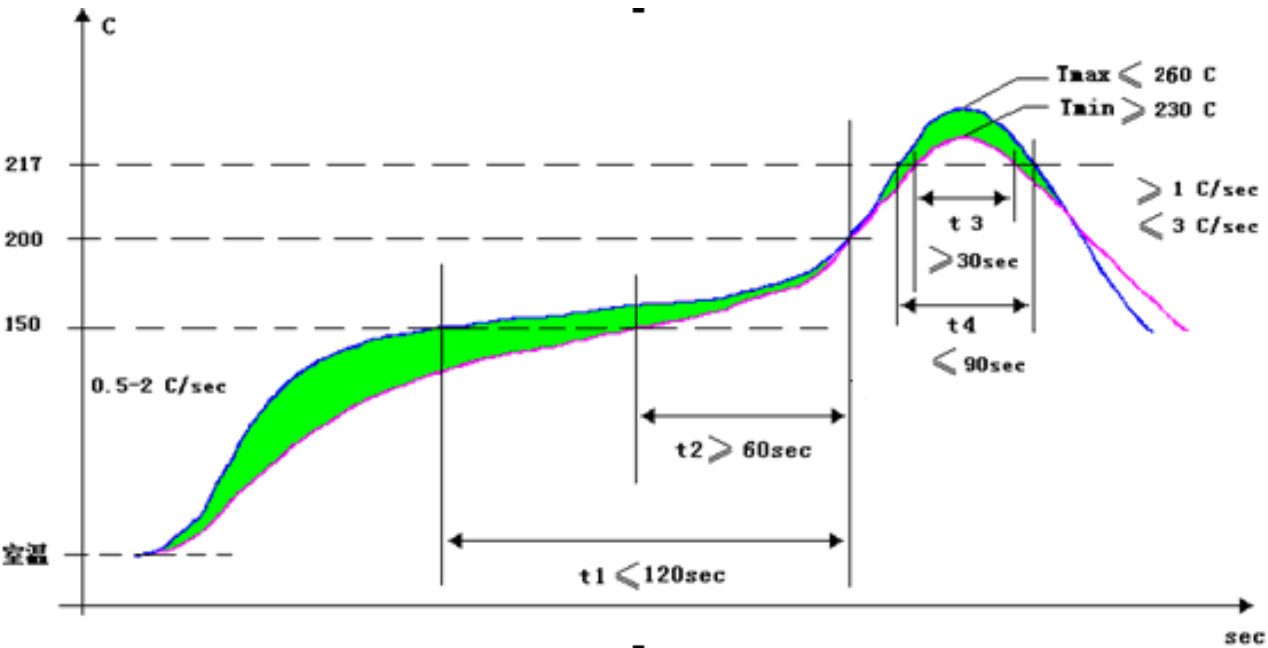


表3-23 回流焊工艺参数表

区域	时间	升温速率	峰值温度	降温速率
预热区（40-150℃）	60-150Sec	≤2.0℃/Sec	-	-
均温区（150-200℃）	60-120Sec	<1.0℃/Sec	-	-
回流区（>217℃）	30-90Sec	-	230-260℃	-
冷却区（Tmax-180℃）	-	-	-	1.0℃/Sec≤Slope≤4.0℃/Sec

3.6.2 加工准备

客户在加工前，确认所使用的产品未受潮；原物料在有效周期内。

正式批量生产前，要做首样检验（比如要先首检锡膏厚度），首样检验结果通过，才能批量生产。

3.7 潮敏参数

3.7.1 存放与使用

【使用范围】

海思所有 IC（潮敏产品）的存放和使用



【存放环境】

建议产品真空包装存放，存放在 $<30^{\circ}\text{C}/60\% \text{RH}$ 下。

【shelf life】（存储期限）

存放环境 $<30^{\circ}\text{C}/60\% \text{RH}$ 下，真空包装存放，shelf life(存储期限)是 ≥ 12 个月。

【floor life】

在环境条件 $<30^{\circ}\text{C}/60\%$ 下，floor life 参照下表

表3-24 floor life 参照表

Level	Floor life(out of bag) at factory ambient $\leq 30^{\circ}\text{C}/60\% \text{RH}$ or as stated
1	Unlimited at $\leq 30^{\circ}\text{C}/85\% \text{RH}$
2	1 year
2a	4 weeks
3	168 hours
4	72 hours
5	48 hours
5a	24 hours
6	Mandatory bake before use, must be reflowed within the time limit specified on the label

【潮敏产品的使用】

- 产品在 $\leq 30^{\circ}\text{C}/60\% \text{RH}$ 下连续或累计暴露超过 2 个小时，建议进行 rebake 后再真空干燥包装。
- 产品在 $\leq 30^{\circ}\text{C}/60\% \text{RH}$ 下暴露累计没有超过 2 个小时，可以不用 rebake，但要更换新的干燥剂，进行真空干燥包装。

本文没有提到的存储及使用原则，请直接参考 JEDEC J-STD-033A

3.7.2 重新烘烤

【适用产品】

海思所有 IC（潮敏产品）

【使用范围】

需要重新烘烤的 IC（潮敏产品）

【重新烘烤参考表】



表3-25 重新烘烤参考表

Body thickness	level	bake@125℃	bake@90℃≤5% RH	bake@40℃≤5% RH
≦1.4mm	2a	3 hours	11 hours	5 days
	3	7hours	23 hours	9 days
	4	7 hours	23 hours	9 days
	5	7 hours	24 hours	10 days
	5a	10 hours	24 hours	10 days
≦2.0mm	2a	16 hours	2 days	22 days
	3	17 hours	2 days	23 days
	4	20 hours	3 days	28 days
	5	25 hours	4 days	35 days
	5a	40 hours	6 days	56 days
≦4.5mm	2a	48 hours	7 days	67 days
	3	48 hours	8 days	67 days
	4	48 hours	10 days	67 days
	5	48 hours	10 days	67 days
	5a	48 hours	10 days	67 days

说明：

- 此表中显示的均是受潮后，必须的最小的烘烤时间。
- 重新烘烤优先选择低温烘烤。
- 详细情况请参考 JEDEC。

3.8 接口时序

3.8.1 输出接口时序

Hi3136 提供 3 种 TS 输出模式，包括并行模式、串行模式和两比特串行模式。

TS 输出接口信号包括数据信号 TS_OUT[7:0]、时钟信号 TS_CLK、数据有效信号 TS_VLD、同步头信号 TS_SYNC 和包错误信号 TS_ERR：

- TS_OUT：TS 帧数据。并行模式下用 8 位，串行模式下用 1 位，两比特串行模式用 2 位。
- TS_CLK：数据时钟。时钟沿可设，在不同模式下对应不同的时钟输出。



- TS_VLD: TS 包数据有效指示（并行模式是字节有效，串行模式是比特有效）。
- TS_SYNC: TS 包同步头指示（并行模式是字节有效，串行模式是比特有效）。
- TS_ERR: TS 包错误指示，当前 TS 包出错则置 1。

图3-19 TS 并行输出时序示意

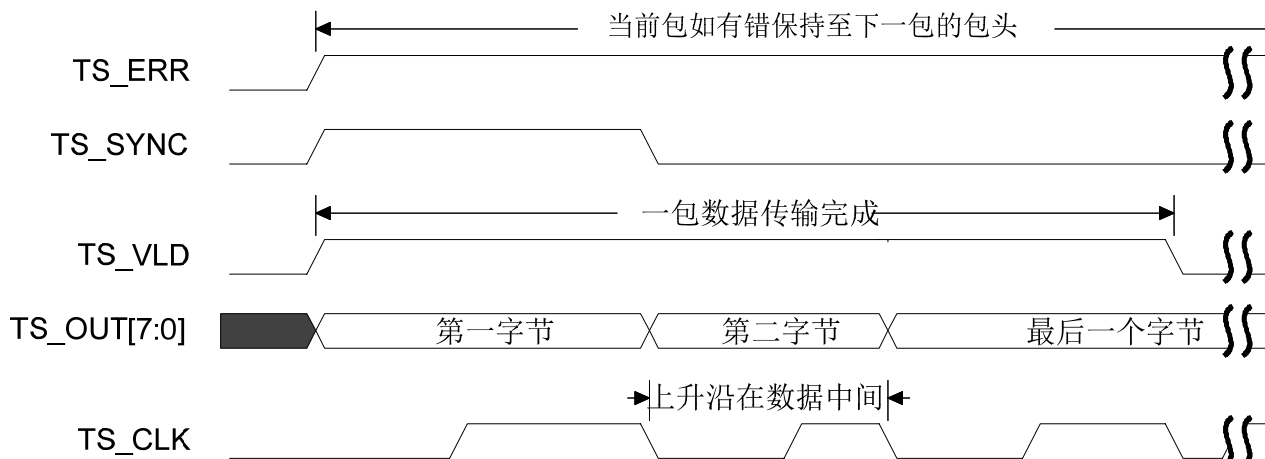


图3-20 TS 一比特串行输出时序示意

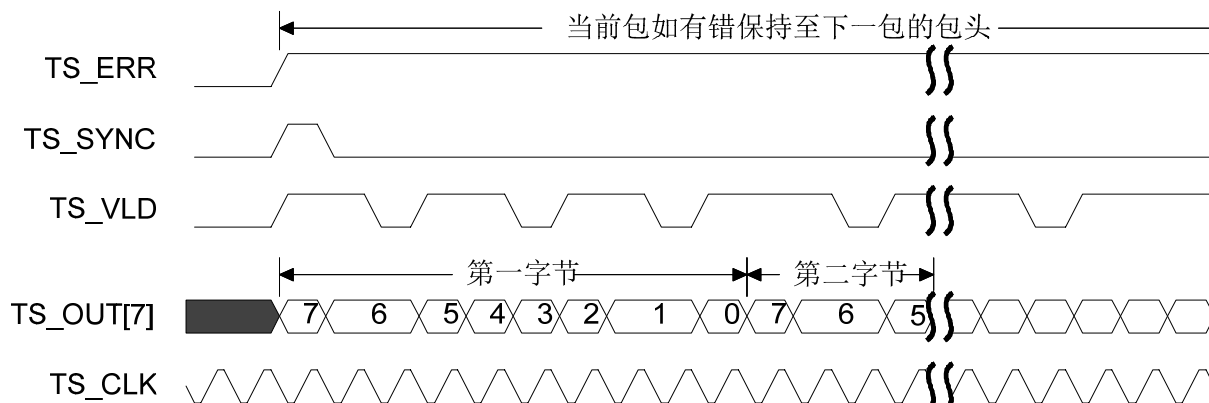
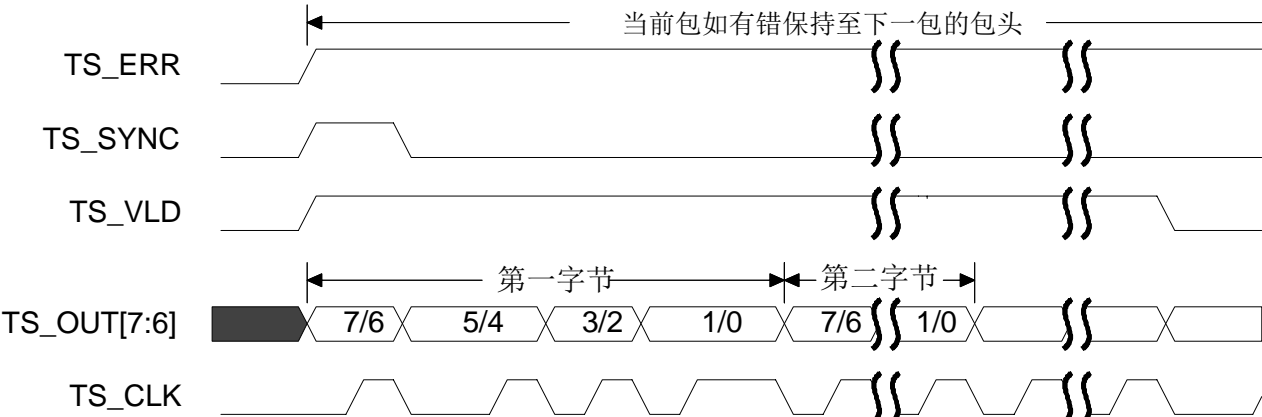




图3-21 TS 两比特串行时序示意



3.8.2 输出时序参数

TS 输出时序图如图 3-22、图 3-23 所示。

图3-22 TS_CLK 正、反向时序图

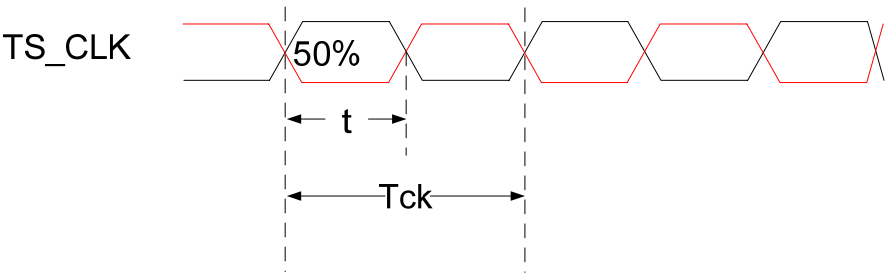
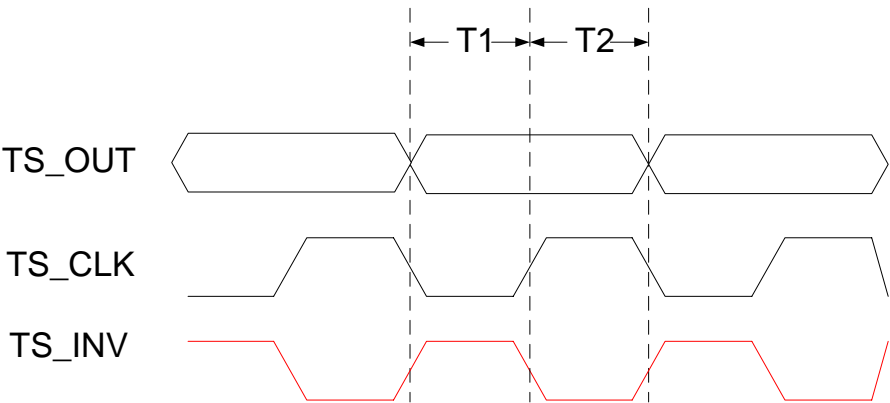


图3-23 TS 并行和两比特串行的时序关系



T1 与 T2 的参数最小值为 5.3ns



表3-26 TS 输出方向时序参数表（正向）

参数	符号	最小值	典型值	最大值	单位
TS_CLK	Tck	5.3	-	5.3	ns
输出数据信号延时	t	0	-	0.48	ns

表3-27 TS 输出方向时序参数表（反向）

参数	符号	最小值	典型值	最大值	单位
TS_CLK	Tck	5.3	-	5.3	ns
输出数据信号延时	t	1.0	-	2.63	ns



目 录

A 缩略语.....	A-1
------------	-----



A

缩略语

A

AAF	Anti-aliasing Filter	抗镜像滤波器
ACM	Adaptive Coding and Modulation	自适应编码调制
ADC	Analog Digital Converter	模数转换器
AGC	Automatic Gain Control	自动增益控制
APSK	Amplitude-Phase Shift Keying	幅度相移键控

B

BCH	Bose-Chaudhuri-Hocquenghem multiple error correction binary block code	一种循环纠错码
BER	Bit Error Rate	误比特率

C

CCM	Constant Coding and Modulation	固定编码调制
CLK	Clock	时钟
CR	Carrier Recovery	载波恢复
CRC	Cyclic Redundancy Check	循环冗余码校验

D

DAGC	Digital Automatic Gain Control	数字自动增益控制
-------------	--------------------------------	----------

E

EQU	Equalizer	均衡器
------------	-----------	-----



A 缩略语

ERR	Error	错误
F		
FEC	Forward Error Correction	前向纠错
FER	Frame Error Rate	误帧率
FSK	Frequency-shift keying	频移键控
G		
GS	Generic Stream	通用流
I		
I	In-phase	同相
L		
LDPC	Low Density Parity Check Code	低密度奇偶校验码
LMS	Linear Mean Square	线性最小均方算法
M		
MF	Matched Filter	匹配滤波器
Multi-TS	Multiple Transport Stream	多传输流
P		
PER	Packet Error Rate	误包率
PLL	Phase-Locked Loop	锁相环
PLS	Physical Layer Signalling	物理层信令
PDM	Pulse Density Modulation	脉宽密度调制
PSK	Phase Shift Keying	相移键控
Q		
Q	Quadrant	正交
QPSK	Quaternary Phase Shift Keying	四相相移键控



R

RS	Reed Solomon	里德所罗门，一种信道编码方式。
-----------	--------------	-----------------

S

SNR	Signal Noise Ratio	信噪比
------------	--------------------	-----

SYNC	Synchronization	同步
-------------	-----------------	----

T

TR	Timing Recovery	定时恢复
-----------	-----------------	------

TS	Transport Stream	传输流
-----------	------------------	-----

V

VLD	Valid	有效
------------	-------	----

VCM	Variable Coding and Modulation	可变编码调制
------------	--------------------------------	--------