



Hi3798M V100 硬件设计 使用指南

文档版本 06

发布日期 2015-11-02

版权所有 © 深圳市海思半导体有限公司 2015。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为总部 邮编：518129

网址： <http://www.hisilicon.com>

客户服务邮箱： support@hisilicon.com



前 言

概述

本文档主要介绍硬件设计中关于单板阻抗控制原理以及方法和案例；提供 CPU、CORE 电源 DC-DC 外围电阻值选型指导。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3798M	V1XX

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 硬件开发工程师

作者信息

章节号	章节名称	作者信息
全文	全文	T00171014/00182267



修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2014-07-22	00B01	第 1 次临时版本发布。
2014-08-15	00B02	新增 3、4、5 章节。
2014-10-30	01	更新第 5 章。删除之前的版本升级内容，新增 3 个 FAQ。 修改第一章关于阻抗计算工具的描述。
2014-11-20	02	新增插入第 3 章“单板待机设计说明”。
2015-04-30	03	新增 6.4、6.5 章节 QFP 封装的 FAQ。
2015-06-04	04	新增 6.6 章节。
2015-07-29	05	新增 6.7 章节。
2015-11-02	06	新增 6.8 章节。



目 录

前 言.....	iii
1 单板阻抗控制说明	1-1
1.2 阻抗控制方法.....	1-2
1.2.1 阻抗计算工具.....	1-2
1.2.2 Hi3798MV100 单板阻抗控制要求	1-5
1.3 单板阻抗控制案例	1-5
1.3.1 两层板阻抗控制.....	1-5
1.3.2 四层板阻抗控制.....	1-8
1.4 制板参数确认.....	1-12
2 CPU、CORE 电源 DC-DC 外围电阻值选型.....	2-1
3 单板待机设计说明	3-1
4 网口浪涌差模过 500V 设计	4-1
5 单板 ESD 过 6kV 设计.....	5-1
6 FAQ.....	6-1
6.1 GPIO 电源域问题	6-1
6.2 eMMC 相关上电时序说明	6-1
6.3 fSD/eMMC CLK IO 驱动能力说明.....	6-2
6.4 QFP 封装增强 ESD 性能说明	6-3
6.5 QFP 封装增强散热性能说明.....	6-4
6.6 启动模式异常说明	6-5
6.7 DDR 768M 容量配置硬件说明	6-6
6.8 Hi3798MV100 1F/1G 版本提升系统稳定性措施.....	6-6



插图目录

图 1-1 海思两层板 DDR 部分和主芯片部分走线参考设计.....	1-1
图 1-2 海思四层板 DDR 部分和主芯片部分走线参考设计.....	1-2
图 1-3 两层板单端阻抗计算模型.....	1-3
图 1-4 四层板单端阻抗计算模型.....	1-3
图 1-5 两层板差分阻抗计算模型.....	1-4
图 1-6 四层板差分阻抗计算模型.....	1-4
图 1-7 两层板叠层信息	1-6
图 1-8 两层板差分阻抗计 100Ω 计算模型.....	1-6
图 1-9 两层板差分阻抗计 90Ω 计算模型.....	1-7
图 1-10 四层板叠层信息.....	1-9
图 1-11 四层板差分阻抗计 100Ω 计算模型	1-9
图 1-12 四层板差分阻抗计 90Ω 计算模型.....	1-10
图 1-13 四层板单端阻抗计 50Ω 计算模型.....	1-11
图 2-2 PWM 调压原理结构图	2-2
图 3-1 海思 DMO 板电源树	3-1
图 4-1 网口浪涌差模过 500V 方案原理图.....	4-1
图 5-1 Hi3798MDMO1A 单板 BOTTOM 面屏蔽罩	5-1
图 5-2 Hi3798MHi3798MDMO1B 单板 BOTTOM 面屏蔽罩	5-2
图 5-3 Hi3798MHi3798MDMO1C 单板 BOTTOM 面屏蔽罩	5-2
图 5-4 Hi3798MHi3798MDMO1D 单板 BOTTOM 面屏蔽罩	5-3
图 6-1 1.8V GPIO 说明	6-1
图 6-2 3V3_MOS 缓启电路图.....	6-2
图 6-3 STANDBY_PWROFF 电路	6-3
图 6-4 3V3_STANDBY 电路	6-3
图 6-5 PLL 电路	6-4



图 6-6 PCB 散热通孔示意图6-5

图 6-7 启动管脚上下拉电阻电路图.....6-6

图 6-8 C264 示意截图.....6-7

图 6-9 sysctrl_CA 和 sysctrl_noCA 页面修改截图6-7

图 6-10 ddrphy 页面修改截图6-7

图 6-11 ddr_poweron 页面修改截图6-7

图 6-12 ddrphy 页面修改截图6-7



表格目录

表 1-1 单端阻抗控制参数说明.....	1-3
表 1-2 差分阻抗控制参数说明.....	1-4
表 1-3 阻抗控制要求	1-5
表 1-4 100Ω 差分阻抗控制参数说明.....	1-6
表 1-5 90Ω 差分阻抗控制参数说明.....	1-7
表 1-6 100Ω 差分阻抗控制参数说明.....	1-9
表 1-7 90Ω 差分阻抗控制参数说明.....	1-10
表 1-8 50Ω 单端阻抗控制参数说明.....	1-11
表 2-1 CPU、CORE 电源 DC-DC 外围电阻值	2-1
表 3-1 Hi3798MV100 DMO 板待机功耗数据	3-2



1 单板阻抗控制说明

单板信号线阻抗控制非常重要，影响到接口指标及性能，尤其是 DDR 部分，直接影响到系统的稳定性。在重要信号阻抗控制上，建议按照以下方式进行阻抗控制。

无论是两层板还是四层板，DDR 部分和主芯片部分走线完全拷贝海思 DEMO 板

图1-1 海思两层板 DDR 部分和主芯片部分走线参考设计

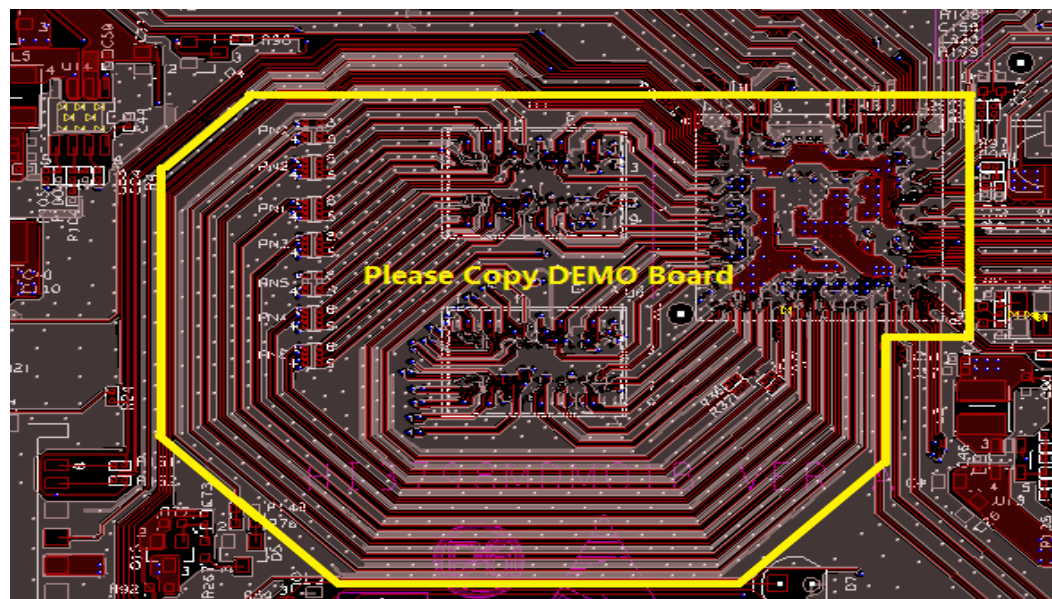
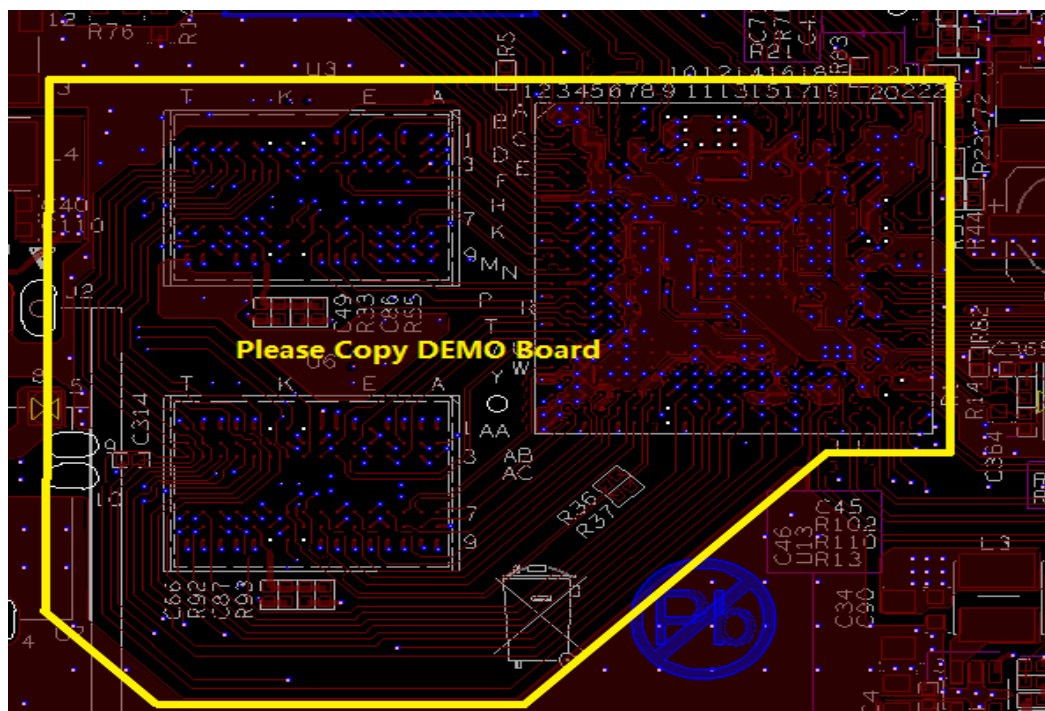




图1-2 海思四层板 DDR 部分和主芯片部分走线参考设计



1.2 阻抗控制方法

单板设计中通过以下方法进行线宽、线距调整，达到阻抗控制的目的。

1.2.1 阻抗计算工具

采用单板阻抗计算工具，不同阻抗计算工具可能略有差别，但计算方法基本相同，归结为以下五个步骤来计算阻抗。

- 步骤 1 选择单端走线阻抗控制或者差分阻抗控制。
- 步骤 2 根据两层板和四层板选择相应的选项。
- 步骤 3 输入单板板材、信号走线等参数。
- 步骤 4 计算阻抗。
- 步骤 5 查看阻抗计算结果是否符合目标阻抗，若符合目标阻抗，按相关参数控制走线宽度及间距，若不符合返回步骤三。

----结束

在以上阻抗计算过程中，步骤三中的参数包括：H1、Er1、W1、W2、S1、G1、G2、D1、T1、C1、C2、C3、Cer，它们是影响阻抗的主要因素。



对于单端阻抗，阻抗计算模型和参数说明如图 1-3、图 1-4 所示。

图1-3 两层板单端阻抗计算模型

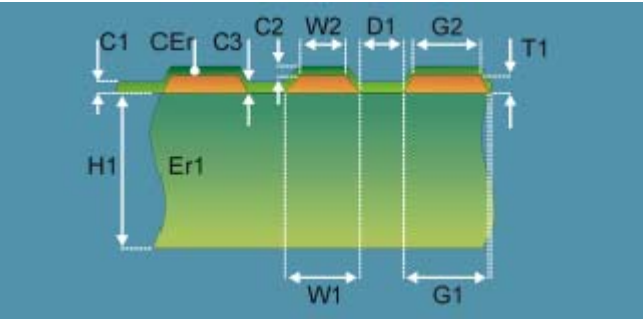


图1-4 四层板单端阻抗计算模型

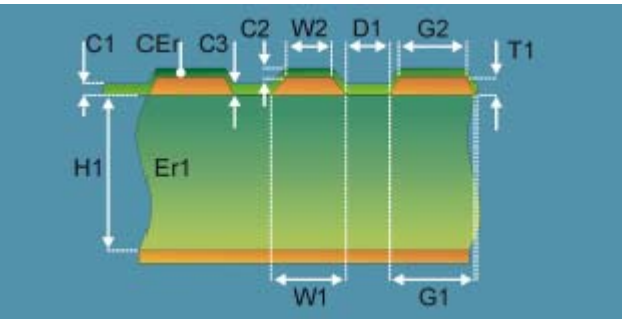


表1-1 单端阻抗控制参数说明

参数	定义说明	取值说明
H1	除去表层铜皮厚度的板材厚度	两层板可取单板厚度；四层板是到参考平面的厚度
Er1	PCB 板材介质常数	跟板材类型相关，推荐使用 FR-4 取值 4.2
W1	信号线底层宽度	可变，根据阻抗值调整
W2	信号线顶层宽度	信号线底层宽度减去 1mil
G1	信号伴随地底层宽度	可变，推荐至少 20mil
G2	信号伴随地顶层宽度	信号伴随地底层宽度减去 1mil
D1	信号与伴随地空气距离	推荐两层板 5mil；四层板大于 1.5 倍线宽
T1	表层铜皮厚度	推荐 1.5mil
C1	绿油厚度 1	对阻抗影响较小，默认 1mil
C2	绿油厚度 2	对阻抗影响较小，默认 1mil



参数	定义说明	取值说明
C3	绿油厚度 3	对阻抗影响较小，默认 1mil
CEr	绿油介质常数	推荐取值 4.2

对于差分阻抗，阻抗计算模型和参数说明如图 1-5、图 1-6 和表 1-1 所示。

图1-5 两层板差分阻抗计算模型

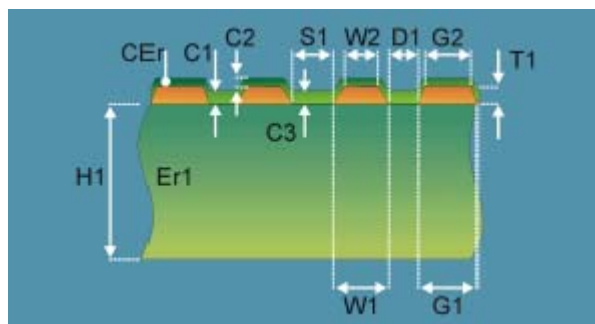


图1-6 四层板差分阻抗计算模型

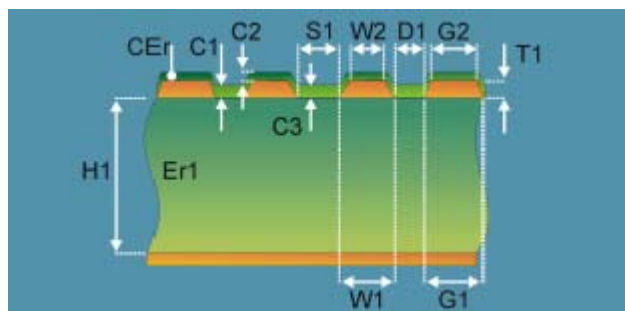


表1-2 差分阻抗控制参数说明

参数	定义说明	取值说明
H1	除去表层铜皮厚度的板材厚度	两层板可取单板厚度；四层板是到参考平面的厚度
Er1	PCB 板材介质常数	跟板材类型相关，推荐使用 FR-4 取值 4.2
W1	信号线底层宽度	可变，根据阻抗值调整
S1	差分信号线间距，空气距离	可变，根据阻抗值调整
W2	信号线顶层宽度	信号线底层宽度减去 1mil
G1	信号伴随地底层宽度	可变，推荐至少 20mil



参数	定义说明	取值说明
G2	信号伴随地顶层宽度	信号伴随地底层宽度减去 1mil
D1	信号与伴随地空气距离	推荐两层板 5mil；四层板大于 1.5 倍线宽
T1	表层铜皮厚度	推荐 1.5mil
C1	绿油厚度 1	对阻抗影响较小，默认 1mil
C2	绿油厚度 2	对阻抗影响较小，默认 1mil
C3	绿油厚度 3	对阻抗影响较小，默认 1mil
CEr	绿油介质常数	推荐取值 4.2

1.2.2 Hi3798MV100 单板阻抗控制要求

Hi3798M V100 单板总共有 3 种阻抗(100Ω、90Ω、50Ω)需要控制，如表 1-3 所示。

表1-3 阻抗控制要求

需控制阻抗信号线	四层板要求	两层板要求	误差
HDMI 四对差分线	100Ω	100Ω	±10%
DDR 四对 DQS 差分线	100Ω	100Ω	±10%
DDR 两对 CLK 差分线	100Ω	100Ω	±10%
网口两对差分线	100Ω	100Ω	±10%
USB 差分线	90Ω	90Ω	±10%
DDR 单端走线	50Ω	优先控线宽和线距，一般阻抗约为 60~70Ω	±10%

1.3 单板阻抗控制案例

1.3.1 两层板阻抗控制




参看 PCB 叠层信息

板厚：1.6mm≈63mil；

TOP 层和 BOTTOM 层铜厚 1.8mil；



图1-7 两层板叠层信息

	Layer Stack up	Thickness (mil)
	Silk Top	Default
	Solder Top	
ART01		
PREPREG		\
ART02		1.8(0.5oz+plating)
	Solder Bot	Default
	Silk Bot	

100Ω 阻抗控制

需要控制 100Ω 阻抗的走线主要是 HDMI 四对差分线、DDR_DQS 差分线、DDR_CLK 差分线和网口两对差分线。

通过阻抗计算工具计算目标阻抗，如图 1-8 和表 1-4 所示。

图1-8 两层板差分阻抗计 100Ω 计算模型

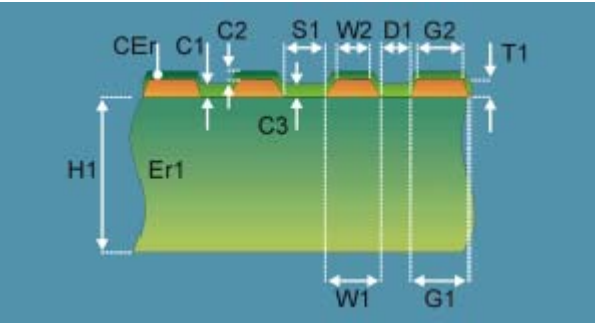


表1-4 100Ω 差分阻抗控制参数说明

参数	定义说明	取值 (mil)
H1	除去表层铜皮厚度的板材厚度	63
Er1	PCB 板材介质常数	4.2
W1	信号线底层宽度	5.5
W2	信号线顶层宽度	4.5
S1	差分信号线间距，空气距离	6
G1	信号伴随地底层宽度	20
G2	信号伴随地顶层宽度	19
D1	信号与伴随地空气距离	5



参数	定义说明	取值（mil）
T1	表层铜皮厚度	1.8
C1	绿油厚度 1	1
C2	绿油厚度 2	1
C3	绿油厚度 3	1
CEr	绿油介质常数	4.2

通过以上参数计算得阻抗为 104.78Ω。

因此，在板厚 1.6mm，板材介质常数 4.2 的情况下，信号走线需要控制 **W1=5.5mil**；
差分信号空气距离需要控制 **S1=6mil**；信号伴随地与信号走线空气距离需要控制
D1=5mil；表层铜皮厚度需要控制 **T1=1.8mil**。

90Ω 阻抗控制

需要控制 90Ω 阻抗的走线主要是 USB2.0 和 USB3.0 差分线。

通过阻抗计算工具计算目标阻抗，如图 1-9 和表 1-5 所示。

图1-9 两层板差分阻抗计 90Ω 计算模型

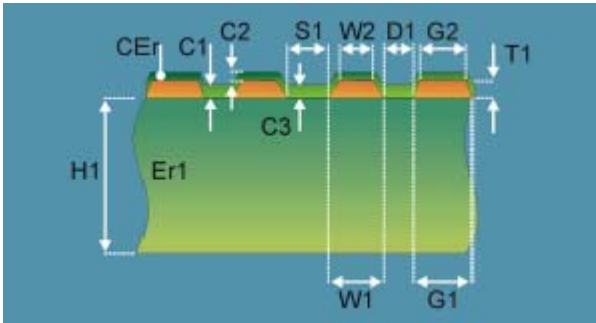


表1-5 90Ω 差分阻抗控制参数说明

参数	定义说明	取值（mil）
H1	除去表层铜皮厚度的板材厚度	63
E1	PCB 板材介质常数	4.2
W1	信号线底层宽度	6
W2	信号线顶层宽度	5
S1	差分信号线间距，空气距离	5



参数	定义说明	取值 (mil)
G1	信号伴随地底层宽度	20
G2	信号伴随地顶层宽度	19
D1	信号与伴随地空气距离	5
T1	表层铜皮厚度	1.8
C1	绿油厚度 1	1
C2	绿油厚度 2	1
C3	绿油厚度 3	1
CEr	绿油介质常数	4.2

通过以上参数计算得阻抗为 96.85Ω。

因此，在板厚 **1.6mm**，板材介质常数 4.2 的情况下，信号走线需要控制 **W1=6mil**；差分信号空气距离需要控制 **S1=5mil**；信号伴随地与信号走线空气距离需要控制 **D1=5mil**；表层铜皮厚度需要控制 **T1=1.8mil**

两层板 DDR 单端阻抗控制

两层板 DDR 单端走线优先控制信号走线线宽和线距、信号线与伴随地距离，建议完全按照海思 DEMO 板走线线宽和线距、伴随地和地过孔设计。

从 DEMO 板中可以看到，在板厚 **1.6mm**，板材介质常数 4.2 的情况下，信号走线需要控制 **W1=5mil**；两根包地信号空气距离需要控制 **S1=10mil**；信号伴随地与信号走线空气距离需要控制 **D1=5mil**；表层铜皮厚度需要控制 **T1=1.8mil**。

1.3.2 四层板阻抗控制

参看 PCB 叠层信息

板厚：1.6mm≈63mil；

TOP 层和 BOTTOM 层铜厚：1.8mil；

TOP 层和 BOTTOM 层到各自参考层距离：4mil；



图1-10 四层板叠层信息

	Layer Stack up	Thickness (mil)
	Silk Top	Default
ART01	Solder Top	1.8(0.5oz+plating)
PREPREG		4.0
GND02		1.2(1.0oz)
CORE		XXX
POWWE03		1.2(1.0oz)
PREPREG		4.0
ART04		1.8(0.5oz+plating)
	Solder Bot	Default
	Silk Bot	

100Ω 阻抗控制

需要控制 100Ω 阻抗的走线主要是 HDMI 四对差分线、DDR DQS 差分线、DDR_CLK 差分线和网口两对差分线。

通过阻抗计算工具计算目标阻抗，如图 1-11 和表 1-6 所示。

图1-11 四层板差分阻抗计 100Ω 计算模型

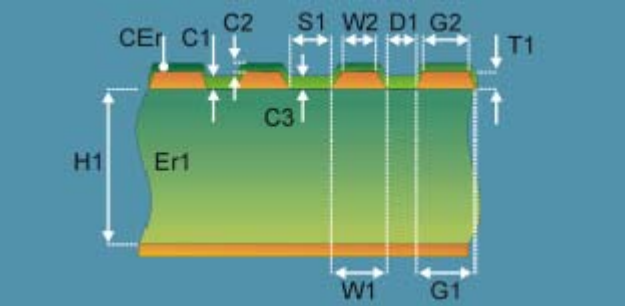


表1-6 100Ω 差分阻抗控制参数说明

参数	定义说明	取值 (mil)
H1	除去表层铜皮厚度的板材厚度	4
Er1	PCB 板材介质常数	4.2
W1	信号线底层宽度	4.5
W2	信号线顶层宽度	3.5
S1	差分信号线间距，空气距离	6
G1	信号伴随地底层宽度	20
G2	信号伴随地顶层宽度	19



参数	定义说明	取值（mil）
D1	信号与伴随地空气距离	6.75
T1	表层铜皮厚度	1.8
C1	绿油厚度 1	1
C2	绿油厚度 2	1
C3	绿油厚度 3	1
CEr	绿油介质常数	4.2

通过以上参数计算得阻抗为 95.32Ω。

因此，在板厚 1.6mm，板材介质常数 4.2 的情况下，信号走线需要控制 **W1=4.5mil**；差分信号空气距离需要控制 **S1=6mil**；信号伴随地与信号走线空气距离需要控制 **D1 大于 6.75mil**（可以不包地）；表层铜皮厚度需要控制 **T1=1.8mil**。

90Ω 阻抗控制

需要控制 90Ω 阻抗的走线主要是 USB2.0 和 USB3.0 差分线。

通过阻抗计算工具计算目标阻抗，如图 1-12 和表 1-7 所示。

图1-12 四层板差分阻抗计 90Ω 计算模型

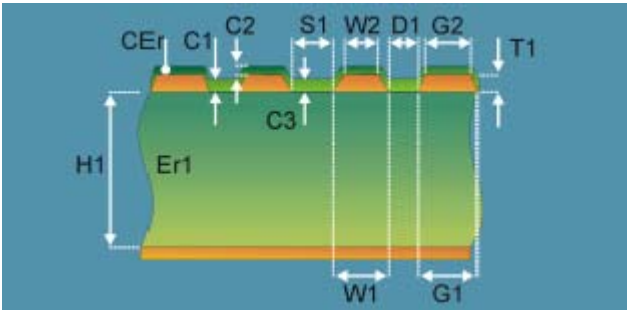


表1-7 90Ω 差分阻抗控制参数说明

参数	定义说明	取值（mil）
H1	除去表层铜皮厚度的板材厚度	4
Er1	PCB 板材介质常数	4.2
W1	信号线底层宽度	6
W2	信号线顶层宽度	5



参数	定义说明	取值（mil）
S1	差分信号线间距，空气距离	7
G1	信号伴随地底层宽度	20
G2	信号伴随地顶层宽度	19
D1	信号与伴随地空气距离	6.75
T1	表层铜皮厚度	1.8
C1	绿油厚度 1	1
C2	绿油厚度 2	1
C3	绿油厚度 3	1
CEr	绿油介质常数	4.2

通过以上参数计算得阻抗为 87.35Ω。

因此，在板厚 1.6mm，板材介质常数 4.2 的情况下，信号走线需要控制 **W1=6mil**；差分信号空气距离需要控制 **S1=7mil**；信号伴随地与信号走线空气距离需要控制 **D1 大于 6.75mil**（可以不包地）；表层铜皮厚度需要控制 **T1=1.8mil**。

50Ω 阻抗控制

需要控制 50Ω 阻抗的走线主要是 DDR 单端走线。

通过阻抗计算工具计算目标阻抗，如图 1-13 和表 1-8 所示。

图1-13 四层板单端阻抗计 50Ω 计算模型

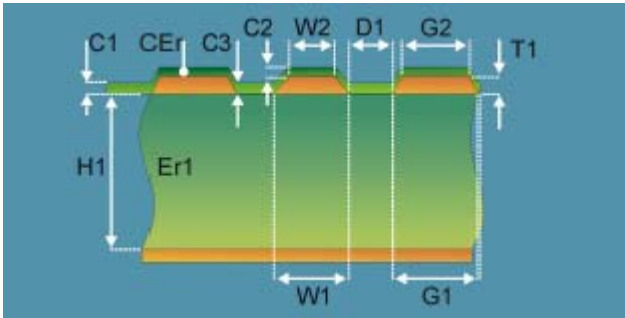


表1-8 50Ω 单端阻抗控制参数说明

参数	定义说明	取值（mil）
H1	除去表层铜皮厚度的板材厚度	4



参数	定义说明	取值 (mil)
Er1	PCB 板材介质常数	4.2
W1	信号线底层宽度	5
W2	信号线顶层宽度	4
G1	信号伴随地底层宽度	20
G2	信号伴随地顶层宽度	19
D1	信号与伴随地空气距离	7.5
T1	表层铜皮厚度	1.8
C1	绿油厚度 1	1
C2	绿油厚度 2	1
C3	绿油厚度 3	1
CEr	绿油介质常数	4.2

通过以上参数计算得阻抗为 52.82Ω 。

因此，在板厚 **1.6mm**，板材介质常数 4.2 的情况下，信号走线需要控制 **W1=5mil**；信号伴随地与信号走线空气距离需要控制 **D1 大于 6.75mil**（可以不包地）；表层铜皮厚度需要控制 **T1=1.8mil**。

1.4 制板参数确认

按以上参数 Layout 完成后，投给板厂制板，板厂会根据阻抗控制要求微调走线线宽、线距甚至板材等参数，会发给 PCB Layout 工程师确认，建议 PCB Layout 工程师根据板厂给的参数重新用阻抗计算工具核对下阻抗是否正确。



2 CPU、CORE 电源 DC-DC 外围电阻值选型

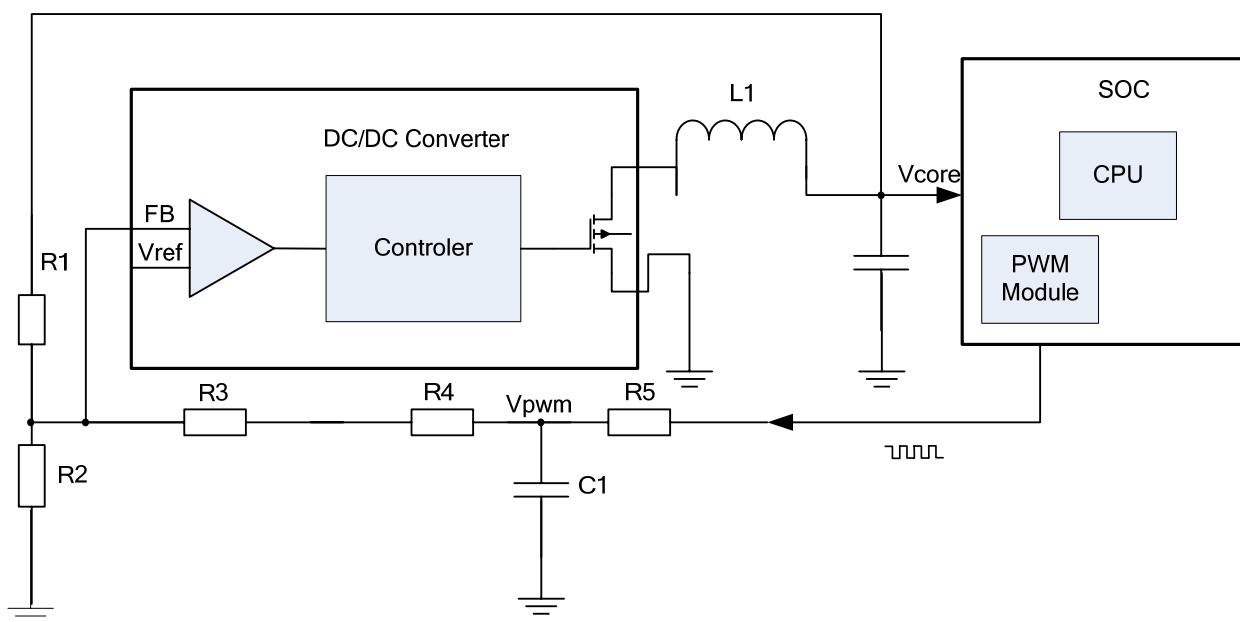
表2-1 CPU、CORE 电源 DC-DC 外围电阻值

Hi3798MV100 CPU,电源外围电阻值推荐(Vmax=1.5,Vmin=0.92)								
Vref(V)	R1(kΩ)	R2(kΩ)	R3(kΩ)	R4(kΩ)	R5(kΩ)	C(uF)	Vmax(V)	Umin(V)
0.6	15	11.3	33	51	1	2.2	1.50	0.92
0.765	20	24.9	10	100	1	2.2	1.52	0.92
0.803	34.8	49.9	47	150	1	2.2	1.50	0.92
0.807	34.8	51	47	150	1	2.2	1.50	0.92
Hi3798MV100 CORE 电源外围电阻值推荐(Vmax=1.32,Vmin=0.9)								
Vref(V)	R1(kΩ)	R2(kΩ)	R3(kΩ)	R4(kΩ)	R5(kΩ)	C(uF)	Vmax(V)	Umin(V)
0.6	14.7	13.7	14.7	100	1	2.2	1.32	0.90
0.8	26.1	49.9	4.99	200	1	2.2	1.32	0.90
0.807	20	39.2	5.49	150	1	2.2	1.32	0.90
0.765	27	45.3	12	200	1	2.2	1.32	0.90
0.92	12	39	11	82	1	2.2	1.32	0.90
0.923	18.7	61.9	33	113	1	2.2	1.32	0.90
0.925	20	66.5	34.8	121	1	2.2	1.32	0.90

**注意**

- 推荐使用 V_{ref} 精度 $\leq 2\%$ 的 DC/DC。
- DC-DC 选型要求使用工作频率 $\geq 640\text{kHz}$ 。

图2-2 PWM 调压原理结构图

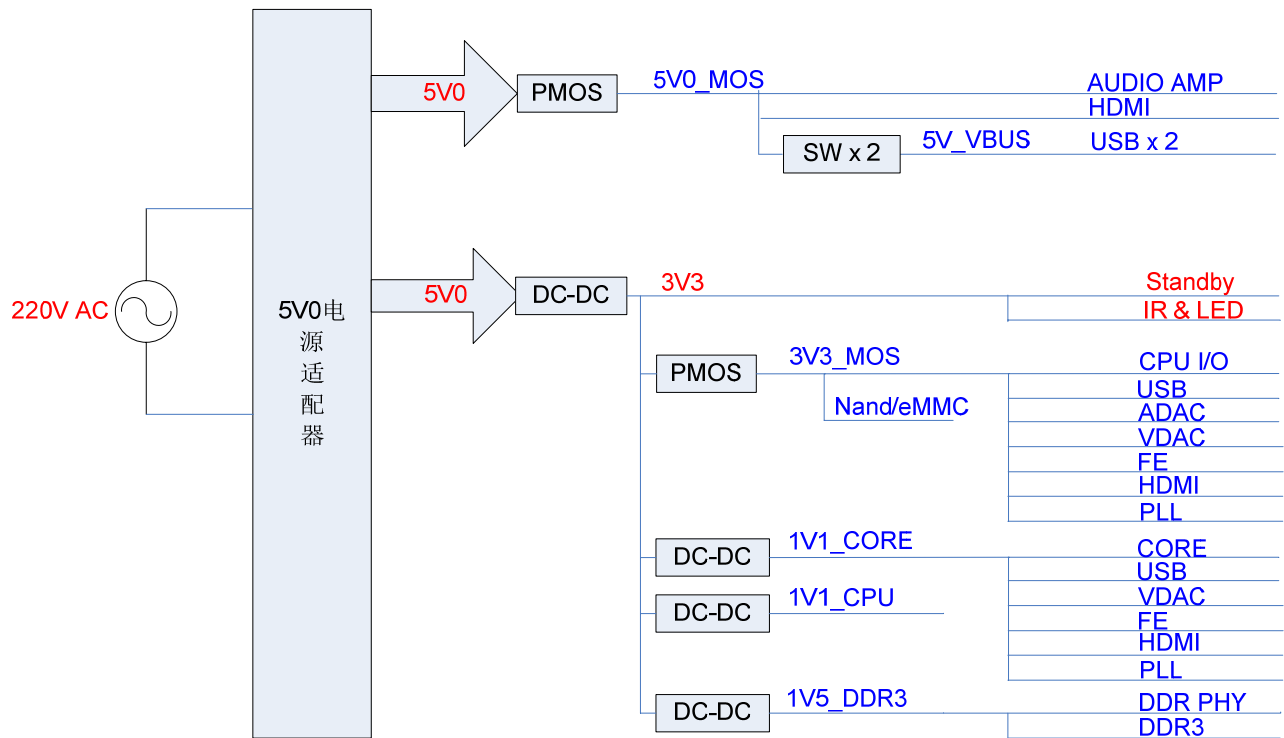




3 单板待机设计说明

Hi3798MV100 芯片支持真待机，由于客户采用的板级 DC-DC 电源和 AC-DC 电源适配器存在效率差异，对于待机功耗有较大影响。针对待机功耗小于 0.5W 要求，下面给出了电源设计说明。

图3-1 海思 DMO 板电源树



海思参考设计方案采用 5V0 电源适配器方案，图 3-1 中蓝色字体是待机时候需要关断的电源，红色字体是待机不能关断的电源。

单板在正常工作的时候，海思 DMO 板上的待机功耗如表 3-1 所示。



表3-1 Hi3798MV100 DMO 板待机功耗数据

功率计功耗 (W)	5V0 适配器电流 (mA)	5V0 适配器电压 (V)
0.44	32	5.35

待机时单板功耗： $5.35\text{V} \times 32\text{mA} = 171.2\text{mW}$

待机时整机功耗：440mW

由此可知，在待机时实测电源适配器的效率 η 为：

$$\eta = 171.2\text{mW} \div 440\text{mW} \times 100\% = 38.9\%$$

若要做到待机功耗小于 0.5W，根据实测结果推算电源适配器最低效率 η_{\min} 为：

$$\eta_{\min} = 171.2\text{mW} \div 500\text{mW} \times 100\% = 34.2\%$$

低功耗设计一方面和主板功耗相关，另外一方面和电源适配器的转换效率相关。上面计算出来的数值 38.9%就是海思使用的电源适配器在待机时候的转换效率。

待机功耗与电源适配器设计严重相关，最重要的指标要求就是电源适配器在轻载状态下的转换效率。根据测试情况，要做到待机功耗小于 0.5W，电源适配器最低转换效率不能低于 34.2%。

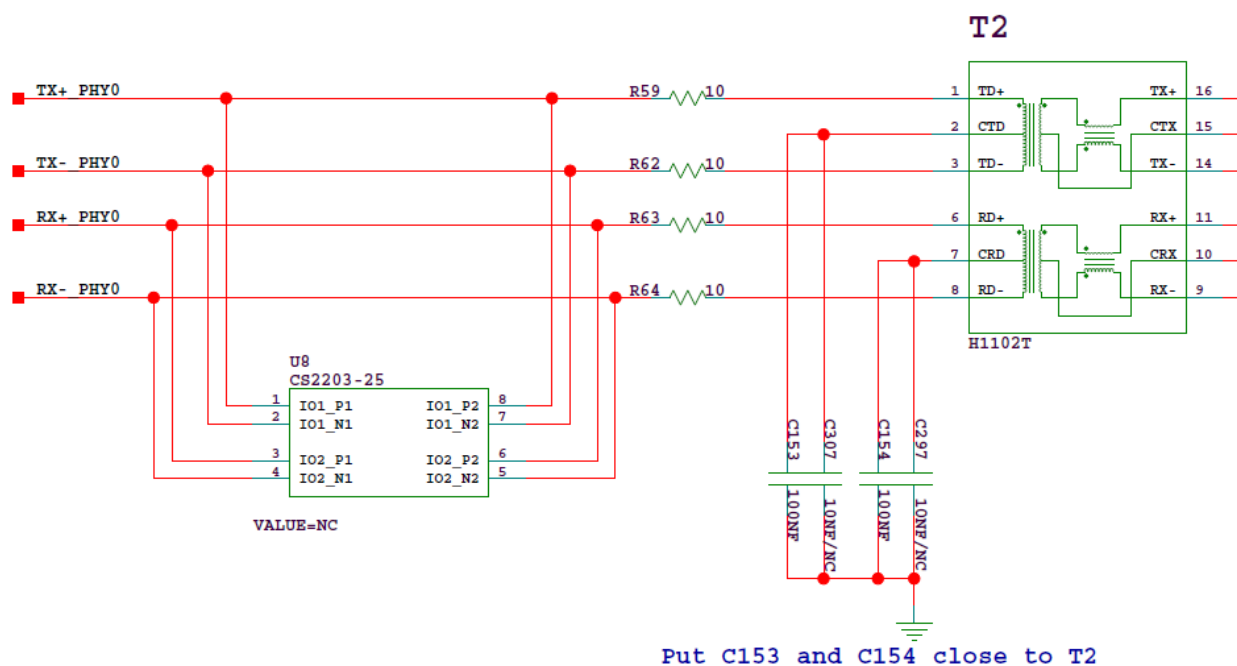
除考虑电源适配器效率外，板级 DC-DC 效率也很重要，DC-DC 一般在轻载状态下，效率很低，设计时也需要特别注意。



4 网口浪涌差模过 500V 设计

在主芯片和网口变压器之间并靠近变压器侧的 TX 和 RX 上增加 TVS 管 CS2033 或串联 4 个 10Ω 电阻。串联 4 个 10Ω 电阻浪涌差模指标只能到 500V，如有 1000V 或 1500V 的需求，建议采用 TVS 管方案。

图4-1 网口浪涌差模过 500V 方案原理图





5 单板 ESD 过 6kV 设计

为了使单板达到 ESD 接触放电 6kV 的目的，需要在单板 BOTTOM 面预留屏蔽罩，将主芯片和 DDR 部分保护住。

图5-1 Hi3798MDMO1A 单板 BOTTOM 面屏蔽罩

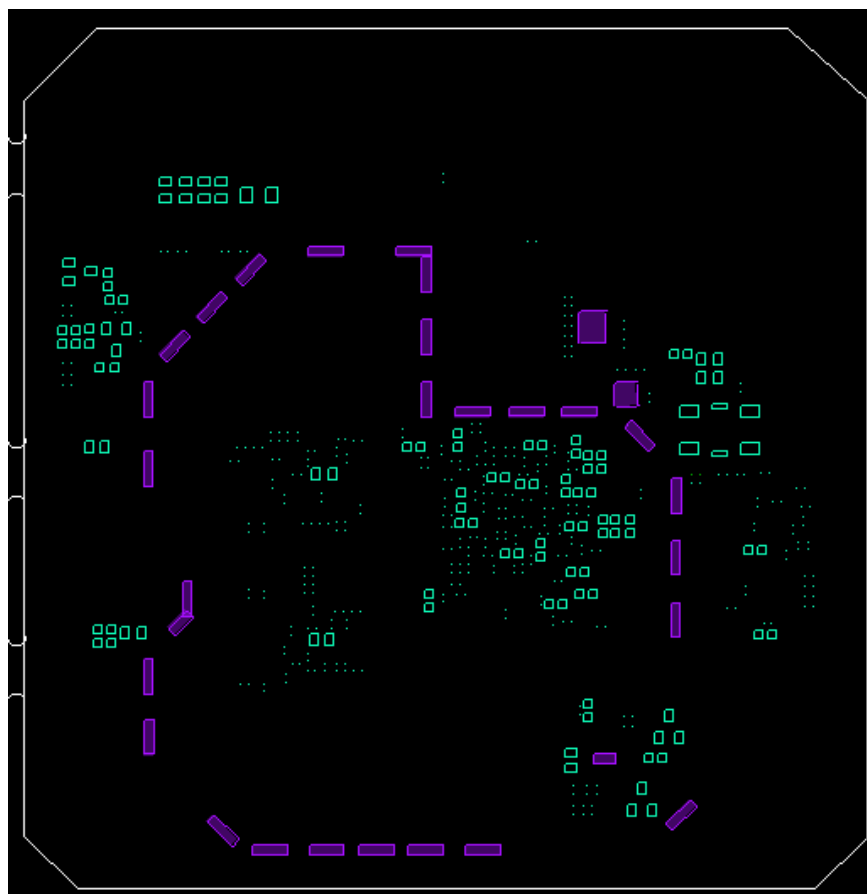




图5-2 Hi3798MHi3798MDMO1B 单板 BOTTOM 面屏蔽罩

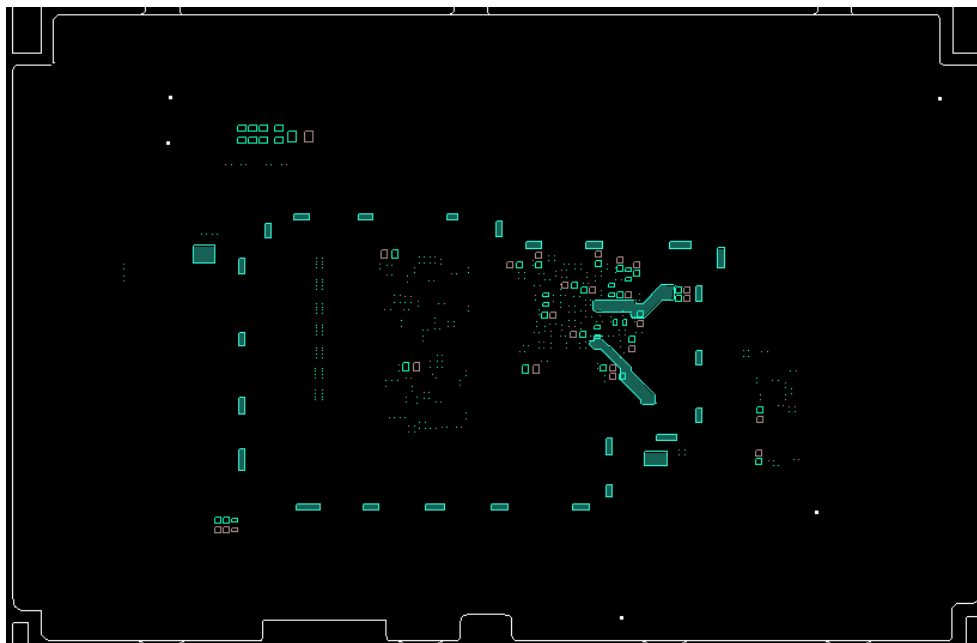


图5-3 Hi3798MHi3798MDMO1C 单板 BOTTOM 面屏蔽罩

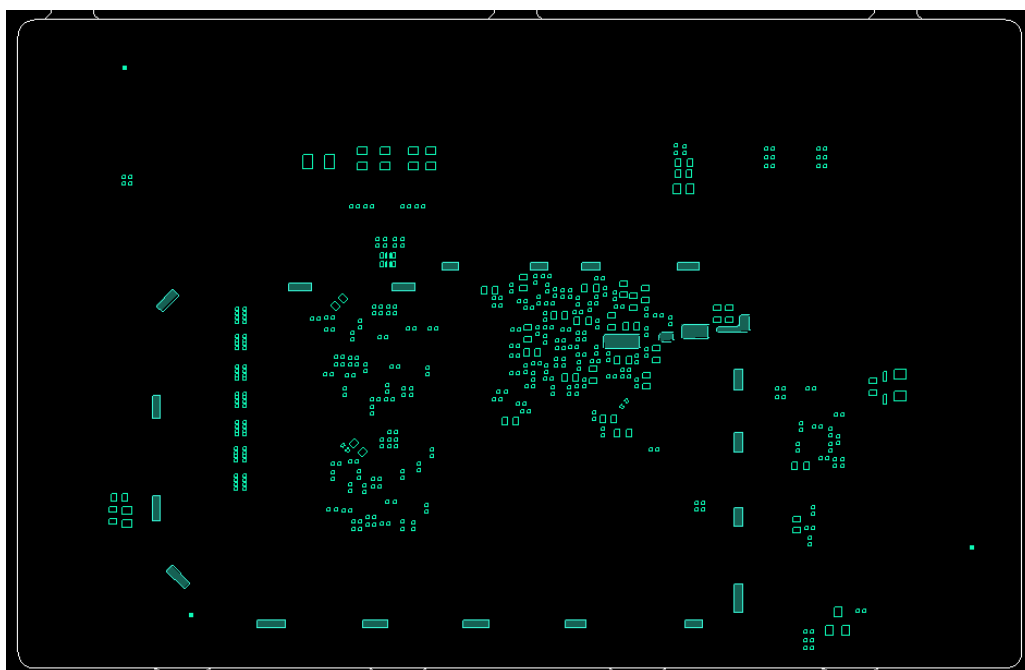
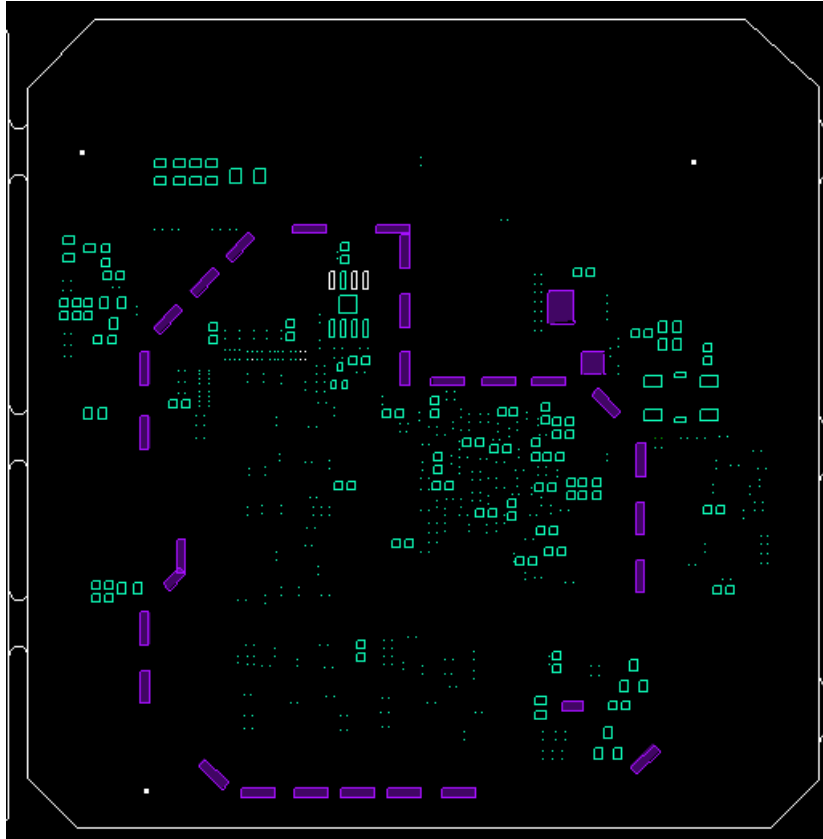




图5-4 Hi3798MHi3798MDMO1D 单板 BOTTOM 面屏蔽罩





6 FAQ

6.1 GPIO 电源域问题

问题描述

使用 SDIO3.0 同时使用 1.8V SD 卡时，GPIO7_0、GPIO7_1、GPIO7_2、GPIO7_4、GPIO7_5、GPIO7_6、GPIO7_7、GPIO6_5、GPIO6_6、GPIO6_7 会变成 1.8V GPIO。

解决办法

在单板设计时，使用 1.8V SD 卡的如图 6-1 所示管脚，不要与 3.3V 电源域管脚连接。

图6-1 1.8V GPIO 说明

E3	SDIO0_CCLK_OUT/GPIO7_2		
C1	SDIO0_CWPR/GPIO6_7		
E2	SDIO0_CCMD/GPIO7_3		
F1	SDIO0_CARD_DETECT/GPIO7_6		
F3	SDIO0_CARD_POWER_EN/GPIO7_7	GPIO6_5/FE_LED_ACT	B1
D3	SDIO0_CDATA0/GPIO7_1	GPIO6_6/FE_LED_BASE	B2
C2	SDIO0_CDATA1/GPIO7_0		
F2	SDIO0_CDATA2/GPIO7_5		
E1	SDIO0_CDATA3/GPIO7_4		

6.2 eMMC 相关上电时序说明

问题描述

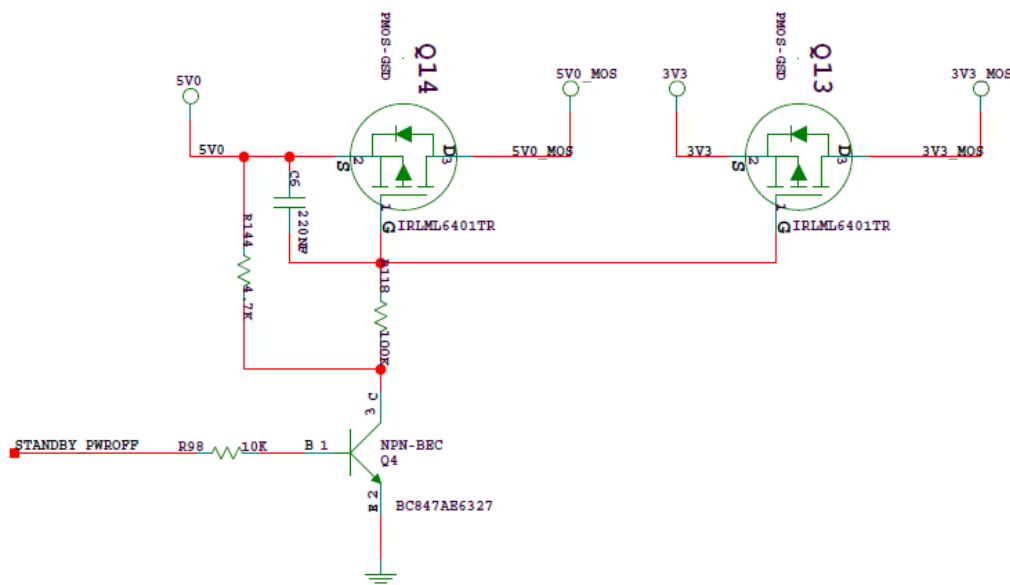
客户使用 eMMC 器件烧写成功，但有概率无法启动，打印 Read eMMC Error。



解决办法

修改主芯片 I/O 和 eMMC 3.3V 电源的上电时序，需增加缓起电路，如 DMO 参考设计图 6-2 所示，主芯片 I/O 和 eMMC 电源使用 3V3_MOS，保证 3V3_MOS 电源在 1V1_CORE 电源之后 10ms 上电。

图6-2 3V3_MOS 缓启电路图



6.3 fSD/eMMC CLK IO 驱动能力说明

问题描述

Hi3798MV100 两层板，fSD/eMMC CLK IO 驱动能力存在 1mA 和 2mA 两个版本。

解决办法

- fSD/eMMC CLK IO 驱动能力设置为 1mA，芯片 rise time 超 spec，信号时序上有风险，可能会导致数据采样出错，所以采用 1mA 驱动能力有风险。现有采用 1mA 驱动能力的需要改为 2mA 的驱动能力。具体查看 fastboot 配置表格 pin_mux_drv_emmc 页中的 0xf8a21030 寄存器的值，2mA 为 0xd01（默认配置）。
- fSD/eMMC CLK IO 驱动能力设置为 2mA，信号时序和采样电平是安全的，不会影响到数据读写，但 CLK 信号上有过冲，可能会带来 EMC 风险。建议对 EMC 有严格要求的客户在 CLK 上串联 75Ω 匹配电阻，其他客户可不修改硬件。



6.4 QFP 封装增强 ESD 性能说明

问题描述

Hi3798MV100 QFP 封装单板，整机 ESD 性能较差。

解决办法

- 在 TOP 层和 BOTTOM 层预留屏蔽罩位置，罩住主芯片、晶体和 DDR 颗粒。
- STANDBY_PWROFF 上预留 0402 封装 600Ω@100M 磁珠 LB3 和 0402 封装 100nF 对地电容 C118 和 C119，如 DMO 参考设计图 6-3 所示，PCB layout 时靠近主芯片放置。遇到 ESD 问题时根据具体情况调整磁珠和电容值。
- 3V3_STANDBY 上预留 0402 封装 600Ω@100M 磁珠 LB5 和 0402 封装 100nF 对地电容 C108 和 C122，如 DMO 参考设计图 6-4 所示，PCB layout 时靠近主芯片放置。遇到 ESD 问题时根据具体情况调整磁珠和电容值。
- PLL 上预留 600Ω@100M 磁珠 LB21 和 LB22，如 DMO 参考设计图 6-5 所示，PCB layout 时靠近主芯片放置。遇到 ESD 问题时根据具体情况调整磁珠和电容值。

图6-3 STANDBY_PWROFF 电路

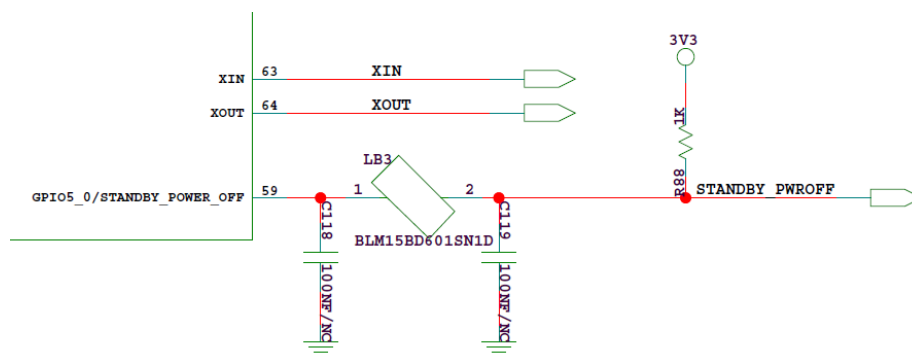


图6-4 3V3_STANDBY 电路

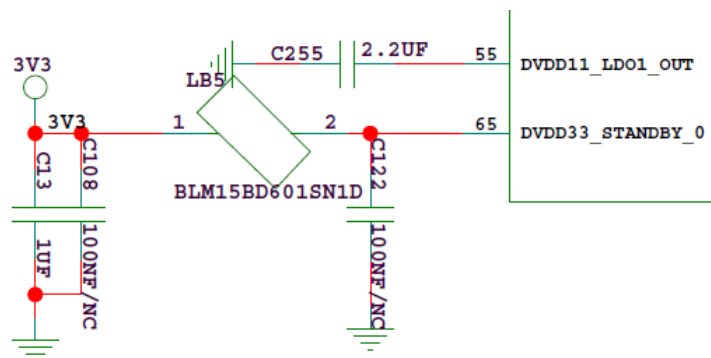
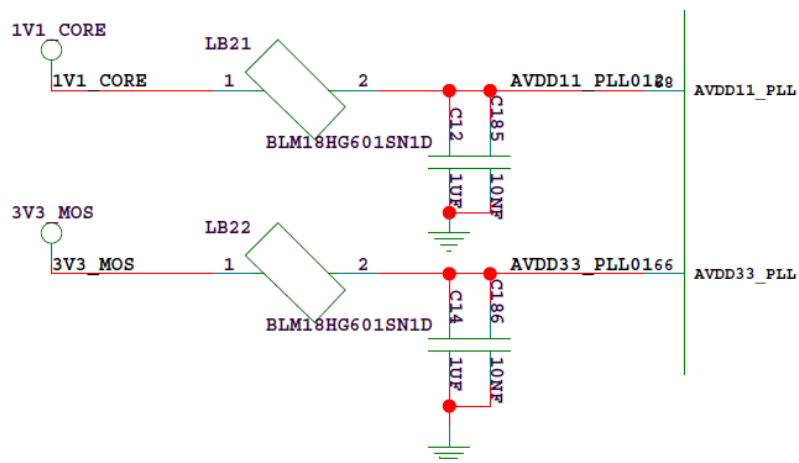




图6-5 PLL 电路



6.5 QFP 封装增强散热性能说明

问题描述

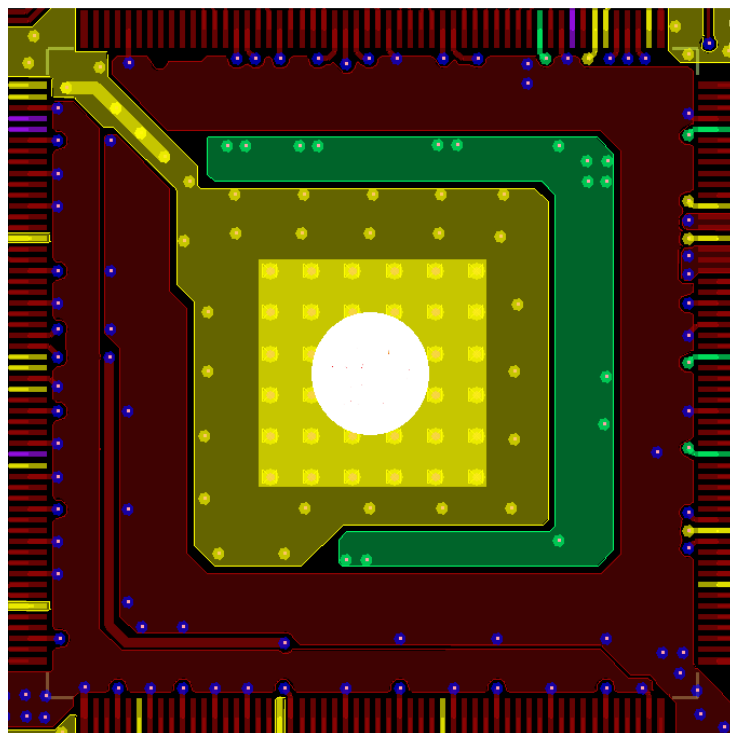
Hi3798MV100 QFP 封装单板，增强散热性能，降低芯片结温。

解决办法

在主芯片 EPAD 下部的 PCB 散热焊盘上打散热通孔，如图 6-6 所示，并进行灌锡处理。注意该焊盘是接地焊盘，需要与主芯片 EPAD 良好焊接，建议客户根据焊接工艺自行调整散热通孔大小。



图6-6 PCB 散热通孔示意图



6.6 启动模式异常说明

问题描述

Hi3798MV100 默认 eMMC 启动时，会概率性识别成 NAND 启动。

问题分析

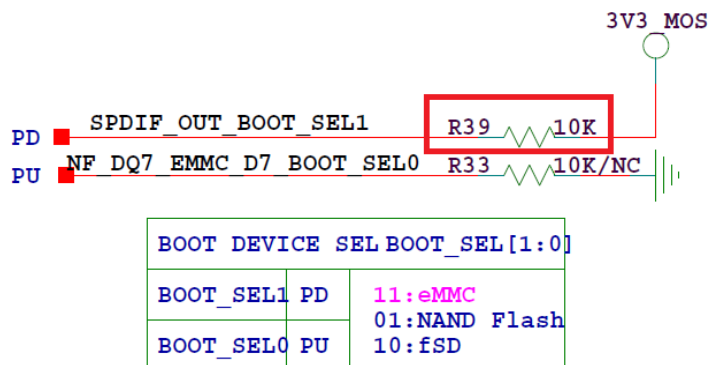
Hi3798MV100 启动配置管脚 BOOT_SEL1 与 SPDIF 管脚复用，当外接 SPDIF 时，由于部分 SPDIF 器件内部有下拉电阻，当上拉电阻 R39=10k 时（图 6-7），BOOT_SEL1 管脚上的电压经分压后判为低电平，误判为 NAND 启动。

解决办法

如果有 SPDIF 接口，将启动配置 BOOT_SEL1 的上拉电阻 R39 由 10k 改为 1k，如果没有 SPDIF 接口，保持 R39=10k 不变。如图 6-7 所示。



图6-7 启动管脚上下拉电阻电路图



6.7 DDR 768M 容量配置硬件说明

问题描述

Hi3798MV100 如果 DDR 容量需要用成 768M，硬件上应该注意什么？

解决办法

- BOM：512M 和 256M 的两个颗粒，必须 DQ 的低 16bit 贴 512M 的颗粒(对应发布包 SCH 的 U3)，DQ 的高 16bit 贴 256M 的颗粒(对应发布包 SCH 的 U6)；
- 表格：表格必须用包含“768mbyte”字样的表格；
- 版本：Hi3798M 的 1A、1B、1C、1F、1G 版本支持 DDR 768M 容量配置；1D 版本暂时不支持这个。

6.8 Hi3798MV100 1F/1G 版本提升系统稳定性措施

问题描述

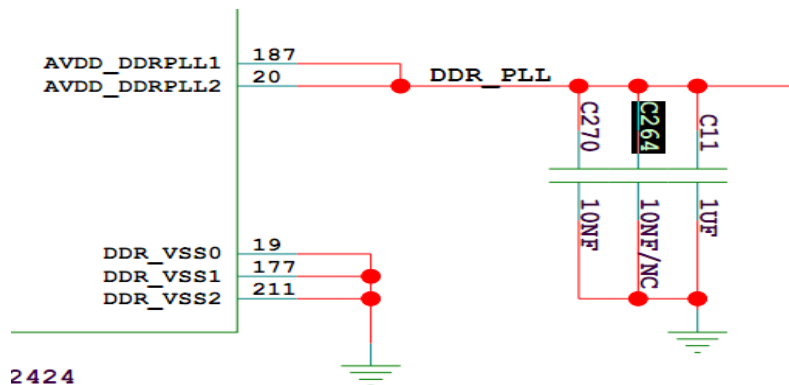
Hi3798MV100 QFP 的 1F 和 1G 版本，如果出现了系统不稳定或者为了进一步加强单板烤机的稳定性，硬件和方案上应该怎么修改？

解决办法

- SCH：
对应海思发布包的原理图的 C264 的 10NF 电容必须确保是 NC 的。



图6-8 C264 示意截图



- 表格：boot 表格需要更新到使用 2015 年 11 月之后海思发布的表格；针对这个问题的改动是在表格的 DDR 部分，表格 DDR 的部分关键修改点如下：
 - 在表格 sysctrl_CA 和 sysctrl_noCA 页面分别各修改一个标黄行，修改的是标黄行的红色字样，Hi3798MV100 1F 和 1G 版本都需要修改，截图如图 6-9 所示。

图6-9 sysctrl_CA 和 sysctrl_noCA 页面修改截图

DDR_TRAINING_CFG	0xd0	0x100	0	write	31	0	0x0000000FF
------------------	------	-------	---	-------	----	---	-------------

- 在表格 ddrphy、ddr_poweron、ddr_wakeup 页面分别各新加一个标黄行（共三行），Hi3798MV100 1F 和 1G 版本都需要修改，截图如图 6-10、图 6-11 所示。

图6-10 ddrphy 页面修改截图

ODTCTRL	0x44	0x1	0	write	31	0	0x0000000FF
TRAINCTRL0	0x48	0xd04410c0	0	write	31	0	0x0000000FF
TRAINCTRL	0xd0	0xb036f026	0	write	31	0	0x0000000FF

图6-11 ddr_poweron 页面修改截图

MISC	0xa38070	0x1	0	write	0	16	0x0000000FD
------	----------	-----	---	-------	---	----	-------------

- 在表格 ddrphy 页面修改两个标黄行，只有 Hi3798MV100 1F 版本需要修改，截图如图 6-12 所示。

图6-12 ddrphy 页面修改截图

ACCMDBDL2	0x128	0x4	0	write	31	0	0x0000000FF
ACCMDBDL3	0x1a8	0x4	0	write	31	0	0x0000000FF



- ddrphy 页面的 DQ 读写默认值也有修改，Hi3798MV100 1F 和 1G 版本都需要修改，这个由于截图不便，请直接参考表格。