



Hi3137V100 地面数字电视信道处理芯片

## 用户指南

文档版本 01

发布日期 2014-09-26

**版权所有 © 深圳市海思半导体有限公司 2014。保留一切权利。**

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## **商标声明**



**HISILICON**、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## **注意**

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

# **深圳市海思半导体有限公司**

地址：            深圳市龙岗区坂田华为基地华为总部            邮编：518129

网址：            <http://www.hisilicon.com>

客户服务邮箱：  [support@hisilicon.com](mailto:support@hisilicon.com)



## 目 录

前 言.....	1
----------	---



## 前 言

### 概述

本文档主要介绍 Hi3137V100 地面数字电视信道处理芯片的主要特点、逻辑结构、以及硬件设计信息，提供给用户设计使用参考。

### 产品版本

与本文档相对应的产品版本如下。

产品名称	版本
Hi3137	V100

### 读者对象

本文档（本指南）主要适用于以下工程师：

- 电子产品设计维护人员
- 电子产品元器件市场销售人员

### 约定

#### 寄存器访问类型约定

类型	说明	类型	说明
RO	只读，不可写。	RW	可读可写。
RC	读清零。	WC	可读，写 1 清零，写 0 保持不变。



## 寄存器复位值约定

在寄存器定义表格中：

- 如果某一个比特的复位值“Reset”（即“Reset”行）为“？”，表示复位值不确定。
- 如果某一个或者多个比特的复位值“Reset”为“？”，则整个寄存器的复位值“Total Reset Value”为“-”，表示复位值不确定。

## 数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量（如 RAM 容量）	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列（寄存器描述中除外）。
X	00X、1XX	在数据的表达方式中，X 表示 0 或 1。 例如：00X 表示 000 或 001； 1XX 表示 100、101、110 或 111。

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修改日期	版本	修改说明
2013-12-31	00B01	第 1 个临时版本。



修改日期	版本	修改说明
2014-09-26	01	修改 1.2.1 章节级别，DVB-T 支持到标准的 1.6.1 版本；修改 1.2.2 章节标题名称。



## 目 录

1 产品概述.....	1-1
1.1 概述.....	1-1
1.2 主要特点.....	1-1
1.2.1 特性 .....	1-1
1.2.2 系统 .....	1-2
1.2.3 接口 .....	1-2
1.2.4 工艺 .....	1-2
1.3 功能框图.....	1-2
1.4 应用领域.....	1-3
1.5 典型应用.....	1-3



## 插图目录

图 1-1 Hi3137V100 功能框图.....	1-3
图 1-2 前端接收应用框图.....	1-4





# 1 产品概述

## 1.1 概述

Hi3137V100 是一款集成了 DVB-T2、DVB-T 模式的地面数字电视信道接收芯片。芯片提供高性能的多载波解调能力和前向纠错功能，完成地面数字信号从基带采样到 MPEG-TS 流输出的完整处理，兼容 DVB-T2(ETS 302 755)、DVB-T (ETS 300 744) 标准。Hi3137V100 使用芯片内部集成的 12bit 精度的高性能 AD 转换器，保证了信号采样的精度，基带采样后为全数字处理。针对实际信道的复杂情况，提供解调、信道估计均衡、Viterbi、RS、LDPC、BCH 前向纠错的全部必须功能；提供信号强度和质量监控，便于搜台和节目存储。

## 1.2 主要特点

### 1.2.1 多标准解调

- 支持 DVB-T2、DVB-T，并能够自动识别
- DVB-T2 支持到标准的 1.3.1 版本，DVB-T 支持到标准的 1.6.1 版本
- DVB-T2 支持 Base、Lite 模式
- 支持 5MHz、6MHz、7MHz、8MHz 和 1.7MHz 输入信号带宽
- DVB-T2 支持单 PLP 和多 PLP 业务、SISO 和 MISO 传输
- DVB-T2 自动完成 Common PLP 和 Data PLP 合并
- DVB-T2 支持 TS 流和通用流 (GS)，适应数据业务
- DVB-T 支持标准所有参数模式，包括分层和非分层传输

### 1.2.2 接收性能

- 符合 DTG7.0, NorDig-Unified Test Specification ver2.2.1 和 Digital Europe Ebook 测试要求
- 支持低中频和高中频 (36MHz) 信号输入
- 快速的信号捕获能力，DVB-T 信号捕获时间典型值小于 250ms，DVB-T2 信号捕获时间典型值小于 500ms，缩短频道更换的等待时间



- 更加优越的高斯、多径和移动接收性能
- 更加优越的抗同频干扰性能
- 自适应频谱反转识别
- 大于 $\pm 700\text{kHz}$  的频率误差捕获范围

### 1.2.3 系统

- 集成高性能 12bit ADC，确保采样的精度
- 集成 PLL，外部仅需无源晶振，频率 10MHz~30MHz，典型 24MHz，同时支持  $\pm 100\text{ppm}$  的频率误差
- 提供信号强度、信号质量和误码率的实时监测
- 外部电路简单，支持两层板布线，BOM 成本低

### 1.2.4 接口

- 支持 I2C 总线协议，实现对芯片灵活控制
- 支持对 Tuner 的 I2C 总线的中继
- 支持串行和并行 TS 输出，方便与解码芯片的配合
- TS 流输出信号管脚号任意配置，PCB 布板更方便

### 1.2.5 工艺

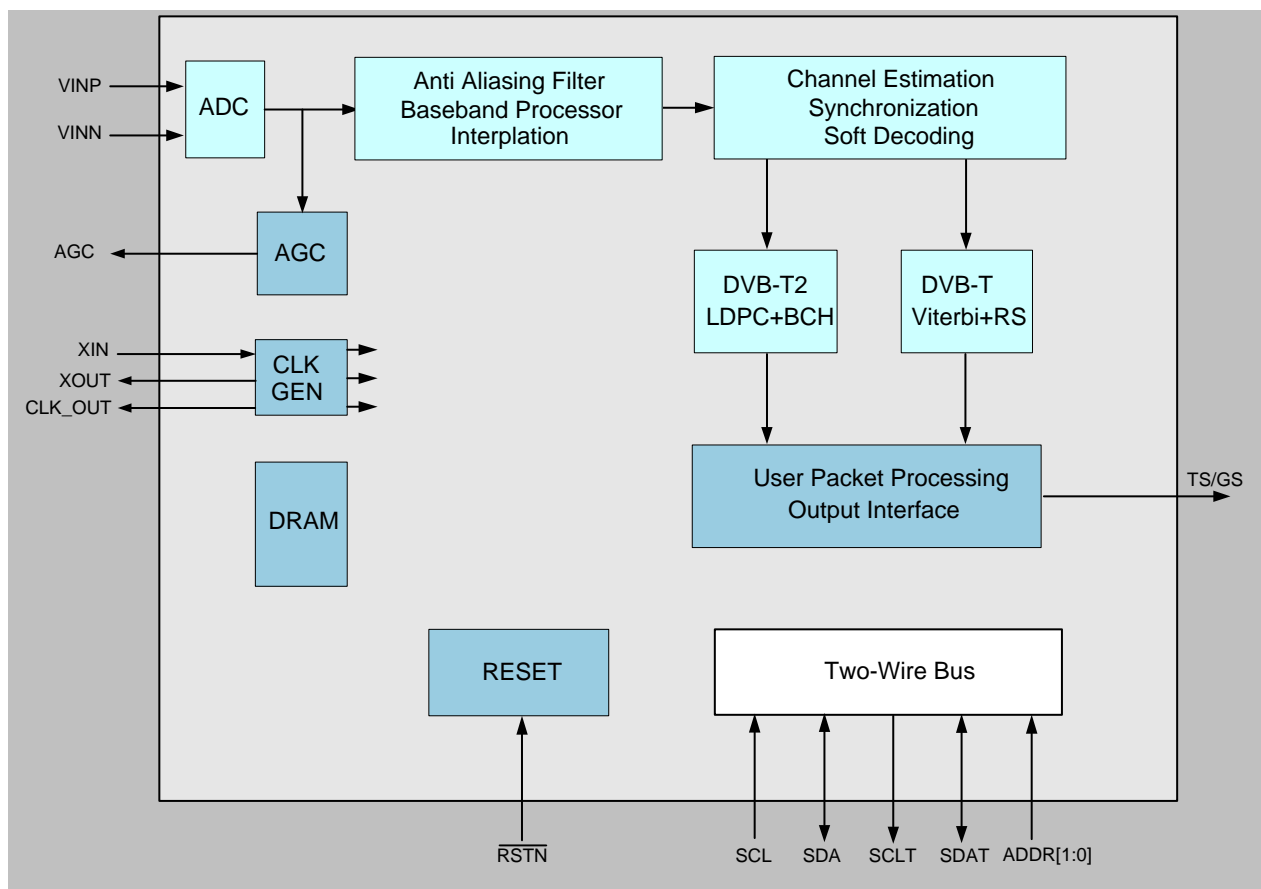
- 内核供电 1.1V，IO 供电 3.3V，最大功耗 490mW
- 封装 MQFN48，尺寸 6mm $\times$ 6mm，RoHS

## 1.3 功能框图

Hi3137V100 芯片的逻辑结构如图 1-1 所示。



图1-1 Hi3137V100 功能框图



## 1.4 应用领域

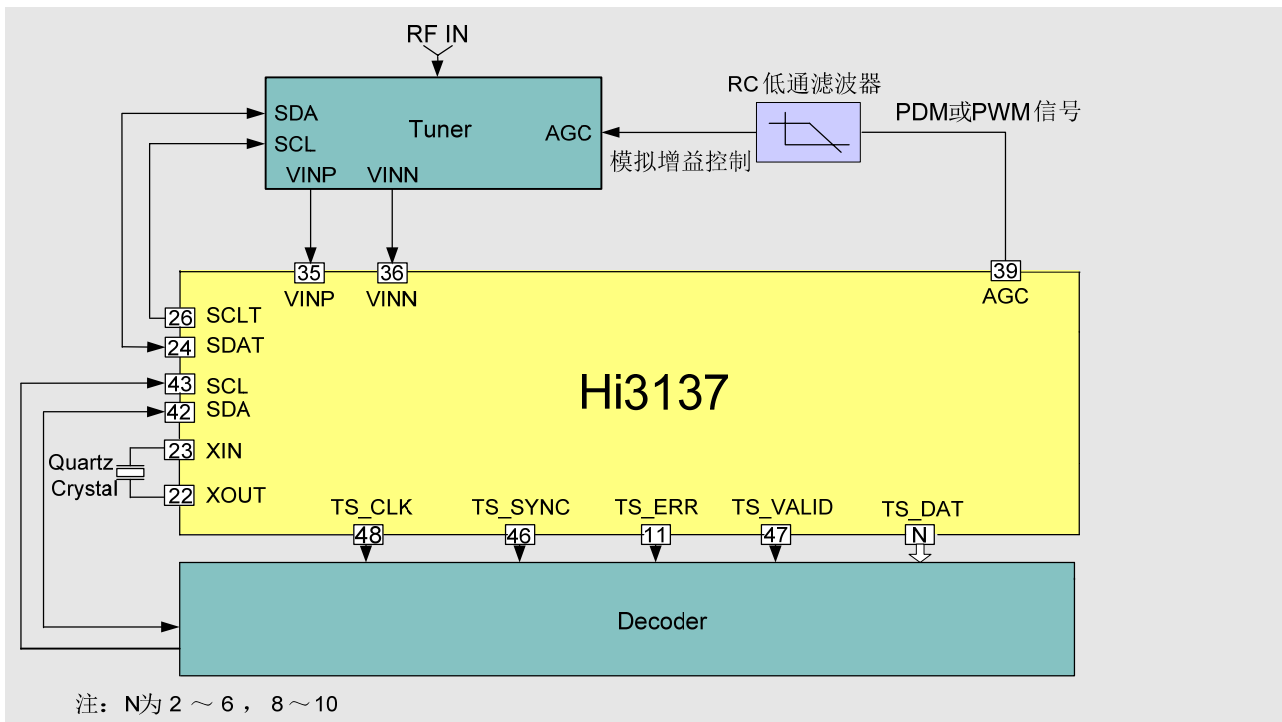
- 地面数字信号调谐器
- 地面数字电视机顶盒和数字一体电视机
- 调制解调器和数字电视卡

## 1.5 典型应用

Hi3137V100 芯片的前端接收应用如[图 1-2](#) 所示。



图1-2 前端接收应用框图





## 目 录

<b>2 Demod .....</b>	<b>2-1</b>
2.1 时钟 .....	2-1
2.2 复位 .....	2-3
2.3 I2C 控制器 .....	2-4
2.4 ADC .....	2-5
2.5 AGC .....	2-6
2.6 时钟恢复 .....	2-7
2.7 载波恢复 .....	2-7
2.8 帧同步 .....	2-7
2.9 信道估计与均衡 .....	2-7
2.10 DVBT2 FEC 模块 .....	2-8
2.11 DVBT FEC 模块 .....	2-8
2.12 TS 输出 .....	2-8
2.13 信号监测 .....	2-12
2.14 信号搜索 .....	2-18
2.15 寄存器概览 .....	2-19
2.16 Demod 寄存器描述 .....	2-25



## 插图目录

图 2-1 Demod 内部时钟域示意 .....	2-1
图 2-2 I2C 读时序 .....	2-4
图 2-3 I2C 写时序 .....	2-5
图 2-4 I2C 转发功能 .....	2-5
图 2-5 TS 并行输出时序示意 .....	2-9
图 2-6 TS 串行输出时序示意 .....	2-9
图 2-7 TS 两比特串行输出时序示意 .....	2-10



## 表格目录

表 2-1 其他主要模块时钟域.....	2-1
表 2-2 PLL 内部及输入输出时钟范围.....	2-3
表 2-3 AGC 信号时钟频率选择 .....	2-6
表 2-4 bw[2:0]与输入信号带宽、符号率关系 .....	2-7
表 2-5 TS 输出模式选择.....	2-9
表 2-6 ts_x_sel 与所控制管脚关系 (x 取值 0/1/2/3/4/5/6/7/8/9/a) .....	2-10
表 2-7 ts_x_sel 取值与输出关系 (x 取值 0/1/2/3/4/5/6/7/8/9/a) .....	2-11
表 2-8 fft_size 取值与 FFT 模式关系.....	2-12
表 2-9 gi_mode 取值与保护间隔模式关系.....	2-13
表 2-10 pl_signal_s1 取值说明 .....	2-13
表 2-11 pilotpattern 取值与导频图样关系 .....	2-13
表 2-12 plp_mod 取值与调制模式关系 .....	2-14
表 2-13 plp_cod 取值与码率模式关系.....	2-14
表 2-14 mod 取值与调制模式关系.....	2-15
表 2-15 hier 取值与分层模式关系 .....	2-15
表 2-16 cod_rate_H 和 code_rate_L 取值与码率模式关系 .....	2-15
表 2-17 DVBT2 模式下 N 取值.....	2-17
表 2-18 BER_CTRL[frame_num]与 frams 关系.....	2-17
表 2-19 Demod 寄存器概览 (基址是 0x00) .....	2-19

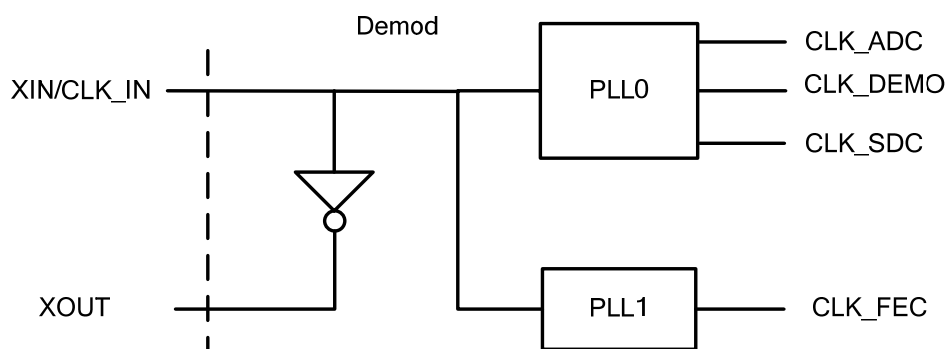


## 2 Demod

### 2.1 时钟

Demod 的输入时钟来自外接晶振或外部时钟，经内部 PLL 得到 Demod 工作需要的时钟频率。Demod 内部分四个时钟域，ADC(Analog Digital Converter，模数转换器)工作在 CLK\_ADC 时钟域，解调部分工作在 CLK\_DEMO 时钟域，Dram 控制器工作在 CLK\_SDC 时钟域，信道解码和 TS 输出部分工作在 CLK\_FEC 时钟域。Demod 内部时钟如图 2-1 所示。

图2-1 Demod 内部时钟域示意



其他主要模块工作的时钟域如表 2-1 所示。

表2-1 其他主要模块时钟域

模块	时钟域
I2C	上电工作在晶振时钟（或外部时钟）上，待芯片内部 PLL 稳定后可切换到 CLK_DEMO 上以提高 I2C 通信速度。I2C 的通信速率可支持 100kbps 或 400kbps。

PLL0 的输出频率可通过以下 I2C 操作设置。





步骤 1 将寄存器 `ADC_CTRL1` [i2c\_xo\_clk]写 0，切换 I2C 时钟到晶振或外部时钟上（如芯片从上电复位开始，I2C 默认工作在晶振/外部时钟上）。

步骤 2 将 `PLL0_PD` [pll0\_pd]置 1，关闭 PLL0。

步骤 3 配置 PLL0 的参数。

```
FVCO0= FREF/refdiv[5:0]* (fbdiv[7:0]+frac[11:0]/2^12)
FOUT0= FVCO0/postdiv1[2:0]/postdiv2[2:0]
CLK_DEMO = FOUT0/6
CLK_ADC = FOUT0/12
CLK_SDC = FOUT0/4
```

其中：

- FREF 为外部晶振/时钟频率，取值 10~30MHz，默认为 24MHz。
- refdiv 由 `PLL0_REFDIV`[pll0\_refdiv]配置，fbdiv 由 `PLL0_FBDIV`[pll0\_fbdiv]配置。
- frac 的值由 `PLL0_FRAC_L`[pll0\_frac\_l]、`PLL0_PD`[pll0\_frac\_h]配置。
- 要求 postdiv1 大于等于 postdiv2，对于 PLL0，postdiv1=2，postdiv2=1，分别由 `PLL0_POSTDIV`[pll0\_postdiv1]、`PLL0_POSTDIV`[pll0\_postdiv2]配置。
- FVCO0 为 PLL0 的 VCO 频率，建议大于 600MHz。
- FOUT0 即 PLL0 的输出频率。
- 其他参数参考 PLL0 的寄存器说明。

在典型的 24MHz 晶振输入情况下，基于默认配置，CLK\_DEMO 的工作频率为 64MHz，CLK\_ADC 的工作频率为 32MHz，CLK\_SDC 的工作频率为 96MHz。

步骤 4 将 `PLL0_PD` [pll0\_pd]写 0，重新使能 PLL0。

步骤 5 延时等待 `PLL_LOCK` [pll0\_lock]指示，为 1 表示 PLL0 锁定，等待时间小于 1ms。

步骤 6 将寄存器 `ADC_CTRL1` [i2c\_xo\_clk]写 1，切换 I2C 时钟到 CLK\_DEMO 上。

步骤 7 对芯片做一次热复位，即 `RSTN_CTRL` [hot\_rst\_n]先写 0 后写 1。

----结束

PLL1 的输出频率可通过以下 I2C 操作设置。

步骤 1 将 `PLL1_PD`[pll1\_pd]置 1，关闭 PLL1。

步骤 2 配置 PLL1 的参数。

```
FVCO1=FREF /refdiv[5:0]* (fbdiv[7:0]+frac[11:0]/2^12)
FOUT1= FVCO1/postdiv1[2:0]/postdiv2[2:0]
CLK_FEC = FOUT1
```

其中：

- FREF 为外部晶振时钟频率，取值 10~30MHz，默认为 24MHz。



- refdiv 由 [PLL1\\_REFDIV](#)[pll1\_refdiv]配置, fbdiv 由 [PLL1\\_FBDIV](#) [pll1\_fbdiv]配置。
- frac 的值由 [PLL1\\_FRAC\\_L](#) [pll1\_frac\_l]、[PLL1\\_PD](#) [pll1\_frac\_h]配置。
- 要求 Postdiv1 大于等于 Postdiv2, 对于 PLL1, Postdiv1=2, Postdiv2=2。分别由 [PLL1\\_POSTDIV](#) [pll1\_postdiv1]、[PLL1\\_POSTDIV](#) [pll1\_postdiv2]配置。
- FVCO1 为 PLL1 的 VCO 频率, 建议大于 600MHz。
- FOUT1 即 PLL1 的输出频率。
- 其他参数参考 PLL1 的寄存器说明。

在典型的 24MHz 晶振输入情况下, 基于默认配置, CLK\_FEC 的工作频率为 153MHz。

步骤 3 将 [PLL1\\_PD](#)[pll1\_pd]清 0, 重新使能 PLL1。

步骤 4 延时等待 [PLL\\_LOCK](#) [pll1\_lock]指示, 为 1 表示 PLL1 锁定, 等待时间小于 1ms。

步骤 5 对芯片做一次热复位, 即 [RSTN\\_CTRL](#)[hot\_rst\_n]先写 0 后写 1。

----结束



说明

可以在 I2C 切到晶振时钟后, 一起完成 CLK\_DEMO 和 CLK\_FEC 的配置。PLLx (x 取值 0 或 1, 下同) 输入输出及内部各时钟项允许的频率范围如表 2-2 所示。

表2-2 PLL 内部及输入输出时钟范围

时钟项	频率范围 (MHz)
FREF	10~30
FVCOx	>600
CLK_DEMO	≤65
CLK_FEC	≤160

此外, Demod 还提供晶振/外部时钟的环出 CLK\_OUT (PIN\_19) 供 MPEG 等其它芯片使用, 此时需将 [IO\\_CTRL4](#)[clkout\_sel]写 0。

## 2.2 复位

复位包括硬件复位和软件复位:

- 外部管脚 RSTN 用于上电复位或者主控芯片对 Demod 的硬复位, 复位所有寄存器。
- 内部寄存器复位通过 I2C 可支持冷复位 (cool\_rst\_n) 和热复位 (hot\_rst\_n):



- 冷复位，对 `RSTN_CTRL` [`cool_rst_n`]先写 0 后写 1，效果同硬件复位，复位所有寄存器。
- 热复位，对 `RSTN_CTRL` [`hot_rst_n`]先写 0 后写 1，仅复位逻辑，配置寄存器的值保持不变。

## 2.3 I2C 控制器

Demod 上的 I2C 控制器实现了 I2C 的 slave 功能，通过 I2C 通信可完成对 Demod 内部配置寄存器的读取/写入，也可实现对 Tuner 的 I2C 通信的转发。

Demod 作为 slave 器件，接受主控芯片的各项 I2C 操作。Demod 的器件地址用 8 位二进制表示为：10111XXY（其中 XX 通过芯片管脚 ADDR[1:0]设定；Y 用于区分读写操作，1 为读，0 为写）。I2C 的操作时序如图 2-2、图 2-3 所示。

图2-2 I2C 读时序

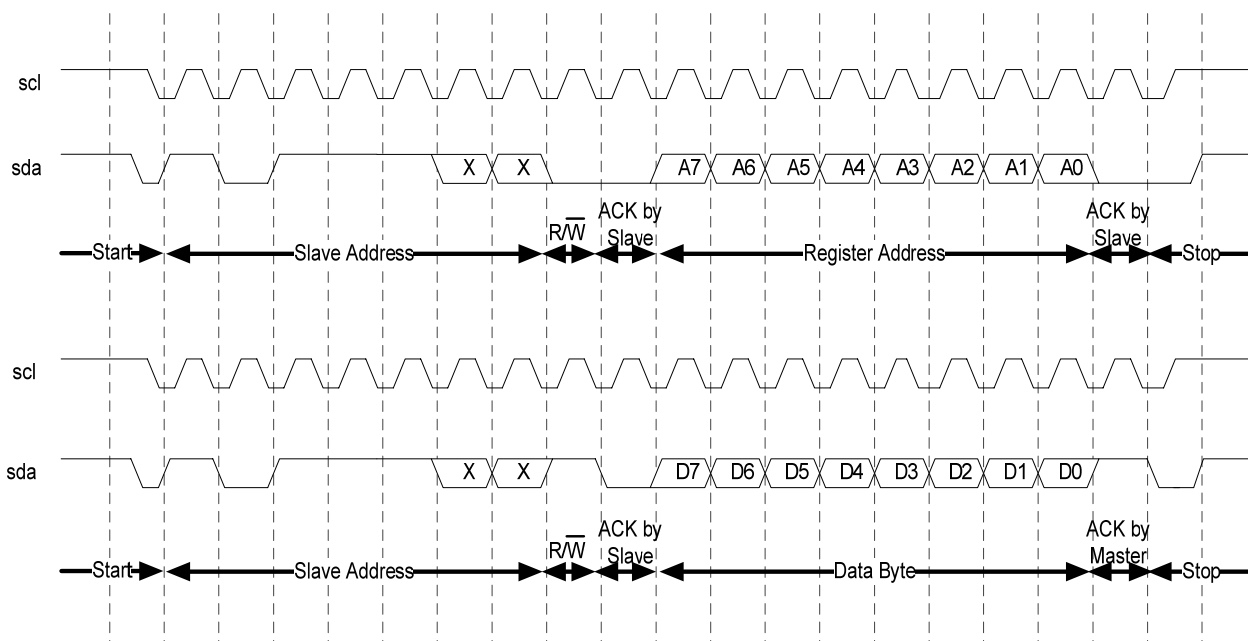
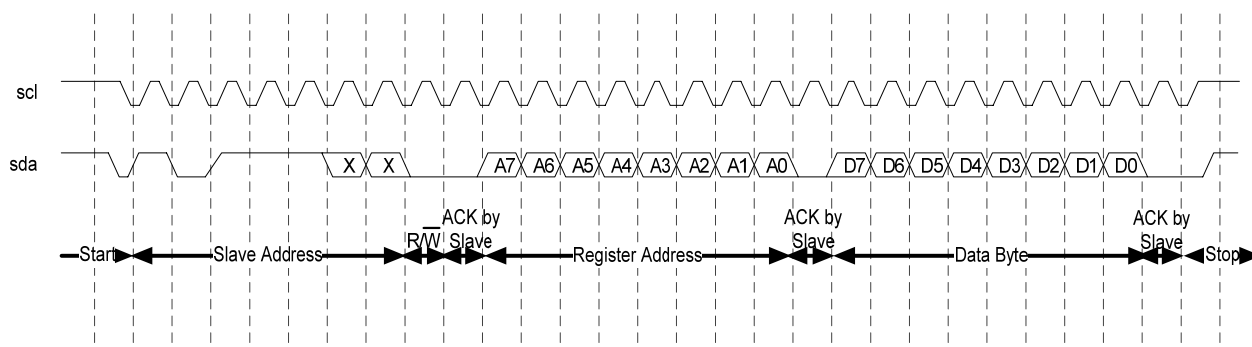




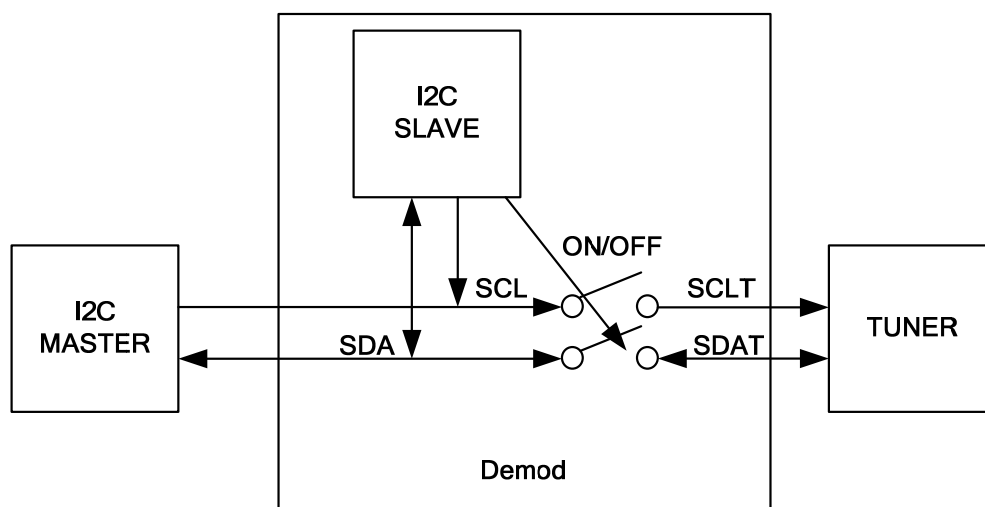
图2-3 I2C 写时序



结合软件的控制，Demod 的 I2C 控制器可实现连续读/写多个寄存器的操作。对于 Tuner 来说，Demod 可以完成 I2C 的转发功能，即当主控芯片需要访问 Tuner 时，打开主控芯片与 Tuner 之间的 I2C 路径，主控芯片随即可像访问 Demod 一样访问 Tuner，当一次 I2C 读或写操作完成后 Demod 会自动关闭转发功能，以防止 I2C 对 Tuner 的干扰。Tuner 的 I2C 地址参见相关 Tuner 器件手册。

I2C 转发功能如图 2-4 所示。

图2-4 I2C 转发功能



打开 I2C 转发功能请参考寄存器 [TUNER\\_SEL\[tuner\\_sel\]](#) 说明。

## 2.4 ADC

Demod 片内集成高性能 12bit ADC (Analog Digital Converter)，对前端 Tuner 输出的低中频或中频 (36MHz) 信号进行采样。通过改变 CLK\_ADC 频率可改变实际采样时钟频率，最高可支持到 65MHz。ADC 支持差分或单端输入，满幅峰峰值为 1V。可通过寄存器 [ADC\\_CTRL0\[adc\\_clk\\_sel\]](#) 的最高位选择采样时钟的边沿。



Demod 上电后且 PLL 完成配置后，ADC 的初始化可通过以下 I2C 操作设置。

- 步骤 1. 根据 CLK\_ADC 频率完成采样率的配置。将 CLK\_ADC 的工作频率值（单位 Hz）除以 1000 后写入 `CLK_ADC_L[clk_adc_l]`、`CLK_ADC_M[clk_adc_m]`、`CLK_ADC_H[clk_adc_h]`。以 CLK\_ADC 频率为 32MHz 为例，`CLK_ADC_L[clk_adc_l]` 写 0x00，`CLK_ADC_M[clk_adc_m]` 写 0x7D，`CLK_ADC_H[clk_adc_h]` 写入 0x00。
- 步骤 2. 通过寄存器 `ADC_CTRL1[adi2c_resetz]` 先写 0 再写 1 的操作对其做一次初始化。
- 步骤 3. 通过寄存器 `ADC_CTRL3[adc_opm]` 置 3，进入工作模式。
- 步骤 4. 等待 `PLL0_REFDIV[adc_rdy]` 变高（等待时间小于 1ms）后 ADC 初始化完成，。

----结束

## 2.5 AGC

AGC 模块接收 ADC 的输出，根据期望功率和实际功率之差，生成 AGC 控制信号（PDM 或 PWM 波，通过 `USE_PWM[use_pwm]` 设置，默认输出 PDM）。该 AGC 控制信号经过外部简单的 RC 滤波后送往 Tuner，调整 Tuner 信号输出幅度至期望值。AGC 控制信号的时钟频率通过 `AGC_CTRL[pdm_div]` 可调，输出极性可以通过 `AGC_CTRL[agc_inverse]` 配置。

- AGC 期望功率可以通过 `AGC_GOAL[agc_goal]` 设置。
- AGC 调整速度通过 `AGC_SPEED_BOUND[agc_speed]` 控制。

AGC 信号时钟频率选择如表 2-3 所示。

表2-3 AGC 信号时钟频率选择

pdm_div[2:0]	AGC 信号时钟频率
b'000	CLK_ADC
b'001	CLK_ADC/2
b'010	CLK_ADC/4
b'011	CLK_ADC/8
b'100	CLK_ADC/16
b'101	CLK_ADC/32
b'110	CLK_ADC/64
b'111	CLK_ADC/128



## 2.6 时钟恢复

时钟恢复是要恢复出与发送端符号率完全相同的时钟，并且恢复出准确时钟相位下的采样数据。

为使时钟恢复模块正常工作，Demod 需要通过 I2C 写入 CLK\_DEMO 时钟频率值  $f_{\text{clk\_demo}}$ 。  $f_{\text{clk\_demo}}$  为无符号数，用 18 位表示，最低位（LSB）表示 1kHz。请参考寄存器 CLK\_DEMO\_L、CLK\_DEMO\_M 和 RSTN\_CTRL[clk\_dem\_h]。同时 Demod 还需要通过 I2C 配置输入信号的带宽，请参考寄存器 BAND\_WIDTH[bw]。

表2-4 bw[2:0]与输入信号带宽、符号率关系

bw[2:0]	输入信号带宽(kHz)	符号率 fs(kHz)
b'000	1700	1845
b'001	5000	5714
b'010	6000	6857
b'011	7000	8000
b'100	8000	9143

## 2.7 载波恢复

载波恢复模块用于跟踪和补偿载波的频率偏移与相位偏移。

为使载波恢复模块正常工作，Demod 需要通过 I2C 写入 Tuner 输出信号的中心频率值  $f_{\text{IF}}$ 。  $f_{\text{IF}}$  为无符号数，用 16 为表示，最低位（LSB）表示 1kHz。请参考寄存器 IF\_FREQ\_L、IF\_FREQ\_H。

## 2.8 帧同步

DVBT2/T 信号为按帧组织的，需要可靠界定帧的起始位置并能够根据信道变化实时跟踪最优位置。帧同步完成此功能，支持低信噪比、恶劣多径信道、模拟同频干扰下的快速同步。

## 2.9 信道估计与均衡

信道估计模块利用 DVBT/T2 信号频域数据中插入的导频估计信道特征并均衡出调制数据。Demod 采用了高性能的信道估计算法，提高了信道估计的准确性。



## 2.10 DVBT2 FEC 模块

此模块完成以下操作：

- 步骤 1 进行解交织并符号解映射，生成的软信息送比特解交织处理；
- 步骤 2 比特解交织完成后存入 RAM，然后进行 LDPC 译码。LDPC 译码器支持长帧和短帧模式，并支持 DVBT2 标准中的所有码率选项；
- 步骤 3 LDPC 译码之后的数据输出到 BCH 模块进行 BCH 译码。

----结束

## 2.11 DVBT FEC 模块

此模块完成以下操作：

- 步骤 1 进行符号解交织；
- 步骤 2 进行解删余、解映射和比特解交织操作；
- 步骤 3 Viterbi 译码，支持码率 1/2、2/3、3/4、5/6、7/8；
- 步骤 4 进行 DVBT 的卷积解交织操作；
- 步骤 5 解交织后数据输入 RS（Reed-Solomon Decoder）模块，完成信道纠错功能。DVB-T 输出包长为 188 字节。

----结束

## 2.12 TS 输出

Demod 提供 3 种 TS 输出模式，包括并行模式、串行模式和 2bit 串行模式。

TS 输出接口信号包括数据信号 TS\_OUT[7:0]、时钟信号 TS\_CLK、数据有效信号 TS\_VLD、同步头信号 TS\_SYNC 和包错误信号 TS\_ERR：

- TS\_OUT：TS 帧数据。并行模式下用 8 位，串行模式下用 1 位，2bit 串行模式用 2 位。
- TS\_CLK：数据时钟。时钟沿可设，在不同 TS 速率下对应不同的时钟频率输出。
- TS\_VLD：TS 包数据有效指示（并行模式是字节有效，串行模式是比特有效）。
- TS\_SYNC：TS 包同步头指示（并行模式是字节有效，串行模式是比特有效）。
- TS\_ERR：TS 包错误指示，当前 TS 包出错则置 1。

TS 接口的并行/串行/两比特串行输出模式通过寄存器 [OUTP\\_TS\\_MODE \[paral\]](#) 和 [OUTP\\_TS\\_MODE \[ser12\]](#) 选择。



表2-5 TS 输出模式选择

paral	serl2	TS 输出模式	TS_CLK 最高速率 (MHz)	所支持的最高 TS 流比特速率 (Mbps)
1	0	并行	9	72
0	1	串行两比特	36	72
0	0	串行(1 比特)	76.5	72

图2-5 TS 并行输出时序示意

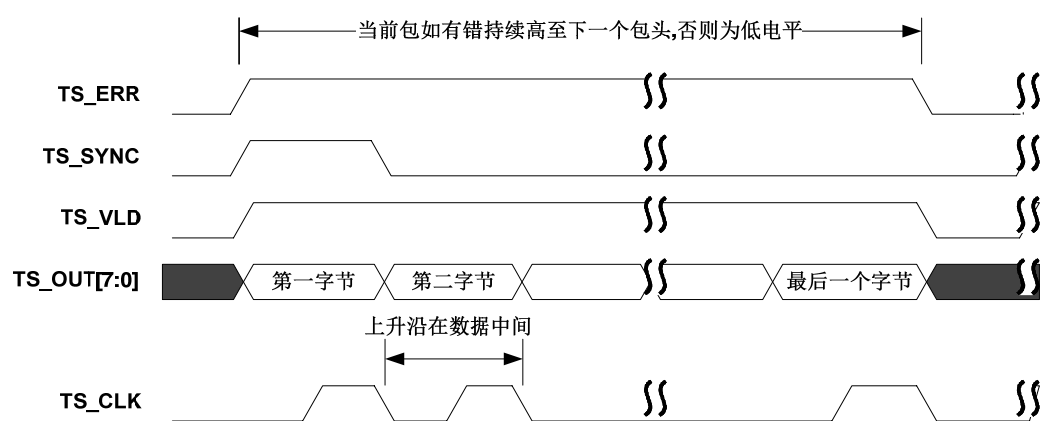
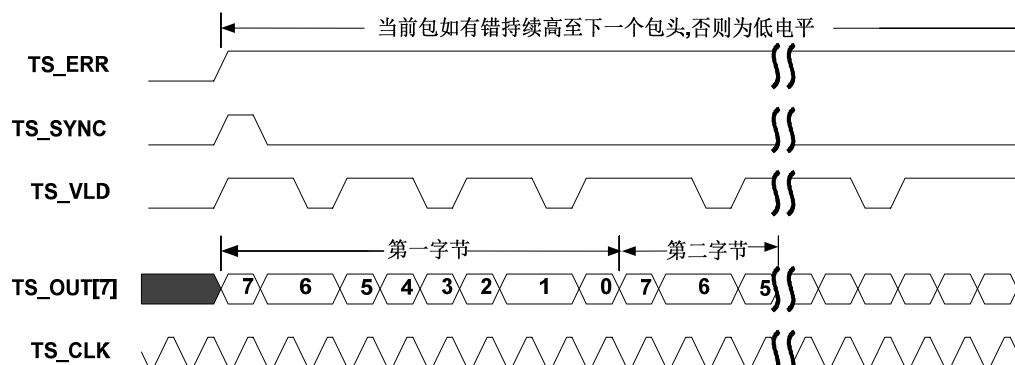


图2-6 TS 串行输出时序示意

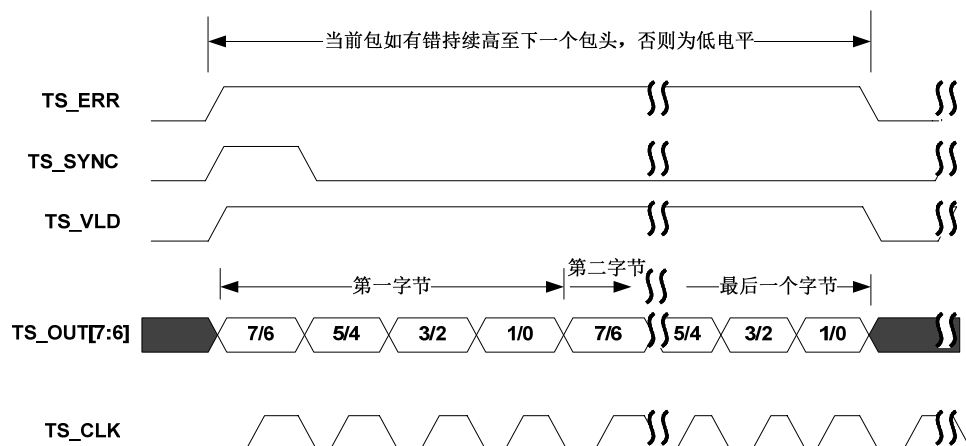


\*注：串行输出情况下 TS\_CLK 固定工作在 CLK\_FEC 二分频频率，通过 TS\_VLD 为低电平屏蔽掉无效的比特位，或者通过 [OUTP\\_TS\\_MODE\[mask\\_clk\]](#)置 1 将 TS\_VLD 为低电平时的 TS\_CLK 屏蔽掉。图中所示为高位输出优先，通过寄存器 [OUTP\\_TS\\_MODE\[msb\\_first\]](#)写 0 可改成低位输出优先。TS\_OUT 可实际映射到 TS\_OUT[7:0]中任意一个管脚，参考后面说明。





图2-7 TS 两比特串行输出时序示意



\*注：两比特串行输出情况下 TS\_OUT 可实际映射到 TS\_OUT[7:0]的任意两个管脚。

并行和串行两比特输出模式下，TS\_CLK 的时钟沿通过 [OUTP\\_TS\\_MODE \[clk\\_inv\]](#) 选择，0 为上升沿在 TS 数据中间，1 为下降沿在 TS 数据中间。

串行输出模式下，TS\_CLK 的时钟沿通过 [OUTP\\_TS\\_MODE \[clk\\_inv\]](#) 选择，0 为上升沿，1 为下降沿。

并行和串行两比特输出模式下，Demod 可根据 CLK\_FEC 的频率、带宽、码率及调制模式自动生成均匀的 TS\_CLK 信号。用户也可以指定用 CLK\_FEC 的固定分频来作为 TS\_CLK 信号。方法如下：

- 步骤 1 设置寄存器 [OUTP\\_CLK\\_SET \[clk\\_div\]](#)、[OUTP\\_CLK\\_SETH\[clk\\_div\\_fh\]](#)、[OUTP\\_CLK\\_SETL \[clk\\_div\\_fl\]](#) 来确定系统时钟的分频比。其中  $\text{clk\_div}[5:0]$  为分频比的整数部分，取值 1~63。 $\text{clk\_div\_f}[15:0]$  ( $\text{clk\_div\_f} = \text{clk\_div\_fh} * 256 + \text{clk\_div\_fl}$ ) 为分频比的小数部分。实际分频比为  $\text{clk\_div}[5:0] + \text{clk\_div\_f}[15:0] / 65536$ 。
- 步骤 2 [OUTP\\_MODE\\_SET \[out\\_mode\]](#) 置 1，[OUTP\\_CLK\\_SET\[clk\\_mode\]](#) 置 1 切换 TS\_CLK 到设定的频率上。



### 注意

此种情形下的 TS\_CLK 频率需保证能够传输最高 TS 流速率（72Mbps）的要求。

TS 管脚映射通过以下控制信号来选择输出。

表2-6 ts\_x\_sel 与所控制管脚关系 (x 取值 0/1/2/3/4/5/6/7/8/9/a)

控制信号	所在寄存器	所控制的芯片外部管脚
ts_0_sel	<a href="#">TS_0_SEL</a>	TS_OUT0
ts_1_sel	<a href="#">TS_21_SEL</a>	TS_OUT1



控制信号	所在寄存器	所控制的芯片外部管脚
ts_2_sel	TS_21_SEL	TS_OUT2
ts_3_sel	TS_43_SEL	TS_OUT3
ts_4_sel	TS_43_SEL	TS_OUT4
ts_5_sel	TS_65_SEL	TS_OUT5
ts_6_sel	TS_65_SEL	TS_OUT6
ts_7_sel	TS_87_SEL	TS_OUT7
ts_8_sel	TS_87_SEL	TS_SYNC
ts_9_sel	TS_A9_SEL	TS_VLD
ts_a_sel	TS_A9_SEL	TS_ERR

ts\_x\_sel 取值与内部 TS 信号的选择关系。

表2-7 ts\_x\_sel 取值与输出关系 (x 取值 0/1/2/3/4/5/6/7/8/9/a)

ts_x_sel 取值	所选择的芯片内部 TS 信号
b'0000	ts_out[0]
b'0001	ts_out[1]
b'0010	ts_out[2]
b'0011	ts_out[3]
b'0100	ts_out[4]
b'0101	ts_out[5]
b'0110	ts_out[6]
b'0111	ts_out[7]
b'1000	ts_sync
b'1001	ts_vld
其他	ts_err

\*注:

串行 1bit 输出情况下, 如果高位输出优先, 芯片内部 TS 数据信号请选择 ts\_out[7], 如果低位输出优先, 芯片内部 TS 数据信号请选择 ts\_out[0];

串行 2bit 输出情况下, 如果高位输出优先, 芯片内部 TS 数据信号请选择 ts\_out[7:6], 如果低位输出优先, 芯片内部 TS 数据信号请选择 ts\_out[1:0]。

----结束



## 2.13 信号监测

### 信号强度

Demod 内部提供信号功率统计，可以先后读取 [AGC\\_CTRL\\_L](#)[agc\_ctrl\_l]和 [AGC\\_CTRL\\_H](#) [agc\_ctrl\_h]来得到信号强度指示。

```
sig_strength=agc_ctrl_h[7:0]*16+agc_ctrl_l[3:0]。
```

sig\_strength 值越大表示信号越弱，不同射频芯片应用，sig\_strength 和信号功率的关系曲线会有所不同。

### 传输制式和频谱反转识别

通过如下操作读取传输制式的信息：

- 步骤 1 等待 [LOCK\\_FLAG](#) [fec\_ok]为 1。只有 fec\_ok 为 1 下面读出的信息才可靠。
- 步骤 2 读取 [CHN\\_FFT\\_GI](#)[is\_dvbt]。如果为 1 表示 DVBT 模式，如果为 0 表示 DVBT2 模式。

- DVBT2

DVBT2 下的 FFT 模式可以通过 [CHN\\_FFT\\_GI](#)[fft\_size]读取。DVBT2 模式下读取 [TPS](#)[bw\_ext]，值为 1 表示带宽扩展，值为 0 表示带宽未扩展。

表2-8 fft\_size 取值与 FFT 模式关系

fft_size[2:0]	bw_ext	FFT 及带宽模式
b'000	-	1K
b'001	-	2K
b'010	-	4K
b'011	0	8K, Normal carrier mode
b'011	1	8K, Extend carrier mode
b'100	0	16K, Normal carrier mode
b'100	1	16K, Extend carrier mode
b'101	0	32K, Normal carrier mode
b'101	1	32K, Extend carrier mode
b'110~b'111	-	reserved

DVBT2 模式下读取 [TPS](#)[gi\_mode]可以获得保护间隔模式。



表2-9 gi\_mode 取值与保护间隔模式关系

gi_mode[2:0]	保护间隔模式
b'000	1/32
b'001	1/16
b'010	1/8
b'011	1/4
b'100	1/128
b'101	19/128
b'110	19/256
b'111	reserved

DVBT2 模式下读取 [P1\\_SIGNAL](#)[p1\_signal\_s1]可以获得 P1 信令的 S1 部分。

表2-10 p1\_signal\_s1 取值说明

p1_signal_s1[2:0]	说明
b'000	T2_SISO
b'001	T2_MISO
b'010	非 T2 信号
b'011	T2_LITE_SISO
b'100	T2_LITE_MISO
b'101~ b'111	reserved

DVBT2 模式下读取 [PP\\_VERSION](#)[pilotpattern]可以获得导频图样模式。

表2-11 pilotpattern 取值与导频图样关系

pilotpattern[3:0]	导频图样
b'0000	PP1
b'0001	PP2
b'0010	PP3
b'0011	PP4
b'0100	PP5
b'0101	PP6



pilotpattern[3:0]	导频图样
b'0110	PP7
b'0111	PP8
b'1000~ b'1111	Reserved

DVBT2 模式下读取 [CHN\\_FFT\\_GI](#) [spectrum], 值为 1 表示频谱反转, 值为 0 表示频谱未反转。

DVBT2 模式下读取 [PLP\\_PARAM](#)[plp\_cod]、[PLP\\_PARAM](#)[plp\_mod]可以获得当前 PLP 的调制模式和 LDPC 码率。

DVBT2 模式下读取 [PLP\\_PARAM](#)[plp\_fec\_type]可以获得当前 PLP 的 FEC 帧模式, 值为 1 表示长帧 (64K LDPC), 为 0 表示短帧 (16K LDPC)。

表2-12 plp\_mod 取值与调制模式关系

plp_mod[2:0]	调制模式
b'000	QPSK
b'001	16QAM
b'010	64QAM
b'011	256QAM
b'100~ b'111	Reserved

表2-13 plp\_cod 取值与码率模式关系

plp_cod[2:0]	码率 (T2_base)	码率 (T2_lite)
b'000	1/2	1/2
b'001	3/5	3/5
b'010	2/3	2/3
b'011	3/4	3/4
b'100	4/5	Reserved
b'101	5/6	Reserved
b'110	Reserved	1/3
b'111	Reserved	2/5

注: plp\_cod 和码率对应关系在 Base 和 Lite 模式下是不同的, 因此在确定码率之前需要确定当前 DVBT2 信号是 Base 还是 Lite 模式, 通过读 [P1\\_SIGNAL](#) [p1\_signal\_s1]的值可以确认。



- DVBT

同 DVBT2 可以通过 `CHN_FFT_GI[fft_size]` 读取 FFT 模式，通过读取 `TPS[gi_mode]` 可以获得保护间隔模式。

DVBT 模式下读取 `CHN_FFT_GI[spectrum]`，值为 1 表示频谱反转，值为 0 表示频谱未反转。

DVBT 模式下读取 `TPS_DVBT[mod]`、`TPS_DVBT[hier]`、`TPS_DVBT[cod_rate_H]` 可以获得调制模式、分层模式、非分层模式和分层模式高优先级码流的内码码率。读取 `CODE_RATE_DVBT[code_rate_L]` 可以获得分层模式低优先级码流的内码码率。

表2-14 mod 取值与调制模式关系

mod[1:0]	调制模式
b'00	QPSK
b'01	16QAM
b'10	64QAM
b'11	reserved

表2-15 hier 取值与分层模式关系

hier[1:0]	分层模式
b'00	非分层
b'01	分层 $\alpha=1$
b'10	分层 $\alpha=2$
b'11	分层 $\alpha=4$

表2-16 cod\_rate\_H 和 code\_rate\_L 取值与码率模式关系

cod_rate_H 或 code_rate_L	码率
b'000	1/2
b'001	2/3
b'010	3/4
b'011	5/6
b'100	7/8



cod_rate_H 或 code_rate_L	码率
b'101~b'111	reserved

## 符号率偏差

如前所述，定时恢复需要预先置入输入信号的带宽。当定时环路稳定后，可以从 Demod 先读出 [TIM\\_OFFSET](#)[tim\_offset]，然后读出 [TIM\\_LOOP\\_L](#)[tim\_loop\_l]、[TIM\\_LOOP\\_H](#)[tim\_loop\_h]，tim\_offset、tim\_loop\_h 均为有符号数，最高位为符号位，实际符号率和 fs 的偏差按下式计算：

```
fs_offset = (tim_offset*4 - (tim_loop_h*256+tim_loop_l)/16)/2^10*fs。
```

计算值为有符号数，如果为正表示实际符号率比设置的符号率大，为负则反之。fs 的值参考表 2-4，fs\_offset 的单位为 kHz。

注：在 [LOCK\\_FLAG](#) [fec\_ok]为 1 后读取的符号率偏差才有效。

## 载波偏差

当载波环路稳定后，可以从 Demod 先后读取 [CAR\\_OFFSET\\_L](#) 和 [CAR\\_OFFSET\\_H](#)，实际信号中心频率和 Tuner 所设中心频率的偏差按下式计算：

```
freq_offset = (CAR_OFFSET_H*256+CAR_OFFSET_L)/2^8*fs。
```

计算值为有符号数，如果为正表示实际载波频率比 Tuner 设置频率高，为负则反之。fs 的值参考表 2-4。freq\_offset 的单位也为 kHz。

注：在 [LOCK\\_FLAG](#) [fec\_ok]为 1 后读取的载波偏差才有效。

## 信号质量

可以从 Demod 先后读出噪声功率统计寄存器 [SNR\\_L](#)[snr\_l]和 [SNR\\_H](#)[snr\_h]，通过如下公式转成信噪比估计（单位 dB），作为信号质量的指示。SNR 的取值范围为 0dB ~ 36dB。

```
SNR = 10.0*log10(snr_h[7:0]*256+snr_l))-11.7。
```



### 注意

只有当 [LOCK\\_FLAG](#) [tps\_ok\_t]为 1（DVBT）或者 [LOCK\\_FLAG](#) [sig\_ok\_t2]为 1（DVBT2）时，信噪比估计才可靠。



## BER 统计

通过 Demod 内部的错误比特统计计数器 [FEC\\_BER\\_L](#)、[FEC\\_BER\\_H](#)，可以计算出 RS(DVBT 模式)、BCH(DVBT2 模式)纠错前的 BER(Bit Error Rate，误比特率)。

先后读取 [FEC\\_BER\\_L](#) 和 [FEC\\_BER\\_H](#)，则错误比特数  $error\_cnt = FEC\_BER\_H * 256 + FEC\_BER\_L$ 。误码率较高的情况下，实际错误比特数可能会超过统计计数器最大值，统计计数器将保持最大值，此时 BER 比实际偏小。

DVBT 模式下，RS 译码前 BER 计算公式为：

$$BER = \frac{error\_cnt}{8 \times 204 \times frames}$$

frames 表示总统计帧数，通过寄存器 [BER\\_CTRL\[frame\\_num\]](#) 设置。

DVBT2 模式下 BCH 译码之前 BER 计算公式为：

$$BER = \frac{error\_cnt}{N \times frames}$$

- N 表示不同帧长模式和码率下的统计基准长度。
- frames 值仍通过寄存器 [BER\\_CTRL\[frame\\_num\]](#) 设置。

表2-17 DVBT2 模式下 N 取值

ldpc 码率	64K LDPC 帧 N 值	16K LDPC 帧 N 值
1/3	NA	5400
2/5	NA	6480
1/2	32400	7200
3/5	38880	9720
2/3	43200	10800
3/4	48600	11880
4/5	51840	12600
5/6	54000	13320

表2-18 [BER\\_CTRL\[frame\\_num\]](#) 与 frames 关系

<a href="#">BER_CTRL</a> [frame_num]	DVBT 下 frames 值	DVBT2 下 frames 值	
		plp_fec_type=1 长 FEC 帧	plp_fec_type=0 短 FEC 帧
b'000	d'16	d'32	d'128





BER_CTRL [frame_num]	DVBT 下 frams 值	DVBT2 下 frams 值	
		plp_fec_type=1 长 FEC 帧	plp_fec_type=0 短 FEC 帧
b'001	d'64	d'64	d'256
b'010	d'256	d'128	d'512
b'011	d'1024	d'256	d'1024
b'100	d'4096	d'512	d'2048
b'101	d'16384	d'1024	d'4096
b'110	d'65536	d'2048	d'8192
b'111	d'262144	d'4096	d'16384

DVBT 模式下 RS 译码后 BER 计算公式为：BER=32\*FER。

这里的 FER 参照下面 FER 统计部分，RS 之后 BER 计算为近似计算。

DVBT2 模式下 BCH 译码之后 BER 计算公式为：BER=27\*FER。

这里的 FER 参照下面 FER 统计部分，BCH 之后 BER 计算为近似计算。

## FER 统计

FER (Frame Error Rate, 误帧率统计) 用于统计帧出错概率。这里所指的帧，对于 DVBT 来说就是一个 RS 包，对于 DVBT2 信号来说就是一个 BCH 包。

先后读取 [FEC\\_FER\\_L](#)、[FEC\\_FER\\_H](#)，则  $\text{error\_fram} = \text{FEC\_FER\_H} * 256 + \text{FEC\_FER\_L}$ 。  
DVBT /DVBT2 模式下总统计帧数 frams 与 [BER\\_CTRL](#) bit [6:4] 的关系参照 BER 统计部分。

$\text{FER} = \text{error\_fram} / \text{frams}$ 。

## 2.14 信号搜索

信号搜索就是在确定频点通过配置必要参数进行信号搜索、锁定并输出 TS 的过程。

确定频点搜索过程如下：

- 步骤 1** 确认芯片通信是否正常，先后读出 [CHIP\\_ID\\_L](#)、[CHIP\\_ID\\_H](#)，读出数据应为 0x31、0x37，若读出数据不正确，确定芯片的 i2c 器件地址和电路连接是否正确。
- 步骤 2** 初始化芯片，通过配置寄存器完成 PLL、ADC 的初始化以及时钟和载波恢复模块的初始化。



- 步骤 3 设置搜索模式。通过配置 [MAN\\_RST\\_CTRL1](#)[cfg\_scan]确定搜索 DVBT/T2 信号的方式；通过配置 [T2\\_CHK\\_CTRL](#)[t2\_lite]确定 DVBT2 信号 Base/Lite 模式的搜索方式；
- 步骤 4 设置输出选择。通过配置 [AUTO\\_DLY](#)[prior\_low]确定 DVBT 信号在分层传输时输出 TS 的优先级，（prior\_low 默认为 0，输出高优先级的码流）；通过配置 [PLP\\_CTRL](#)[common\_plp]、[PLP\\_ID0](#) 和 [PLP\\_ID1](#) 确定 DVBT2 信号在 MultiPLP 模式时待输出 PLP 的序号。
- 步骤 5 给 Tuner 配置 RF 频率，等待一段时间（与 Tuner 相关，参考值为 5~20ms），热复位。
- 步骤 6 等待一段时间（参考值为 20ms）；查询 [LOCK\\_FLAG](#)[tps\_ok\_t]，[LOCK\\_FLAG](#)[sig\_ok\_t2]，当 tps\_ok\_t=1 时表示 DVBT 信号参数捕获成功，sig\_ok\_t2=1 表示 DVBT2 信号参数捕获成功，进入下一步，否则继续等待和查询，直至最大等待时间（DVBT 300ms，DVBT2 500ms）。若到达最大等待时间 tps\_ok\_t 和 sig\_ok\_t2 依然为 0，表明锁定失败，该频点无信号或信号质量过低。
- 步骤 7 继续查询 [LOCK\\_FLAG](#)[fec\_ok]，当 fec\_ok=1 时表示信号捕获成功，TS 开始输出。



#### 说明

对于 DVBT2 信号 MultiPLP 模式，首次信号搜索首先需要确定 PLP 的个数，每 PLP 的 PLP\_GROUP\_ID 和 PLP\_TYPE，这样才能保证通过正确配置 Demod 输出期望的 TS。

----结束

## 2.15 寄存器概览

当对寄存器进行部分写操作（对寄存器中某几比特写）时，请先读该寄存器，仅改变所需要修改比特，其它用读出的值替代。

当读取某个状态量，而该状态量分布在多个寄存器中，如该寄存器描述中无特别申明，则请先读低地址的寄存器，后读高地址。举例：[CAR\\_OFFSET\\_L](#) 和 [CAR\\_OFFSET\\_H](#) 结合对应 car\_offset 状态量，应先读 [CAR\\_OFFSET\\_L](#)，后读 [CAR\\_OFFSET\\_H](#)。

Demod 寄存器概览如表 2-19 所示。

表2-19 Demod 寄存器概览（基址是 0x00）

偏移地址	名称	描述	页码
0x20	MAN_RST_CTRL0	复位控制寄存器	<a href="#">2-25</a>
0x21	MAN_RST_CTRL1	复位控制使能寄存器	<a href="#">2-26</a>
0x22	STATE_WAITS	超时复位寄存器	<a href="#">2-27</a>
0x23	CLK_DEMO_L	解调时钟低位寄存器	<a href="#">2-27</a>
0x24	CLK_DEMO_M	解调时钟中位寄存器	<a href="#">2-28</a>
0x25	CHIP_ID_L	CHIP ID 低位寄存器	<a href="#">2-28</a>



偏移地址	名称	描述	页码
0x26	CLK_FEC_L	FEC 时钟低位寄存器	<a href="#">2-29</a>
0x27	CLK_FEC_M	FEC 时钟中位寄存器	<a href="#">2-29</a>
0x28	CHIP_ID_H	CHIP ID 高位寄存器	<a href="#">2-29</a>
0x29	CLK_SDC_L	SDC 时钟低位寄存器	<a href="#">2-30</a>
0x2A	CLK_SDC_M	SDC 时钟中位寄存器	<a href="#">2-30</a>
0x2B	SDC_CTRL	SDC 控制寄存器	<a href="#">2-30</a>
0x2C	LOCK_FLAG	锁定指示寄存器	<a href="#">2-31</a>
0x2D	TUNER_SEL	tuner 控制寄存器	<a href="#">2-32</a>
0x2E	RSTN_CTRL	逻辑复位寄存器	<a href="#">2-33</a>
0x2F	ILA_SEL	测试向量选择寄存器	<a href="#">2-33</a>
0x30	AGC_SPEED_BOUND	agc 步长寄存器	<a href="#">2-34</a>
0x31	AGC_GOAL	agc 功率寄存器	<a href="#">2-34</a>
0x32	AGCOK_WAIT	agc 等待寄存器	<a href="#">2-35</a>
0x33	AGC_CTRL	agc 控制寄存器	<a href="#">2-35</a>
0x34	AGC_DC_I	I 路直流寄存器	<a href="#">2-36</a>
0x35	AGC_DC_Q	Q 路直流寄存器	<a href="#">2-36</a>
0x36	DAGC_CTRL	数字 agc 控制寄存器	<a href="#">2-37</a>
0x37	AGC_CTRL_L	agc 功率高位寄存器	<a href="#">2-37</a>
0x38	AGC_CTRL_H	agc 功率低位寄存器	<a href="#">2-37</a>
0x39	AMP_ERR_IIR	幅度误差寄存器	<a href="#">2-38</a>
0x3A	PDM_CTRL_L	手动 agc 控制字低位寄存器	<a href="#">2-38</a>
0x3B	PDM_CTRL_H	手动 agc 控制字高位寄存器	<a href="#">2-39</a>
0x3C	USE_PWM	AGC 输出波形选择寄存器	<a href="#">2-39</a>
0x40	MF_SEL	匹配滤波器选择寄存器	<a href="#">2-40</a>
0x41	SF_RMV	窄带干扰抑制控制寄存器	<a href="#">2-40</a>
0x42	DAGC_REF	dagc 幅度参考值寄存器	<a href="#">2-41</a>
0x43	DAGC_SPEED	dagc 步长选择寄存器	<a href="#">2-41</a>
0x4A	IF_FREQ_L	输入信号中频频率低位寄存器	<a href="#">2-42</a>



偏移地址	名称	描述	页码
0x4B	IF_FREQ_H	输入信号中频频率高位寄存器	<a href="#">2-42</a>
0x4E	BAND_WIDTH	输入信号带宽寄存器	<a href="#">2-42</a>
0x50	SYN_CTRL0	同步控制寄存器	<a href="#">2-43</a>
0x51	CORR_HIGH_TH	P2 相关检测高门限寄存器	<a href="#">2-43</a>
0x52	CORR_LOW_TH	P2 相关检测低门限寄存器	<a href="#">2-44</a>
0x53	P2_POS_MOD	P2 同步位置修正寄存器	<a href="#">2-44</a>
0x54	P1_THRES	P1 同步控制寄存器	<a href="#">2-45</a>
0x55	CHN_FFT_GI	同步检测参数寄存器	<a href="#">2-45</a>
0x56	P1_SIGNAL	P1 检测信令寄存器	<a href="#">2-46</a>
0x57	TIM_OFFSET	定时误差寄存器	<a href="#">2-47</a>
0x58	CAR_OFFSET_L	载波误差低位寄存器	<a href="#">2-47</a>
0x59	CAR_OFFSET_H	载波误差高位寄存器	<a href="#">2-47</a>
0x5D	T2_CHK_CTRL	DVBT2 检测配置寄存器	<a href="#">2-48</a>
0x5E	SOAC_TH	P1 信令检测门限寄存器	<a href="#">2-48</a>
0x5F	OUTP_RAND	输出 TS 加扰寄存器	<a href="#">2-49</a>
0x60	LOOP_BW	环路带宽选择寄存器	<a href="#">2-49</a>
0x61	FD_GRP	时域插值控制寄存器	<a href="#">2-50</a>
0x64	NP_IIR_SFT	CSI 计算控制寄存器	<a href="#">2-50</a>
0x67	ECHO_THRES	多径检测门限寄存器	<a href="#">2-51</a>
0x69	MIN_THRES	多径检测门限最小值寄存器	<a href="#">2-51</a>
0x6A	NP_GRP	时域插值控制寄存器	<a href="#">2-51</a>
0x6B	TS_A9_SEL	ts 输出控制寄存器	<a href="#">2-52</a>
0x6C	TS_87_SEL	ts 输出控制寄存器	<a href="#">2-52</a>
0x6D	TS_65_SEL	ts 输出控制寄存器	<a href="#">2-53</a>
0x6E	TS_43_SEL	ts 输出控制寄存器	<a href="#">2-53</a>
0x6F	TS_21_SEL	ts 输出控制寄存器	<a href="#">2-54</a>
0x70	TIM_LOOP_L	定时误差低位寄存器	<a href="#">2-54</a>
0x71	TIM_LOOP_H	定时误差高位寄存器	<a href="#">2-55</a>



偏移地址	名称	描述	页码
0x75	TS_0_SEL	ts 输出控制寄存器	<a href="#">2-55</a>
0x76	CIR_DIST_0	多径分布寄存器	<a href="#">2-56</a>
0x77	CIR_DIST_1	多径分布寄存器	<a href="#">2-56</a>
0x78	CIR_DIST_2	多径分布寄存器	<a href="#">2-56</a>
0x79	CIR_DIST_3	多径分布寄存器	<a href="#">2-57</a>
0x7A	SNR_L	信噪比指示低位寄存器	<a href="#">2-57</a>
0x7B	SNR_H	信噪比指示高位寄存器	<a href="#">2-58</a>
0x7C	DOPPLER	多普勒指示寄存器	<a href="#">2-58</a>
0x80	CW_FREQ_L	单频干扰频点低位寄存器	<a href="#">2-58</a>
0x81	CW_FREQ_H	单频干扰频点高位寄存器	<a href="#">2-59</a>
0x85	CLK_ADC_L	ADC 时钟低位寄存器	<a href="#">2-59</a>
0x86	CLK_ADC_M	ADC 时钟中位寄存器	<a href="#">2-59</a>
0x87	CLK_ADC_H	ADC 时钟高位寄存器	<a href="#">2-60</a>
0x88	ATV_STATE	同频干扰标志寄存器	<a href="#">2-60</a>
0x91	ITER_CTRL	迭代控制寄存器	<a href="#">2-61</a>
0x92	BER_CTRL	ber 控制寄存器	<a href="#">2-61</a>
0x93	AUTO_DLY	迭代切换寄存器	<a href="#">2-62</a>
0x94	ITER_NUM	PRE 信令迭代次数寄存器	<a href="#">2-62</a>
0x95	ITER_NUM_POST	POST 信令迭代次数寄存器	<a href="#">2-63</a>
0x96	FEC_BER_L	ber 低位寄存器	<a href="#">2-63</a>
0x97	FEC_BER_H	ber 高位寄存器	<a href="#">2-64</a>
0x98	FEC_FER_L	fer 低位寄存器	<a href="#">2-64</a>
0x99	FEC_FER_H	fer 高位寄存器	<a href="#">2-65</a>
0x9C	SWITCH_DLY	信令码字切换时延寄存器	<a href="#">2-65</a>
0x9E	T2_SUCCESS	T2 译码成功寄存器	<a href="#">2-65</a>
0xA0	OUTP_ISSY	issy 控制寄存器	<a href="#">2-66</a>
0xA1	OUTP_DCAP_SET	DATA PLP 容量设置寄存器	<a href="#">2-66</a>
0xA2	OUTP_CCAP_SET	COMMON PLP 容量设置寄存器	<a href="#">2-67</a>



偏移地址	名称	描述	页码
0xA3	OUTP_PLL0	PLL 控制寄存器	<a href="#">2-67</a>
0xA4	OUTP_PLL1	PLL 控制寄存器	<a href="#">2-68</a>
0xA5	OUTP_PLL2	PLL 控制寄存器	<a href="#">2-68</a>
0xA6	OUTP_PLL3	PLL 控制寄存器	<a href="#">2-68</a>
0xA7	OUTP_PLL4	PLL 控制寄存器	<a href="#">2-69</a>
0xA8	OUTP_CLK_SET	输出时钟设置寄存器	<a href="#">2-69</a>
0xA9	OUTP_CLK_SETH	I2C 时钟设置寄存器	<a href="#">2-70</a>
0xAA	OUTP_CLK_SETL	I2C 时钟设置寄存器	<a href="#">2-70</a>
0xAB	OUTP_MODE_SET	输出模式设置寄存器	<a href="#">2-71</a>
0xAC	OUTP_TS_MODE	TS 输出模式设置寄存器	<a href="#">2-71</a>
0xAE	OUTP_PKT_STA	TS 统计包数设置寄存器	<a href="#">2-72</a>
0xAF	OUTP_LIMIT_EN	限幅和使能寄存器	<a href="#">2-73</a>
0xB0	PLP_CTRL	PLP 控制寄存器	<a href="#">2-73</a>
0xB1	PLP_ID0	DataPLP 序号寄存器	<a href="#">2-74</a>
0xB2	PLP_ID1	CommonPLP 序号寄存器	<a href="#">2-74</a>
0xB3	TPS	信号参数寄存器	<a href="#">2-75</a>
0xB4	STREAM_TYPE	传输数据流类型指示寄存器	<a href="#">2-76</a>
0xB4	CODE_RATE_DVBT	DVBT 内码码率寄存器	<a href="#">2-76</a>
0xB5	TPS_DVBT	DVBT 信号参数寄存器	<a href="#">2-77</a>
0xB6	PAPR_L1MOD	DVBT2 PRE 信令寄存器	<a href="#">2-78</a>
0xB8	PP_VERSION	DVBT2 PRE 信令寄存器	<a href="#">2-79</a>
0xB9	NUM_T2_FRM	DVBT2 PRE 信令寄存器	<a href="#">2-80</a>
0xBA	LDATA_L	DVBT2 PRE 信令寄存器	<a href="#">2-80</a>
0xBB	LDATA_H	DVBT2 PRE 信令寄存器	<a href="#">2-81</a>
0xBF	NUM_PLP	DVBT2 PRE 信令寄存器	<a href="#">2-81</a>
0xC6	PLP_ID	DVBT2 POST 信令寄存器	<a href="#">2-81</a>
0xC7	PLP_TYPE	DVBT2 POST 信令寄存器	<a href="#">2-82</a>
0xC8	PLP_GRP_ID	DVBT2 POST 信令寄存器	<a href="#">2-82</a>



偏移地址	名称	描述	页码
0xC9	PLP_PARAM	DVBT2 POST 信令寄存器	<a href="#">2-83</a>
0x00	ADC_CTRL0	ADC IP 控制寄存器	<a href="#">2-85</a>
0x01	ADC_CTRL1	ADC IP 控制寄存器	<a href="#">2-85</a>
0x02	ADC_CTRL2	ADC IP 控制寄存器	<a href="#">2-86</a>
0x03	ADC_CTRL3	ADC IP 控制寄存器	<a href="#">2-87</a>
0x04	ADC_FSCTRL	ADC IP 控制寄存器	<a href="#">2-88</a>
0x05	PLL_LOCK	PLL 锁定指示寄存器	<a href="#">2-88</a>
0x06	PLL0_FRAC_L	PLL0 分频小数部分低位寄存器	<a href="#">2-89</a>
0x07	PLL0_PD	PLL0 power down 控制寄存器	<a href="#">2-89</a>
0x08	PLL0_POSTDIV	PLL0 post divide 配置寄存器	<a href="#">2-90</a>
0x09	PLL0_FBDIV	PLL0 feedback divide vlaue 寄存器	<a href="#">2-91</a>
0x0A	PLL0_REFDIV	PLL0 reference divide value 寄存器	<a href="#">2-91</a>
0x0B	PLL0_SPREAD	PLL0 扩频模式配置寄存器	<a href="#">2-92</a>
0x0C	PLL_DIVVAL	PLL 扩频模式输出分频控制寄存器	<a href="#">2-92</a>
0x0D	PLL1_FRAC_L	PLL1 分频小数部分低位寄存器	<a href="#">2-93</a>
0x0E	PLL1_PD	PLL1 power down 控制寄存器	<a href="#">2-93</a>
0x0F	PLL1_POSTDIV	PLL1 post divide 配置寄存器	<a href="#">2-94</a>
0x10	PLL1_FBDIV	PLL1 feedback divide vlaue 寄存器	<a href="#">2-95</a>
0x11	PLL1_REFDIV	PLL1 reference divide value 寄存器	<a href="#">2-95</a>
0x12	PLL1_SPREAD	PLL1 扩频模式配置寄存器	<a href="#">2-96</a>
0x13	IO_CTRL0	IO 控制寄存器	<a href="#">2-96</a>
0x14	IO_CTRL1	IO 控制寄存器	<a href="#">2-97</a>
0x15	IO_CTRL2	IO 控制寄存器	<a href="#">2-98</a>
0x16	IO_CTRL3	IO 控制寄存器	<a href="#">2-99</a>
0x17	IO_CTRL4	IO 控制寄存器	<a href="#">2-100</a>
0x18	SDR_CTRL	SDR 控制寄存器	<a href="#">2-101</a>



## 2.16 Demod 寄存器描述

### MAN\_RST\_CTRL0

MAN\_RST\_CTRL0 为复位控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x20			MAN_RST_CTRL0			0xFF		
Bit	7	6	5	4	3	2	1	0
Name	rstn_sig	rstn_tdp	rstn_fec	rstn_tps	rstn_fbl	rstn_ceq	rstn_sync	rstn_agc
Reset	1	1	1	1	1	1	1	1
Bits	Access	Name	Description					
[7]	RW	rstn_sig	sig 的复位控制。 1: 取消复位; 0: 复位。					
[6]	RW	rstn_tdp	tdp 的复位控制。 1: 取消复位; 0: 复位。					
[5]	RW	rstn_fec	fec 的复位控制。 1: 取消复位; 0: 复位。					
[4]	RW	rstn_tps	tps 的复位控制。 1: 取消复位; 0: 复位。					
[3]	RW	rstn_fbl	fbl 的复位控制。 1: 取消复位; 0: 复位。					
[2]	RW	rstn_ceq	ceq 的复位控制。 1: 取消复位; 0: 复位。					
[1]	RW	rstn_sync	sync 的复位控制。 1: 取消复位; 0: 复位。					





Offset Address			Register Name				Total Reset Value	
0x20			MAN_RST_CTRL0				0xFF	
Bit	7	6	5	4	3	2	1	0
Name	rstn_sig	rstn_tdp	rstn_fec	rstn_tps	rstn_fbl	rstn_ceq	rstn_sync	rstn_agc
Reset	1	1	1	1	1	1	1	1
Bits	Access	Name	Description					
[0]	RW	rstn_agc	agc 的复位控制。 1：取消复位； 0：复位。					

## MAN\_RST\_CTRL1

MAN\_RST\_CTRL1 为复位控制使能寄存器。

Offset Address			Register Name			Total Reset Value		
0x21			MAN_RST_CTRL1			0x5F		
Bit	7	6	5	4	3	2	1	0
Name	cfg_tcl	cfg_scan		outp_rst_ena	auto_rst_ena	rstn_catch	rstn_sdc	rstn_outp
Reset	0	1	0	1	1	1	1	1
Bits	Access	Name		Description				
[7]	RW	cfg_tcl		sdram TCL 配置值。 1: TCL=3; 0: TCL=2。				
[6:5]	RW	cfg_scan		信道扫描选择配置值。 00: 只搜索 DVBT2 信号; 01: 只搜索 DVBT 信号; 10: 自适应搜索 DVBT2/DVBT 信号; 11: 保留。				
[4]	RW	outp_rst_ena		outp 自复位使能信号。 1: 允许自复位; 0: 不允许自复位。				
[3]	RW	auto_rst_ena		fec 自复位时能信号。 1: 允许自复位; 0: 不允许自复位。				



Offset Address			Register Name			Total Reset Value		
0x21			MAN_RST_CTRL1			0x5F		
Bit	7	6	5	4	3	2	1	0
Name	cfg_tcl	cfg_scan		outp_rst_ena	auto_rst_ena	rstn_catch	rstn_sdc	rstn_outp
Reset	0	1	0	1	1	1	1	1
Bits	Access	Name		Description				
[2]	RW	rstn_catch		catch 的复位控制。 1：取消复位； 0：复位。				
[1]	RW	rstn_sdc		sdc 的复位控制。 1：取消复位； 0：复位。				
[0]	RW	rstn_outp		outp 的复位控制。 1：取消复位； 0：复位。				

## STATE\_WAITS

STATE\_WAITS 为超时复位寄存器。

Offset Address			Register Name			Total Reset Value		
0x22			STATE_WAITS			0x16		
Bit	7	6	5	4	3	2	1	0
Name	state_wait							
Reset	0	0	0	1	0	1	1	0
Bits	Access	Name		Description				
[7:0]	RW	state_wait		等待 ok 信号超时复位。 当计数器的[28:21]比特大于等于 state_wait 时，复位系统。 当 state_wait 值选择为 0xFF 时，关闭超时复位。				

## CLK\_DEMO\_L

CLK\_DEMO\_L 为解调时钟低位寄存器。



Offset Address			Register Name			Total Reset Value		
0x23			CLK_DEMO_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	clk_demo_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	clk_demo_l		解调时钟 CLK_DEMO 频率低位，LSB=1KHz。				

## CLK\_DEMO\_M

CLK\_DEMO\_M 为解调时钟中位寄存器。

Offset Address			Register Name			Total Reset Value		
0x24			CLK_DEMO_M			0xFA		
Bit	7	6	5	4	3	2	1	0
Name	clk_demo_m							
Reset	1	1	1	1	1	0	1	0
Bits	Access	Name		Description				
[7:0]	RW	clk_demo_m		解调时钟 CLK_DEMO 频率中位。				

## CHIP\_ID\_L

CHIP\_ID\_L 为 CHIP ID 低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x25			CHIP_ID_L			0x37		
Bit	7	6	5	4	3	2	1	0
Name	chip_id_l							
Reset	0	0	1	1	0	1	1	1
Bits	Access	Name		Description				
[7:0]	RO	chip_id_l		CHIP ID(0x3137)数值低 8 位。				



## CLK\_FEC\_L

CLK\_FEC\_L 为 FEC 时钟低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x26			CLK_FEC_L			0xA8		
Bit	7	6	5	4	3	2	1	0
Name	clk_fec_l							
Reset	1	0	1	0	1	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	clk_fec_l	解码时钟 CLK_FEC 频率低位，LSB=1kHz。					

## CLK\_FEC\_M

CLK\_FEC\_M 为 FEC 时钟中位寄存器。

Offset Address			Register Name			Total Reset Value		
0x27			CLK_FEC_M			0x55		
Bit	7	6	5	4	3	2	1	0
Name	clk_fec_m							
Reset	0	1	0	1	0	1	0	1
Bits	Access	Name		Description				
[7:0]	RW	clk_fec_m		解码时钟 CLK_FEC 频率中位。				

## CHIP\_ID\_H

CHIP\_ID\_H 为 CHIP ID 高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x28			CHIP_ID_H			0x31		
Bit	7	6	5	4	3	2	1	0
Name	chip_id_h							
Reset	0	0	1	1	0	0	0	1
Bits	Access	Name		Description				
[7:0]	RW	chip_id_h		CHIP ID(0x3137)数值高 8 位。				



## CLK\_SDC\_L

CLK\_SDC\_L 为 SDC 时钟低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x29			CLK_SDC_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	clk_sdc_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	clk_sdc_l		SDC 时钟 CLK_SDC 频率低位，LSB=3KHz。				

## CLK\_SDC\_M

CLK\_SDC\_M 为 SDC 时钟中位寄存器。

Offset Address			Register Name			Total Reset Value		
0x2A			CLK_SDC_M			0x7D		
Bit	7	6	5	4	3	2	1	0
Name	clk_sdc_m							
Reset	0	1	1	1	1	1	0	1
Bits	Access	Name		Description				
[7:0]	RW	clk_sdc_m		SDC 时钟 CLK_SDC 频率中位。				

## SDC\_CTRL

SDC\_CTRL 为 SDC 控制寄存器。



Offset Address			Register Name			Total Reset Value		
0x2B			SDC_CTRL			0x18		
Bit	7	6	5	4	3	2	1	0
Name	sdr_slfchk_ok	sdr_slfchk_ena	sdr_fix_num			stop_addrinc	reserved	clk_sdc_h
Reset	0	0	0	1	1	0	0	0
Bits	Access	Name	Description					
[7]	RO	sdr_slfchk_ok	sdram 自检结果。 0: 自检正确; 1: 自检错误。					
[6]	RW	sdr_slfchk_ena	sdram 自检使能。 0: 开启; 1: 关闭。					
[5:3]	RW	sdr_fix_num	sdc 固定时间片个数。					
[2]	RW	stop_addrinc	内部采数模块地址自增开关。 1: 关闭采数地址自增; 0: 开启采数地址自增。					
[1]	-	reserved	保留。					
[0]	RW	clk_sdc_h	SDC 始终 CLK_SDC 频率 msb。					

## LOCK\_FLAG

LOCK\_FLAG 为锁定指示寄存器。

Offset Address			Register Name			Total Reset Value		
0x2C			LOCK_FLAG			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved		fec_ok	tps_ok_t	sig_ok_t2	syn_pre_ok_t	syn_ok	agc_ok
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5]	RO	fec_ok	fec 锁定标志信号。 1：锁定； 0：不锁定。					



Offset Address			Register Name			Total Reset Value		
0x2C			LOCK_FLAG			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved		fec_ok	tps_ok_t	sig_ok_t2	syn_pre_ok_t	syn_ok	agc_ok
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[4]	RO	tps_ok_t	DVBT 传输参数锁定标志信号。 1：锁定； 0：不锁定。					
[3]	RO	sig_ok_t2	DVBT2 信令锁定标志信号。 1：锁定； 0：不锁定。					
[2]	RO	syn_pre_ok_t	DVBT 初同步锁定标志信号。 1：锁定； 0：不锁定。					
[1]	RO	syn_ok	sync 锁定标志信号。 1：锁定； 0：不锁定。					
[0]	RO	agc_ok	agc 锁定标志信号。 1：锁定； 0：不锁定。					

## TUNER\_SEL

TUNER\_SEL 为 tuner 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x2D			TUNER_SEL			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved			man_state			tuner_sel	
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:5]	-	reserved	保留。					
[4:1]	RO	man_state	主控状态机的状态。					



Offset Address			Register Name			Total Reset Value		
0x2D			TUNER_SEL			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved			man_state				tuner_sel
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[0]	RW	tuner_sel	通过 i2c 配置 tuner 选择信号。 如果需要配置 tuner，需要将该寄存器配置为 1，对 tuner 进行完一次读或写操作后，该寄存器自清为 0；如果继续对 tuner 配置，则需再次将该寄存器配置为 1。					

## RSTN\_CTRL

RSTN\_CTRL 为逻辑复位寄存器。

Offset Address			Register Name			Total Reset Value		
0x2E			RSTN_CTRL			0x83		
Bit	7	6	5	4	3	2	1	0
Name	clk_fec_h		clk_dem_h		reserved		hot_rstn	cool_rstn
Reset	1	0	0	0	0	0	1	1
Bits	Access	Name	Description					
[7:6]	RW	clk_fec_h	解码时钟 CLK_FEC 频率高位。					
[5:4]	RW	clk_dem_h	解调时钟 CLK_DEMO 频率高位。					
[3:2]	-	reserved	保留。					
[1]	RW	hot_rstn	逻辑复位信号，只复位逻辑，不复位系统寄存器。 1：不复位； 0：复位。					
[0]	RW	cool_rstn	复位信号，即复位逻辑，又复位系统寄存器。 1：不复位； 0：复位。					

## ILA\_SEL

ILA\_SEL 为测试向量选择寄存器。





Offset Address			Register Name			Total Reset Value		
0x2F			ILA_SEL			0x00		
Bit	7	6	5	4	3	2	1	0
Name	ila_sel							
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RW	ila_sel	ila 和 catch 模块测试向量选择信号。				

## AGC\_SPEED\_BOUND

AGC\_SPEED\_BOUND 为 agc 步长寄存器。

Offset Address			Register Name			Total Reset Value		
0x30			AGC_SPEED_BOUND			0x67		
Bit	7	6	5	4	3	2	1	0
Name	agc_speed			err_bound				
Reset	0	1	1	0	0	1	1	1
Bits	Access	Name		Description				
[7:5]	RW	agc_speed		agc 步长寄存器，agc_speed+2(限到 7)。				
[4:0]	RW	err_bound		幅度误差边界值。				

## AGC\_GOAL

AGC\_GOAL 为 agc 功率寄存器。

Offset Address			Register Name			Total Reset Value		
0x31			AGC_GOAL			0x0D		
Bit	7	6	5	4	3	2	1	0
Name	agc_goal							
Reset	0	0	0	0	1	1	0	1
Bits	Access	Name		Description				
[7:0]	RW	agc_goal		agc 功率目标值。				



## AGCOK\_WAIT

AGCOK\_WAIT 为 agc 等待寄存器。

Offset Address			Register Name			Total Reset Value		
0x32			AGCOK_WAIT			0x0C		
Bit	7	6	5	4	3	2	1	0
Name	agcok_wait							
Reset	0	0	0	0	1	1	0	0
Bits	Access	Name		Description				
[7:0]	RW	agcok_wait		agc 幅度异常等待时间。				

## AGC\_CTRL

AGC\_CTRL 为 agc 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x33			AGC_CTRL			0x11		
Bit	7	6	5	4	3	2	1	0
Name	pdm_div			adc_twos	iq_swap	agc_hold	agc_inverse	dagc_on
Reset	0	0	0	1	0	0	0	1
Bits	Access	Name	Description					
[7:5]	RW	pdm_div	agc 的 pdm 输出的脉冲宽度。 pdm_div+1 个时钟宽度。					
[4]	RW	adc_twos	输入数据类型。 1：补码； 0：原码。					
[3]	RW	iq_swap	iq 路数据交换控制信号。 1：iq 交换； 0：iq 不交换。					
[2]	RW	agc_hold	agc 工作类型控制信号。 1：agc 保持，输出 pdm 为固定值； 0：agc 正常工作。					
[1]	RW	agc_inverse	pdm 输出控制。 1：pdm 信号取反； 0：pdm 不取反，正常输出。					



Offset Address			Register Name			Total Reset Value		
0x33			AGC_CTRL			0x11		
Bit	7	6	5	4	3	2	1	0
Name	pdm_div			adc_twos	iq_swap	agc_hold	agc_inverse	dagc_on
Reset	0	0	0	1	0	0	0	1
Bits	Access	Name		Description				
[0]	RW	dagc_on		数字 agc 开启信号。 1: 开启数字 agc; 0: 关闭数字 agc。				

## AGC\_DC\_I

AGC\_DC\_I 为 I 路直流寄存器。

Offset Address			Register Name			Total Reset Value		
0x34			AGC_DC_I			0x00		
Bit	7	6	5	4	3	2	1	0
Name	agc_dc_i							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	agc_dc_i		I 路数据的直流量。				

## AGC\_DC\_Q

AGC\_DC\_Q 为 Q 路直流寄存器。

Offset Address			Register Name			Total Reset Value		
0x35			AGC_DC_Q			0x00		
Bit	7	6	5	4	3	2	1	0
Name	agc_dc_q							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	agc_dc_q		Q 路数据的直流量。				



## DAGC\_CTRL

DAGC\_CTRL 为数字 agc 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x36			DAGC_CTRL			0x00		
Bit	7	6	5	4	3	2	1	0
Name	dagc_ctrl							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	dagc_ctrl		数字 agc 的控制字。				

## AGC\_CTRL\_L

AGC\_CTRL\_L 为 agc 功率低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x37			AGC_CTRL_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	agc_ok		reserved			agc_ctrl_l		
Reset	0		0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RO	agc_ok	agc 锁定标志。 1: agc 锁定; 0: agc 没有锁定。					
[6:4]	-	reserved	保留。					
[3:0]	RO	agc_ctrl_l	agc 控制字的低 4 位，表示当前信号的功率。					

## AGC\_CTRL\_H

AGC\_CTRL\_H 为 agc 功率高位寄存器。



Offset Address			Register Name			Total Reset Value		
0x38			AGC_CTRL_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	agc_ctrl_H							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	agc_ctrl_H		agc 控制字的高 8 位，表示当前信号的功率。				

## AMP\_ERR\_IIR

AMP\_ERR\_IIR 为幅度误差寄存器。

Offset Address			Register Name			Total Reset Value		
0x39			AMP_ERR_IIR			0x00		
Bit	7	6	5	4	3	2	1	0
Name	amp_err_iir							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	amp_err_iir		adc 输入信号幅度和目标值的误差。				

## PDM\_CTRL\_L

PDM\_CTRL\_L 为手动 agc 控制字低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x3A			PDM_CTRL_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved			pdm_ctrl_sel	pdm_ctrl_h			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:5]	-	reserved		保留。				
[4]	RW	pdm_ctrl_sel		手动 agc 控制信号。 1: 手动模式，pdm_ctrl_sel 作为控制字； 0: 自动 agc 模式。				



Offset Address				Register Name			Total Reset Value	
0x3A				PDM_CTRL_L			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved			pdm_ctrl_sel	pdm_ctrl_h			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[3:0]	RW	pdm_ctrl_l		在手动 agc 模式下，可配置的 agc 控制字的低 4 位。				

## PDM\_CTRL\_H

PDM\_CTRL\_H 为手动 agc 控制字高位寄存器。

Offset Address				Register Name			Total Reset Value	
0x3B				PDM_CTRL_H			0x00	
Bit	7	6	5	4	3	2	1	0
Name	pdm_ctrl_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	pdm_ctrl_h		在手动 agc 模式下，可配置的 agc 控制字的高 8 位。				

## USE\_PWM

USE\_PWM 为 AGC 输出波形选择寄存器。

Offset Address				Register Name			Total Reset Value	
0x3C				USE_PWM			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved							use_pwm
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:1]	-	reserved		保留。				
[0]	RW	use_pwm		agc 输出波形选择。 0: pdm; 1: pwm。				



## MF\_SEL

MF\_SEL 为匹配滤波器选择寄存器。

Offset Address			Register Name			Total Reset Value		
0x40			MF_SEL			0xC9		
Bit	7	6	5	4	3	2	1	0
Name	dagc_ena	auto_atvfreq	reserved		mf_sel			
Reset	1	1	0	0	1	0	0	1
Bits	Access	Name	Description					
[7]	RW	dagc_ena	内部数字 AGC 开启选择。 1：开启； 0：关闭。					
[6]	RW	auto_atvfreq	内部 ATV 频率选择。 1：自动选择； 0：配置输入。					
[5:4]	-	reserved	保留。					
[3:0]	RW	mf_sel	匹配滤波器选择，对于 DVBT/T2，缺省值为 9。					

## SF\_RMV

SF\_RMV 为窄带干扰抑制控制寄存器。

Offset Address			Register Name				Total Reset Value	
0x41			SF_RMV				0xCC	
Bit	7	6	5	4	3	2	1	0
Name	sf_rmv	atv_on	pll_thres					
Reset	1	1	0	0	1	1	0	0
Bits	Access	Name	Description					
[7]	RW	sf_rmv	内部单频抑制模块开启选择。 1：开启； 0：关闭。					



Offset Address			Register Name				Total Reset Value	
0x41			SF_RMV				0xCC	
Bit	7	6	5	4	3	2	1	0
Name	sf_rmv	atv_on	pll_thres					
Reset	1	1	0	0	1	1	0	0
Bits	Access	Name	Description					
[6]	RW	atv_on	内部同频抑制模块开启选择。 1：开启； 0：关闭。					
[5:0]	RW	pll_thres	单频检测门限设置值。					

## DAGC\_REF

DAGC\_REF 为 dagc 幅度参考值寄存器。

Offset Address			Register Name			Total Reset Value		
0x42			DAGC_REF			0x5A		
Bit	7	6	5	4	3	2	1	0
Name	dagc_ref							
Reset	0	1	0	1	1	0	1	0
Bits	Access	Name		Description				
[7:0]	RW	dagc_ref		dagc 幅度参考值。				

## DAGC\_SPEED

DAGC\_SPEED 为 dagc 步长选择寄存器。

Offset Address			Register Name			Total Reset Value		
0x43			DAGC_SPEED			0x20		
Bit	7	6	5	4	3	2	1	0
Name	dagc_speed							
Reset	0	0	1	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	dagc_speed		dagc 步长。				





## IF\_FREQ\_L

IF\_FREQ\_L 为输入信号中频频率低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x4A			IF_FREQ_L			0x04		
Bit	7	6	5	4	3	2	1	0
Name	if_freq_l							
Reset	0	0	0	0	0	1	0	0
Bits	Access	Name		Description				
[7:0]	RW	if_freq_l		输入信号中频频率值的低 8 位，1LSB=1kHz。				

## IF\_FREQ\_H

IF\_FREQ\_H 为输入信号中频频率高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x4B			IF_FREQ_H			0x15		
Bit	7	6	5	4	3	2	1	0
Name	if_freq_h							
Reset	0	0	0	1	0	1	0	1
Bits	Access	Name		Description				
[7:0]	RW	if_freq_h		输入信号中频频率值的高 8 位。				

## BAND\_WIDTH

BAND\_WIDTH 为输入信号带宽寄存器。



Offset Address				Register Name			Total Reset Value	
0x4E				BAND_WIDTH			0x40	
Bit	7	6	5	4	3	2	1	0
Name	bw				reserved			
Reset	0	1	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:4]	RW	bw		信号带宽配置。 000: 1.7MHz; 001: 5MHz; 010: 6MHz; 011: 7MHz; 100: 8MHz; 其它: 保留。				
[3:0]	-	reserved		保留。				

## SYN\_CTRL0

SYN\_CTRL0 为同步控制寄存器。

Offset Address				Register Name			Total Reset Value	
0x50				SYN_CTRL0			0x89	
Bit	7	6	5	4	3	2	1	0
Name	rgn_scope				thr_t		reserved	p1_frac_sel
Reset	1	0	0	0	1	0	0	1
Bits	Access	Name		Description				
[7:4]	RW	rgn_scope		P2 相关扫描范围选择。				
[3:2]	RW	thr_t		DVB-T 相关检测门限选择。				
[1]	-	reserved		保留。				
[0]	RW	p1_frac_sel		P1 载波检测方式选择。				

## CORR\_HIGH\_TH

CORR\_HIGH\_TH 为 P2 相关检测高门限寄存器。



Offset Address			Register Name			Total Reset Value		
0x51			CORR_HIGH_TH			0x40		
Bit	7	6	5	4	3	2	1	0
Name	corr_high_th							
Reset	0	1	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	corr_high_th	P2 相关检测高门限配置值。					

## CORR\_LOW\_TH

CORR\_LOW\_TH 为 P2 相关检测低门限寄存器。

Offset Address			Register Name			Total Reset Value		
0x52			CORR_LOW_TH			0x18		
Bit	7	6	5	4	3	2	1	0
Name	corr_low_th							
Reset	0	0	0	1	1	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	corr_low_th		P2 相关检测低门限配置值。				

## P2\_POS\_MOD

P2\_POS\_MOD 为 P2 同步位置修正寄存器。

Offset Address			Register Name			Total Reset Value		
0x53			P2_POS_MOD			0x64		
Bit	7	6	5	4	3	2	1	0
Name	p2_pos_mod							
Reset	0	1	1	0	0	1	0	0
Bits	Access	Name	Description					
[7:0]	RW	p2_pos_mod	P2 同步位置检测值调整量。					



## P1\_THRES

P1\_THRES 为 P1 同步控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x54			P1_THRES			0xD0		
Bit	7	6	5	4	3	2	1	0
Name	fscan_th	p1th_sel		p1_min_th				
Reset	1	1	0	1	0	0	0	0
Bits	Access	Name		Description				
[7]	RW	fscan_th		P1 载波扫描有效判断门限选择。				
[6:5]	RW	p1th_sel		P1 频域数据限幅门限选择。				
[4:0]	RW	p1_min_th		P1 时域相关检测门限最小值。				

## CHN\_FFT\_GI

CHN\_FFT\_GI 为同步检测参数寄存器。

Offset Address			Register Name			Total Reset Value		
0x55			CHN_FFT_GI			0x00		
Bit	7	6	5	4	3	2	1	0
Name	is_dvbt	spectrum	fft_size			gi_mode		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RO	is_dvbt	信号指示。 1：DVBT 信号； 0：DVBT2 信号。					
[6]	RO	spectrum	频谱指示。 1：输入信号频谱 invert； 0：输入信号频谱 normal。					



Offset Address			Register Name			Total Reset Value		
0x55			CHN_FFT_GI			0x00		
Bit	7	6	5	4	3	2	1	0
Name	is_dvbt	spectrum	fft_size			gi_mode		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[5:3]	RO	fft_size	FFT 模式指示。 000: 1K; 001: 2K; 010: 4K; 011: 8K; 100: 16K; 101: 32K; 其它: 保留。					
[2:0]	RO	gi_mode	保护间隔。 000: 1/32; 001: 1/16; 010: 1/8; 011: 1/4; 100: 1/128; 101: 19/128; 110: 19/256; 其它: 保留。 当 FFT 模式指示为 100 或者 101 时, 保护间隔指示无效。					

## P1\_SIGNAL

P1\_SIGNAL 为 P1 检测信令寄存器。

Offset Address			Register Name			Total Reset Value		
0x56			P1_SIGNAL			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved	p1_signal_s1			p1_signal_s2			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	-	reserved	保留。					
[6:4]	RO	p1_signal_s1	P1 信令 S1 部分。					
[3:0]	RO	p1_signal_s2	P1 信令 S2 部分。					



## TIM\_OFFSET

TIM\_OFFSET 为定时误差寄存器。

Offset Address			Register Name			Total Reset Value		
0x57			TIM_OFFSET			0x00		
Bit	7	6	5	4	3	2	1	0
Name	tim_offset							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	tim_offset		定时误差，1LSB=4ppm。				

## CAR\_OFFSET\_L

CAR\_OFFSET\_L 为载波误差低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x58			CAR_OFFSET_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	car_offset_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	car_offset_l		载波误差低位寄存器，1LSB=32Hz。				

## CAR\_OFFSET\_H

CAR\_OFFSET\_H 为载波误差高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x59			CAR_OFFSET_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	car_offset_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	car_offset_h	载波误差高位寄存器。					



## T2\_CHK\_CTRL

T2\_CHK\_CTRL 为 DVBT2 检测配置寄存器。

Offset Address			Register Name				Total Reset Value	
0x5D			T2_CHK_CTRL				0x02	
Bit	7	6	5	4	3	2	1	0
Name	reserved		t2_lite		reserved		thr_t2	
Reset	0	0	0	0	0	0	1	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5:4]	RW	t2_lite	t2_lite 模式支持选择。 0：只支持 t2_base 模式； 1：只支持 t2_lite 模式； 2：同时支持两种模式，但对于 T2 信号中同时存在 t2_base/t2_lite 两种模式的 T2 帧时，系统只能随机捕获其中一种模式，搜索信号时需要根据捕获的 p1 信令检测另外一种模式。					
[3:2]	-	reserved	保留。					
[1:0]	RW	thr_t2	T2 信号检测门限选择。					

## SOAC\_TH

SOAC\_TH 为 P1 信令检测门限寄存器。

Offset Address			Register Name			Total Reset Value		
0x5E			SOAC_TH			0x34		
Bit	7	6	5	4	3	2	1	0
Name	reserved	fequ_param			soac_th			
Reset	0	0	1	1	0	1	0	0
Bits	Access	Name		Description				
[7]	-	reserved		保留。				
[6:4]	RW	fequ_param		内部保留寄存器。				
[3:0]	RW	soac_th		P1 信令检测门限选择。				



## OUTP\_RAND

OUTP\_RAND 为输出 TS 加扰寄存器。

Offset Address			Register Name			Total Reset Value		
0x5F			OUTP_RAND			0x08		
Bit	7	6	5	4	3	2	1	0
Name	reserved		rand_no_hold	clk_min_wid			clk_rand	
Reset	0	0	0	0	1	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5]	RW	rand_no_hold	1: 时钟宽度和周期始终加扰; 0: 一定条件下不加扰。					
[4:2]	RW	clk_min_wid	TS 流时钟高电平和低电平最小宽度。					
[1:0]	RW	clk_rand	00: 关闭加扰模块; 01: 打开加扰模块, 最大延时 6; 10: 打开加扰模块, 最大延时 9; 11: 打开加扰模块, 最大延时 15。					

## LOOP\_BW

LOOP\_BW 为环路带宽选择寄存器。

Offset Address			Register Name			Total Reset Value		
0x60			LOOP_BW			0xA3		
Bit	7	6	5	4	3	2	1	0
Name	cpe_on	tim_loop			car_loop			
Reset	1	0	1	0	0	0	1	1
Bits	Access	Name		Description				
[7]	RW	cpe_on		CPE 校正开关。 1：开启； 0：关闭。				
[6:4]	RW	tim_loop		定时环路带宽选择,值越大则选定带宽越窄。				
[3:0]	RW	car_loop		载波环路带宽选择， 值越大则选定带宽越窄。				





## FD\_GRP

FD\_GRP 为时域插值控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x61			FD_GRP			0x81		
Bit	7	6	5	4	3	2	1	0
Name	div_p2				man_fd_grp	fd_grp		
Reset	1	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7:4]	RW	div_p2	选定 P2 符号的多径分界线。					
[3]	RW	man_fd_grp	时域插值系数计算带宽自适应开关。 1：自适应关闭； 0：自适应开启。					
[2:0]	RW	fd_grp	man_fd_grp=1 时，系统选择的插值带宽，值越大则带宽越大。					

## NP\_IIR\_SFT

NP\_IIR\_SFT 为 CSI 计算控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x64			NP_IIR_SFT			0x65		
Bit	7	6	5	4	3	2	1	0
Name	dop_th		sp_cell_on	np_para_sft			np_iir_sft	
Reset	0	1	1	0	0	1	0	1
Bits	Access	Name	Description					
[7:6]	RW	dop_th	多普勒检测灵敏度选择，越大则检测越灵敏，同时检测虚警概率越大。					
[5]	RW	sp_cell_on	CSI 抑制窄带干扰手动开关。 1：开启； 0：关闭。					
[4:2]	RW	np_para_sft	噪声系数计算平滑滤波器带宽选择。					
[1:0]	RW	np_iir_sft	窄带干扰计算平滑滤波器带宽选择。					



## ECHO\_THRES

ECHO\_THRES 为多径检测门限寄存器。

Offset Address			Register Name			Total Reset Value		
0x67			ECHO_THRES			0x10		
Bit	7	6	5	4	3	2	1	0
Name	th_mid				th_high			
Reset	0	0	0	1	0	0	0	0
Bits	Access	Name		Description				
[7:4]	RW	th_mid		多径检测中门限选择 0，值越大则检测灵敏度越高。				
[3:0]	RW	th_high		多径检测高门限选择，值越大则检测灵敏度越高。				

## MIN\_THRES

MIN\_THRES 为多径检测门限最小值寄存器。

Offset Address			Register Name			Total Reset Value		
0x69			MIN_THRES			0x08		
Bit	7	6	5	4	3	2	1	0
Name	th_min							
Reset	0	0	0	0	1	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	th_min		多径检测门限最小值。				

## NP\_GRP

NP\_GRP 为时域插值控制寄存器。



Offset Address			Register Name			Total Reset Value		
0x6A			NP_GRP			0x00		
Bit	7	6	5	4	3	2	1	0
Name	isi_ena	fd_max			man_np_grp	np_grp		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7]	RW	isi_ena		符号间干扰消除使能开关。 1：开启； 0：关闭。				
[6:4]	RW	fd_max		最大时域插值带宽。				
[3]	RW	man_np_grp		时域插值系数计算噪声自适应开关。 1：自适应关闭； 0：自适应开启。				
[2:0]	RW	np_grp		man_np_grp=1 时，系统选择的噪声系数，值越大则噪声功率越大。				

## TS\_A9\_SEL

TS\_A9\_SEL 为 ts 输出控制寄存器。

Offset Address				Register Name		Total Reset Value		
0x6B				TS_A9_SEL		0xA9		
Bit	7	6	5	4	3	2	1	0
Name	ts_a_sel				ts_9_sel			
Reset	1	0	1	0	1	0	0	1
Bits	Access	Name		Description				
[7:4]	RW	ts_a_sel		控制管脚 TS_ERR 的输出。选择 {ts_err,ts_vld,ts_sync,ts_dat[7:0]} 中的相应 bit 位信号输出。				
[3:0]	RW	ts_9_sel		控制管脚 TS_VLD 的输出。选择 {ts_err,ts_vld,ts_sync,ts_dat[7:0]} 中的相应 bit 位信号输出。				

## TS\_87\_SEL

TS\_87\_SEL 为 ts 输出控制寄存器。



Offset Address				Register Name			Total Reset Value	
0x6C				TS_87_SEL			0x87	
Bit	7	6	5	4	3	2	1	0
Name	ts_8_sel				ts_7_sel			
Reset	1	0	0	0	0	1	1	1
Bits	Access	Name		Description				
[7:4]	RW	ts_8_sel		控制管脚 TS_SYNC 的输出。选择 {ts_err,ts_vld,ts_sync,ts_dat[7:0]} 中的相应 bit 位信号输出。				
[3:0]	RW	ts_7_sel		控制管脚 TS_OUT7 的输出。选择 {ts_err,ts_vld,ts_sync,ts_dat[7:0]} 中的相应 bit 位信号输出。				

## TS\_65\_SEL

TS\_65\_SEL 为 ts 输出控制寄存器。

Offset Address				Register Name			Total Reset Value	
0x6D				TS_65_SEL			0x65	
Bit	7	6	5	4	3	2	1	0
Name	ts_6_sel				ts_5_sel			
Reset	0	1	1	0	0	1	0	1
Bits	Access	Name		Description				
[7:4]	RW	ts_6_sel		控制管脚 TS_OUT6 的输出。选择 {ts_err,ts_vld,ts_sync,ts_dat[7:0]} 中的相应 bit 位信号输出。				
[3:0]	RW	ts_5_sel		控制管脚 TS_OUT5 的输出。选择 {ts_err,ts_vld,ts_sync,ts_dat[7:0]} 中的相应 bit 位信号输出。				

## TS\_43\_SEL

TS\_43\_SEL 为 ts 输出控制寄存器。



Offset Address				Register Name		Total Reset Value		
0x6E				TS_43_SEL		0x43		
Bit	7	6	5	4	3	2	1	0
Name	ts_4_sel				ts_3_sel			
Reset	0	1	0	0	0	0	1	1
Bits	Access	Name		Description				
[7:4]	RW	ts_4_sel		控制管脚 TS_OUT4 的输出。选择 {ts_err,ts_vld,ts_sync,ts_dat[7:0]} 中的相应 bit 位信号输出。				
[3:0]	RW	ts_3_sel		控制管脚 TS_OUT3 的输出。选择 {ts_err,ts_vld,ts_sync,ts_dat[7:0]} 中的相应 bit 位信号输出。				

## TS\_21\_SEL

TS\_21\_SEL 为 ts 输出控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x6F			TS_21_SEL			0x21		
Bit	7	6	5	4	3	2	1	0
Name	ts_2_sel				ts_1_sel			
Reset	0	0	1	0	0	0	0	1
Bits	Access	Name	Description					
[7:4]	RW	ts_2_sel	控制管脚 TS_OUT2 的输出。选择 {ts_err,ts_vld,ts_sync,ts_dat[7:0]} 中的相应 bit 位信号输出。					
[3:0]	RW	ts_1_sel	控制管脚 TS_OUT1 的输出。选择 {ts_err,ts_vld,ts_sync,ts_dat[7:0]} 中的相应 bit 位信号输出。					

## TIM\_LOOP\_L

TIM\_LOOP\_L 为定时误差低位寄存器。



Offset Address			Register Name			Total Reset Value		
0x70			TIM_LOOP_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	tim_loop_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	tim_loop_l		定时环路输出的定时误差低位，1LSB=1/16ppm。				

## TIM\_LOOP\_H

TIM\_LOOP\_H 为定时误差高位寄存器。

Offset Address			Register Name				Total Reset Value	
0x71			TIM_LOOP_H				0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved		tim_loop_h					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5:0]	RO	tim_loop_h	定时环路输出的定时误差高位。					

## TS\_0\_SEL

TS\_0\_SEL 为 ts 输出控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x75			TS_0_SEL			0x50		
Bit	7	6	5	4	3	2	1	0
Name	cpadd_ena				ts_0_sel			
Reset	0	1	0	1	0	0	0	0
Bits	Access	Name		Description				
[7:4]	RW	cpadd_ena		内部关键技术寄存器，主要用于开启大保护间隔模式下提升性能的模式。				



Offset Address				Register Name		Total Reset Value		
0x75				TS_0_SEL		0x50		
Bit	7	6	5	4	3	2	1	0
Name	cpadd_ena				ts_0_sel			
Reset	0	1	0	1	0	0	0	0
Bits	Access	Name		Description				
[3:0]	RW	ts_0_sel		控制管脚 TS_OUT0 的输出。选择 {ts_err,ts_vld,ts_sync,ts_dat[7:0]} 中的相应 bit 位信号输出。				

## CIR\_DIST\_0

CIR\_DIST\_0 为多径分布寄存器。

Offset Address				Register Name			Total Reset Value	
0x76				CIR_DIST_0			0x00	
Bit	7	6	5	4	3	2	1	0
Name	cir_dist_0							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	cir_dist_0		多径分布寄存器，用于表征当前的信道冲激响应(CIR)的分布特征。CIR 一共用 32bit 表示，表示 bit7-0。				

## CIR\_DIST\_1

CIR\_DIST\_1 为多径分布寄存器。

Offset Address			Register Name			Total Reset Value		
0x77			CIR_DIST_1			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cir_dist_1							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	cir_dist_1	多径分布寄存器，用于表征当前的信道冲激响应(CIR)的分布特征。CIR 一共用 32bit 表示，表示 bit15-8。					



## CIR\_DIST\_2

CIR\_DIST\_2 为多径分布寄存器。

Offset Address			Register Name			Total Reset Value		
0x78			CIR_DIST_2			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cir_dist_2							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	cir_dist_2		多径分布寄存器，用于表征当前的信道冲激响应(CIR)的分布特征。CIR 一共用 32bit 表示，表示 bit23-16。				

## CIR\_DIST\_3

CIR\_DIST\_3 为多径分布寄存器。

Offset Address			Register Name			Total Reset Value		
0x79			CIR_DIST_3			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cir_dist_3							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	cir_dist_3		多径分布寄存器，用于表征当前的信道冲激响应(CIR)的分布特征。CIR 一共用 32bit 表示，表示 bit31-24。				

## SNR\_L

SNR\_L 为信噪比指示低位寄存器。





Offset Address			Register Name			Total Reset Value		
0x7A			SNR_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	snr_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	snr_l	信噪比寄存器低位。用于计算当前输入信号的 SNR。 SNR=10*log10(snr_h*256+snr_l)-12, 单位为 dB。					

## SNR\_H

SNR\_H 为信噪比指示高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x7B			SNR_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	snr_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	snr_h		信噪比寄存器高位。				

## DOPPLER

DOPPLER 为多普勒指示寄存器。

Offset Address			Register Name			Total Reset Value		
0x7C			DOPPLER			0x00		
Bit	7	6	5	4	3	2	1	0
Name	doppler					rela_fd_grp		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:3]	RO	doppler	demo 计算出的 doppler。					
[2:0]	RO	rela_fd_grp	demo 实际计算出的时域插值系数计算带宽。					



## CW\_FREQ\_L

CW\_FREQ\_L 为单频干扰频点低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x80			CW_FREQ_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cw_freq_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	cw_freq_l		单频干扰频点低位寄存器，1LSB=9kHz。				

## CW\_FREQ\_H

CW\_FREQ\_H 为单频干扰频点高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x81			CW_FREQ_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	cw_lock		reserved				cw_freq_H	
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7]	RO	cw_lock		单频干扰是否存在标志。 1：存在单频干扰； 0：不存在单频干扰。				
[6:2]	-	reserved		保留。				
[1:0]	RW	cw_freq_H		单频干扰频点高位寄存器。				

## CLK\_ADC\_L

CLK\_ADC\_L 为 ADC 时钟低位寄存器。



Offset Address			Register Name			Total Reset Value		
0x85			CLK_ADC_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	clk_adc_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	clk_adc_l		ADC 时钟 CLK_ADC 频率低位，LSB=1KHz。				

## CLK\_ADC\_M

CLK\_ADC\_M 为 ADC 时钟中位寄存器。

Offset Address			Register Name			Total Reset Value		
0x86			CLK_ADC_M			0x7D		
Bit	7	6	5	4	3	2	1	0
Name	clk_adc_m							
Reset	0	1	1	1	1	1	0	1
Bits	Access	Name		Description				
[7:0]	RW	clk_adc_m		ADC 时钟 CLK_ADC 频率中位。				

## CLK\_ADC\_H

CLK\_ADC\_H 为 ADC 时钟高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x87			CLK_ADC_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved						clk_adc_h	
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:2]	-	reserved		保留。				
[1:0]	RW	clk_adc_h		ADC 时钟 CLK_ADC 频率高位。				



## ATV\_STATE

ATV\_STATE 为同频干扰标志寄存器。

Offset Address			Register Name			Total Reset Value		
0x88			ATV_STATE			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved							atv_state
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:1]	-	reserved		描述信息				
[0]	RO	atv_state		同频干扰是否存在标志。 1：存在同频干扰； 0：不存在同频干扰。				

## ITER\_CTRL

ITER\_CTRL 为迭代控制寄存器。

Offset Address			Register Name				Total Reset Value	
0x91			ITER_CTRL				0xA4	
Bit	7	6	5	4	3	2	1	0
Name	fix_iter	fix_iter_man	fix_iter_num					
Reset	1	0	1	0	0	1	0	0
Bits	Access	Name	Description					
[7]	RW	fix_iter	指示配置固定最大迭代次数。 1：固定最大迭代次数； 0：自动精确选择最大迭代次数。					
[6]	RW	fix_iter_man	指示手动配置最大迭代次数。 1：手动配置最大迭代次数； 0：自动简略配置最大迭代次数。					
[5:0]	RW	fix_iter_num	手动精确配置的最大迭代次数值。					



## BER\_CTRL

BER\_CTRL 为 ber 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x92			BER_CTRL			0xB4		
Bit	7	6	5	4	3	2	1	0
Name	stop_sel	frame_num			high_err			
Reset	1	0	1	1	0	1	0	0
Bits	Access	Name		Description				
[7]	RW	stop_sel		指示校验迭代停止。 1：自动校验迭代停止； 0：迭代到最大迭代次数停止。				
[6:4]	RW	frame_num		统计 BER 周期长度。				
[3:0]	RW	high_err		高误码复位门限。				

## AUTO\_DLY

AUTO\_DLY 为迭代切换寄存器。

Offset Address			Register Name				Total Reset Value	
0x93			AUTO_DLY				0x01	
Bit	7	6	5	4	3	2	1	0
Name	reserved						prior_low	auto_dly
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7:2]	-	reserved	保留。					
[1]	RW	prior_low	DVBT 分层模式码流输出选择。 1：输出低优先级码流；0：输出高优先级码流。					
[0]	RW	auto_dly	信令码字切换等待时间选择。 1：自动选择； 0：选择配置值。					



## ITER\_NUM

ITER\_NUM 为 PRE 信令迭代次数寄存器。

Offset Address			Register Name				Total Reset Value	
0x94			ITER_NUM				0x18	
Bit	7	6	5	4	3	2	1	0
Name	gate_off	reserved	iter_num_pre					
Reset	0	0	0	1	1	0	0	0
Bits	Access	Name	Description					
[7]	RW	gate_off	门控开关。 1： 关闭门控； 0： 开启门控。					
[6]	-	reserved	保留。					
[5:0]	RW	iter_num_pre	L1pre 译码最大迭代次数值。					

## ITER\_NUM\_POST

ITER\_NUM\_POST 为 POST 信令迭代次数寄存器。

Offset Address			Register Name				Total Reset Value	
0x95			ITER_NUM_POST				0x18	
Bit	7	6	5	4	3	2	1	0
Name	reserved		iter_num_post					
Reset	0	0	0	1	1	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5:0]	RW	iter_num_post	L1post 译码最大迭代次数值。					

## FEC\_BER\_L

FEC\_BER\_L 为 ber 低位寄存器。



Offset Address			Register Name			Total Reset Value		
0x96			FEC_BER_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	fec_ber_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	fec_ber_l		BER 统计的低 8 位。				

## FEC\_BER\_H

FEC\_BER\_H 为 ber 高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x97			FEC_BER_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	fec_ber_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	fec_ber_h		BER 统计的高 8 位。				

## FEC\_FER\_L

FEC\_FER\_L 为 fer 低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x98			FEC_FER_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	fec_fer_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	fec_fer_l		错误帧数统计的低 8 位。				



## FEC\_FER\_H

FEC\_FER\_H 为 fer 高位寄存器。

Offset Address			Register Name			Total Reset Value		
0x99			FEC_FER_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	fec_fer_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	fec_fer_h	错误帧数统计的高 8 位。					

## SWITCH\_DLY

SWITCH\_DLY 为信令码字切换时延寄存器。

Offset Address			Register Name			Total Reset Value		
0x9C			SWITCH_DLY			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved	man_switch_dly						
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	-	reserved	保留。					
[6:0]	RW	man_switch_dly	信令码字切换时延手工精确值。					

## T2\_SUCCESS

T2\_SUCCESS 为 T2 译码成功寄存器。

Offset Address			Register Name			Total Reset Value		
0x9E			T2_SUCCESS			0x00		
Bit	7	6	5	4	3	2	1	0
Name	iter_num						bch_cancorr	ldpc_badly
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:2]	RO	iter_num		LDPC 实际译码迭代次数				





Offset Address			Register Name				Total Reset Value	
0x9E			T2_SUCCESS				0x00	
Bit	7	6	5	4	3	2	1	0
Name	iter_num						bch_cancorr	ldpc_badly
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[1]	RO	bch_cancorr	指示 BCH 译码成功。 1：译码成功； 0：译码失败。					
[0]	RO	ldpc_badly	指示 LDPC 译码 badly。 1：LDPC 译码失败； 0：LDPC 译码成功。					

## OUTP\_ISSY

OUTP\_ISSY 为 issy 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0xA0			OUTP_ISSY			0x10		
Bit	7	6	5	4	3	2	1	0
Name	issy_long	issy_rmv	tto_adjust					
Reset	0	0	0	1	0	0	0	0
Bits	Access	Name	Description					
[7]	RW	issy_long	ISSY 长度选择。 1: gcs 和 gse 流 issy 为 3byte; 0: gcs 和 gse 流 issy 为 2byte。					
[6]	RW	issy_rmv	ISSY 删除选择。 1: gcs 和 gse 流包长包括 issy; 0: gcs 和 gse 流包长不包括 issy。					
[5:0]	RW	tto_adjust	TTO 调整量。					

## OUTP\_DCAP\_SET

OUTP\_DCAP\_SET 为 DATA PLP 容量设置寄存器。



Offset Address				Register Name		Total Reset Value		
0xA1				OUTP_DCAP_SET		0xC9		
Bit	7	6	5	4	3	2	1	0
Name	vol_dset							
Reset	1	1	0	0	1	0	0	1
Bits	Access	Name	Description					
[7:0]	RW	vol_dset	设置 data plp 容量，大小为 OUTP_DCAP_SET[7:4]<<OUTP_DCAP_SET[3:0]kbit,OUTP_DCAP_SET[7:4]>=8。					

## OUTP\_CCAP\_SET

OUTP\_CCAP\_SET 为 COMMON PLP 容量设置寄存器。

Offset Address				Register Name		Total Reset Value		
0xA2				OUTP_CCAP_SET		0x88		
Bit	7	6	5	4	3	2	1	0
Name	vol_cset							
Reset	1	0	0	0	1	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	vol_cset	设置 common plp 容量，大小为 OUTP_CCAP_SET[7:4]<<OUTP_CCAP_SET[3:0]kbit,OUTP_CCAP_SET[7:4]>=8。					

## OUTP\_PLL0

OUTP\_PLL0 为 PLL 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0xA3			OUTP_PLL0			0x83		
Bit	7	6	5	4	3	2	1	0
Name	cent_point					cent_speed		
Reset	1	0	0	0	0	0	1	1
Bits	Access	Name		Description				
[7:3]	RW	cent_point		设置 OUTP RAM 中心区位置。				
[2:0]	RW	cent_speed		指定中心区反馈系数。				



## OUTP\_PLL1

OUTP\_PLL1 为 PLL 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0xA4			OUTP_PLL1			0x9B		
Bit	7	6	5	4	3	2	1	0
Name	slow_high					fast_speed		
Reset	1	0	0	1	1	0	1	1
Bits	Access	Name	Description					
[7:3]	RW	slow_high	设置 OUTP RAM 慢调区上限。					
[2:0]	RW	fast_speed	指定快调区反馈系数。					

## OUTP\_PLL2

OUTP\_PLL2 为 PLL 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0xA5			OUTP_PLL2			0x40		
Bit	7	6	5	4	3	2	1	0
Name	slow_slow					iscr_ted_gain	pll_speed_i	
Reset	0	1	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:3]	RW	slow_slow	设置 OUTP RAM 慢调区下限。					
[2]	RW	iscr_ted_gain	选择 ISCR 反馈系数。					
[1:0]	RW	pll_speed_i	设置 ISCR 反馈值增益。					

## OUTP\_PLL3

OUTP\_PLL3 为 PLL 控制寄存器。



Offset Address			Register Name			Total Reset Value		
0xA6			OUTP_PLL3			0xBF		
Bit	7	6	5	4	3	2	1	0
Name	fast_high					auto_vol	pll_speed_r	
Reset	1	0	1	1	1	1	1	1
Bits	Access	Name	Description					
[7:3]	RW	fast_high	设置 OUTP RAM 快调区上限。					
[2]	RW	auto_vol	DJB 容量自动选择开关。 1： OUTP RAM 中 data plp 和 common plp 容量自动设置； 0： 根据 OUTP_DCAP_SET 和 OUTP_CCAP_SET 设置容量。					
[1:0]	RW	pll_speed_r	无 iscr 根据容量反馈调整系数。					

## OUTP\_PLL4

OUTP\_PLL4 为 PLL 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0xA7			OUTP_PLL4			0x23		
Bit	7	6	5	4	3	2	1	0
Name	fast_low					out_mode_auto	ted_shift	
Reset	0	0	1	0	0	0	1	1
Bits	Access	Name		Description				
[7:3]	RW	fast_low		设置 OUTP RAM 快调区下限。				
[2]	RW	out_mode_auto		TS 输出模式自动选择开关。 1：开启 TS 输出模式自动选择； 0：关闭 TS 输出模式自动选择，此时根据 clk_mode 和 out_mode 确定输出模式。				
[1:0]	RW	ted_shift		指定 PLL 反馈系数。				

## OUTP\_CLK\_SET

OUTP\_CLK\_SET 为输出时钟设置寄存器。



Offset Address			Register Name				Total Reset Value	
0xA8			OUTP_CLK_SET				0x00	
Bit	7	6	5	4	3	2	1	0
Name	clk_div						clk_mode	
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:2]	RW	clk_div	系统时钟频率与 I2C 配置时钟频率比值的整数部分。					
[1:0]	RW	clk_mode	TS 输出时钟选择。 00：选择 PLL 均匀时钟； 01：I2C 配置时钟； 10：基本单元时钟； 11：保留。					

## OUTP\_CLK\_SETH

OUTP\_CLK\_SETH 为 I2C 时钟设置寄存器。

Offset Address			Register Name			Total Reset Value		
0xA9			OUTP_CLK_SETH			0x00		
Bit	7	6	5	4	3	2	1	0
Name	clk_div_fh							
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RW	clk_div_fh	系统时钟频率与 I2C 配置时钟频率比值的小数部分高 8bit。				

## OUTP\_CLK\_SETL

OUTP\_CLK\_SETL 为 I2C 时钟设置寄存器。



Offset Address			Register Name			Total Reset Value		
0xAA			OUTP_CLK_SETL			0x00		
Bit	7	6	5	4	3	2	1	0
Name	clk_div_fl							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	clk_div_fl		系统时钟频率与 I2C 配置时钟频率比值的小数部分低 8bit。				

## OUTP\_MODE\_SET

OUTP\_MODE\_SET 为输出模式设置寄存器。

Offset Address			Register Name				Total Reset Value	
0xAB			OUTP_MODE_SET				0x10	
Bit	7	6	5	4	3	2	1	0
Name	out_mode		ram_thres					serl_sync8
Reset	0	0	0	1	0	0	0	0
Bits	Access	Name	Description					
[7:6]	RW	out_mode	TS 输出模式选择。 00: TS 完全均匀输出; 01: 根据 I2C 配置时钟输出; 10: 根据基本单元时钟输出; 11: 有完整包即输出。					
[5:1]	RW	ram_thres	设置 OUTP RAM 开始输出阈值。					
[0]	RW	serl_sync8	TS 同步头时间长度选择。 1: 串行模式下同步字占 8 个 bit 宽度; 0: 串行 1bit 时占 1bit, 串行 2bit 时占 2bit 宽度。					

## OUTP\_TS\_MODE

OUTP\_TS\_MODE 为 TS 输出模式设置寄存器。



Offset Address			Register Name			Total Reset Value		
0xAC			OUTP_TS_MODE			0x05		
Bit	7	6	5	4	3	2	1	0
Name	wait_time			mask_clk	clk_inv	msb_1st	serl2	paral
Reset	0	0	0	0	0	1	0	1
Bits	Access	Name	Description					
[7:5]	RW	wait_time	设置 TS 输出等到时间。 000:10ms; 001:20ms; 010:40ms; 011:80ms; 100:160ms; 101:320ms; 110:640ms; 111:1000ms。					
[4]	RW	mask_clk	TS 时钟屏蔽开关。 1：当无 TS 流时屏蔽 TS 输出时钟； 0：不屏蔽 TS 输出时钟。					
[3]	RW	clk_inv	TS 时钟沿选择。 1：TS 时钟负沿在数据中间； 0：TS 时钟正沿在数据中间。					
[2]	RW	msb_1st	串行输出顺序选择。 1：串行输出时高位先出； 0：串行输出时低位先出。					
[1]	RW	serl2	串行模式选择，paral 为 0 时，serl2 的配置才生效。 1：TS 串行 2bit 输出模式； 0：TS 串行 1bit 输出。					
[0]	RW	paral	TS 输出串并行输出选择。 1：TS 并行 8bit 输出模式； 0：串行输出模式。					

## OUTP\_PKT\_STA

OUTP\_PKT\_STA 为 TS 统计包数设置寄存器。



Offset Address			Register Name			Total Reset Value		
0xAE			OUTP_PKT_STA			0x20		
Bit	7	6	5	4	3	2	1	0
Name	sta_pkt_set							
Reset	0	0	1	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	sta_pkt_set		在计算 TS 初始速率时设置需要统计的包的个数。				

## OUTP\_LIMIT\_EN

OUTP\_LIMIT\_EN 为限幅和使能寄存器。

Offset Address			Register Name			Total Reset Value		
0xAF			OUTP_LIMIT_EN			0x64		
Bit	7	6	5	4	3	2	1	0
Name	tei_en	ctrl_limit	iscr_limit	discard_num				
Reset	0	1	1	0	0	1	0	0
Bits	Access	Name		Description				
[7]	RW	tei_en		TS 错误标志位产生复位信号开关。 1：开启 TS 错误标志位产生复位信号； 0：关闭 TS 错误标志位产生复位信号。				
[6]	RW	ctrl_limit		PLL 控制字限幅使能。 1：限幅到 32767； 0：不限幅。				
[5]	RW	iscr_limit		ISCR 反馈处理选择。 1：对 ISCR 反馈值限幅； 0：不对 ISCR 反馈值限幅。				
[4:0]	RW	discard_num		设置统计复位阈值，当 BBFrame（baseband frame）中存在错误 bit 且统计包数小于该值时，重新开始统计。				

## PLP\_CTRL

PLP\_CTRL 为 PLP 控制寄存器。





Offset Address				Register Name			Total Reset Value	
0xB0				PLP_CTRL			0x10	
Bit	7	6	5	4	3	2	1	0
Name	reserved			post_static		reserved	common_plp	plp_read
Reset	0	0	0	1	0	0	0	0
Bits	Access	Name	Description					
[7:5]	-	reserved	保留。					
[4:3]	RW	post_static	Post 信令跟踪方式选择。 0: Single PLP 模式时，动态跟踪信令变化； 1: Single PLP 模式且 L1 post 信令中的 static 参数为 0 时，则动态跟踪信令变化； 2: Single PLP 模式时，不跟踪信令变化； 3: 保留。					
[2]	-	reserved	保留。					
[1]	RW	common_plp	Common PLP 使能开关，只在存在 common PLP 时有效，若信号中没有 common plp，该 bit 保持为 0。					
[0]	RW	plp_read	PLP 参数读取开关，只在多 PLP 模式下有效。 1: 只读取不同 PLP 的参数，demod 解调不切换 PLP； 0: demod 解调切换不同的 PLP。					

## PLP\_ID0

PLP\_ID0 为 DataPLP 序号寄存器。

Offset Address				Register Name			Total Reset Value	
0xB1				PLP_ID0			0x00	
Bit	7	6	5	4	3	2	1	0
Name	data_plp_idx							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	data_plp_idx	系统处理 Data PLP 的序号。					



## PLP\_ID1

PLP\_ID1 为 CommonPLP 序号寄存器。

Offset Address			Register Name			Total Reset Value		
0xB2			PLP_ID1			0x04		
Bit	7	6	5	4	3	2	1	0
Name	common_plp_idx							
Reset	0	0	0	0	0	1	0	0
Bits	Access	Name	Description					
[7:0]	RW	common_plp_idx	系统处理 Common PLP 的序号。					

## TPS

TPS 为信号参数寄存器。

Offset Address			Register Name			Total Reset Value		
0xB3			TPS			0x00		
Bit	7	6	5	4	3	2	1	0
Name	t_tps_ok	l1_pre_ok	bw_ext	gi_mode			t2_base_lite	l1_post_scr
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RO	t_tps_ok	DVBT 信号时信道参数检测完成指示。					
[6]	RO	l1_pre_ok	DVBT2 信号时 PRE 信令检测完成指示。					
[5]	RO	bw_ext	带宽模式。 1：扩展带宽； 0：普通带宽。					
[4:2]	RO	gi_mode	保护间隔模式。 000：1/32； 001：1/16； 010：1/8； 011：1/4； 100：1/128； 101：19/128； 110：19/256； 其它：保留。					



Offset Address			Register Name			Total Reset Value		
0xB3			TPS			0x00		
Bit	7	6	5	4	3	2	1	0
Name	t_tps_ok	l1_pre_ok	bw_ext	gi_mode			t2_base_lite	l1_post_scr
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[1]	RO	t2_base_lite		T2_base_lite 指示。只在标准 1.3.1 版且当前信号为 lite 模式时有效。				
[0]	RO	l1_post_scr		POST 信令是否加扰指示。 1: POST 信令加扰; 0: POST 信令不加扰。				

## STREAM\_TYPE

STREAM\_TYPE 为传输数据流类型指示寄存器。

Offset Address			Register Name			Total Reset Value		
0xB4			STREAM_TYPE			0x00		
Bit	7	6	5	4	3	2	1	0
Name	stream_type							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	stream_type		DVBT2 输入数据流类型。 0x00: TS; 0x01: GS; 0x02: TS 和 GS; 0x03~0xFF: 保留。				

## CODE\_RATE\_DVBT

CODE\_RATE\_DVBT 为 DVBT 内码码率寄存器



Offset Address			Register Name			Total Reset Value		
0xB4			CODE_RATE_DVBT			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved					code_rate_1		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:3]	-	reserved	保留。					
[2:0]	RO	code_rate_1	DVBT 分层模式低优先级码流和非分层模式内码码率。 000: 1/2; 001: 2/3; 010: 3/4; 011: 5/6; 100: 7/8; 其它: 保留。					

## TPS\_DVBT

TPS\_DVBT 为 DVBT 信号参数寄存器。

Offset Address			Register Name			Total Reset Value		
0xB5			TPS_DVBT			0x00		
Bit	7	6	5	4	3	2	1	0
Name	mod		hier		indepth	code_rate		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:6]	RO	mod		星座。 00: QPSK; 01: 16QAM; 10: 64QAM; 其它: 保留。				



Offset Address			Register Name			Total Reset Value		
0xB5			TPS_DVBT			0x00		
Bit	7	6	5	4	3	2	1	0
Name	mod		hier		indepth	code_rate		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[5:4]	RO	hier		分层模式。 00: 不分层; 01: alpha=1; 10: alpha=2; 11: alpha=4。				
[3]	RO	indepth		交织模式。 1: indepth 交织; 0: normal 交织。				
[2:0]	RO	code_rate_H		分层模式高优先级码流或非分层模式内码码率。 000: 1/2; 001: 2/3; 010: 3/4; 011: 5/6; 100: 7/8; 其它: 保留。				

## PAPR\_L1MOD

PAPR\_L1MOD 为 DVBT2 PRE 信令寄存器。

Offset Address			Register Name			Total Reset Value		
0xB5			PAPR_L1MOD			0x00		
Bit	7	6	5	4	3	2	1	0
Name	papr				l1_mod			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:4]	RO	papr		PAPR 参数。				



Offset Address				Register Name			Total Reset Value	
0xB5				PAPR_L1MOD			0x00	
Bit	7	6	5	4	3	2	1	0
Name	papr				l1_mod			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[3:0]	RO	l1_mod		POST 信令星座。 0000: BPSK; 0001: QPSK; 0010: 16QAM; 0011: 64QAM; 其它: 保留。				

## PP\_VERSION

PP\_VERSION 为 DVBT2 PRE 信令寄存器。

Offset Address				Register Name			Total Reset Value	
0xB8				PP_VERSION			0x00	
Bit	7	6	5	4	3	2	1	0
Name	pilotpattern				t2_version			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:4]	RO	pilotpattern		导频图样。 0000: PP1; 0001: PP2; 0010: PP3; 0011: PP4; 0100: PP5; 0101: PP6; 0110: PP7; 0111: PP8; 其它: 保留。				



Offset Address				Register Name		Total Reset Value		
0xB8				PP_VERSION		0x00		
Bit	7	6	5	4	3	2	1	0
Name	pilotpattern				t2_version			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[3:0]	RO	t2_version		T2 标准版本。 0000: 1.1.1; 0001: 1.2.1; 0010: 1.3.1; 其它: 保留。				

## NUM\_T2\_FRM

NUM\_T2\_FRM 为 DVBT2 PRE 信令寄存器。

Offset Address			Register Name			Total Reset Value		
0xB9			NUM_T2_FRM			0x00		
Bit	7	6	5	4	3	2	1	0
Name	num_t2_frm							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	num_t2_frm		T2 信号每个超帧中 T2 帧个数。				

## LDATA\_L

LDATA\_L 为 DVBT2 PRE 信令寄存器。

Offset Address			Register Name			Total Reset Value		
0xBA			LDATA_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	num_dat_sym_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	num_dat_sym_l		每 T2 帧中数据符号数的低位值。				



## LDATA\_H

LDATA\_H 为 DVBT2 PRE 信令寄存器。

Offset Address			Register Name			Total Reset Value		
0xBB			LDATA_H			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved				num_dat_sym_h			
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:4]	RO	reserved	保留。				
	[3:0]	RO	num_dat_sym_h	每 T2 帧中数据符号数的高位值。				

## NUM\_PLP

NUM\_PLP 为 DVBT2 PRE 信令寄存器。

Offset Address			Register Name			Total Reset Value		
0xBF			NUM_PLP			0x00		
Bit	7	6	5	4	3	2	1	0
Name	num_plp							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	num_plp		T2 信号中 PLP 的个数。				

## PLP\_ID

PLP\_ID 为 DVBT2 POST 信令寄存器。





Offset Address			Register Name			Total Reset Value		
0xC6			PLP_ID			0x00		
Bit	7	6	5	4	3	2	1	0
Name	plp_id							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	plp_id		当前选定 PLP 的 ID，有 0xB1 指定 PLP。				

## PLP\_TYPE

PLP\_TYPE 为 DVBT2 POST 信令寄存器。

Offset Address			Register Name			Total Reset Value		
0xC7			PLP_TYPE			0x00		
Bit	7	6	5	4	3	2	1	0
Name	plp_type			plp_pay_load				
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:5]	RO	plp_type	当前选定 PLP 的 TYPE。 000: Common PLP; 001: Type 1 PLP; 010: Type 2 PLP; 其它: 保留。					
[4:0]	RO	plp_pay_load	当前选定 PLP 的 Payload。 00000: GFPS; 00001: GCS; 00010: GSE; 00011: TS; 其它: 保留。					

## PLP\_GRP\_ID

PLP\_GRP\_ID 为 DVBT2 POST 信令寄存器。



Offset Address			Register Name			Total Reset Value		
0xC8			PLP_GRP_ID			0x00		
Bit	7	6	5	4	3	2	1	0
Name	plp_grp_id							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	plp_grp_id		当前选定 PLP 的 GROUP ID。				

PLP\_PARAM

PLP\_PARAM 为 DVBT2 POST 信令寄存器。



Offset Address 0xC9				Register Name PLP_PARAM			Total Reset Value 0x00	
Bit	7	6	5	4	3	2	1	0
Name	plp_cod			plp_mod			plp_rotation	plp_fec_type
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:5]	RO	plp_cod		当前选定 PLP 的 LDPC 码率。 Base 模式。 000: 1/2; 001: 3/5; 010: 2/3; 011: 3/4; 100: 4/5; 101: 5/6, 其它: 保留。  Lite 模式。 000: 1/2; 001: 3/5; 010: 2/3; 011: 3/4; 110: 1/3; 111: 2/5; 其它: 保留。				
[4:2]	RO	plp_mod		当前选定 PLP 的星座。 000: QPSK; 001: 16QAM; 010: 64QAM; 011: 256QAM; 其它: 保留。				
[1]	RO	plp_rotation		当前选定 PLP 的星座旋转模式。 0: 标准星座; 1: 旋转星座。				



Offset Address				Register Name			Total Reset Value	
0xC9				PLP_PARAM			0x00	
Bit	7	6	5	4	3	2	1	0
Name	plp_cod			plp_mod			plp_rotation	plp_fec_type
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[0]	RO	plp_fec_type		当前选定 PLP 的 FEC 帧类型。 0: 16K LDPC; 1: 64KLDPC。				

## ADC\_CTRL0

ADC\_CTRL0 为 ADC IP 控制寄存器。

Offset Address				Register Name			Total Reset Value	
0x00				ADC_CTRL0			0x41	
Bit	7	6	5	4	3	2	1	0
Name	adi2c_en	adc_clk_on	adc_clk_sel					
Reset	0	1	0	0	0	0	0	1
Bits	Access	Name		Description				
[7]	RW	adi2c_en		ADC 的 i2c 使能开关，adc 的 i2c 和 tuner 的 i2c 一起挂在 repeater 上。 c_adi2c_en 为 1 时，repeater 与 adc 通信；c_adi2c_en 为 0 时，repeater 与 tuner 通信。				
[6]	RW	adc_clk_on		ADC 时钟输入开关。 1: 开启 adc 的时钟输入； 0: 关断 adc 的时钟输入。				
[5:0]	RW	adc_clk_sel		ADC 时钟选择。				

## ADC\_CTRL1

ADC\_CTRL1 为 ADC IP 控制寄存器。



Offset Address			Register Name				Total Reset Value	
0x01			ADC_CTRL1				0xC0	
Bit	7	6	5	4	3	2	1	0
Name	adc_enavcmin	adi2c_resetz	adi2c_addr1	adi2c_addr0	pllout_sel	ts_testout	test_clk_en	i2c_xo_clk
Reset	1	1	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RW	adc_enavcmin	ADC 共模电压模块使能信号。 1：使能 ADC 共模电压产生； 0：旁路 ADC 共模电压模块。					
[6]	RW	adi2c_resetz	0：复位 ADC 模块； 1：解除复位。					
[5]	RW	adi2c_addr1	配置 adc 的 i2c 地址。					
[4]	RW	adi2c_addr0	配置 adc 的 i2c 地址。					
[3]	RW	pllout_sel	0：正常功能； 1：fec_err/ts_err 脚输出 PLL 的分频信号。					
[2]	RW	ts_testout	0：TS 管脚正常功能； 1：输出测试数据。					
[1]	RW	test_clk_en	0：正常功能模式； 1：使能内部 PLL 分频，可通过 c_pllout_sel 选择 fec_err/ts_err 输出。					
[0]	RW	i2c_xo_clk	0：i2c 工作在晶振时钟上； 1：i2c 工作在 clk_dem 时钟上。					

## ADC\_CTRL2

ADC\_CTRL2 为 ADC IP 控制寄存器。

Offset Address				Register Name		Total Reset Value		
0x02				ADC_CTRL2		0x29		
Bit	7	6	5	4	3	2	1	0
Name	adc_bctrl					adc_endoutz	adc_endcr	adc_chsel
Reset	0	0	1	0	1	0	0	1
Bits	Access	Name		Description				
[7:3]	RW	adc_bctrl		ADC 偏置电流控制，默认值 0x05。				



Offset Address			Register Name			Total Reset Value		
0x02			ADC_CTRL2			0x29		
Bit	7	6	5	4	3	2	1	0
Name	adc_bctrl					adc_endoutz	adc_endcr	adc_chsel
Reset	0	0	1	0	1	0	0	1
Bits	Access	Name	Description					
[2]	RW	adc_endoutz	0: 输出正常 I/Q 数据; 1: 输出 0。					
[1]	RW	adc_endcr	1: 使能 duty cycle restorer(采样率 Fs 大于等于 40M 情况下才 能用); 0: 关闭 duty cycle restorer。					
[0]	RW	adc_chsel	与 adc_ppsel 一起决定 adc 的通道工作模式。 {adc_ppsel,adc_chsel} 00: 单通道 I 路; 01: 单通道 Q 路; 10: 双通道 I/Q interleave; 11: 双通道独立。 双通道模式下 adc 输入时钟频率需要采样率的两倍。					

## ADC\_CTRL3

ADC\_CTRL3 为 ADC IP 控制寄存器。

Offset Address			Register Name				Total Reset Value	
0x03			ADC_CTRL3				0x01	
Bit	7	6	5	4	3	2	1	0
Name	adc_ppsel	adc_prevf	adc_opm		adc_bcal		adc_startcal	adc_selof
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7]	RW	adc_ppsel	参考 adc_chsel。					
[6]	RW	adc_prevf	ADC 自校正模块使能信号。 0: 开启 ADC 自校正模块; 1: 关闭 ADC 自校正模块。					



Offset Address			Register Name				Total Reset Value	
0x03			ADC_CTRL3				0x01	
Bit	7	6	5	4	3	2	1	0
Name	adc_ppsel	adc_prevf	adc_opm		adc_bcal		adc_startcal	adc_selof
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[5:4]	RW	adc_opm	ADC 工作模式。 00: Power down; 01/10: Standby; 11: 正常工作。					
[3:2]	RW	adc_bcal	ADC background calibration 控制。					
[1]	RW	adc_startcal	ADC start carlibration。					
[0]	RW	adc_selof	0: ADC 原码输出; 1: ADC 补码输出。					

## ADC\_FSCTRL

ADC\_FSCTRL 为 ADC IP 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x04			ADC_FSCTRL			0x00		
Bit	7	6	5	4	3	2	1	0
Name	adc_fsctrl							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	adc_fsctrl	ADC 输出数字增益。 gain = 1+adc_fsctrl/256。					

## PLL\_LOCK

PLL\_LOCK 为 PLL 锁定指示寄存器。



Offset Address			Register Name			Total Reset Value		
0x05			PLL_LOCK			0x00		
Bit	7	6	5	4	3	2	1	0
Name	pll1_lock	pll0_lock	adc_rflagi			adc_rflagq		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RO	pll1_lock	PLL1 锁定指示。 1：锁定； 0：未锁定。					
[6]	RO	pll0_lock	PLL0 锁定指示。 1：锁定； 0：未锁定。					
[5:3]	RO	adc_rflagi	ADC I 路输入信号溢出指示。					
[2:0]	RO	adc_rflagq	ADC Q 路输入信号溢出指示。					

## PLL0\_FRAC\_L

PLL0\_FRAC\_L 为 PLL0 分频小数部分低位寄存器。

Offset Address			Register Name			Total Reset Value		
0x06			PLL0_FRAC_L			0x00		
Bit	7	6	5	4	3	2	1	0
Name	pll0_frac_1							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	pll0_frac_1		LSB of the Fractional portion of the PLL0 feedback divide value 。				

## PLL0\_PD

PLL0\_PD 为 PLL0 power down 控制寄存器。





Offset Address			Register Name			Total Reset Value		
0x07			PLL0_PD			0x40		
Bit	7	6	5	4	3	2	1	0
Name	pll0_foutpostdivpd	pll0_fout4phasepd	pll0_foutvcopd	pll0_pd	pll0_frac_h			
Reset	0	1	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7]	RW	pll0_foutpostdivpd	PLL0 foutpostdiv power down 开关。 1: power down; 0: power up。				
	[6]	RW	pll0_fout4phasepd	PLL0 fout4phase power down 开关。 1: power down; 0: power up。				
	[5]	RW	pll0_foutvcopd	PLL0 foutvco power down 开关。 1: power down; 0: power up。				
	[4]	RW	pll0_pd	PLL0 power down 开关。 1: power down; 0: power up。				
	[3:0]	RW	pll0_frac_h	MSB of the Fractional portion of the PLL0 feedback divide value。				

## PLL0\_POSTDIV

PLL0\_POSTDIV 为 PLL0 post divide 配置寄存器。

Offset Address			Register Name			Total Reset Value		
0x08			PLL0_POSTDIV			0x11		
Bit	7	6	5	4	3	2	1	0
Name	pll0_dsmpd	pll0_dacpd	pll0_postdiv2			pll0_postdiv1		
Reset	0	0	0	1	0	0	0	1
Bits	Access	Name	Description					
[7]	RW	pll0_dsmpd	PLL0 down Delta-Sigma modulator power down 开关。 1: power down; 0: power up。					



Offset Address			Register Name			Total Reset Value										
0x08			PLL0_POSTDIV			0x11										
Bit	7		6		5		4		3		2		1		0	
Name	pll0_dsmpd		pll0_dacpd		pll0_postdiv2						pll0_postdiv1					
Reset	0		0		0		1		0		0		0		1	
Bits	Access	Name			Description											
[6]	RW	pll0_dacpd			PLL0 noise cancelling DAC power down 开关。 1: power down; 0: power up。											
[5:3]	RW	pll0_postdiv2			PLL0 post divider2。											
[2:0]	RW	pll0_postdiv1			PLL0 post divider1。											

## PLL0\_FBDIV

PLL0\_FBDIV 为 PLL0 feedback divide vlaue 寄存器。

Offset Address				Register Name			Total Reset Value	
0x09				PLL0_FBDIV			0x20	
Bit	7	6	5	4	3	2	1	0
Name	pll0_fbdiv							
Reset	0	0	1	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	pll0_fbdiv		PLL0 feed back divide value。				

## PLL0\_REFDIV

PLL0\_REFDIV 为 PLL0 reference divide value 寄存器。



Offset Address			Register Name			Total Reset Value		
0x0A			PLL0_REFDIV			0x01		
Bit	7	6	5	4	3	2	1	0
Name	adc_rdy	pll0_bypass	pll0_refdiv					
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7]	RO	adc_rdy	Indication of the ADC working state, 1: ADC ready; 0: ADC not ready.					
[6]	RW	pll0_bypass	PLL0 bypass. 1: Bypass the PLL; 0: PLL at the work mode.					
[5:0]	RW	pll0_refdiv	PLL0 refrence divide value.					

## PLL0\_SPREAD

PLL0\_SPREAD 为 PLL0 扩频模式配置寄存器。

Offset Address			Register Name			Total Reset Value		
0x0B			PLL0_SPREAD			0x01		
Bit	7	6	5	4	3	2	1	0
Name	reserved	pll0_spread			pll0_downspread	pll0_disable_sscg	pll0_rst_req	pll0_cken
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7]	-	reserved	保留。					
[6:4]	RW	pll0_spread	PLL0 扩频模式选择。					
[3]	RW	pll0_downspread	PLL0 downspread 模式选择。					
[2]	RW	pll0_disable_sscg	PLL0 synchronization clock gate 开关。					
[1]	RW	pll0_rst_req	PLL0 扩频模式复位请求。 1: 复位; 0: 取消复位。					
[0]	RW	pll0_cken	PLL0 扩频模式时钟开关。 1: 开启; 0: 关闭。					



## PLL\_DIVVAL

PLL\_DIVVAL 为 PLL 扩频模式输出分频控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x0C			PLL_DIVVAL			0x00		
Bit	7	6	5	4	3	2	1	0
Name	pll1_divval				pll0_divval			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:4]	RW	pll1_divval		PLL1 扩频模式 VCO 输出分频值。				
[3:0]	RW	pll0_divval		PLL0 扩频模式 VCO 输出分频值。				

## PLL1\_FRAC\_L

PLL1\_FRAC\_L 为 PLL1 分频小数部分低位寄存器。

Offset Address				Register Name			Total Reset Value	
0x0D				PLL1_FRAC_L			0x00	
Bit	7	6	5	4	3	2	1	0
Name	pll1_frac_l							
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RW	pll1_frac_l	LSB of the Fractional portion of the PLL1 feedback divide value .				

## PLL1\_PD

PLL1\_PD 为 PLL1 power down 控制寄存器。



Offset Address			Register Name			Total Reset Value		
0x0E			PLL1_PD			0x48		
Bit	7	6	5	4	3	2	1	0
Name	pll1_foutpostdivpd	pll1_fout4phasepd	pll1_foutvcopd	pll1_pd	pll1_frac_h			
Reset	0	1	0	0	1	0	0	0
Bits	Access	Name	Description					
[7]	RW	pll1_foutpostdivpd	PLL1 foutpostdiv power down 开关。 1: power down; 0: power up。					
[6]	RW	pll1_fout4phasepd	PLL1 fout4phase power down 开关。 1: power down; 0: power up。					
[5]	RW	pll1_foutvcopd	PLL1 foutvco power down 开关。 1: power down; 0: power up。					
[4]	RW	pll1_pd	PLL1 power down 开关。 1: power down; 0: power up。					
[3:0]	RW	pll1_frac_h	MSB of the Fractional portion of the PLL1 feedback divide value。					

## PLL1\_POSTDIV

PLL1\_POSTDIV 为 PLL1 post divide 配置寄存器。

Offset Address			Register Name			Total Reset Value		
0x0F			PLL1_POSTDIV			0x12		
Bit	7	6	5	4	3	2	1	0
Name	pll1_dsmpd	pll1_dacpd	pll1_postdiv2			pll1_postdiv1		
Reset	0	0	0	1	0	0	1	0
Bits	Access	Name	Description					
[7]	RW	pll1_dsmpd	PLL1 down Delta-Sigma modulator power down 开关。 1: power down; 0: power up。					



Offset Address			Register Name			Total Reset Value		
0x0F			PLL1_POSTDIV			0x12		
Bit	7	6	5	4	3	2	1	0
Name	pll1_dsmpd	pll1_dacpd	pll1_postdiv2			pll1_postdiv1		
Reset	0	0	0	1	0	0	1	0
Bits	Access	Name		Description				
[6]	RW	pll1_dacpd		PLL1 noise cancelling DAC power down 开关。 1: power down; 0: power up。				
[5:3]	RW	pll1_postdiv2		PLL1 post divider2。				
[2:0]	RW	pll1_postdiv1		PLL1 post divider1。				

## PLL1\_FBDIV

PLL1\_FBDIV 为 feedback divide vlaue 寄存器。

Offset Address				Register Name			Total Reset Value	
0x10				PLL1_FBDIV			0x19	
Bit	7	6	5	4	3	2	1	0
Name	pll1_fbdiv							
Reset	0	0	0	1	1	0	0	1
Bits	Access	Name		Description				
[7:0]	RW	pll1_fbdiv		PLL1 feed back divide value。				

## PLL1\_REFDIV

PLL1\_REFDIV 为 reference divide value 寄存器。



Offset Address			Register Name			Total Reset Value		
0x11			PLL1_REFDIV			0x01		
Bit	7	6	5	4	3	2	1	0
Name	reserved	pll1_bypass	pll1_refdiv					
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7]	-	reserved	保留。					
[6]	RW	pll1_bypass	PLL1 bypass。 1: Bypass the PLL; 0: PLL at the work mode。					
[5:0]	RW	pll1_refdiv	PLL1 refrenence divide value。					

## PLL1\_SPREAD

PLL1\_SPREAD 为扩频模式配置寄存器。

Offset Address			Register Name			Total Reset Value		
0x12			PLL1_SPREAD			0x01		
Bit	7	6	5	4	3	2	1	0
Name	reserved	pll1_spread			pll1_downspread	pll1_disable_sscg	pll1_rst_req	pll1_cken
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7]	-	reserved	保留。					
[6:4]	RW	pll1_spread	PLL1 扩频模式选择。					
[3]	RW	pll1_downspread	PLL1 downspread 模式选择。					
[2]	RW	pll1_disable_sscg	PLL1 synchronization clock gate 开关。					
[1]	RW	pll1_rst_req	PLL1 扩频模式复位请求。 1: 复位; 0: 取消复位。					
[0]	RW	pll1_cken	PLL1 扩频模式时钟开关。 1: 开启; 0: 关闭。					



## IO\_CTRL0

IO\_CTRL0 为 IO 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x13			IO_CTRL0			0x00		
Bit	7	6	5	4	3	2	1	0
Name	ts_sync_sl	ts_sync_ds			ts_data_sl	ts_data_ds		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RW	ts_sync_sl	ts_sync IO 速率控制。 1：高速； 0：低速。					
[6:4]	RW	ts_sync_ds	ts_sync IO 驱动电流配置。 000：4mA； 001：7mA； 010：10mA； 011：12mA； 100：14mA； 101：16mA； 110：18mA； 111：20mA。					
[3]	RW	ts_data_sl	ts_data IO 速率控制。 1：高速；0：低速。					
[2:0]	RW	ts_data_ds	ts_data IO 驱动电流配置。 000：4mA； 001：7mA； 010：10mA； 011：12mA； 100：14mA； 101：16mA； 110：18mA； 111：20mA。					





## IO\_CTRL1

IO\_CTRL1 为 IO 控制寄存器。

Offset Address			Register Name				Total Reset Value	
0x14			IO_CTRL1				0x00	
Bit	7	6	5	4	3	2	1	0
Name	ts_err_sl	ts_err_ds			ts_vld_sl			ts_vld_ds
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RW	ts_err_sl	ts_err IO 速率控制。 1：高速； 0：低速。					
[6:4]	RW	ts_err_ds	ts_err IO 驱动电流配置。 000：4mA； 001：7mA； 010：10mA； 011：12mA； 100：14mA； 101：16mA； 110：18mA； 111：20mA。					
[3:1]	RW	ts_vld_sl	ts_vld IO 速率控制。 1：高速； 0：低速。					
[0]	RW	ts_vld_ds	ts_vld IO 驱动电流配置。 000：4mA； 001：7mA； 010：10mA； 011：12mA； 100：14mA； 101：16mA； 110：18mA； 111：20mA。					



## IO\_CTRL2

IO\_CTRL2 为 IO 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x15			IO_CTRL2			0x00		
Bit	7	6	5	4	3	2	1	0
Name	clkout_sl		clkout_ds		ts_clk_sl	ts_clk_ds		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RW	clkout_sl	clkout IO 速率控制。 1：高速； 0：低速。					
[6:4]	RW	clkout_ds	clkout IO 驱动电流配置。 000：4mA； 001：7mA； 010：10mA； 011：12mA； 100：14mA； 101：16mA； 110：18mA； 111：20mA。					
[3]	RW	ts_clk_sl	ts_clk IO 速率控制。 1：高速； 0：低速。					
[2:0]	RW	ts_clk_ds	ts_clk IO 驱动电流配置。 000：4mA； 001：7mA； 010：10mA； 011：12mA； 100：14mA； 101：16mA； 110：18mA； 111：20mA。					



## IO\_CTRL3

IO\_CTRL3 为 IO 控制寄存器。

Offset Address			Register Name			Total Reset Value		
0x16			IO_CTRL3			0xC0		
Bit	7	6	5	4	3	2	1	0
Name	sdc_clk_sel			fec_err_hiz	fec_err_sl	fec_err_ds		
Reset	1	1	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:5]	RW	sdc_clk_sel	sdc 时钟相位选择。					
[4]	RW	fec_err_hiz	fec_err IO 输出模式选择。 1: fec_err IO 高阻; 0: fec_err IO 正常工作。					
[3]	RW	fec_err_sl	fec_err IO 速率控制。 1: 高速; 0: 低速。					
[2:0]	RW	fec_err_ds	fec_err IO 驱动电流配置。000: 4mA; 001: 7mA; 010: 10mA; 011: 12mA; 100: 14mA; 101: 16mA; 110: 18mA; 111: 20mA。					

## IO\_CTRL4

IO\_CTRL4 为 IO 控制寄存器。



Offset Address			Register Name			Total Reset Value		
0x17			IO_CTRL4			0x00		
Bit	7	6	5	4	3	2	1	0
Name	lock_sel		lock_val	clkout_sel		clkout_hiz	lock_hiz	ts_hiz
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:6]	RW	lock_sel		lock 管脚输出信号选择。 00: demo 锁定指示; 01: TXD; 10: FEF 区域指示; 11: lock_val 值。				
[5]	RW	lock_val		lock 管脚输出信号配置值。				
[4:3]	RW	clkout_sel		clkout IO 输出信号选择。 00: 晶振时钟; 01: FEF 区域指示; 10: demo 锁定指示; 11: gpio_val 值。				
[2]	RW	clkout_hiz		clkout IO 输出模式选择。 1: clkout IO 高阻; 0: clkout IO 正常工作。				
[1]	RW	lock_hiz		LOCK IO 输出模式选择。 1: LOCK IO 高阻; 0: LOCK IO 正常工作。				
[0]	RW	ts_hiz		TS IO 输出模式选择。 1: TS IO 高阻; 0: TS IO 正常工作。				

## SDR\_CTRL

SDR\_CTRL 为 SDR 控制寄存器。



Offset Address			Register Name			Total Reset Value		
0x18			SDR_CTRL			0x24		
Bit	7	6	5	4	3	2	1	0
Name	sdr_dq_sl	sdr_dq_ds		sdr_addr_sl	sdr_addr_ds		sdr_etron	gpio_val
Reset	0	0	1	0	0	1	0	0
Bits	Access	Name		Description				
[7]	RW	sdr_dq_sl		sdr_dq IO 速率控制。 1：高速； 0：低速。				
[6:5]	RW	sdr_dq_ds		sdr_dq IO 驱动电流配置。 00：4mA； 01：7mA； 10：10mA； 11：12mA。				
[4]	RW	sdr_addr_sl		sdr_addr IO 速率控制。 1：高速； 0：低速。				
[3:2]	RW	sdr_addr_ds		sdr_addr IO 驱动电流配置。 00：4mA； 01：7mA； 10：10mA； 11：12mA。				
[1]	RW	sdr_etron		合封 sdram 选择。 1：sdram 为 Etron； 0：sdram 为 Winbond。				
[0]	RW	gpio_val		gpio 输出信号控制寄存器。				



## 目 录

<b>3 硬件设计.....</b>	<b>3-2</b>
3.1 封装与管脚.....	3-2
3.1.1 封装与管脚分布.....	3-2
3.1.2 管脚描述 .....	3-5
3.1.3 IO 功能配置寄存器概览 .....	3-11
3.1.4 IO 功能配置寄存器描述 .....	3-11
3.1.5 软件复用管脚.....	3-13
3.2 电性能参数.....	3-14
3.2.1 功耗分布 .....	3-14
3.2.2 极限工作条件.....	3-14
3.2.3 推荐工作条件.....	3-15
3.2.4 上下电顺序 .....	3-15
3.2.5 DC 电气参数.....	3-15
3.3 原理图设计建议.....	3-16
3.3.1 小系统设计建议.....	3-16
3.3.2 电源设计建议.....	3-21
3.3.3 未使用管脚处理.....	3-23
3.4 PCB 设计建议 .....	3-23
3.4.1 层叠和布局 .....	3-23
3.4.2 小系统 PCB 设计建议 .....	3-24
3.4.3 数字、模拟接口 PCB 设计建议 .....	3-25
3.5 热设计建议.....	3-27
3.5.1 封装热阻 .....	3-27
3.5.2 导热介质材料推荐.....	3-27
3.5.3 原理图设计 .....	3-27
3.5.4 PCB 设计 .....	3-28
3.6 焊接工艺建议.....	3-28
3.6.1 概述 .....	3-28
3.6.2 加工准备 .....	3-29
3.7 潮敏参数.....	3-29



3.7.1 存放与使用 .....	3-29
3.7.2 重新烘烤 .....	3-30
3.8 接口时序.....	3-31
3.8.1 输出接口时序.....	3-31
3.8.2 输出时序参数.....	3-33



## 插图目录

图 3-1 芯片封装图 .....	3-3
图 3-2 封装参数说明表 .....	3-4
图 3-3 Hi3137V100 封装管脚分布示意图 .....	3-5
图 3-4 Hi3137V100 应用推荐晶体连接方式及器件参数 .....	3-16
图 3-5 复位典型设计电路 .....	3-17
图 3-6 Hi3137V100 与 DECODER 并接的拓扑结构图 .....	3-18
图 3-7 Hi3137V100 与 DECODER 串接的拓扑结构图 .....	3-19
图 3-8 Hi3137V100 AGC 接口与 Tuner 的拓扑结构图 .....	3-19
图 3-9 Hi3137V100 I2C 接口与 Hi3xxx 的拓扑结构图 .....	3-20
图 3-10 多层板设计中, TS_OUT[0:7]和 DECODER 芯片互联拓扑结构 .....	3-20
图 3-11 多层板设计中, TS_CLK/TS_SYNC/TS_VALID 和 DECODER 芯片互联拓扑结构 .....	3-21
图 3-12 两层板设计中, TS_OUT[0:7]和 DECODER 芯片互联拓扑结构 .....	3-21
图 3-13 两层板设计中, TS_VAILD、TS_SYNC、TS_CLK 和 DECODER 芯片互联拓扑结构 .....	3-21
图 3-14 Hi3137V100 VDD33_IO 拓扑结构图 .....	3-22
图 3-15 Hi3137 AVDD11_ADC 拓扑结构图 .....	3-22
图 3-16 单板结构图 .....	3-24
图 3-17 焊接温度曲线图 .....	3-29
图 3-18 TS 并行输出时序示意 .....	3-32
图 3-19 TS 一比特串行输出时序示意 .....	3-32
图 3-20 TS 两比特串行时序示意 .....	3-33
图 3-21 TS_CLK 输出时序图 .....	3-33





## 表格目录

表 3-1 管脚排列表 .....	3-5
表 3-2 管脚 I/O 类型说明 .....	3-6
表 3-3 ADC 管脚 .....	3-7
表 3-4 I2C 管脚 .....	3-8
表 3-5 TS 管脚 .....	3-8
表 3-6 PLL 管脚 .....	3-9
表 3-7 OSC 管脚 .....	3-10
表 3-8 PG 管脚 .....	3-10
表 3-9 SYS 管脚 .....	3-11
表 3-10 IO 功能配置寄存器概览(复用寄存器基地址为 0x00) .....	3-11
表 3-11 LOCK、CLK_OUT 的管脚复用选择 .....	3-13
表 3-12 管脚复用信号描述 .....	3-13
表 3-13 功耗参数 .....	3-14
表 3-14 Hi3137V100 极限工作条件 .....	3-14
表 3-15 推荐工作条件 .....	3-15
表 3-16 DC 电气参数表 .....	3-15
表 3-17 地址配置一 .....	3-17
表 3-18 地址配置二 .....	3-17
表 3-19 Hi3137V100 的封装热阻 .....	3-27
表 3-20 导热介质材料推荐表 .....	3-27
表 3-21 回流焊工艺参数表 .....	3-29
表 3-22 floor life 参照表 .....	3-30
表 3-23 重新烘烤参考表 .....	3-31
表 3-24 TS 输出方向时序参数表 .....	3-33



# 3 硬件设计

## 3.1 封装与管脚

### 3.1.1 封装与管脚分布

#### 封装

Hi3137V100 芯片 MQFN (Mapped Quad Flat Non-leaded package) 封装，封装尺寸为 6mm×6mm，管脚间距为 0.4mm，管脚总数为 48 个，详细封装及其参数如[图 3-1](#)、[图 3-2](#) 所示。



图3-1 芯片封装图

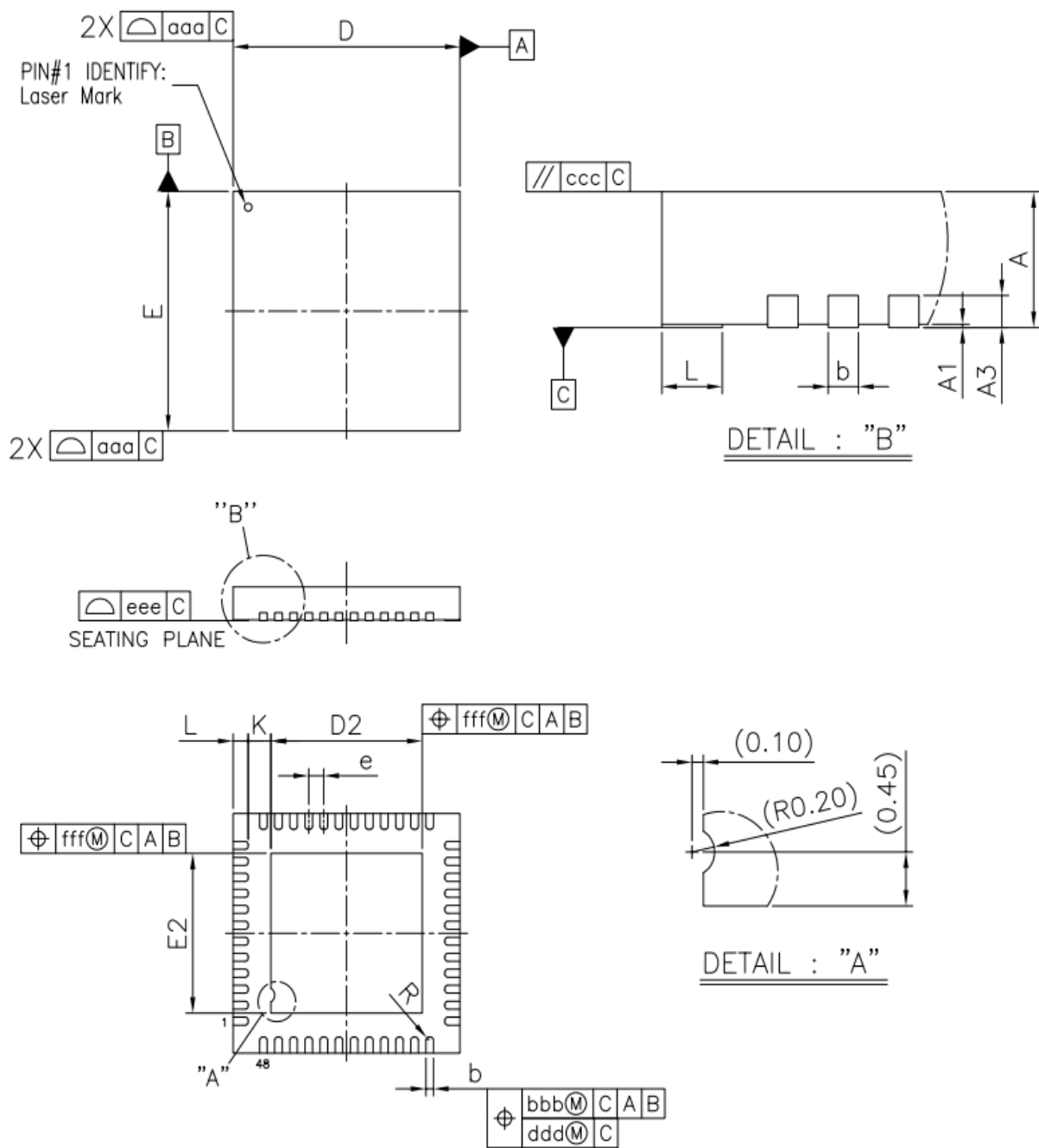




图3-2 封装参数说明表

Symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.80	0.85	0.90	0.031	0.033	0.035
A1	0.00	0.02	0.05	0.000	0.001	0.002
A3	0.20 REF			0.008 REF		
b	0.15	0.20	0.25	0.006	0.008	0.010
D/E	5.90	6.00	6.10	0.232	0.236	0.240
D2/E2	3.85	4.00	4.15	0.152	0.157	0.163
e	0.40 BSC			0.016 BSC		
L	0.30	0.40	0.50	0.012	0.016	0.020
K	0.20	---	---	0.008	---	---
R	0.075	---	---	0.003	---	---
aaa	0.10			0.004		
bbb	0.07			0.003		
ccc	0.10			0.004		
ddd	0.05			0.002		
eee	0.08			0.003		
fff	0.10			0.004		

NOTE:

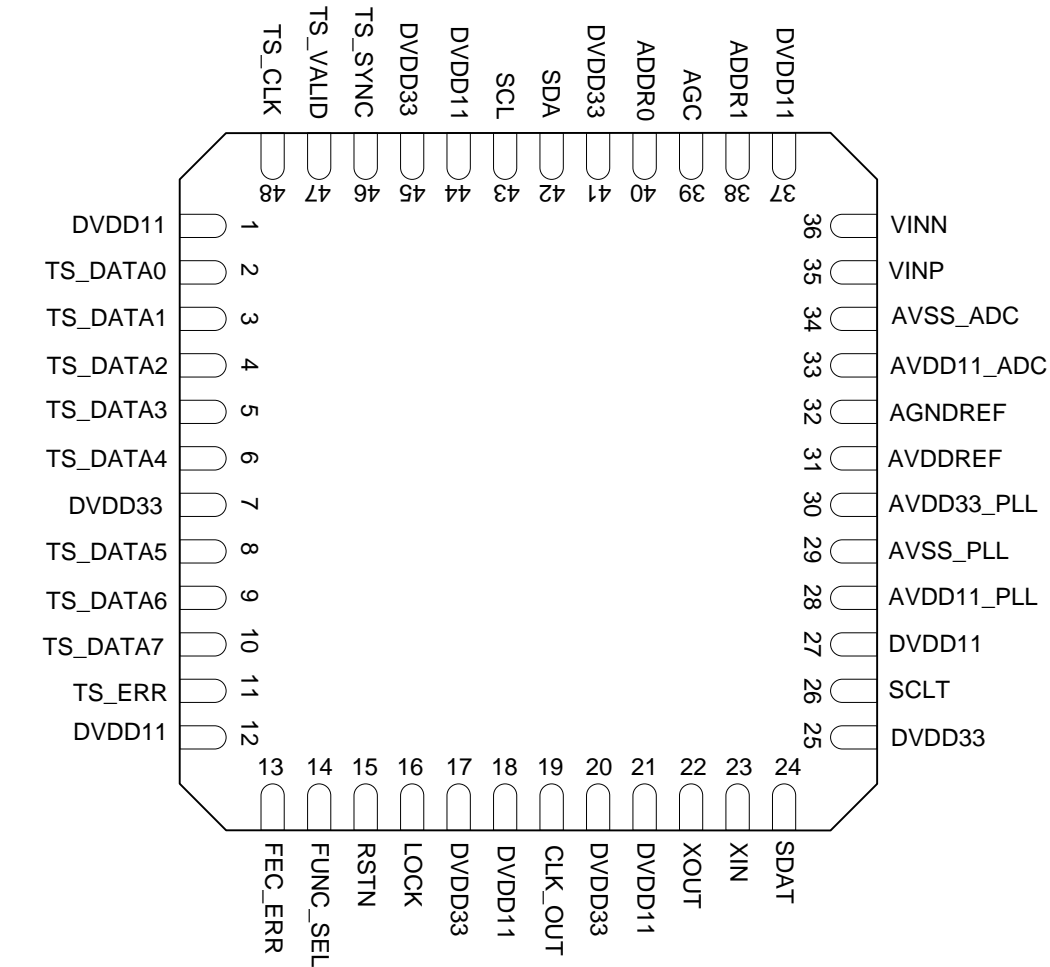
1. CONTROLLING DIMENSION : MILLIMETER
2. REFERENCE DOCUMENT: JEDEC MO-220.

## 管脚分布图

Hi3137V100 封装管脚分布如图 3-3 所示。



图3-3 Hi3137V100 封装管脚分布示意图



### 3.1.2 管脚描述

#### 管脚排列表

Hi3137V100 的管脚按位置排列如表 3-1 所示。

表3-1 管脚排列表

位置	管脚名称	位置	管脚名称
1	DVDD11	25	DVDD33
2	TS_DATA0	26	SCLT
3	TS_DATA1	27	DVDD11
4	TS_DATA2	28	AVDD11_PLL



位置	管脚名称	位置	管脚名称
5	TS_DATA3	29	AVSS_PLL
6	TS_DATA4	30	AVDD33_PLL
7	DVDD33	31	AVDDREF
8	TS_DATA5	32	AGNDREF
9	TS_DATA6	33	AVDD11_ADC
10	TS_DATA7	34	AVSS_ADC
11	TS_ERR	35	VINP
12	DVDD11	36	VINN
13	FEC_ERR	37	DVDD11
14	FUNC_SEL	38	ADDR1
15	RSTN	39	AGC
16	LOCK	40	ADDR0
17	DVDD33	41	DVDD33
18	DVDD11	42	SDA
19	CLK_OUT	43	SCL
20	DVDD33	44	DVDD11
21	DVDD11	45	DVDD33
22	XOUT	46	TS_SYNC
23	XIN	47	TS_VALID
24	SDAT	48	TS_CLK

管脚类型说明

管脚 I/O 类型说明如表 3-2 所示。

表3-2 管脚 I/O 类型说明

I/O	说明
I	输入信号。
I <sub>PD</sub>	输入信号，内部下拉。
I <sub>PU</sub>	输入信号，内部上拉。
I <sub>S</sub>	输入信号，带施密特触发器。



I/O	说明
I <sub>SPD</sub>	输入信号，带施密特触发器，内部下拉。
I <sub>SPU</sub>	输入信号，带施密特触发器，内部上拉。
O	输出信号。
O <sub>OD</sub>	输出，漏极开路。
I/O	双向输入/输出信号。
I <sub>PD</sub> /O	双向，输入下拉。
I <sub>PU</sub> /O	双向，输入上拉。
I <sub>SPU</sub> /O	双向，输入上拉，带施密特触发器。
I <sub>PD</sub> /O <sub>OD</sub>	双向，输入下拉，输出漏极开路。
I <sub>PU</sub> /O <sub>OD</sub>	双向，输入上拉，输出漏极开路。
I <sub>S</sub> /O	双向，输入带施密特触发器。
I <sub>S</sub> /O <sub>OD</sub>	双向，输入带施密特触发器，输出漏极开路。
XIN	Crystal Oscillator，晶振输入。
XOUT	Crystal Oscillator，晶振输出。
P	电源。
G	地。

ADC 管脚

ADC 管脚如表 3-3 所示。

表3-3 ADC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
34	AVSS_ADC	G	-	-	模拟/数字转换地
33	AVDD11_ ADC	P	-	1.1	模拟/数字转换 1.1V 电源
35	VINP	I	-	1.1	ADC 差分输入，单端差分输入范围均为 1V <sub>pp</sub>
36	VINN	I	-	1.1	ADC 差分输入，单端差分输入范围均为 1V <sub>pp</sub>



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
32	AGNDREF	I	-	-	ADC 负向参考信号，接地 需要串接 22ohm 电阻至地
31	AVDDREF	I	-	1.1	ADC 正向参考信号，接模拟 1.1V 电源

## I2C 管脚

I2C 管脚如表 3-4 所示。

表3-4 I2C 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
40	ADDR0	I	3	3.3	Hi3137V100 设备地址选择 0
38	ADDR1	I	3	3.3	Hi3137V100 设备地址选择 1
26	SCLT	O <sub>OD</sub>	3	3.3/5	I2C 总线时钟输出，控制 tuner 通讯接口， OD 门输出，需外接上拉电阻至 3.3/5V， 具体电压需要由 tuner 的 I2C 电平决定
24	SDAT	I <sub>S</sub> /O <sub>OD</sub>	3	3.3/5	I2C 总线数据输出，控制 tuner 通讯接口， OD 门输出，需外接上拉电阻至 3.3/5V， 具体电压需要由 tuner 的 I2C 电平决定
43	SCL	I <sub>S</sub>	3	3.3	I2C 总线的时钟输入总线，外部接上拉电 阻至 3.3V
42	SDA	I <sub>S</sub> /O <sub>OD</sub>	3	3.3	I2C 总线的数据总线，OD 输出，外部接 上拉电阻至 3.3V

## AGC、TS 管脚

TS 管脚如表 3-5 所示。

表3-5 TS 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
39	AGC	O <sub>OD</sub>	8	3.3/5	AGC 输出，控制 Tuner 增益。OD 输出， 支持 3.3V/5V 上拉。





Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
48	TS_CLK	O	4	3.3	Demod 输出的 TS 时钟
2	TS_DATA0	O	4	3.3	TS_DATA0 Demod 输出的数据
3	TS_DATA1	O	4	3.3	TS_DATA1 Demod 输出的数据
4	TS_DATA2	O	4	3.3	TS_DATA2 Demod 输出的数据
5	TS_DATA3	O	4	3.3	TS_DATA3 Demod 输出的数据
6	TS_DATA4	O	4	3.3	TS_DATA4 Demod 输出的数据
8	TS_DATA5	O	4	3.3	TS_DATA5 Demod 输出的数据
9	TS_DATA6	O	4	3.3	TS_DATA6 Demod 输出的数据
10	TS_DATA7	O	4	3.3	TS_DATA7 Demod 输出的数据
11	TS_ERR	O	4	3.3	TS_ERR TS 错误指示
46	TS_SYNC	O	4	3.3	TS_SYNC Demod 输出的同步信号
47	TS_VALID	O	4	3.3	TS_VALID Demod 输出的数据有效信号，高电平有效

PLL 管脚

PLL 管脚如表 3-6 所示。

表3-6 PLL 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
28	AVDD11_PLL	P	-	1.1	PLL 1.1V 模拟电源



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
30	AVDD33_PLL	P	-	3.3	PLL 3.3V 模拟电源
29	AVSS_PLL	G	-	-	PLL 模拟地

OSC 管脚

OSC 管脚如表 3-7 所示。

表3-7 OSC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
19	CLK_OUT	O	4	3.3	晶振时钟环通输出
23	XIN	I	-	3.3	晶振输入
24	XOUT	O	-	3.3	晶振输出

PG 管脚

PG 管脚如表 3-8 所示。

表3-8 PG 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
7、17、20、 25、41、45	DVDD33	P	-	3.3	3.3V IO 电源
1、12、18、 21、27、37、44	DVDD11	P	-	1.1	1.1V CORE 电压

SYS 管脚

SYS 管脚如表 3-9 所示。



表3-9 SYS 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
14	FUNC_SEL	I <sub>SPD</sub>	8	3.3	功能模式选择： 0：功能模式 1：保留
15	RSTN	I <sub>SPU</sub>	8	3.3	系统复位信号输入，低电平有效
16	LOCK	O	4	3.3	系统锁定指示
13	FEC_ERR	O	4	3.3	系统误码指示

3.1.3 IO 功能配置寄存器概览

IO 功能配置寄存器概览如表 3-10 所示。

表3-10 IO 功能配置寄存器概览(复用寄存器基地址为 0x00)

寄存器名称	偏移地址	描述	页码
IO_CTRL4	0x17	IO 控制寄存器	3-11
SDR_CTRL	0x18	IO 控制寄存器	3-12

3.1.4 IO 功能配置寄存器描述

IO\_CTRL4

IO\_CTRL4 为 IO 控制寄存器。



Offset Address			Register Name			Total Reset Value		
0x17			IO_CTRL4			0x00		
Bit	7	6	5	4	3	2	1	0
Name	lock_sel		lock_val	clkout_sel		clkout_hiz	lock_hiz	ts_hiz
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	RW	lock_sel	LOCK 管脚输出信号选择。 00: demod 锁定指示; 01: TXD; 10: FEF 区域指示; 11: lock_val 值。					
[5]	RW	lock_val	LOCK 管脚可编程输出电平配置值。					
[4:3]	RW	clkout_sel	CLK_OUT 管脚输出信号选择。 00: 晶振时钟; 01: FEF 区域指示; 10: demo 锁定指示; 11: gpio_val 值。					
[2]	RW	clkout_hiz	1: CLK_OUT IO 高阻; 0: CLK_OUT IO 正常工作。					
[1]	RW	lock_hiz	1: LOCK IO 高阻; 0: LOCK IO 正常工作。					
[0]	RW	ts_hiz	1: TS IO 高阻; 0: TS IO 正常工作。					

SDR\_CTRL

SDR\_CTRL 为 IO 控制寄存器。



Offset Address				Register Name			Total Reset Value	
0x18				SDR_CTRL			0x24	
Bit	7	6	5	4	3	2	1	0
Name	reserved							gpio_val
Reset	0	0	1	0	0	1	0	0
Bits	Access		Name		Description			
[0]	RW		gpio_val		CLK_OUT 管脚可编程输出电平配置值,输出高电平 $2.7V \leq V_{OH} \leq 3.3V$ , 输出低电平 $V_{OL} \leq 0V$			

3.1.5 软件复用管脚

LOCK、CLK\_OUT 的管脚复用选择如表 3-11 所示。

表3-11 LOCK、CLK\_OUT 的管脚复用选择

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3
16	LOCK	IO_CTRL4	LOCK	TXD	FEF	GPO
19	CLK_OUT	IO_CTRL4	XO	FEF	LOCK	GPO

管脚复用信号描述如表 3-12 所示。

表3-12 管脚复用信号描述

信号名	方向	说明
LOCK	O	信道锁定指示
TXD	O	串口输出
FEF	O	FEF 指示
GPO	O	可编程输出
XO	O	晶振时钟
FEF	O	FEF 指示
LOCK	O	信道锁定指示
GPO	O	可编程输出



## 3.2 电性能参数

### 3.2.1 功耗分布

Hi3137V100 的功耗分布如表 3-13 所示。

表3-13 功耗参数

符号	参数	最小值	典型值	最大值	单位
DVDD33	3.3V I/O 电源	-	50	60	mA
AVDD33_PLL	PLL 3.3V 模拟电源	-	3	5	mA
DVDD11	1.1V 内核电压	-	150	300	mA
AVDD11_ADC	ADC 1.1V 电源	-	7	15	mA
AVDD11_PLL	PLL 1.1V 模拟电源	-	1	3	mA
AVDDREF	ADC 1.1V 参考电源		1	3	mA

### 3.2.2 极限工作条件



#### 警告

极限工作电压参数如表 3-14 所示，超过这些数值，可能导致芯片损坏，可能导致 Hi3137V100 可靠性问题。

Hi3137V100 极限工作条件如表 3-14 所示。

表3-14 Hi3137V100 极限工作条件

符号	参数	最小值	最大值	单位
T <sub>OPT</sub>	芯片工作温度	-40	125	℃
T <sub>STG</sub>	存储温度	-65	150	℃
VI	输入电压	-0.5	4.6	V
VO	输出电压	-0.5	4.6	V
DVDD11	内核电压	-0.5	1.8	V
DVDD33	I/O 电源	-0.5	4.6	V



### 3.2.3 推荐工作条件

Hi3137V100 的推荐工作条件如表 3-15 所示。

表3-15 推荐工作条件

符号	参数	最小值	典型值	最大值	单位
T <sub>OPT</sub>	操作环境温度	0	25	70	°C
DVDD11	内部核电压	1.045	1.1	1.155	V
DVDD33	I/O 电源	2.97	3.3	3.63	V
AVDD33_PLL	PLL 电源	2.97	3.3	3.63	V
AVDD11_PLL	PLL 电源	1.045	1.1	1.155	V
AVDD11_ADC	ADC 电源	1.045	1.1	1.155	V
AVDDREF	ADC 1.1V 参考电源	1.045	1.1	1.155	V

### 3.2.4 上下电顺序

Hi3137V100 供电 3.3V 与 1.1V 无上下电先后顺序要求。

### 3.2.5 DC 电气参数

Hi3137V100 DC 电气参数如表 3-16 所示。

表3-16 DC 电气参数表

符号	参数	最小值	典型值	最大值	单位	说明
V <sub>IH</sub>	高电平输入电压	2.0	-	DVDD33+0.3	V	不支持 5V tol
V <sub>IL</sub>	低电平输入电压	-0.3	-	0.8	V	-
I <sub>L</sub>	输入漏电流	-	-	±10	μA	-
I <sub>OZ</sub>	三态输出漏电流	-	-	±10	μA	-
V <sub>OH</sub>	高电平输出电压	2.4	-	-	V	-
V <sub>OL</sub>	低电平输出电压	-	-	0.4	V	-
R <sub>PU</sub>	内部上拉电阻	27	40	64	kΩ	-
R <sub>PD</sub>	内部下拉电阻	31	46	78	kΩ	-



## 3.3 原理图设计建议

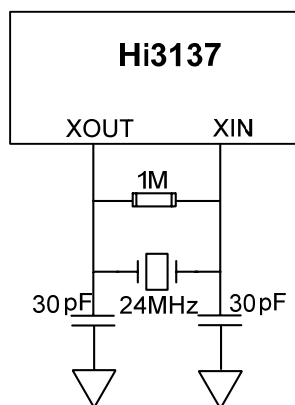
### 3.3.1 小系统设计建议

#### 3.3.1.1 Clocking 电路

通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟。推荐选 24MHz,  $ESR_{max}=40\Omega$ ,  $C_L=20pF$ 。

推荐晶体连接方式及器件参数如图 3-4 所示。

图3-4 Hi3137V100 应用推荐晶体连接方式及器件参数



晶振负载电容与外挂电容的计算公式如下：

$$C_L = C_1 * C_2 / (C_1 + C_2) + C$$

- C：为 IC 内部电容，一般在 5~7pF。
- C1、C2：在图中分别为 30pF。
- $C_L$ ：为晶振内部负载电容，一般为 20~22pF 之间，具体由厂家提供的参数为准。

#### 3.3.1.2 复位电路

Hi3137V100 的 RSTN 管脚为复位信号输入管脚，要求的复位有效信号为低电平 ( $V_{IL} \leq 0.8V$ ) 脉冲，脉冲宽度大于 12 个 XIN 管脚输入的时钟周期（一般复位脉冲宽度为 10ms~100ms）。

板级设计时，建议 RSTN 引脚采用典型的 RC 上电复位电路设计，通过上拉电阻 4.7kΩ 接 3.3V 电源，并连接 4.7μF 对地电容，实现上电复位操作。该 PIN 也可和 Hi3xxx 等 STB DECODER 主芯片连接，正常工作以后根据协议，由主芯片给出复位信号。

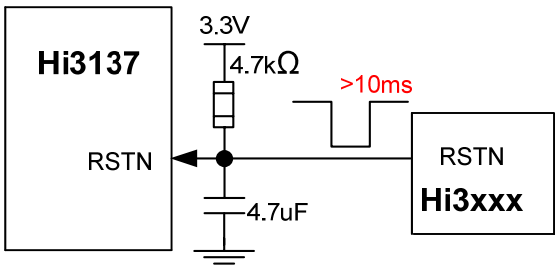
工作异常时，可以通过主芯片的 GPIO 管脚产生低电平脉冲，进行软复位。

复位典型设计电路如图 3-5 所示。





图3-5 复位典型设计电路



3.3.1.3 Hi3137V100 硬件初始化系统配置电路

Hi3137V100 硬件初始化系统配置电路采用 I2C 总线来实现内部寄存器的初始化，需要通过外部 ADDR0、ADDR1 设置 Hi3137V100 的 I2C 地址。

地址配置描述如下表 3-17、表 3-18 所示。

表3-17 地址配置一

ADDR1	ADDR0	7-bit Address							R/W bit	Write Address(in Hex)
		MSB						LSB		
Low	Low	1	0	1	1	1	0	0	0	0xB8
Low	High	1	0	1	1	1	0	1	0	0xBA
High	Low	1	0	1	1	1	1	0	0	0xBC
High	High	1	0	1	1	1	1	1	0	0xBE

表3-18 地址配置二

ADDR1	ADDR0	7-bit Address							R/W bit	Read Address(in Hex)
		MSB						LSB		
Low	Low	1	0	1	1	1	0	0	1	0xB9
Low	High	1	0	1	1	1	0	1	1	0xBB
High	Low	1	0	1	1	1	1	0	1	0xBD
High	High	1	0	1	1	1	1	1	1	0xBF

3.3.1.4 数字/模拟信号接口电路设计

接口介绍

数字接口电平标准为 LVCMOS33，Hi3137V100 的数字接口有如下特点：

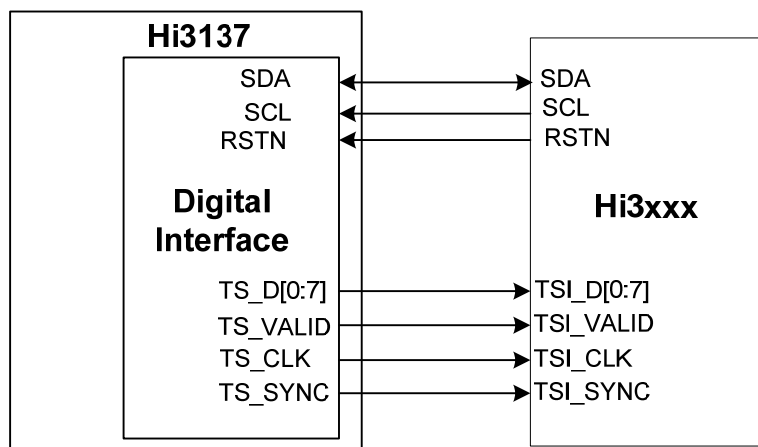


- 提供 1 个 TS 流串行/并行接口，并行和串行工作方式可配。
  - 1bit 串行工作最高时钟频率为 76.5MHz，位宽为 1bit；
  - 2bit 串行工作最高时钟频率为 36MHz，位宽为 2bit；
  - 并行工作时钟频率最高可达 9MHz，位宽为 8bit。
- 提供 1 个 I2C 接口，通过 I2C 接口来对访问 Hi3137V100 和 I2C 转发控制 Tuner 的内部寄存器，I2C 工作频率最高为 400kHz。
- 提供一个 AGC 输出接口，AGC 输出采用 PDM 或 PWM 调制的方式，默认情况下采用 PDM 输出，通过一 RC 低滤波电路控制前端 Tuner 的增益。
- 提供 1 个 RSTN，可由硬件 RC 电路进行复位，或由 STB DECODER 芯片进行复位操作，低电平有效。

## TS 流拓扑结构

Hi3137V100 典型并行外接 STB DECODER 芯片拓扑结构如图 3-6 所示。典型串行外接 STB DECODER 拓扑结构如图 3-7 所示。

图3-6 Hi3137V100 与 DECODER 并接的拓扑结构图

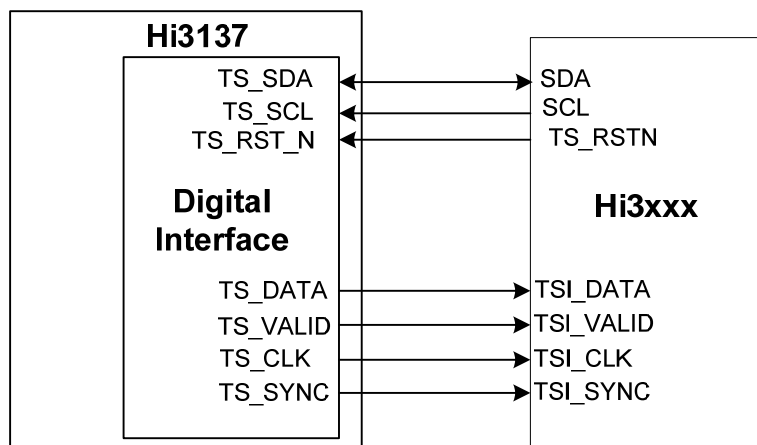


说明

并行 TS 接口 TS 输出管脚中，除 TS\_CLK 不能任意配置外，其余均可根据实际 Layout 需要任意配置 TS 数据线。



图3-7 Hi3137V100 与 DECODER 串接的拓扑结构图



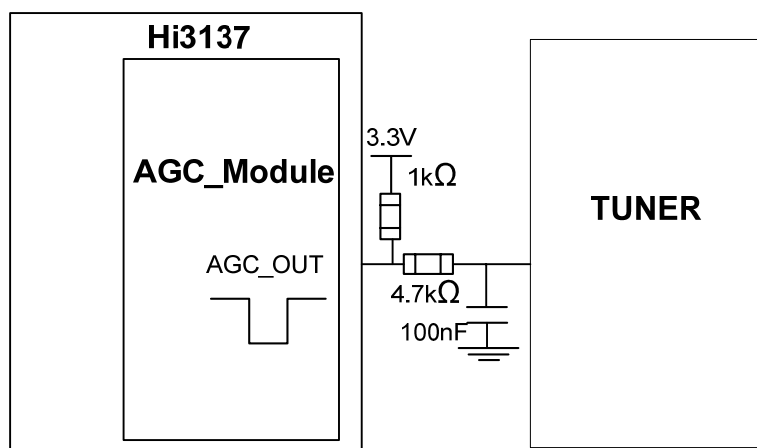
说明

串行 TS 接口 TS 输出管脚中，除 TS\_CLK 不能任意配置外，其余均可根据实际 Layout 需要任意配置 TS 数据线。

## AGC 拓扑结构

Hi3137V100 AGC 模块默认采用 PDM 输出的方式（可选 PWM，通过内部寄存器配置），通过外部 RC 低通滤波器实现数字信号到模拟信号的转换，控制前端 Tuner 的增益，达到在外部环境信号质量变化时自动控制 Tuner 的增益，保证良好的信号质量输出。PCB Layout 时 RC 滤波电路需要靠近 Hi3137V100 AGC 输出，避免 AGC 的高频分量对模拟 RF 的干扰。Hi3137V100 AGC 模块与外围的电路拓扑结构为如图 3-8 所示。

图3-8 Hi3137V100 AGC 接口与 Tuner 的拓扑结构图

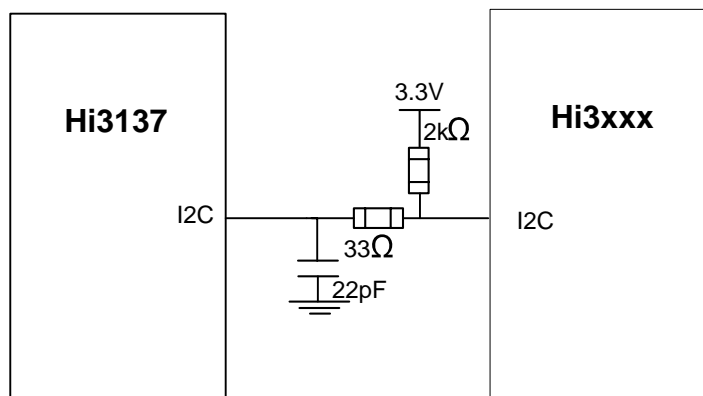




## I2C 设计建议

Hi3137V100 与 DECODER 芯片之间的 I2C 总线，需要接上拉电阻，上拉电压为 3.3V，上拉电阻选  $2k\Omega$ ，具体可以根据 I2C 总线速率来确定。并分别加不大于 100pF 旁路滤波电容，靠近 Hi3137V100 管脚放置。

图3-9 Hi3137V100 I2C 接口与 Hi3xxx 的拓扑结构图



## TS 流匹配方式设计建议

TS 流匹配设计分两种情况，多层板设计和二层板设计。

- 多层板设计时，走线特征阻抗为  $50\Omega$ 。
  - TS\_OUT[0:7]采用串行匹配电阻为  $33\Omega$ ，拓扑结构如图 3-10 所示。
  - TS\_CLK、TS\_SYNC、TS\_VALID 也采用串行匹配电阻为  $33\Omega$ ，拓扑结构如图 3-11 所示。
- 两层板设计时，走线特征阻抗为  $140\Omega$ 。
  - TS\_OUT[0:7]采用串行匹配电阻为  $75\Omega$ ，拓扑结构如图 3-12 所示。
  - TS\_CLK、TS\_VALID、TS\_SYNC 采用串行匹配电阻为  $75\Omega$ ，拓扑结构如图 3-13 所示。



说明

下图中的 4500mil 长度为最长的走线长度，实际走线一般小于该长度值。

图3-10 多层板设计中，TS\_OUT[0:7]和 DECODER 芯片互联拓扑结构

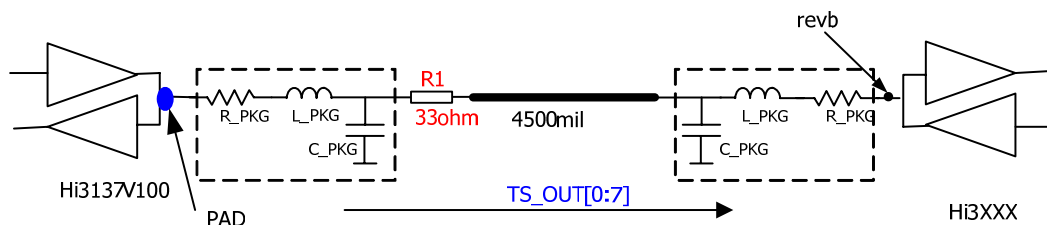




图3-11 多层板设计中，TS\_CLK/TS\_SYNC/TS\_VALID 和 DECODER 芯片互联拓扑结构

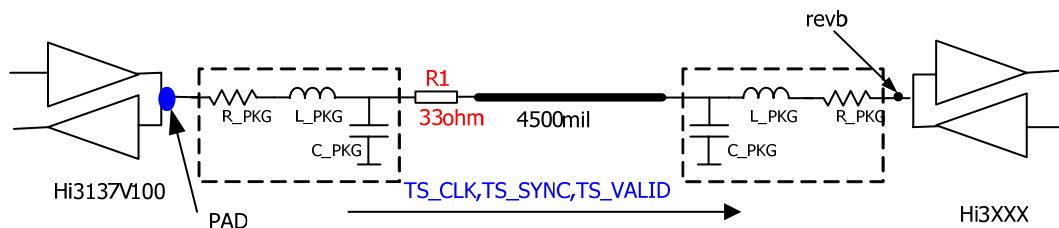


图3-12 两层板设计中，TS\_OUT[0:7]和 DECODER 芯片互联拓扑结构

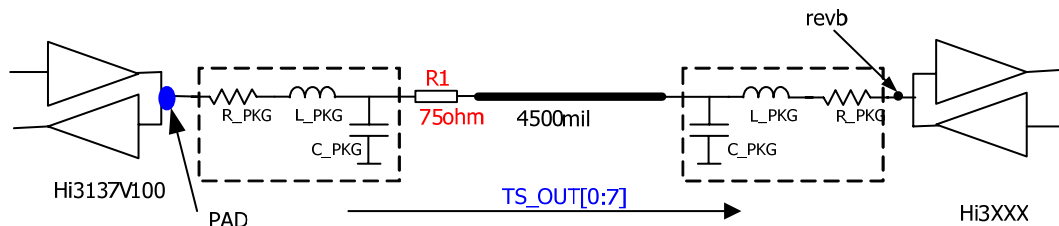
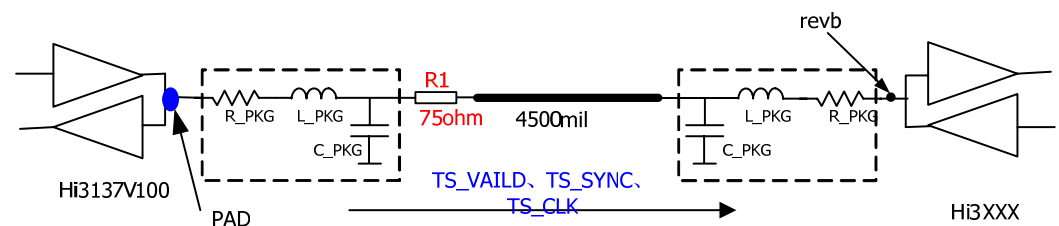


图3-13 两层板设计中，TS\_VAILD、TS\_SYNC、TS\_CLK 和 DECODER 芯片互联拓扑结构



## AGC 电路设计建议

PDM 调制信号经过低通滤波器后，模拟信号的交流成分得到了明显的削弱，在 RC 滤波网络中 RC 值越大，模拟信号的交流成分越少，而响应速度则变慢，因此需合理的选取 RC 值，使得交流成分的大小和响应速度都能满足实际应用的需求。Hi3137V100 AGC 电路建议 R 选择 4.7kΩ，C 选择 100nF。

## 3.3.2 电源设计建议



说明

系统电源的设计，详细请参见 Hi3137 板原理图。

### 3.3.2.1 CORE 电源设计

CORE 电源（管脚名 DVDD11）：连接数字 1.1V 电源。设计建议如下：

- 若单板上无 1.1V，电源芯片的选型上，优选 LDO，要求其供电能力  $\geq 500\text{mA}$ 。



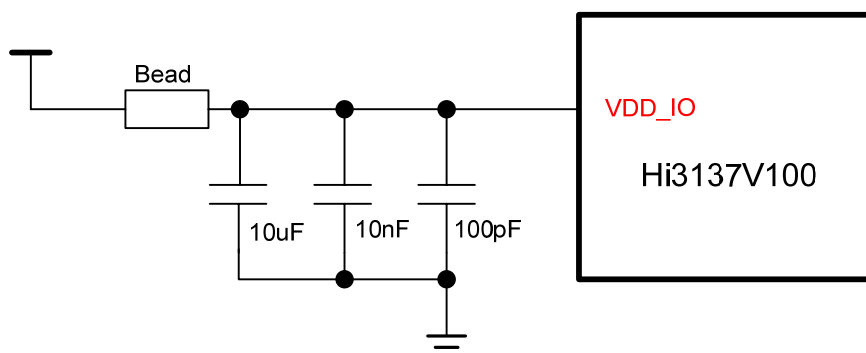
- CORE 电源典型电流为 **150mA**，最大电流为 **300mA**。
- CORE 电源管脚放置一个 10uF 对地滤波旁路电容，而且每个 CORE 电源管脚处放置一组 10nF 和 100pF 去耦电容组合，并紧靠供电管脚摆放。

### 3.3.2.2 IO 电源设计

IO 电源管脚名 DVDD33：连接数字 3.3V 电源。

- VDD\_IO 的最大电流为 **60mA** 电源供电，优选 LDO。
- IO 电源管脚处放置一组 10nF 和 100pF 去耦电容组合，并紧靠供电管脚摆放。
- IO 电源管脚的输入建议通过 BEAD 隔离，拓扑结构如图 3-14。

图3-14 Hi3137V100 VDD33\_IO 拓扑结构图

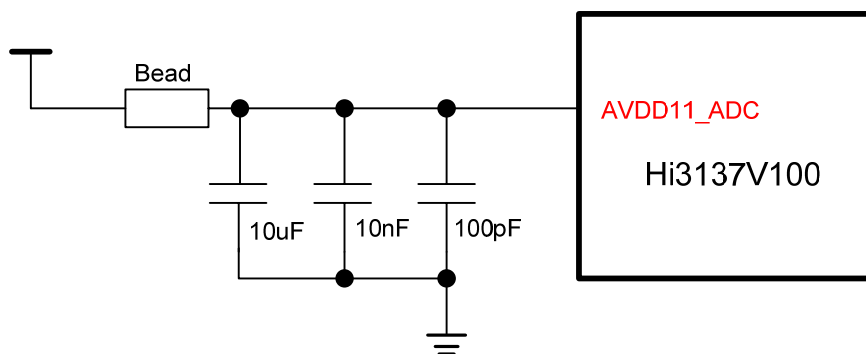


### 3.3.2.3 ADC 电源设计

ADC 电源（管脚名 AVDD11\_ADC）：连接 1.1V 模拟电源。

- ADC 电源的最大电流为 **15mA**，通过磁珠隔离和 CORE 电源共用一个 1.1V 电源。
- 通过 BEAD 和 1.1V 电源隔离，并放置一个 10uF 对地滤波旁路电容。
- ADC 电源管脚处放置一组 10nF 和 100pF 去耦电容组合，并紧靠供电管脚摆放。
- 1.1V 电源电平偏差控制在  $\pm 5\%$  以内。拓扑结构如图 3-15。

图3-15 Hi3137 AVDD11\_ADC 拓扑结构图





### 3.3.2.4 注意事项

电源设计的其他注意事项如下：

- Hi3137V100 的电源芯片优选 LDO，数字和模拟电源通过 BEAD 隔离，并增加 10nf 和 100pf 去藕电容组合。
- 各模块电源的要求请参考芯片手册中的电性能参数，保证电源输出电压加上纹波噪声仍然满足芯片的需求。

### 3.3.3 未使用管脚处理

未使用管脚处理建议如下：

直接 NC，可以通过寄存器配置关闭相应电路。

## 3.4 PCB 设计建议

### 3.4.1 层叠和布局

#### 3.4.1.1 层叠

Hi3137V100 的封装为 MQFN48，管脚间距 0.4mm。在 PCB 设计时，可以采用四层 PCB 板的设计，建议如下分层：

- TOP 层：信号走线
- 内一层：地平面层
- 内二层：电源平面层
- BOTTOM 层：信号走线

在成本非常敏感的应用方案中，也可以采用二层 PCB 板的设计，PCB 分层建议如下：

- TOP 层：信号走线和部分电源走线
- BOTTOM 层：地平面层和部分电源走线

PCB 设计注意事项：

- 元器件布局在 TOP 层，信号线尽量走 TOP 层。
- 电源管脚走粗线。
- 尽量保持 BOTTOM 层为一个完整的地平面层。
- 主芯片出线推荐过孔大小为 8mill。
- 特殊信号线注意阻抗要求。

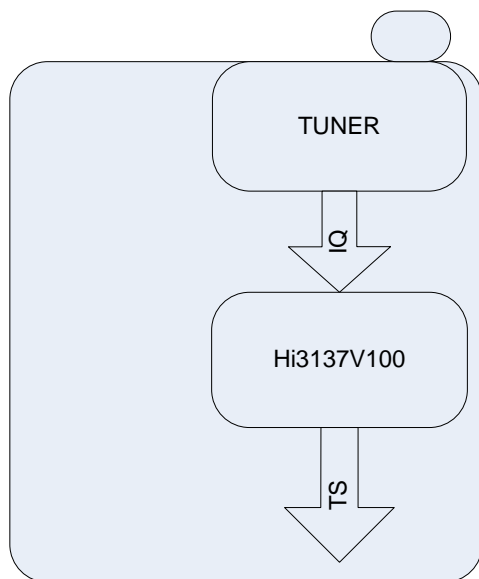
PCB 材料 FR-4，PCB 板厚度为 1.6mm，表层铜箔厚度为 1 盎司。

#### 3.4.1.2 单板布局

Hi3137DMO 解决方案参考设计的单板尺寸信息如[图 3-16](#)所示。



图3-16 单板结构图



Hi3137V100 Demod 参考设计的应充分考虑射频，模拟，和数字信号，以及 ESD 保护器件的布局。如射频接口 F 头、晶体谐振器、射频环路滤波器等。

Hi3137V100 的电源管脚 3.3V，1.1V 都尽可能通过 BEAD 和数字部分隔离。器件尽量选择小的封装。

## 3.4.2 小系统 PCB 设计建议

### 3.4.2.1 小系统电源

#### 数字电源

Hi3137V100 的数字电源包括：DVDD33(3V3)和 DVDD11（1V1）建议与单板数字 3.3V 和 1.1V 电源用磁珠隔离，均以 Hi3137 的 exposed pad 为参考地。在保证通流能力的前提下，走线尽量宽。DVDD33 最小线宽 15mil，DVDD11 最小线宽 25mil。避免和模拟电源重叠。去耦电容靠近芯片放置。

#### 射频/模拟电源

除了上述的数字电源外，其他属于射频/模拟电源，都必须和其他电源通过磁珠隔离，Hi3137 以 exposed pad 为参考地，具体建议如下：

- 模拟电源区域禁止有数字信号走线，尤其是高速数字信号。
- 每个电源 pin 要加去耦电容且走线尽量宽，去耦电容靠近芯片放置。





### 3.4.2.2 时钟和复位电路

#### 时钟

Hi3137V100 的 PLL 功能单元的供电电源和地为 AVDD11\_PLL(1.1V)、AVDD33\_PLL 和 AVSS\_PLL。建议 PCB 设计时采用如下原则：

- AVDD11\_PLL 为 1.1V 的 PLL 电源，建议保证通流能力的前提下，线宽需要保证在 12mil。
- AVDD33\_PLL 的 PLL 电源，建议在保证通流能力的前提下，线宽需要保证在 12mil。
- AVSS\_PLL 为 Hi3137V100 的 PLL 功能单元的参考地，建议将地线连接至 exposed pad 下，并置地孔保证完整地平面。
- 系统时钟的晶振电路走线长度须尽量短，需做包地处理，晶体的地采用局部地处理，与大片地隔离设计，避免耦合。
- 晶振相关匹配电容应靠近晶体排布；晶振紧靠 Hi3137V100 放置，与板边缘至少保持 1000mil；晶振下面避免走高速时钟等重要走线，并保证晶体底部平面信号的完整性。

#### 复位

PIN15 为复位管脚，复位信号线为关键信号，易受干扰。

- 多层板建议走内层，紧邻地层走线，线宽要求 8mil 以上，双层板建议加保护地处理。
- 要求远离接口与电源输入，至少 30mil。

### 3.4.3 数字、模拟接口 PCB 设计建议

#### 3.4.3.1 数字接口设计

##### TS 流信号

TS 流信号的长度要求如下：

- 信号走线长度最长不能超过 5000mil。
- 所有以信号线的走线长度均以 TS\_CLK 作为参考，允许偏差范围为 $\pm 250\text{mil}$ 。
- 串联匹配电阻应尽量靠近 Hi3137V100 放置。
- 双层板 TS 流信号线特性阻抗控制为  $140\Omega$ ，匹配电阻值建议：TS\_OUT[0:7]串联匹配电阻为  $75\Omega$ ；TS\_CLK、TS\_SYNC，TS\_VALID 串联匹配电阻  $75\Omega$ 。
- 多层板 TS 流信号线特性阻抗控制为  $50\Omega$ ，匹配电阻值建议为  $33\Omega$ 。

##### AGC 信号

AGC 信号的总线长度要求如下：

- 信号走线长度最长不能超过 5000mil，最小线宽要求 12mil，并保证 AGC 走线有地保护，防止 AGC 信号干扰外部信号走线，也避免本身受外部噪声的干扰。



- AGC 输出通过的 RC 低通滤波器需要靠近 Hi3137 AGC 输出管脚，防止 AGC 高频噪声传导至板级，造成信道性能恶化问题。

I2C 总线的长度建议如下：

- SCL 信号走线长度最长不能超过 5000mil。
- SDA 走线以 SCL 为参照进行走线，允许的偏差为 $\pm 250\text{mil}$ 。

## PCB 布线建议

建议 PCB 布线设计采用以下原则：



### 注意

信号走线尽量不要破坏 TS 流信号走线的参考地平面，并做好保护地处理，串联电阻尽量靠近 Hi3137V100 放置，详细设计请参见 Hi3137EVA 板 PCB 设计文件。

- 所有 TS 流信号走线必须分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，必须保证信号走线都有完整的参考平面。
- 信号走线及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径。
- 信号线尽量短，走线路径上尽量少打过孔，保证走线阻抗的连续性。多层板单端信号 PCB 走线特性阻抗  $50\Omega \pm 10\%$ ；双层板单端信号 PCB 走线特性阻抗  $140\Omega \pm 10\%$ 。串联匹配电阻靠近 Hi3137V100 放置。
- 使用排阻时，尽量避免 TS\_CLK 与其他 TS 流中的信号线在同一个组排上。
- 相邻信号走线间距保持在 2~3 倍线宽，即满足“3W”原则。
- 避免时钟信号紧邻数据、地址总线，对于 TS\_CLK 增加包地处理。

### 3.4.3.2 其它

#### PCB 信号完整性仿真设计建议

PCB 设计人员可以使用板级仿真工具，根据 Hi3137V100 接口 IBIS 模型、对接器件 IBIS 模型、传输线模型以及板上拓扑结构完成信号完整性仿真分析。通过对仿真结果的分析，不断调整拓扑结构，以达到所需的信号质量要求，包括过冲、下冲、振铃、单调性等。

#### 其它 PCB 设计注意事项

时钟信号如果带多个负载，无论频率高低，都需要特别注意其信号质量，应保证信号边沿单调。



## 3.5 热设计建议

### 3.5.1 封装热阻



#### 注意

热阻基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件作出分析。

Hi3137V100 的封装热阻如表 3-19 所示。

表3-19 Hi3137V100 的封装热阻

参数	符号	数值	单位
Junction-to-ambient thermal resistance	$\theta_{JA}$	37	°C/W
Junction-to-case thermal resistance	$\theta_{JC}$	20.684	°C/W
Junction-to-top center of case thermal resistance	$\Psi_{JT}$	-	°C/W
Junction-to-board thermal resistance	$\theta_{JB}$	17.41	°C/W

### 3.5.2 导热介质材料推荐

导热介质材料推荐表如表 3-20 所示。

表3-20 导热介质材料推荐表

散热器固定方式	型号	导热系数 (w/m · k)	应用环境温度 (°C)	胶体类型	绝缘强度 (V/mil)	阻燃性	承重能力 (g)
需机械固定	GF2000	2	-60~+200	硅橡胶	500	UL9V0	-
无需机械固定	Locotite 315	0.808	-	丙烯酸树脂	6000	UL9V2	-

### 3.5.3 原理图设计

#### 3.5.3.1 电源

整个单板电源树在保证稳定性的前提下效率最高，即要合理设计单板电源负载，少采用高压差 LDO 器件，减少电源自身在电源转换过程中所产生的热量。芯片底部采用 EPAD 设计，将 PCB 底部地平面进行开窗设计，利于芯片的热传导。



## 3.5.4 PCB 设计

### 3.5.4.1 器件布局

结合产品结构和热设计，器件布局建议如下：

- 单板上功耗大且产生热量大的器件不能分布在同一个风道上。
- 单板上大功耗且易产生热量器件要均匀分布，以保证单板利用 PCB 有效散热，在这些器件正下方和周边尽量增大铜皮面积以利于散热。

### 3.5.4.2 PCB 热设计

PCB 热设计建议如下：

- Hi3137V100 芯片底下的 EPAD 过孔采用 FULL 孔连接，而不是普通的花孔连接，并且 EPAD 对应的 PCB 底层的铜皮开窗，以提高单板散热效率。
- Hi3137V100 的 1.1V/3.3V 电源和地信号在保证过流能力的前提下尽量走宽。
- Hi3137V100 周边避免放置发热量大的器件。

## 3.6 焊接工艺建议

### 3.6.1 概述

客户在使用本产品焊接时，参考所有的元器件/IC/PCB 单板所承受 reflow profile，依据锡膏的供应商推荐的 reflow profile 平衡制定合适的回流焊接温度，本章节仅仅是给出本产品能承受的回流焊接温度范围。

#### 3.6.1.1 框架材料

- QFN 镀层成份：电镀锡

#### 3.6.1.2 元器件包装及存储

元器件包装及存储如下：

- 表贴元器件包装类型：tray
- 存储期限（60%相对湿度以下）：12moths@40℃
- 包装材料：防静电材料

#### 3.6.1.3 焊接工艺

可应用的焊接方法：reflow

本产品可以承受的 reflow profile 范围如下（客户也可以参考 JEDEC020D），并非推荐的实际焊接的 reflow profile。客户实际焊接时的 reflow profile 要参考锡膏的 reflow profile 并平衡 PCB/所有 IC/元器件而定。



图3-17 焊接温度曲线图

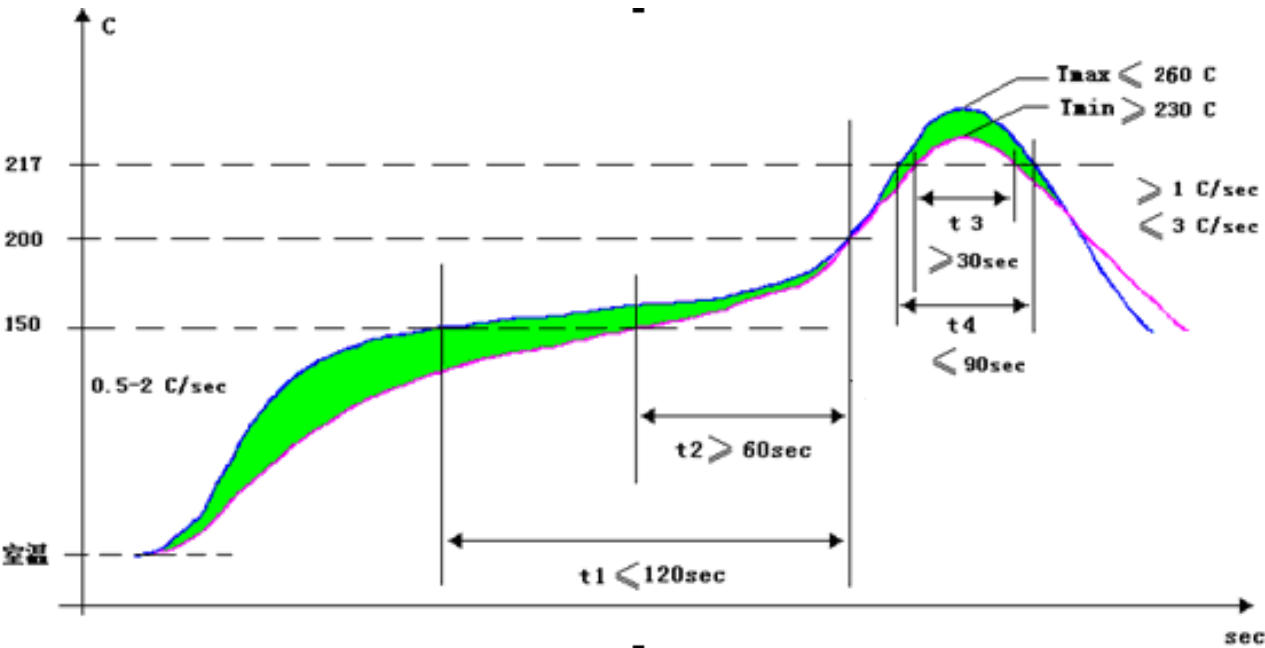


表3-21 回流焊工艺参数表

区域	时间	升温速率	峰值温度	降温速率
预热区（40-150℃）	60-150Sec	≤2.0℃/Sec	-	-
均温区（150-200℃）	60-120Sec	<1.0℃/Sec	-	-
回流区（>217℃）	30-90Sec	-	230-260℃	-
冷却区（Tmax-180℃）	-	-	-	1.0℃/Sec≤Slope≤4.0℃/Sec

3.6.2 加工准备

客户在加工前，确认所使用的产品未受潮；原物料在有效周期内。

正式批量生产前，要做首样检验（比如要先首检锡膏厚度），首样检验结果通过，才能批量生产。

3.7 潮敏参数

3.7.1 存放与使用

【使用范围】

海思所有 IC（潮敏产品）的存放和使用



#### 【存放环境】

建议产品真空包装存放，存放在 $<30^{\circ}\text{C}/60\% \text{RH}$  下。

#### 【shelf life】（存储期限）

存放环境 $<30^{\circ}\text{C}/60\% \text{RH}$  下，真空包装存放，shelf life(存储期限)是 $\geq 12$  个月。

#### 【floor life】

在环境条件 $<30^{\circ}\text{C}/60\%$ 下，floor life 参照下表

表3-22 floor life 参照表

Level	Floor life(out of bag) at factory ambient $\leq 30^{\circ}\text{C}/60\% \text{RH}$ or as stated
1	Unlimited at $\leq 30^{\circ}\text{C}/85\% \text{RH}$
2	1 year
2a	4 weeks
3	168 hours
4	72 hours
5	48 hours
5a	24 hours
6	Mandatory bake before use, must be reflowed within the time limit specified on the label

#### 【潮敏产品的使用】

- 产品在 $\leq 30^{\circ}\text{C}/60\% \text{RH}$  下连续或累计暴露超过 2 个小时，建议进行 rebake 后再真空干燥包装。
- 产品在 $\leq 30^{\circ}\text{C}/60\% \text{RH}$  下暴露累计没有超过 2 个小时，可以不用 rebake，但要更换新的干燥剂，进行真空干燥包装。

本文没有提到的存储及使用原则，请直接参考 JEDEC J-STD-033A

## 3.7.2 重新烘烤

#### 【适用产品】

海思所有 IC（潮敏产品）

#### 【使用范围】

需要重新烘烤的 IC（潮敏产品）

#### 【重新烘烤参考表】



表3-23 重新烘烤参考表

Body thickness	level	bake@125℃	bake@90℃≤5% RH	bake@40℃≤5% RH
≦1.4mm	2a	3 hours	11 hours	5 days
	3	7hours	23 hours	9 days
	4	7 hours	23 hours	9 days
	5	7 hours	24 hours	10 days
	5a	10 hours	24 hours	10 days
≦2.0mm	2a	16 hours	2 days	22 days
	3	17 hours	2 days	23 days
	4	20 hours	3 days	28 days
	5	25 hours	4 days	35 days
	5a	40 hours	6 days	56 days
≦4.5mm	2a	48 hours	7 days	67 days
	3	48 hours	8 days	67 days
	4	48 hours	10 days	67 days
	5	48 hours	10 days	67 days
	5a	48 hours	10 days	67 days

说明：

- 此表中显示的均是受潮后，必须的最小的烘烤时间。
- 重新烘烤优先选择低温烘烤。
- 详细情况请参考 JEDEC。

### 3.8 接口时序

#### 3.8.1 输出接口时序

Hi3137V100 提供 3 种 TS 输出模式，包括并行模式、串行模式和两比特串行模式。

TS 输出接口信号包括数据信号 TS\_OUT[7:0]、时钟信号 TS\_CLK、数据有效信号 TS\_VLD、同步头信号 TS\_SYNC 和包错误信号 TS\_ERR：

- TS\_OUT：TS 帧数据。并行模式下用 8 位，串行模式下用 1 位，两比特串行模式用 2 位。
- TS\_CLK：数据时钟。时钟沿可设，在不同模式下，芯片默认自适应时钟输出。



- TS\_VLD: TS 包数据有效指示（并行模式是字节有效，串行模式是比特有效）。
- TS\_SYNC: TS 包同步头指示（并行模式是字节有效，串行模式是比特有效）。
- TS\_ERR: TS 包错误指示，当前 TS 包出错则置 1。

图3-18 TS 并行输出时序示意

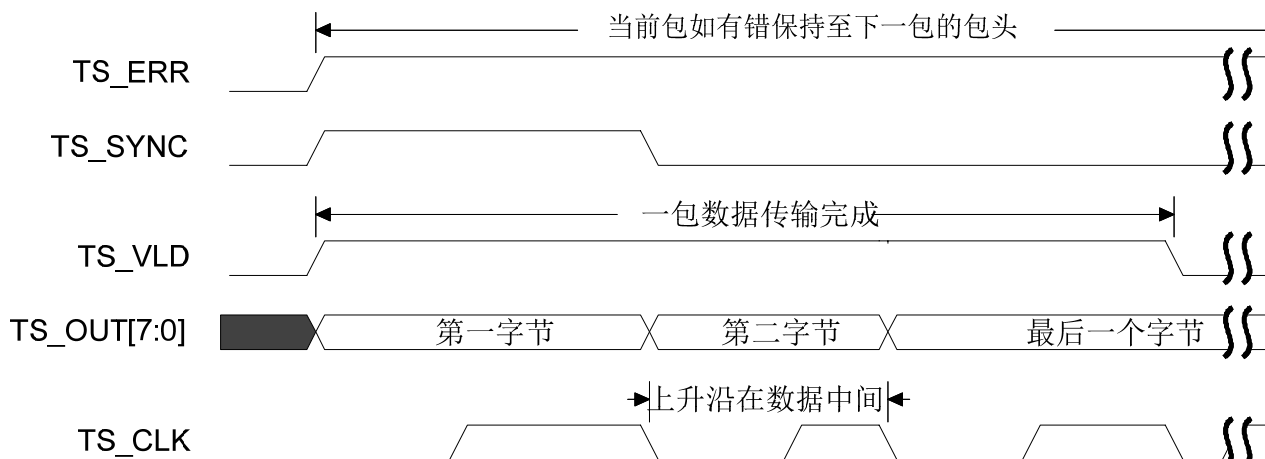


图3-19 TS 一比特串行输出时序示意

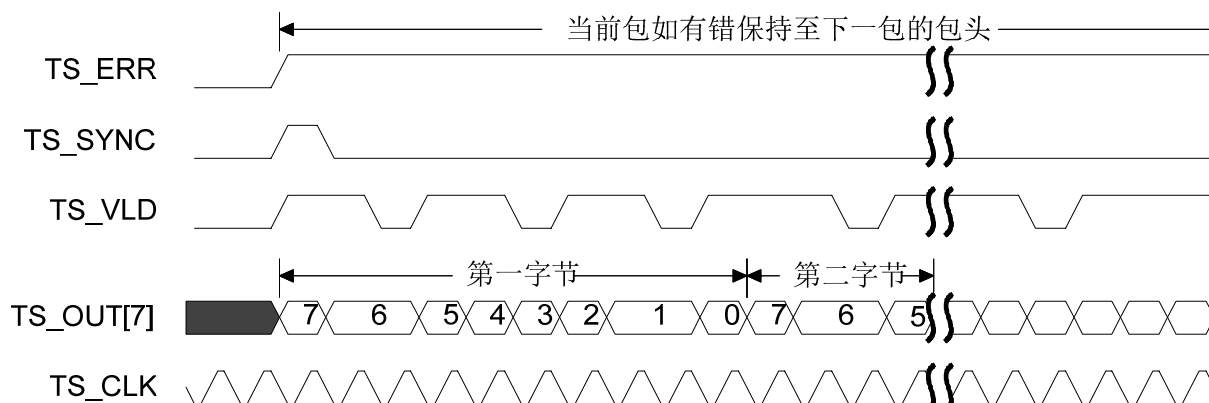
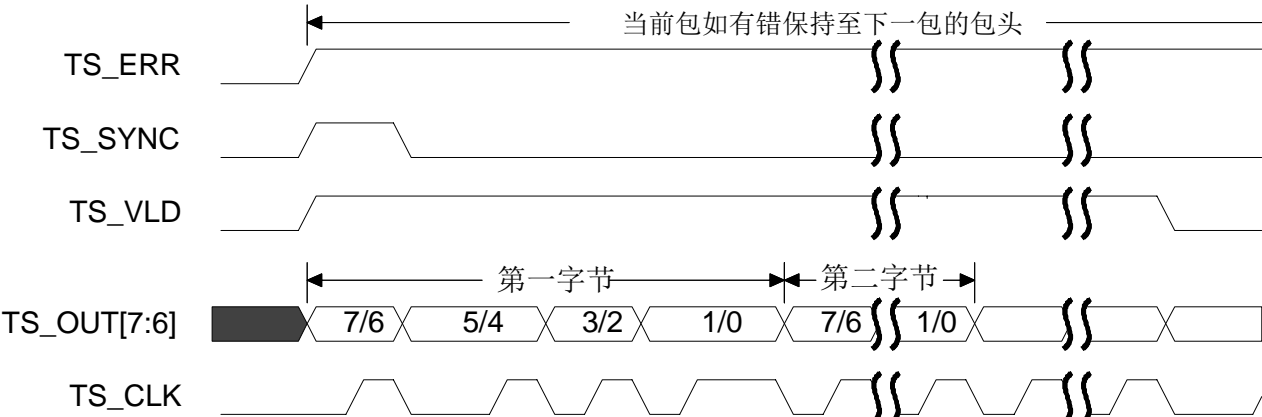






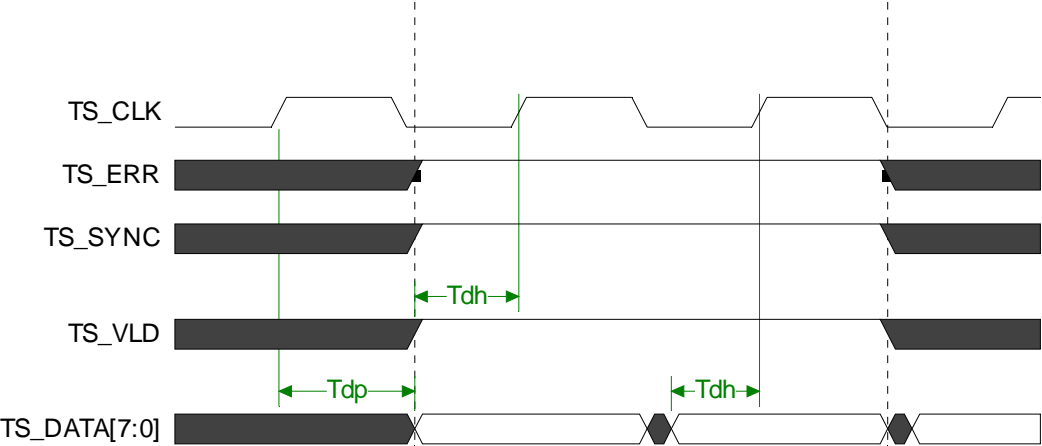
图3-20 TS 两比特串行时序示意



3.8.2 输出时序参数

TS 输出时序图见图 3-16 所示。

图3-21 TS\_CLK 输出时序图



注：请使用如图所示的 TS\_CLK 输出为上升沿模式。

表3-24 TS 输出方向时序参数表

参数	符号	最小值	典型值	最大值	单位
TS_CLK 占空比	-	-	50	-	%
TS_CLK 时钟频率	TS_Freq	-	-	80	MHz
输出数据信号建立时间	Tdp	-	$(1/TS\_Freq)/2$	$(1/TS\_Freq)/2+1.7$	ns
输出数据信号保持时间	Tdh	$(1/TS\_Freq)/2-1.8$	$(1/TS\_Freq)/2$	-	ns



## 目 录

A 缩略语.....	A-1
------------	-----



# A 缩略语

## A

<b>AAF</b>	Anti-aliasing Filter	抗镜像滤波器
<b>ADC</b>	Analog Digital Converter	模数转换器
<b>AGC</b>	Automatic Gain Control	自动增益控制

## B

<b>BCH</b>	Bose-Chaudhuri-Hocquenghem multiple error correction binary block code	一种循环纠错码
<b>BER</b>	Bit Error Rate	误比特率

## C

<b>CLK</b>	Clock	时钟
<b>CR</b>	Carrier Recovery	载波恢复

## D

<b>DAGC</b>	Digital Automatic Gain Control	数字自动增益控制
-------------	--------------------------------	----------

## E

<b>EQU</b>	Equalizer	均衡器
<b>ERR</b>	Error	错误

## F



## A 缩略语

<b>FEC</b>	Forward Error Correction	前向纠错
<b>FER</b>	Frame Error Rate	误帧率
<b>G</b>		
<b>GS</b>	Generic Stream	通用流
<b>L</b>		
<b>LDPC</b>	Low Density Parity Check Code	低密度奇偶校验码
<b>M</b>		
<b>MISO</b>	Multiple input single output	多入单出
<b>MPLP</b>	Multiple Physical Layer Pipe	多物理层管道
<b>P</b>		
<b>PER</b>	Packet Error Rate	误包率
<b>PLL</b>	Phase Locked Loop	锁相环
<b>PLP</b>	Physical Layer Pipe	物理层管道
<b>PDM</b>	Pulse Density Modulation	脉冲密度调制
<b>PWM</b>	Pulse Width Modulation	脉冲宽度调制
<b>PP</b>	Pilot Pattern	导频图样
<b>Q</b>		
<b>Q</b>	Quadrant	正交
<b>QPSK</b>	Quaternary Phase Shift Keying	四相相移键控
<b>QAM</b>	Quadrature Amplitude Modulation	正交幅度调制
<b>R</b>		
<b>RS</b>	Reed Solomon	里德所罗门，一种信道编码方式。
<b>S</b>		
<b>SNR</b>	Signal Noise Ratio	信噪比



<b>SYNC</b>	Synchronization	同步
<b>SISO</b>		单入单出
<b>T</b>		
<b>TR</b>	Timing Recovery	定时恢复
<b>TS</b>	Transport Stream	传输流
<b>V</b>		
<b>VLD</b>	Valid	有效