



Hi3798M V100 智能网络终端媒体处理器 硬件 用户指南

文档版本 03

发布日期 2015-04-10

版权所有 © 深圳市海思半导体有限公司 2015。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为总部 邮编：518129

网址： <http://www.hisilicon.com>

客户服务邮箱： support@hisilicon.com



前 言

概述

本文档主要介绍 Hi3798M V100 芯片的硬件封装、管脚描述、管脚复用寄存器的配置方法、电气特性参数、原理图设计建议、PCB 设计建议、热设计建议、焊接工艺、潮敏参数、注意事项等内容。

本文主要为硬件工程师提供硬件设计的参考。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3798M 芯片	V1XX

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

约定

寄存器访问类型约定

类型	说明	类型	说明
RO	只读，不可写。	RW	可读可写。



类型	说明	类型	说明
RC	读清零。	WC	可读，写 1 清零，写 0 保持不变。

寄存器复位值约定

在寄存器定义表格中：

- 如果某一个比特的复位值“Reset”（即“Reset”行）为“？”，表示复位值不确定。
- 如果某一个或者多个比特的复位值“Reset”为“？”，则整个寄存器的复位值“Total Reset Value”为“-”，表示复位值不确定。

数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量（如 RAM 容量）	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列（寄存器描述中除外）。
X	00X、1XX	在数据的表达方式中，X 表示 0 或 1。 例如：00X 表示 000 或 001； 1XX 表示 100、101、110 或 111。



修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2014-05-15	00B01	第 1 次临时版本发布。
2014-11-18	01	将 slwa rate 改为 slew rate。
2014-12-26	02	更新管用复用寄存器的上下拉使能信息。
2015-04-10	03	增加 QFP 封装。



目 录

前 言.....	iii
1 封装与管脚.....	1-1
1.1 封装与管脚分布.....	1-1
1.1.1 BGA.....	1-1
1.1.2 QFP.....	1-15
1.2 管脚描述.....	1-25
1.2.1 管脚类型说明.....	1-25
1.2.2 ADAC 管脚.....	1-26
1.2.3 HDMI 管脚.....	1-27
1.2.4 USB 管脚.....	1-28
1.2.5 FE 管脚.....	1-30
1.2.6 PLL 管脚.....	1-32
1.2.7 VDAC 管脚.....	1-32
1.2.8 DDR 管脚.....	1-32
1.2.9 SYS 管脚.....	1-38
1.2.10 I2C 管脚.....	1-39
1.2.11 I2S 管脚.....	1-39
1.2.12 IR 管脚.....	1-40
1.2.13 JTAG 管脚.....	1-41
1.2.14 LED 管脚.....	1-42
1.2.15 NANDC 管脚.....	1-42
1.2.16 SDIO 管脚.....	1-45
1.2.17 SLIC 管脚.....	1-46
1.2.18 SPDIF 管脚.....	1-48
1.2.19 STANDBY_PWROFF 管脚.....	1-48
1.2.20 UART 管脚.....	1-49
1.2.21 PG（Power and Ground）管脚.....	1-49
1.2.22 DVDD33 管脚.....	1-49
1.2.23 DVDD11_LDO_OUT 管脚.....	1-50
1.2.24 DVDD33_STANDBY 管脚.....	1-50



1.3 复用寄存器概览.....	1-52
1.4 复用寄存器描述.....	1-54
1.5 软件复用管脚.....	1-112
1.5.1 MEM.....	1-112
1.5.2 JTAG.....	1-114
1.5.3 AUDIO.....	1-115
1.5.4 I2C.....	1-117
1.5.5 HDMITX.....	1-117
1.5.6 NET.....	1-118
1.5.7 SDIO.....	1-119
1.5.8 SYS.....	1-120
1.5.9 SPI.....	1-121
2 电性能参数.....	2-1
2.1 功耗分布.....	2-1
2.2 极限工作电压.....	2-1
2.3 推荐工作条件.....	2-2
2.4 DC/AC 电气参数.....	2-3
2.5 上下电要求.....	2-5
3 原理图设计建议.....	3-1
3.1 小系统设计建议.....	3-1
3.1.1 Clocking 电路.....	3-1
3.1.2 复位和 Watchdog 电路.....	3-1
3.1.3 JTAG Debug 接口.....	3-2
3.1.4 硬件初始化系统配置电路.....	3-3
3.1.5 DDR 电路设计.....	3-3
3.1.6 Flash 电路设计.....	3-7
3.2 电源设计建议.....	3-9
3.2.1 CPU/CORE 电源设计.....	3-9
3.2.2 IO 电源设计.....	3-9
3.2.3 DDR 电源设计.....	3-9
3.2.4 PLL 电源设计.....	3-10
3.2.5 Standby 电源设计.....	3-10
3.2.6 待机电路方案设计.....	3-10
3.2.7 注意事项.....	3-11
3.3 外围接口设计建议.....	3-11
3.3.1 SDIO 接口设计.....	3-11
3.3.2 网口设计.....	3-12
3.3.3 USB 接口设计.....	3-12
3.3.4 音频 DAC 接口设计.....	3-13



3.3.5 视频 DAC 接口设计	3-13
3.3.6 HDMI 接口设计	3-14
4 PCB 设计建议.....	4-1
4.1 层叠和布局.....	4-1
4.1.1 层叠	4-1
4.1.2 Fanout 封装设计建议	4-2
4.2 小系统 PCB 设计建议	4-5
4.2.1 小系统电源	4-5
4.2.2 时钟和复位电路.....	4-6
4.2.3 DDR 信号设计	4-6
4.2.4 Flash 设计	4-7
4.3 典型外围接口 PCB 设计建议	4-8
4.3.1 SDIO 接口设计	4-8
4.3.2 USB 接口设计.....	4-9
4.3.3 音频 DAC 接口设计	4-10
4.3.4 视频 DAC 接口设计	4-10
4.3.5 HDMI 接口设计	4-10
4.3.6 其它	4-11
5 热设计建议.....	5-1
5.1 工作条件.....	5-1
5.2 散热设计参考.....	5-3
5.3 电路热设计参考.....	5-5
5.3.1 原理图	5-5
5.3.2 PCB.....	5-6
6 焊接工艺建议.....	6-1
6.1 概述.....	6-1
6.2 无铅回流焊工艺参数要求.....	6-1
6.3 混合回流焊工艺参数要求.....	6-3
7 潮敏参数.....	7-1
7.1 概述.....	7-1
7.2 海思产品防潮包装.....	7-1
7.2.1 包装信息	7-1
7.2.2 潮敏产品进料检验.....	7-2
7.3 存放与使用	7-2
7.4 重新烘烤.....	7-3
8 接口时序.....	8-1
8.1 DDR 接口时序	8-1



8.1.1 写操作时序	8-1
8.1.2 读操作时序	8-2
8.1.3 时序参数	8-3
8.2 NANDC 接口时序	8-4
8.2.1 命令周期时序	8-4
8.2.2 地址周期时序	8-5
8.2.3 写数据时序	8-5
8.2.4 读数据时序	8-6
8.3 Ethernet MAC 接口时序	8-7
8.3.1 MDIO 接口时序	8-7
8.4 SIO 接口时序	8-8
8.4.1 I ² S 模式接口时序	8-8
8.4.2 PCM 模式接口时序	8-9
8.5 I ² C 时序	8-10
8.6 SPI 接口时序	8-11
8.7 MMC/SD/SDIO 接口时序	8-14
A 缩略语	A-1



插图目录

图 1-1 芯片封装顶视图	1-2
图 1-2 芯片封装底视图	1-3
图 1-3 芯片侧视图	1-3
图 1-4 DETAIL A 放大图	1-4
图 1-5 管脚分布图 part1 (A1~L12)	1-5
图 1-6 管脚分布图 part2 (M1~AC12)	1-6
图 1-7 管脚分布图 part3 (M13~AC23)	1-7
图 1-8 管脚分布图 part4 (A13~L23)	1-8
图 1-9 芯片封装顶视图	1-15
图 1-10 芯片封装侧视图	1-16
图 1-11 SECTION A 放大图	1-16
图 1-12 SECTION B 放大图	1-16
图 1-13 封装参数说明	1-17
图 1-14 管脚分布 part1 (1~27、191~216)	1-18
图 1-15 管脚分布 part2 (28~54、55~80)	1-19
图 1-16 管脚分布 part3 (81~108、109~135)	1-20
图 1-17 管脚分布 part4 (126~162、163~190)	1-21
图 3-1 推荐晶体连接方式及器件参数	3-1
图 3-2 JTAG 连接方式及标准连接器管脚定义	3-2
图 3-3 Hi3798MV100 与 DDR3 SDRAM 的 T 型拓扑结构图	3-4
图 3-4 Hi3798MV100 与 DDR3 SDRAM 的 fly-by 拓扑结构图	3-5
图 3-5 DDR3 应用中，差分时钟 DDR3_CLK_N、DDR3_CLK_P 一驱一应用	3-6
图 3-6 DDR3 应用中，四负载，采用 Fly-by 结构，差分时钟 DDR3_CLK_P/N 一驱四应用	3-6
图 3-7 地址和控制信号一驱二应用	3-7
图 3-8 DDR3 电源分压网络参考设计图	3-10



图 3-9 Hi3798MV100 板级待机电路方案框图	3-11
图 4-1 BGA-395 封装两层板 fanout.....	4-2
图 4-2 BGA-395 封装四层板 fanout.....	4-3
图 4-3 QFP216 封装两层板 fanout	4-4
图 4-4 QFP216 封装四层板 fanout	4-5
图 6-1 无铅回流焊接工艺曲线.....	6-2
图 6-2 封装体测温示意图.....	6-3
图 7-1 干燥真空包装材料示意图.....	7-2
图 8-1 DDR3 中 DDR3_DQS 相对于 DDR3_DQ 的写操作时序图.....	8-1
图 8-2 DDR3 中 DDR3_DQS 相对于 DDR3_CLK(CMDADDR PHY)的写操作时序图.....	8-1
图 8-3 命令和地址相对于 DDR3_CLK(CMDADDR PHY)的写操作时序图.....	8-2
图 8-4 DDRn SDRAM 输出时序图	8-3
图 8-5 NANDC 命令周期时序图	8-4
图 8-6 NANDC 地址周期时序图	8-5
图 8-7 NANDC 写数据时序图	8-6
图 8-8 NANDC 读数据时序图	8-7
图 8-9 MDIO 接口读时序.....	8-7
图 8-10 MDIO 接口写时序.....	8-8
图 8-11 MDIO 接口接收时序参数.....	8-8
图 8-12 I ² S 接口接收时序图.....	8-9
图 8-13 I ² S 接口发送时序图.....	8-9
图 8-14 PCM 接口接收时序图	8-9
图 8-15 PCM 接口发送时序图	8-10
图 8-16 I ² C 传输时序图	8-10
图 8-17 SPICK 时序	8-11
图 8-18 SPI 主模式下接口时序 (sph=0)	8-12
图 8-19 SPI 主模式下接口时序 (sph=1)	8-12
图 8-20 输出方向时序图.....	8-14
图 8-21 输入方向时序图.....	8-14



表格目录

表 1-1 封装参数说明表	1-4
表 1-2 管脚排列表	1-8
表 1-3 管脚排列表	1-21
表 1-4 管脚 I/O 类型说明	1-25
表 1-5 ADAC 管脚	1-26
表 1-6 HDMI 管脚	1-27
表 1-7 USB 管脚	1-29
表 1-8 FE 管脚	1-30
表 1-9 PLL 管脚	1-32
表 1-10 VDAC 管脚	1-32
表 1-11 DDR 电源管脚	1-33
表 1-12 DDR 信号管脚	1-33
表 1-13 SYS 管脚	1-38
表 1-14 I2C 管脚	1-39
表 1-15 I2S 管脚	1-39
表 1-16 IR 管脚	1-40
表 1-17 JTAG 管脚	1-41
表 1-18 LED 管脚	1-42
表 1-19 NANDC 管脚	1-43
表 1-20 SDIO 管脚	1-45
表 1-21 SLIC 管脚	1-46
表 1-22 SPDIF 管脚	1-48
表 1-23 STANDBY_PWROFF 管脚	1-48
表 1-24 UART 管脚	1-49
表 1-25 DVDD3318_LDO2_OUT 管脚	1-49



表 1-26 DVDD33 管脚.....	1-50
表 1-27 DVDD11_LDO_OUT 管脚.....	1-50
表 1-28 DVDD33_STANDBY 管脚	1-50
表 1-29 VDD_CPU 管脚	1-50
表 1-30 VDD 管脚.....	1-51
表 1-31 VSS 管脚	1-51
表 1-32 复用寄存器概览(基地址为 0xF8A2_1000).....	1-52
表 1-33 MEM 的软件复用管脚	1-112
表 1-34 MEM 的软件复用管脚描述	1-113
表 1-35 JTAG 的软件复用管脚	1-114
表 1-36 JTAG 的软件复用管脚描述	1-115
表 1-37 AUDIO 的软件复用管脚	1-115
表 1-38 AUDIO 的软件复用管脚描述	1-116
表 1-39 I2C 的软件复用管脚.....	1-117
表 1-40 I2C 的软件复用管脚描述.....	1-117
表 1-41 HDMITX 的软件复用管脚.....	1-117
表 1-42 HDMITX 的软件复用管脚描述.....	1-118
表 1-43 NET 的软件复用管脚.....	1-118
表 1-44 NET 的软件复用管脚描述	1-118
表 1-45 SDIO 的软件复用管脚	1-119
表 1-46 SDIO 的软件复用管脚描述	1-120
表 1-47 SYS 的软件复用管脚	1-121
表 1-48 SYS 的软件复用管脚描述	1-121
表 1-49 SPI 的软件复用管脚.....	1-121
表 1-50 SPI 的软件复用管脚描述.....	1-122
表 2-1 功耗参数	2-1
表 2-2 极限工作电压参数.....	2-1
表 2-3 推荐工作条件	2-2
表 2-4 DC 电气参数表 (DVDD33=3.3V, 部分接口支持 5V 输入兼容)	2-3
表 2-5 DC 电气参数表 (DVDD3318_NF=1.8V)	2-3
表 2-6 DC 电气参数表 (VDDIO_DDR=1.5V, DDR3 模式)	2-4
表 2-7 AC 电气参数表 (VDDIO_DDR=1.5V, DDR3 模式)	2-5



表 3-1 JTAG Debug 接口信号	3-2
表 3-2 FUNC_SEL 模式说明	3-3
表 3-3 信号描述	3-3
表 3-4 DQ、DQS_P/DQS_N、DM 拓扑设计推荐	3-5
表 3-5 单片 NAND Flash 上下拉和匹配设计推荐	3-7
表 3-6 单片 eMMC Flash 上下拉和匹配设计推荐	3-8
表 3-7 单片 SD 卡上下拉和匹配设计推荐	3-8
表 3-8 SDIO 接口匹配设计推荐	3-12
表 4-1 单片 NAND Flash PCB 走线约束推荐	4-8
表 4-2 单片 eMMC Flash PCB 走线约束推荐	4-8
表 4-3 SDIO3.0 接口 PCB 走线约束推荐	4-9
表 4-4 HDMI 接口各信号 PCB 走线约束推荐	4-10
表 5-1 BGA 封装四层 PCB 封装热阻参数	5-1
表 5-2 BGA 封装两层 PCB 封装热阻参数	5-1
表 5-3 QFP 封装四层 PCB 封装热阻参数	5-2
表 5-4 QFP 封装两层 PCB 封装热阻参数	5-2
表 5-5 推荐工作环境参数	5-3
表 5-6 导热介质材料推荐表	5-4
表 5-7 散热器固定方式与质量关系	5-5
表 6-1 无铅回流焊工艺参数	6-2
表 6-2 IPC/JEDEC 020D 中的无铅器件封装体耐温标准	6-3
表 6-3 混装回流焊工艺参数表	6-4
表 6-4 IPC/JEDEC 020D 中的有铅器件封装体耐温标准	6-4
表 7-1 floor life 参照表	7-2
表 7-2 重新烘烤参考表	7-3
表 8-1 DDR3 时钟参数表	8-3
表 8-2 DDR3 SDRAM 存储器参数表 (DDR3-1066)	8-3
表 8-3 NANDC 命令周期时序参数表	8-4
表 8-4 NANDC 地址周期时序参数表	8-5
表 8-5 NANDC 写数据时序参数表	8-6
表 8-6 NANDC 读数据时序参数表	8-7
表 8-7 MDIO 接口时序参数	8-8



表 8-8 I ² S 接口时序参数表.....	8-9
表 8-9 PCM 接口时序参数表	8-10
表 8-10 I ² C 接口时序参数表	8-10
表 8-11 SPI 接口时序参数.....	8-12
表 8-12 MMC 接口时序参数.....	8-14



1 封装与管脚

1.1 封装与管脚分布

1.1.1 BGA

封装

Hi3798M V100 芯片的 TFBGA (Thin Fine BGA package) 封装，封装尺寸为 19mm×19mm，管脚间距为 0.8mm，管脚总数为 395 个，详细封装请参见图 1-1～图 1-4，封装尺寸参数请参见表 1-1。



图1-1 芯片封装顶视图

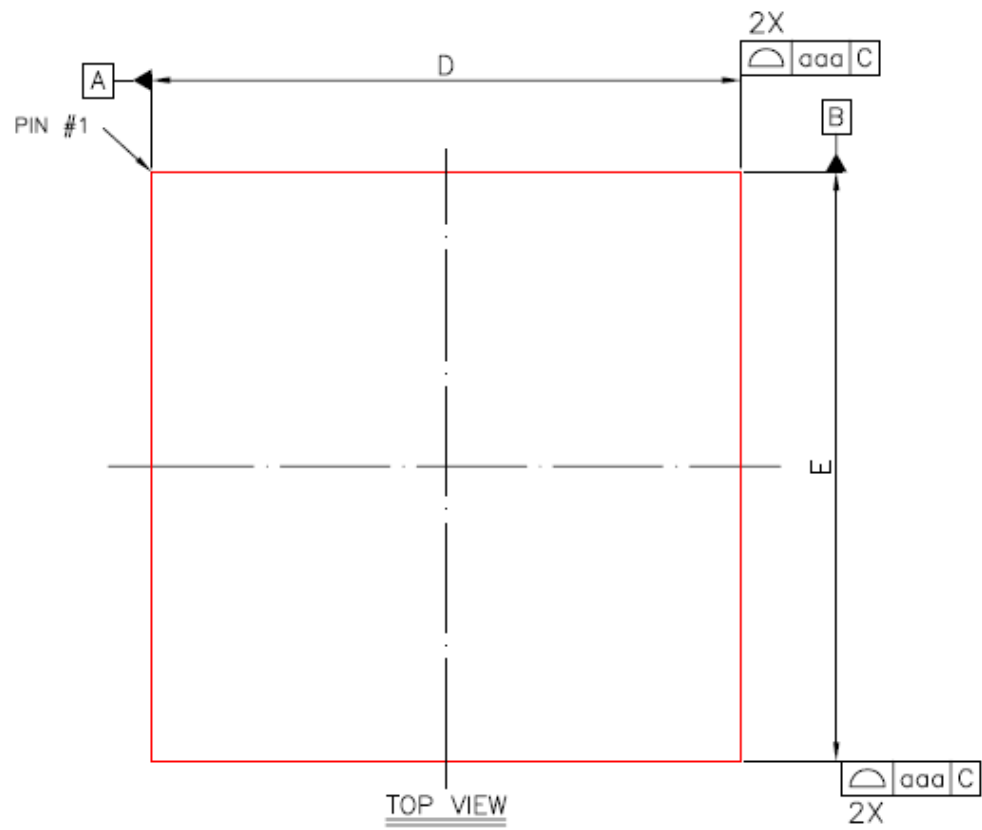


图1-2 芯片封装底视图

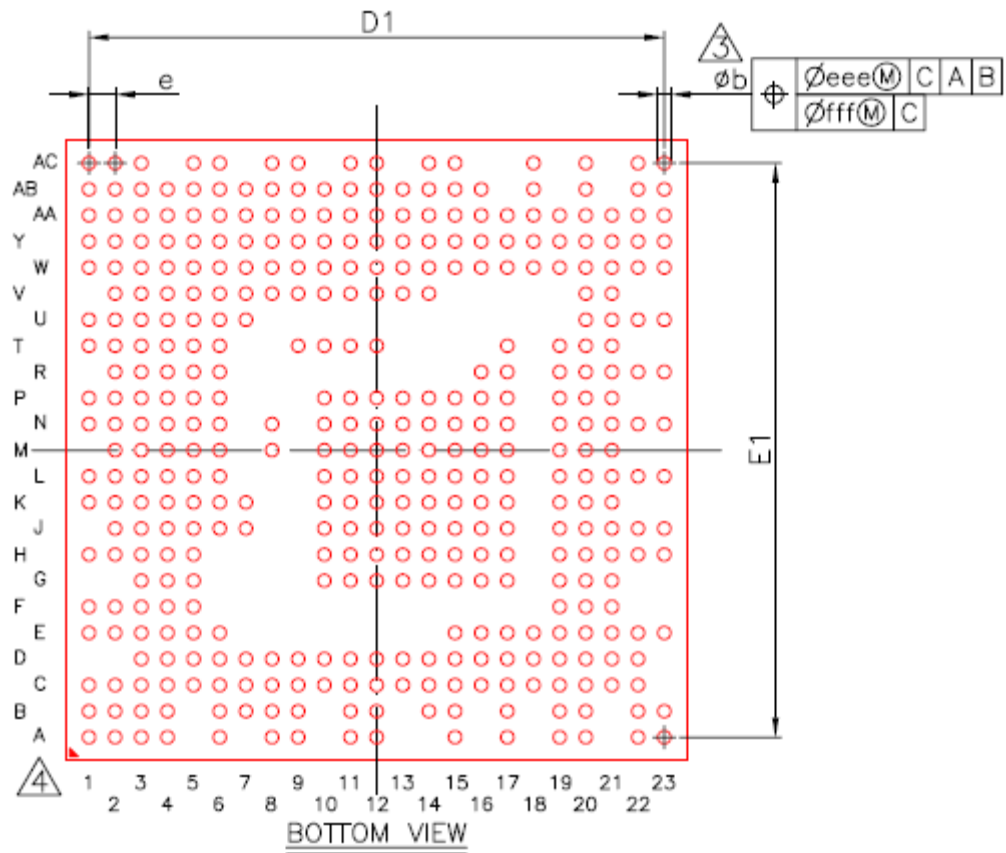


图1-3 芯片侧视图

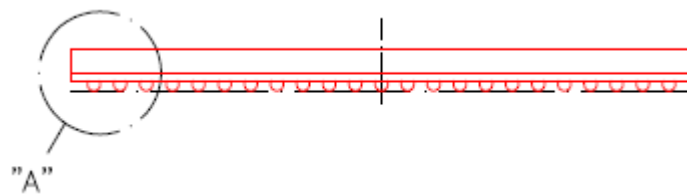




图1-4 DETAIL A 放大图

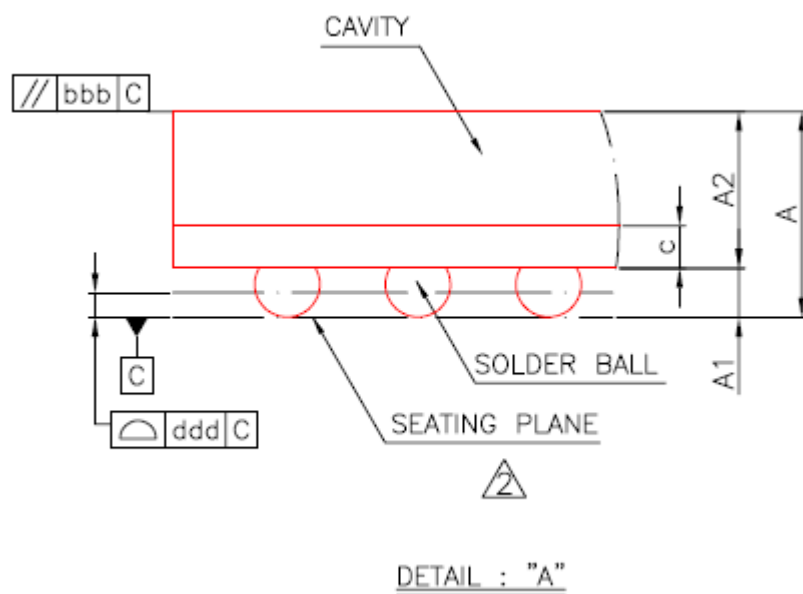


表1-1 封装参数说明表

Symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.19	1.26	1.33	0.047	0.050	0.052
A1	0.25	0.30	0.35	0.010	0.012	0.014
A2	0.91	0.96	1.01	0.036	0.038	0.040
c	0.22	0.26	0.30	0.009	0.010	0.012
D	18.90	19.00	19.10	0.744	0.748	0.752
E	18.90	19.00	19.10	0.744	0.748	0.752
D1	---	17.60	---	---	0.693	---
E1	---	17.60	---	---	0.693	---
e	---	0.80	---	---	0.031	---
b	0.35	0.40	0.45	0.014	0.016	0.018
aaa	0.15			0.006		
bbb	0.20			0.008		
ddd	0.15			0.006		
eee	0.15			0.006		
fff	0.08			0.003		
MD/ME	23/23					

管脚分布

Hi3798M V100 BGA 封装的管脚分布如图 1-5～图 1-8 所示。



图1-5 管脚分布图 part1 (A1~L12)

	1	2	3	4	5	6	7	8	9	10	11	12
A	VSS	VSS	AVSS_FE	FE_TXN		USB0_DM		I2S0_DIN0	I2S0_DO0		SPI_CSN1	SPI_SDI
B	FE_LED_ACT	FE_LED_BASE	AVSS_FE	FE_TXP		USB0_DP	USB1_DM	AVSS_USB1	I2S0_MCLK		SPI_CSN0	SPI_SDO
C	SDIO0_CWPR	SDIO0_CDATA1	VSS	AVSS_FE	FE_RXN	AVSS_USB0	USB1_DP	AVSS_USB1	I2S0_WS	I2S0_BCLK	SLIC_RST	SPI_SCLK
D			SDIO0_CDATA0	AVSS_FE	FE_RXP	AVSS_USB2	AVDD33_USB01	USB01_REXT	VSS	DVDD33	DVDD33	DVDD33
E	SDIO0_CDATA3	SDIO0_CCMD	SDIO0_CCLK_OUT	VSS	AVDD33_FE	FE_REXT						
F	SDIO0_CARD_DET	SDIO0_CDATA2	SDIO0_CARD_PO	VSS	DVDD33							
G			VSS	VSS	CAPACITOR_LDO					AVDD11_FE	AVCC11_USB01	VSS
H	DDR3_DQ2	DDR3_DQ6	VSS	DDR3_DQ0	DDR3_DQ4					VSS	VSS	VSS
J		VSS	DDR3_DQ11	DDR3_DQ13	DDR3_DQ15	VDDIO_DDR	VDDIO_DDR			VSS	VSS	VSS
K	VSS	DDR3_DQ9	VSS	DDR3_DM0	VSS	VDDIO_DDR	VDDIO_DDR			VSS	VSS	VSS
L	DDR3_DQS0_N	DDR3_DQS0_P	VSS	VSS	DDR3_DM1	VDDIO_DDR				VDD	VSS	VSS



图1-6 管脚分布图 part2 (M1~AC12)

M		DDR3_DQ S1_P	DDR3_DQ S1_N	DDR3_DQ 8	DDR3_DQ 10	VSS		VSS		VDD	VSS	VSS
N	DDR3_DQ 1	VSS	VSS	DDR3_DQ 12	VSS	VDDIO_D DR		AVDD_DD RPLL1		VDD	VDD	VDD
P	VSS	DDR3_DQ 7	DDR3_DQ 3	DDR3_DQ 14	VSS	VDDIO_D DR				VDD	VDD	VDD
R		VSS	DDR3_DQ 5	VSS	DDR3_DQ 20	VSS						
T	VSS	DDR3_DQ 18	DDR3_DQ 22	DDR3_DQ 29	DDR3_DQ 16	VDDIO_D DR			VDDIO_C K_DDR	VDDIO_C K_DDR	VSS	AVDD_DD RPLL2
U	DDR3_DQ 25	VSS	DDR3_DQ 27	DDR3_DQ 31	VSS	VDDIO_D DR	VDDIO_D DR					
V		DDR3_DQ S2_N	DDR3_DQ S2_P	VSS	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VSS	VDDIO_D DR	VDDIO_D DR
W	DDR3_DQ S3_P	DDR3_DQ S3_N	VSS	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VSS	DDR3_CK E	DDR3_A4	VSS	DDR3_A1 5
Y	VSS	DDR3_DM 3	VSS	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VSS	DDR3_A1 0	VSS	DDR3_A1	DDR3_A1 1	DDR3_BA 2
AA	DDR3_DM 2	VSS	VSS	DDR3_DQ 24	DDR3_DQ 17	DDR3_DQ 23	DDR3_CL K1_P	VSS	DDR3_BA 1	DDR3_A6	DDR3_A1 4	DDR3_A9
AB	VSS	DDR3_DQ 30	DDR3_DQ 26	VSS	DDR3_DQ 19	VSS	DDR3_CL K1_N	DDR3_CL K0_N	DDR3_A1 2	VSS	DDR3_A8	VSS
AC	VSS	DDR3_DQ 28	VSS		VSS	DDR3_DQ 21		DDR3_CL K0_P	VSS		VSS	DDR3_CS _N_0
	1	2	3	4	5	6	7	8	9	10	11	12



图1-7 管脚分布图 part3 (M13~AC23)

VDD	VDD	VSS	VDD_CPU	VDD_CPU		DVDD331 8_NF	VSS	NF_RDY0			M
VDD	VDD	VSS	VSS	VSS		DVDD331 8_NF	NF_ALE	NF_CLE	NF_CSN0	NF_REN	N
VDD	VDD	VDD	VSS	AVDD11_ PLL		AVSS_PLL	VSS	NF_WEN			P
			DVDD11_ USB3	AVDD11_ VP_USB3		AVDD33_ PLL	VSS	EBI_DQ2	EBI_DQ1	EBI_DQ0	R
				AVDD11_ VPTX0_U		DVDD11_ LDO_OUT	EBI_DQ4	EBI_DQ3			T
							VSS	EBI_DQ7	EBI_DQ5	EBI_DQ6	U
VDDIO_D DR	VDDIO_D DR						DVDD33_ STANDBY	VSS			V
VSS	DDR3_A2	VSS	DDR3_ZQ	AVDD33_ USB3	AVDD33_ USB3	VSS	DVDD33_ STANDBY	VSS	XOUT	XIN	W
DDR3_W E_N	DDR3_CA S_N	DDR3_A1 3	DDR3_A5	USB3_RE XT	VSS	USB3_TX P	VSS	IR_IN	FUNC_SE L	VSS	Y
VSS	VSS	VSS	DDR3_A7	VSS	VSS	USB3_TX N	VSS	LED_KEY0	UART0_R XD	UART0_T XD	AA
DDR3_RE SET_N	DDR3_A3	DDR3_OD T_0	DDR3_RA S_N		USB3_DP		USB3_RX N		LED_DAT A	STANDBY _PWROF	AB
	DDR3_A0	DDR3_BA 0			USB3_DM		USB3_RX P		LED_CLK	VSS	AC
13	14	15	16	17	18	19	20	21	22	23	



图1-8 管脚分布图 part4 (A13~L23)

13	14	15	16	17	18	19	20	21	22	23	
		HDMI_TX 1P		HDMI_TX CP		HDMITX_ SDA	SPDIF_O UT		ADAC_VO UTR	AVSS_AD AC	A
	HDMI_TX 2P	HDMI_TX 1N		HDMI_TX CN		HDMITX_ HOTPLUG	VSS		ADAC_VO UTL	AVSS_AD AC	B
VSS	HDMI_TX 2N	AVSS_HD MITX	HDMI_TX OP	AVSS_HD MITX	HDMITX_ CEC	MUTE_CT RL	VSS	AVSS_AD AC	AVSS_AD AC		C
VSS	AVSS_HD MITX	AVSS_HD MITX	HDMI_TX ON	AVSS_HD MITX	HDMITX_ SCL	VSS	AVSS_AD AC	AVSS_VD AC	AVSS_VD AC		D
		AVDD33_ HDMITX	AVSS_HD MITX	AVSS_HD MITX	DVDD33	AVDD33_ ADAC	AVDD33_ VDAC	AVSS_VD AC	AVSS_VD AC	VDAC	E
						AVDD33_ VDAC	VDAC_IR EF	AVSS_VD AC			F
VSS	AVCC11_ HDMITX	AVCC11_ HDMITX	VSS	ADAC_VR EFDAC		AVDD33_ VDAC	AVSS_VD AC	JTAG_SEL			G
VSS	VSS	VSS	VDD_CPU	VDD_CPU		DVDD33	VSS	USB_BOO T	I2C2_SCL	I2C2_SD A	H
VDD	VDD	VSS	VDD_CPU	VDD_CPU		DVDD33	VSS	JTAG_TC K	JTAG_TD O	JTAG_TDI	J
VDD	VDD	VSS	VSS	VDD_CPU		AVDD33_ USB2	JTAG_TR STN	JTAG_TM S			K
VDD	VDD	VSS	VDD_CPU	VDD_CPU		USB2_RE XT	AVSS_US B2	AVSS_US B2	USB2_DM	USB2_DP	L

管脚排列表

Hi3798MV100 的管脚按位置排列如表 1-2 所示。

表1-2 管脚排列表

位置	管脚名称	位置	管脚名称
A1	VSS	J16	VDD_CPU
A2	VSS	J17	VDD_CPU
A3	AVSS_FE	J19	DVDD33
A4	FE_TXN	J20	VSS
A6	USB0_DM	J21	JTAG_TCK
A8	I2S0_DIN0	J22	JTAG_TDO
A9	I2S0_DOUT0	J23	JTAG_TDI
A11	SPI_CSN1	K1	VSS
A12	SPI_SDI	K2	DDR3_DQ9
A15	HDMI_TX1P	K3	VSS



位置	管脚名称	位置	管脚名称
A17	HDMI_TXCP	K4	DDR3_DM0
A19	HDMITX_SDA	K5	VSS
A20	SPDIF_OUT	K6	VDDIO_DDR
A22	ADAC_VOUTR	K7	VDDIO_DDR
A23	AVSS_ADAC	K10	VSS
AA1	DDR3_DM2	K11	VSS
AA2	VSS	K12	VSS
AA3	VSS	K13	VDD
AA4	DDR3_DQ24	K14	VDD
AA5	DDR3_DQ17	K15	VSS
AA6	DDR3_DQ23	K16	VSS
AA7	DDR3_CLK1_P	K17	VDD_CPU
AA8	VSS	K19	AVDD33_USB2
AA9	DDR3_BA1	K20	JTAG_TRSTN
AA10	DDR3_A6	K21	JTAG_TMS
AA11	DDR3_A14	L1	DDR3_DQS0_N
AA12	DDR3_A9	L2	DDR3_DQS0_P
AA13	VSS	L3	VSS
AA14	VSS	L4	VSS
AA15	VSS	L5	DDR3_DM1
AA16	DDR3_A7	L6	VDDIO_DDR
AA17	VSS	L10	VDD
AA18	VSS	L11	VSS
AA19	USB3_TXN	L12	VSS
AA20	VSS	L13	VDD
AA21	LED_KEY0	L14	VDD
AA22	UART0_RXD	L15	VSS
AA23	UART0_TXD	L16	VDD_CPU
AB1	VSS	L17	VDD_CPU
AB2	DDR3_DQ30	L19	USB2_REXT
AB3	DDR3_DQ26	L20	AVSS_USB2



位置	管脚名称	位置	管脚名称
AB4	VSS	L21	AVSS_USB2
AB5	DDR3_DQ19	L22	USB2_DM
AB6	VSS	L23	USB2_DP
AB7	DDR3_CLK1_N	M2	DDR3_DQS1_P
AB8	DDR3_CLK0_N	M3	DDR3_DQS1_N
AB9	DDR3_A12	M4	DDR3_DQ8
AB10	VSS	M5	DDR3_DQ10
AB11	DDR3_A8	M6	VSS
AB12	VSS	M8	VSS
AB13	DDR3_RESET_N	M10	VDD
AB14	DDR3_A3	M11	VSS
AB15	DDR3_ODT_0	M12	VSS
AB16	DDR3_RAS_N	M13	VDD
AB18	USB3_DP	M14	VDD
AB20	USB3_RXN	M15	VSS
AB22	LED_DATA	M16	VDD_CPU
AB23	STANDBY_PWROFF	M17	VDD_CPU
AC1	VSS	M19	DVDD3318_NF
AC2	DDR3_DQ28	M20	VSS
AC3	VSS	M21	NF_RDY0
AC5	VSS	N1	DDR3_DQ1
AC6	DDR3_DQ21	N2	VSS
AC8	DDR3_CLK0_P	N3	VSS
AC9	VSS	N4	DDR3_DQ12
AC11	VSS	N5	VSS
AC12	DDR3_CSN	N6	VDDIO_DDR
AC14	DDR3_A0	N8	AVDD_DDRPLL1
AC15	DDR3_BA0	N10	VDD
AC18	USB3_DM	N11	VDD
AC20	USB3_RXP	N12	VDD
AC22	LED_CLK	N13	VDD



位置	管脚名称	位置	管脚名称
AC23	VSS	N14	VDD
B1	FE_LED_ACT	N15	VSS
B2	FE_LED_BASE	N16	VSS
B3	AVSS_FE	N17	VSS
B4	FE_TXP	N19	DVDD3318_NF
B6	USB0_DP	N20	NF_ALE
B7	USB1_DM	N21	NF_CLE
B8	AVSS_USB1	N22	NF_CSN0
B9	I2S0_MCLK	N23	NF_REN
B11	SPI_CSN0	P1	VSS
B12	SPI_SDO	P2	DDR3_DQ7
B14	HDMI_TX2P	P3	DDR3_DQ3
B15	HDMI_TX1N	P4	DDR3_DQ14
B17	HDMI_TXCN	P5	VSS
B19	HDMITX_HOTPLUG	P6	VDDIO_DDR
B20	VSS	P10	VDD
B22	ADAC_VOCTL	P11	VDD
B23	AVSS_ADAC	P12	VDD
C1	SDIO0_CWPR	P13	VDD
C2	SDIO0_CDATA1	P14	VDD
C3	VSS	P15	VDD
C4	AVSS_FE	P16	VSS
C5	FE_RXN	P17	AVDD11_PLL
C6	AVSS_USB0	P19	AVSS_PLL
C7	USB1_DP	P20	VSS
C8	AVSS_USB1	P21	NF_WEN
C9	I2S0_WS	R2	VSS
C10	I2S0_BCLK	R3	DDR3_DQ5
C11	SLIC_RST	R4	VSS
C12	SPI_SCLK	R5	DDR3_DQ20
C13	VSS	R6	VSS



位置	管脚名称	位置	管脚名称
C14	HDMI_TX2N	R16	DVDD11_USB3
C15	AVSS_HDMITX	R17	AVDD11_VP_USB3
C16	HDMI_TX0P	R19	AVDD33_PLL
C17	AVSS_HDMITX	R20	VSS
C18	HDMITX_CEC	R21	EBI_DQ2
C19	MUTE_CTRL	R22	EBI_DQ1
C20	VSS	R23	EBI_DQ0
C21	AVSS_ADAC	T1	VSS
C22	AVSS_ADAC	T2	DDR3_DQ18
D3	SDIO0_CDATAB0	T3	DDR3_DQ22
D4	AVSS_FE	T4	DDR3_DQ29
D5	FE_RXP	T5	DDR3_DQ16
D6	AVSS_USB2	T6	VDDIO_DDR
D7	AVDD33_USB01	T9	VDDIO_CK_DDR
D8	USB01_REXT	T10	VDDIO_CK_DDR
D9	VSS	T11	VSS
D10	DVDD33	T12	AVDD_DDRPLL2
D11	DVDD33	T17	AVDD11_VPTX0_USB3
D12	DVDD33	T19	DVDD11_LDO_OUT
D13	VSS	T20	EBI_DQ4
D14	AVSS_HDMITX	T21	EBI_DQ3
D15	AVSS_HDMITX	U1	DDR3_DQ25
D16	HDMI_TX0N	U2	VSS
D17	AVSS_HDMITX	U3	DDR3_DQ27
D18	HDMITX_SCL	U4	DDR3_DQ31
D19	VSS	U5	VSS
D20	AVSS_ADAC	U6	VDDIO_DDR
D21	AVSS_VDAC	U7	VDDIO_DDR
D22	AVSS_VDAC	U20	VSS
E1	SDIO0_CDATAB3	U21	EBI_DQ7
E2	SDIO0_CCMD	U22	EBI_DQ5



位置	管脚名称	位置	管脚名称
E3	SDIO0_CCLK_OUT	U23	EBI_DQ6
E4	VSS	V2	DDR3_DQS2_N
E5	AVDD33_FE	V3	DDR3_DQS2_P
E6	FE_REXT	V4	VSS
E15	AVDD33_HDMITX	V5	VDDIO_DDR
E16	AVSS_HDMITX	V6	VDDIO_DDR
E17	AVSS_HDMITX	V7	VDDIO_DDR
E18	DVDD33	V8	VDDIO_DDR
E19	AVDD33_ADAC	V9	VDDIO_DDR
E20	AVDD33_VDAC	V10	VSS
E21	AVSS_VDAC	V11	VDDIO_DDR
E22	AVSS_VDAC	V12	VDDIO_DDR
E23	VDAC	V13	VDDIO_DDR
F1	SDIO0_CARD_DETECT	V14	VDDIO_DDR
F2	SDIO0_CDATA2	V20	DVDD33_STANDBY
F3	SDIO0_CARD_POWER_EN	V21	VSS
F4	VSS	W1	DDR3_DQS3_P
F5	DVDD33	W2	DDR3_DQS3_N
F19	AVDD33_VDAC	W3	VSS
F20	VDAC_IREF	W4	VDDIO_DDR
F21	AVSS_VDAC	W5	VDDIO_DDR
G3	VSS	W6	VDDIO_DDR
G4	VSS	W7	VDDIO_DDR
G5	DVDD3318_LDO2_OUT	W8	VSS
G10	AVDD11_FE	W9	DDR3_CKE
G11	AVCC11_USB01	W10	DDR3_A4
G12	VSS	W11	VSS
G13	VSS	W12	DDR3_A15
G14	AVCC11_HDMITX	W13	VSS
G15	AVCC11_HDMITX	W14	DDR3_A2
G16	VSS	W15	VSS



位置	管脚名称	位置	管脚名称
G17	ADAC_VREFDAC	W16	DDR3_ZQ
G19	AVDD33_VDAC	W17	AVDD33_USB3
G20	AVSS_VDAC	W18	AVDD33_USB3
G21	JTAG_SEL	W19	VSS
H1	DDR3_DQ2	W20	DVDD33_STANDBY
H2	DDR3_DQ6	W21	VSS
H3	VSS	W22	XOUT
H4	DDR3_DQ0	W23	XIN
H5	DDR3_DQ4	Y1	VSS
H10	VSS	Y2	DDR3_DM3
H11	VSS	Y3	VSS
H12	VSS	Y4	VDDIO_DDR
H13	VSS	Y5	VDDIO_DDR
H14	VSS	Y6	VDDIO_DDR
H15	VSS	Y7	VSS
H16	VDD_CPU	Y8	DDR3_A10
H17	VDD_CPU	Y9	VSS
H19	DVDD33	Y10	DDR3_A1
H20	VSS	Y11	DDR3_A11
H21	USB_BOOT	Y12	DDR3_BA2
H22	I2C2_SCL	Y13	DDR3_WE_N
H23	I2C2_SDA	Y14	DDR3_CAS_N
J2	VSS	Y15	DDR3_A13
J3	DDR3_DQ11	Y16	DDR3_A5
J4	DDR3_DQ13	Y17	USB3_REXT
J5	DDR3_DQ15	Y18	VSS
J6	VDDIO_DDR	Y19	USB3_TXP
J7	VDDIO_DDR	Y20	VSS
J10	VSS	Y21	IR_IN
J11	VSS	Y22	FUNC_SEL
J12	VSS	Y23	VSS



位置	管脚名称	位置	管脚名称
J13	VDD	-	-
J14	VDD	-	-
J15	VSS	-	-

1.1.2 QFP

封装

Hi3798M V100 芯片的 QFP（Quad Flat Package）封装，封装尺寸为 24mm×24mm，管脚间距为 0.4mm，管脚总数为 216 个，芯片封装如图 1-9～图 1-13 所示。

图1-9 芯片封装顶视图

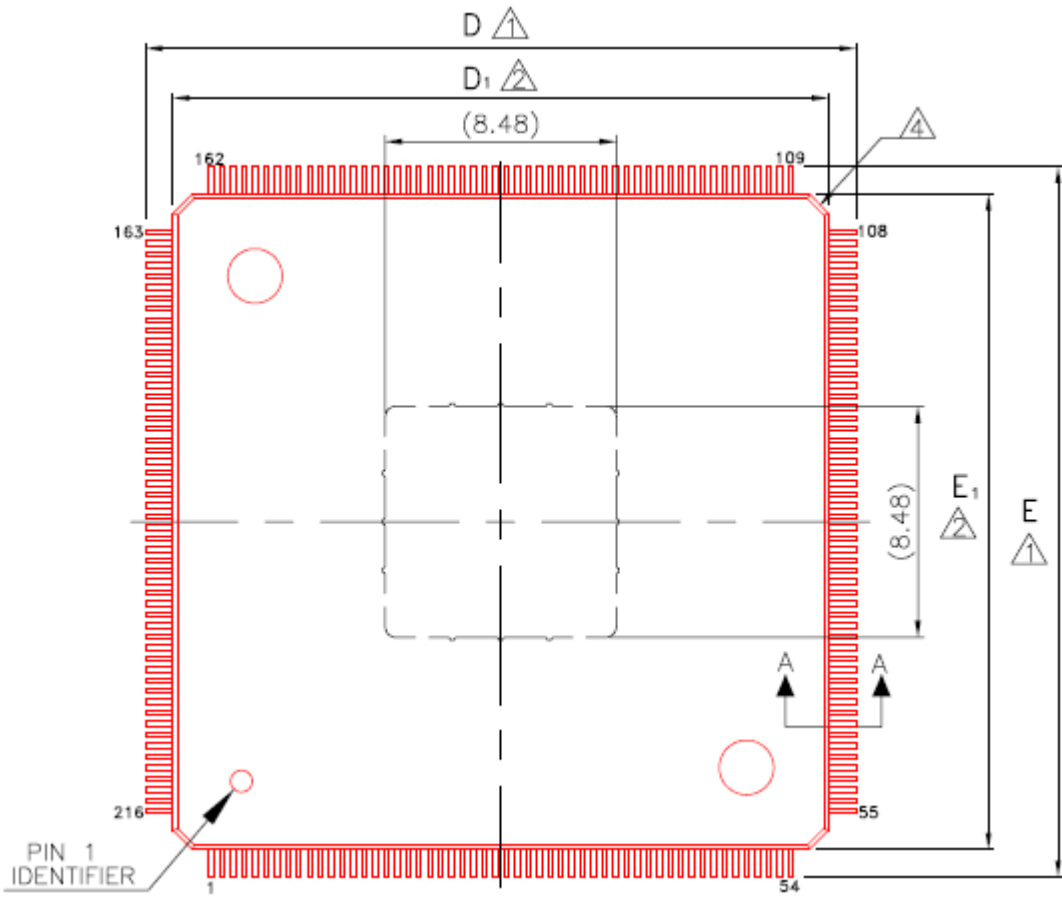




图1-10 芯片封装侧视图

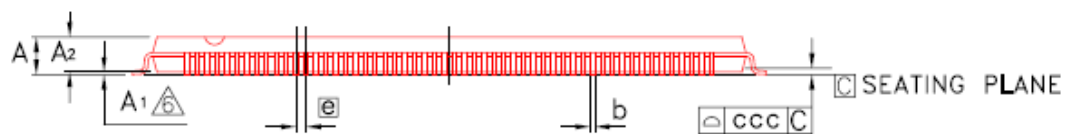


图1-11 SECTION A 放大图

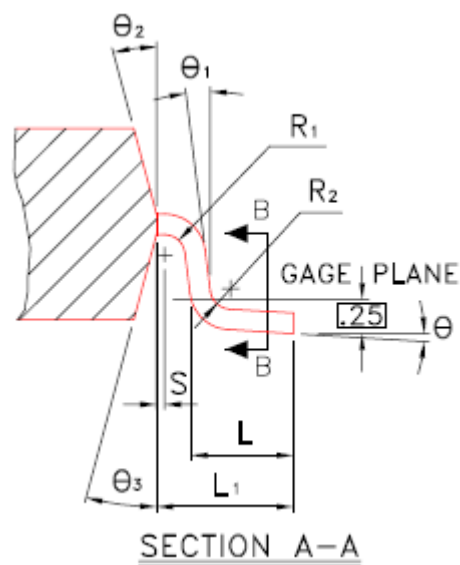


图1-12 SECTION B 放大图

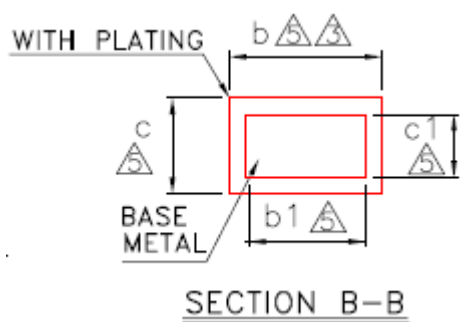




图1-13 封装参数说明

Symbol	Dimension in mm			Dimension in inch		
	Min	Nom	Max	Min	Nom	Max
A	—	—	1.60	—	—	0.063
A ₁	0.025	—	0.127	0.001	—	0.005
A ₂	1.35	1.40	1.45	0.053	0.055	0.057
b	0.13	0.18	0.23	0.005	0.007	0.009
b ₁	0.13	0.16	0.19	0.005	0.006	0.007
c	0.09	0.14	0.20	0.004	0.006	0.008
c ₁	0.09	0.12	0.16	0.004	0.005	0.006
D	25.85	26.00	26.15	1.018	1.024	1.030
D ₁	23.90	24.00	24.10	0.941	0.945	0.949
E	25.85	26.00	26.15	1.018	1.024	1.030
E ₁	23.90	24.00	24.10	0.941	0.945	0.949
e	0.40 BSC			0.016 BSC		
L	0.45	0.60	0.75	0.018	0.024	0.030
L ₁	1.00 REF			0.039 REF		
R ₁	0.08	—	—	0.003	—	—
R ₂	0.08	—	—	0.003	—	—
S	0.20	—	—	0.008	—	—
θ	0°	3.5°	7°	0°	3.5°	7°
θ ₁	0°	—	—	0°	—	—
θ ₂	11°	12°	13°	11°	12°	13°
θ ₃	11°	12°	13°	11°	12°	13°
ccc	0.08			0.003		

管脚分布

Hi3798M V100 QFP 封装的管脚分布如[图 1-14](#)~[图 1-17](#) 所示。



图1-14 管脚分布 part1（1~27、191~216）

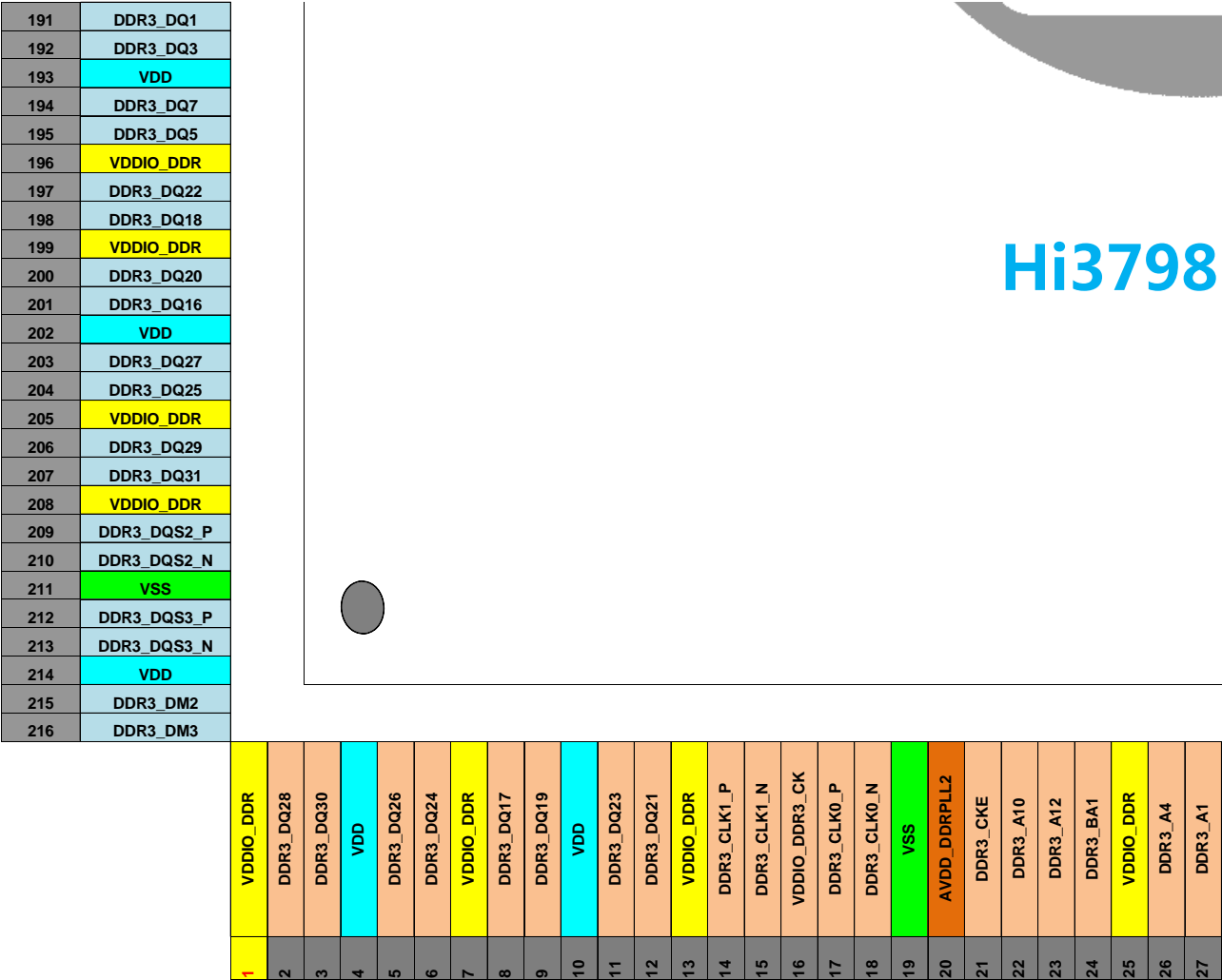




图1-15 管脚分布 part2 (28~54、55~80)

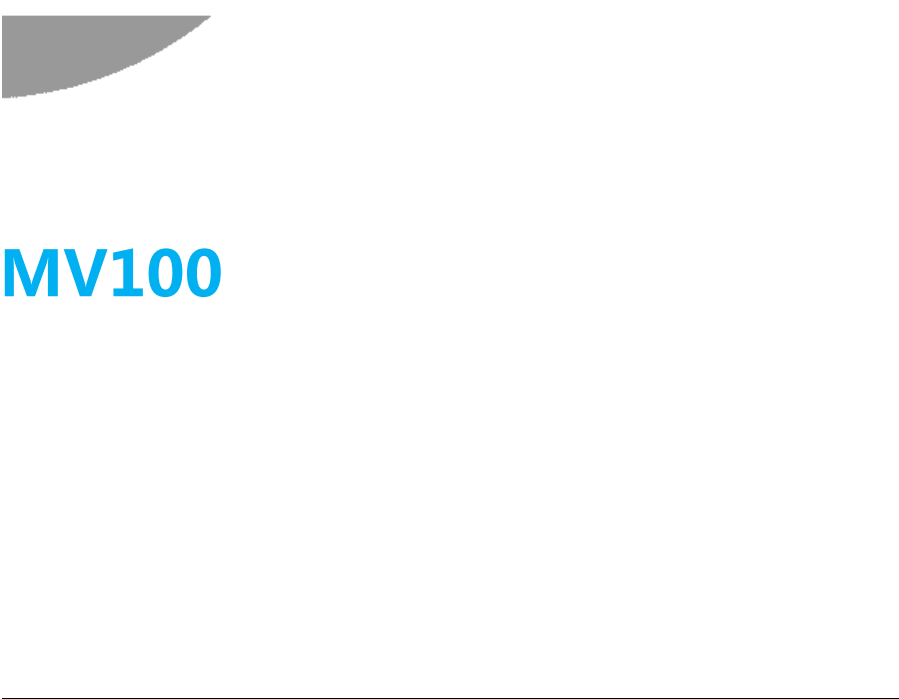
		NF_ALE	80
		NF_WEN	79
		VDD	78
		EBI_DQ0	77
		EBI_DQ1	76
		EBI_DQ2	75
		DVDD3318_NF	74
		EBI_DQ3	73
		EBI_DQ4	72
		EBI_DQ5	71
		EBI_DQ6	70
		EBI_DQ7	69
		AVDD11_PLL	68
		AVSS_PLL	67
		AVDD33_PLL	66
		DVDD33_STANDBY	65
		XOUT	64
		XIN	63
		VSS	62
		UART0_TXD	61
		UART0_RXD	60
		STANDBY_PWROFF	59
		IR_IN	58
		LED_KEY0	57
		FUNC_SEL	56
		DVDD11_LDO1_OUT	55
28	DDR3_A6		
29	DDR3_A8		
30	VDD		
31	DDR3_A14		
32	DDR3_A11		
33	DDR3_BA2		
34	DDR3_CS_N_0		
35	VDDIO_DDR		
36	DDR3_A15		
37	DDR3_A9		
38	DDR3_RESET_N		
39	VDD		
40	DDR3_CAS_N		
41	DDR3_WE_N		
42	DDR3_A3		
43	DDR3_A0		
44	VDDIO_DDR		
45	DDR3_A2		
46	DDR3_A13		
47	DDR3_BA0		
48	DDR3_ODT_0		
49	VDD		
50	DDR3_A7		
51	DDR3_A5		
52	DDR3_RAS_N		
53	VDDIO_DDR		
54	DDR3_ZCOMP		



图1-16 管脚分布 part3（81~108、109~135）

135	USB1_DM	108	USB_BOOT
134	VDD	107	I2C2_SDA
133	HDMI_TX2P	106	I2C2_SCL
132	HDMI_TX2N	105	VDD
131	HDMI_TX1P	104	DVDD33
130	HDMI_TX1N	103	JTAG_TDO
129	AVDD33_HDMITX	102	JTAG_TDI
128	AVCC11_HDMITX	101	JTAG_TCK
127	HDMI_TX0P	100	JTAG_TRSTN
126	HDMI_TX0N	99	JTAG_TMS
125	HDMI_TXCP	98	VDD_CPU
124	HDMI_TXCN	97	VSS
123	HDMITX_CEC	96	VDD_CPU
122	HDMITX_SCL	95	VDD_CPU
121	HDMITX_SDA	94	VSS
120	DVDD33	93	VDD_CPU
119	HDMITX_HOTPLUG	92	VDD_CPU
118	VDD	91	VDD_CPU
117	SPDIF_OUT	90	USB2_DP
116	ADAC_VOUTR	89	USB2_DM
115	AVSS_ADAC	88	AVDD33_USB2
114	ADAC_VOUTL	87	USB2_REXT
113	ADAC_VREFDAC	86	VDD
112	AVDD33_VDAC	85	NF_RDY0
111	VDAC_IREF	84	NF_REN
110	AVSS_VDAC	83	DVDD3318_NF
109	VDAC	82	NF_CSN0
		81	NF_CLE



图1-17 管脚分布 part4（126~162、163~190）

		SDIO0_CARD_POWER_EN	162
		SDIO0_CARD_DETECT	161
		SDIO0_CDATA2	160
		SDIO0_CDATA3	159
		VDD	158
		SDIO0_CCMD	157
		SDIO0_CCLK_OUT	156
		DVDD33	155
		SDIO0_CDATA0	154
		SDIO0_CDATA1	153
		SDIO0_CWPR	152
		FE_LED_BASE	151
		FE_LED_ACT	150
		FE_REXT	149
		AVDD33_FE	148
		AVDD11_FE	147
		FE_TXP	146
		FE_TXN	145
		AVDD33_FE	144
		FE_RXP	143
		FE_RXN	142
		USB0_DP	141
		USB0_DM	140
		AVDD33_USB01	139
		USB01_REXT	138
		AVCC11_USB01	137
		USB1_DP	136

163	DDR3_DQ6
164	DDR3_DQ2
165	VDDIO_DDR
166	DDR3_DQ4
167	DDR3_DQ0
168	VDD
169	DDR3_DQ11
170	DDR3_DQ9
171	VDDIO_DDR
172	DDR3_DQ13
173	DDR3_DQ15
174	VDDIO_DDR
175	DDR3_DQS0_P
176	DDR3_DQS0_N
177	VSS
178	DDR3_DQS1_P
179	DDR3_DQS1_N
180	VDD
181	DDR3_DM0
182	DDR3_DM1
183	VDDIO_DDR
184	DDR3_DQ8
185	DDR3_DQ10
186	VDD
187	AVDD_DDRPLL1
188	DDR3_DQ12
189	DDR3_DQ14
190	VDDIO_DDR

管脚排列表

Hi3798MV100 QFP 封装的管脚按位置排列如表 1-3 所示。

表1-3 管脚排列表

位置	管脚名称	位置	管脚名称
1	VDDIO_DDR	109	VDAC
2	DDR3_DQ28	110	AVSS_VDAC
3	DDR3_DQ30	111	VDAC_IREF
4	VDD	112	AVDD33_VDAC
5	DDR3_DQ26	113	ADAC_VREFDAC



位置	管脚名称	位置	管脚名称
6	DDR3_DQ24	114	ADAC_VOUTL
7	VDDIO_DDR	115	AVSS_ADAC
8	DDR3_DQ17	116	ADAC_VOUTR
9	DDR3_DQ19	117	SPDIF_OUT
10	VDD	118	VDD
11	DDR3_DQ23	119	HDMITX_HOTPLUG
12	DDR3_DQ21	120	DVDD33
13	VDDIO_DDR	121	HDMITX_SDA
14	DDR3_CLK1_P	122	HDMITX_SCL
15	DDR3_CLK1_N	123	HDMITX_CEC
16	VDDIO_DDR_CK	124	HDMI_TXCN
17	DDR3_CLK0_P	125	HDMI_TXCP
18	DDR3_CLK0_N	126	HDMI_TX0N
19	VSS	127	HDMI_TX0P
20	AVDD_DDRPLL2	128	AVCC11_HDMITX
21	DDR3_CKE	129	AVDD33_HDMITX
22	DDR3_A10	130	HDMI_TX1N
23	DDR3_A12	131	HDMI_TX1P
24	DDR3_BA1	132	HDMI_TX2N
25	VDDIO_DDR	133	HDMI_TX2P
26	DDR3_A4	134	VDD
27	DDR3_A1	135	USB1_DM
28	DDR3_A6	136	USB1_DP
29	DDR3_A8	137	AVCC11_USB01
30	VDD	138	USB01_REXT
31	DDR3_A14	139	AVDD33_USB01
32	DDR3_A11	140	USB0_DM
33	DDR3_BA2	141	USB0_DP
34	DDR3_CSN	142	FE_RXN
35	VDDIO_DDR	143	FE_RXP
36	DDR3_A15	144	AVDD33_FE



位置	管脚名称	位置	管脚名称
37	DDR3_A9	145	FE_TXN
38	DDR3_RESET_N	146	FE_TXP
39	VDD	147	AVDD11_FE
40	DDR3_CAS_N	148	AVDD33_FE
41	DDR3_WE_N	149	FE_REXT
42	DDR3_A3	150	FE_LED_ACT
43	DDR3_A0	151	FE_LED_BASE
44	VDDIO_DDR	152	SDIO0_CWPR
45	DDR3_A2	153	SDIO0_CDATAB1
46	DDR3_A13	154	SDIO0_CDATAB0
47	DDR3_BA0	155	DVDD33
48	DDR3_ODT_0	156	SDIO0_CCLK_OUT
49	VDD	157	SDIO0_CCMD
50	DDR3_A7	158	VDD
51	DDR3_A5	159	SDIO0_CDATAB3
52	DDR3_RAS_N	160	SDIO0_CDATAB2
53	VDDIO_DDR	161	SDIO0_CARD_DETECT
54	DDR3_ZCOMP	162	SDIO0_CARD_POWER_EN
55	DVDD11_LDO1_OUT	163	DDR3_DQ6
56	FUNC_SEL	164	DDR3_DQ2
57	LED_KEY0	165	VDDIO_DDR
58	IR_IN	166	DDR3_DQ4
59	STANDBY_PWROFF	167	DDR3_DQ0
60	UART0_RXD	168	VDD
61	UART0_TXD	169	DDR3_DQ11
62	VSS	170	DDR3_DQ9
63	XIN	171	VDDIO_DDR
64	XOUT	172	DDR3_DQ13
65	DVDD33_STANDBY	173	DDR3_DQ15
66	AVDD33_PLL	174	VDDIO_DDR
67	AVSS_PLL	175	DDR3_DQS0_P



位置	管脚名称	位置	管脚名称
68	AVDD11_PLL	176	DDR3_DQS0_N
69	EBI_DQ7	177	VSS
70	EBI_DQ6	178	DDR3_DQS1_P
71	EBI_DQ5	179	DDR3_DQS1_N
72	EBI_DQ4	180	VDD
73	EBI_DQ3	181	DDR3_DM0
74	DVDD3318_NF	182	DDR3_DM1
75	EBI_DQ2	183	VDDIO_DDR
76	EBI_DQ1	184	DDR3_DQ8
77	EBI_DQ0	185	DDR3_DQ10
78	VDD	186	VDD
79	NF_WEN	187	AVDD_DDRPLL1
80	NF_ALE	188	DDR3_DQ12
81	NF_CLE	189	DDR3_DQ14
82	NF_CSN0	190	VDDIO_DDR
83	DVDD3318_NF	191	DDR3_DQ1
84	NF_REN	192	DDR3_DQ3
85	NF_RDY0	193	VDD
86	VDD	194	DDR3_DQ7
87	USB2_REXT	195	DDR3_DQ5
88	AVDD33_USB2	196	VDDIO_DDR
89	USB2_DM	197	DDR3_DQ22
90	USB2_DP	198	DDR3_DQ18
91	VDD_CPU	199	VDDIO_DDR
92	VDD_CPU	200	DDR3_DQ20
93	VDD_CPU	201	DDR3_DQ16
94	VSS	202	VDD
95	VDD_CPU	203	DDR3_DQ27
96	VDD_CPU	204	DDR3_DQ25
97	VSS	205	VDDIO_DDR
98	VDD_CPU	206	DDR3_DQ29



位置	管脚名称	位置	管脚名称
99	JTAG_TMS	207	DDR3_DQ31
100	JTAG_TRSTN	208	VDDIO_DDR
101	JTAG_TCK	209	DDR3_DQS2_P
102	JTAG_TDI	210	DDR3_DQS2_N
103	JTAG_TDO	211	VSS
104	DVDD33	212	DDR3_DQS3_P
105	VDD	213	DDR3_DQS3_N
106	I2C2_SCL	214	VDD
107	I2C2_SDA	215	DDR3_DM2
108	USB_BOOT	216	DDR3_DM3

1.2 管脚描述

1.2.1 管脚类型说明

管脚 I/O 类型说明如表 1-4 所示。

表1-4 管脚 I/O 类型说明

I/O	说明
I	输入信号。
I _{PD}	输入信号，内部下拉。
I _{PU}	输入信号，内部上拉。
I _S	输入信号，带施密特触发器。
I _{SPD}	输入信号，带施密特触发器，内部下拉。
I _{SPU}	输入信号，带施密特触发器，内部上拉。
O	输出信号。
O _{OD}	输出，漏极开路。
I/O	双向输入/输出信号。
I _{PD} /O	双向，输入下拉。
I _{PU} /O	双向，输入上拉。



I/O	说明
I _{SPU} /O	双向，输入上拉，带施密特触发器。
I _{PD} /O _{OD}	双向，输入下拉，输出漏极开路。
I _{PU} /O _{OD}	双向，输入上拉，输出漏极开路。
I _S /O	双向，输入带施密特触发器。
I _S /O _{OD}	双向，输入带施密特触发器，输出漏极开路。
CIN	Crystal Oscillator，晶振输入。
COUT	Crystal Oscillator，晶振输出。
P	电源。
G	地。



注意

以下管脚描述中，粉红色的代表 QFP 封装的管脚。

1.2.2 ADAC 管脚

ADAC 管脚如表 1-5 所示。

表1-5 ADAC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B22 /114	ADAC_VOUTL	O	-	3.3	左声道输出
A22 /116	ADAC_VOUTR	O	-	3.3	右声道输出
G17 /113	ADAC_VREFDAC	I/O	-	3.3	参考源，外挂 10uF 普通电容， 且需要与 100nF 低 ESR 陶瓷电 容并联，小电容尽量靠近芯片 管脚。
E19	AVDD33_ADAC	P	-	-	ADAC 3.3V 模拟电压
A23、 B23、 C21、	AVSS_ADAC	G	-	-	ADAC 模拟地



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C22、 D20 /115					

1.2.3 HDMI 管脚

HDMI 管脚如表 1-6 所示。

表1-6 HDMI 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G14、 G15 /128	AVCC11_HDMITX	P	-	1.1	HDMI TX 1.1V 模拟电源
E15	AVDD33_HDMITX	P	-	3.3	HDMI TX 3.3V 模拟电源
C15、 C17、 D14、 D15、 D17、 E16、 E17 /129	AVSS_HDMITX	G	-	-	HDMI TX 模拟地
D16 /126	HDMI_TX0N	O	-	3.3	通道 0 串行差分信号
C16 /127	HDMI_TX0P				
B15 /130	HDMI_TX1N	O	-	3.3	通道 1 串行差分信号
A15 /131	HDMI_TX1P				
C14 /132	HDMI_TX2N	O	-	3.3	通道 2 串行差分信号
B14 /133	HDMI_TX2P				
B17	HDMI_TXCN	O	-	3.3	差分像素时钟



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
/124					
A17 /125	HDMI_TXCP				
C18 /123	HDMITX_CEC	I _S /O _O D	4	3.3	功能 0: 保留 功能 1: HDMITX_CEC HDMI TX 接口的控制通道信号 功能 2: GPIO4_7 通用输入输出 功能 3: 保留
B19 /119	HDMITX_HOTPLUG	I _S /O	4	3.3/5	功能 0: 保留 功能 1: HDMITX_HOTPLUG HDMI TX 接口的热插拔信号 功能 2: GPIO4_6 通用输入输出 功能 3: 保留
D18 /122	HDMITX_SCL	I _S /O _O D	4	3.3/5	功能 0: 保留 功能 1: HDMITX_SCL HDMI TX 接口的 I2C 总线时钟 功能 2: GPIO4_5 通用输入输出 功能 3、4: 保留
A19 /121	HDMITX_SDA	I _S /O _O D	4	3.3/5	功能 0: 保留 功能 1: HDMITX_SDA HDMI TX 接口的 I2C 总线数据 功能 2: GPIO4_4 通用输入输出 功能 3、4: 保留

1.2.4 USB 管脚



说明

QFP 封装不支持 USB3.0。



USB 管脚如表 1-7 所示。

表1-7 USB 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G11 /137	AVCC11_USB01	P	-	1.1	USB 1.1.V 模拟电源
R17	AVDD11_VP_USB3	P	-	1.1	USB3.0 1.1.V 模拟电源
T17	AVDD11_VPTX0_USB3	P	-	1.1	USB3.0 1.1.V 模拟电源
D7 /139	AVDD33_USB01	P	-	3.3	USB2.0 3.3V 模拟电源
K19 /88	AVDD33_USB2	P	-	3.3	USB2.0 3.3V 模拟电源
W17、 W18	AVDD33_USB3	P	-	3.3	USB3.0 3.3V 模拟电源
C6	AVSS_USB0	G	-	-	USB2.0 模拟地
B8、 C8	AVSS_USB1	G	-	-	USB2.0 模拟地
D6、 L20、 L21	AVSS_USB2	G	-	-	USB2.0 模拟地
R16	DVDD11_USB3	P	-	1.1	USB 1.1V 数字电源
H21 /108	USB_BOOT	I _{SPU} /O	4	3.3	功能 0: USB_BOOT BOOT 时, 指示 USB 自举 是否使能: 0: 使能; 1: 不使能; 功能 1: GPIO2_5 通用输入输出
D8 /138	USB01_REXT	I/O	-	3.3	USB2.0 外接电阻接口, 电 阻阻值是 135±1%Ω
A6 /140	USB0_DM	I/O	-	0.4/3. 3	USB2.0 的差分总线, 在高 速模式下, 该端口的工作 电压为 0~400mV, 在全速 和低速模式下, 该端口的 电压为 0~3.3V
B6 /141	USB0_DP				



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B7 /135	USB1_DM	I/O	-	0.4/3.3	USB2.0 的差分总线，在高速模式下，该端口的工作电压为 0~400mV，在全速和低速模式下，该端口的电压为 0~3.3V
C7 /136	USB1_DP				
L22 /89	USB2_DM	I/O	-	0.4/3.3	USB2.0 的差分总线，在高速模式下，该端口的工作电压为 0~400mV，在全速和低速模式下，该端口的电压为 0~3.3V
L23 /90	USB2_DP				
L19 /87	USB2_REXT	I/O	-	3.3	USB2.0 外接电阻接口，电阻阻值是 $135 \pm 1\% \Omega$
AC18	USB3_DM	I/O	-	0.4/3.3	USB3.0 的 USB2.0 模式下的差分总线，在高速模式下，该端口的工作电压为 0~400mV，在全速和低速模式下，该端口的电压为 0~3.3V
AB18	USB3_DP				
Y17	USB3_REXT	I/O	-	3.3	USB3.0 外接电阻接口，电阻阻值是 $200 \pm 10\% \Omega$
AB20	USB3_RXN	I	-	1.1	USB3.0 的接收数据差分总线
AC20	USB3_RXP				
AA19	USB3_TXN	O	-	1.1	USB3.0 的发送数据差分总线
Y19	USB3_TXP				

1.2.5 FE 管脚

FE 管脚如表 1-8 所示。

表1-8 FE 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G10 /147	AVDD11_FE	P	-	1.1	FE PHY 1.1V 模拟电源
E5 /144、	AVDD33_FE	P	-	3.3	FE PHY 3.3V 模拟电源



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
148					
A3、 B3、 C4、 D4	AVSS_FE	G	-	-	FE PHY 模拟地
B1 /150	FE_LED_ACT	I/O	4	3.3	功能 0：保留 功能 1：FE_LED_ACT 网口链接状态指示信号： 此信号控制的 LED 闪烁，传输的数据包密集时 LED 闪烁迅速，传输数据包稀疏时 LED 闪烁缓慢。 OD/CMOS 类型可选，默认为 OD 输出； 功能 2：GPIO2_1 通用输入输出
B2 /151	FE_LED_BASE	I/O OD	4	3.3	功能 0：GPIO2_2 通用输入输出 功能 1：FE_LED_BASE 网口链接状态指示信号： 0：链接已经建立；1：没有链接建立。 OD/CMOS 类型可选，默认为 OD 输出；
E6 /149	FE_REXT	I/O	-	3.3	内部基准参考电压，该引脚需要外接 1%精度的 10.0kΩ 电阻到地。
C5 /142	FE_RXN	I	-	3.3	差分接收，极性自适应
D5 /143	FE_RXP				
A4 /145	FE_TXN	O	-	3.3	差分发送，极性自适应
B4 /146	FE_TXP				



1.2.6 PLL 管脚

PLL 管脚如表 1-9 所示。

表1-9 PLL 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
P17 /68	AVDD11_PLL	P	-	1.1	PLL 1.1V 模拟电源
R19 /66	AVDD33_PLL	P	-	3.3	PLL 3.3V 模拟电源
P19 /67	AVSS_PLL	G	-	-	PLL 模拟地

1.2.7 VDAC 管脚

VDAC 管脚如表 1-10 所示。

表1-10 VDAC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E20、F19、 G19 /112	AVDD33_VDAC	P	-	3.3	VDAC 3.3V 模拟电源
D21、D22、 E21、E22、 F21、G20 /110	AVSS_VDAC	G	-	-	VDAC 模拟地
E23 /109	VDAC	O	-	3.3	VDAC 模拟输出
F20 /111	VDAC_IREF	I/O	-	3.3	参考电流源

1.2.8 DDR 管脚

DDR 电源管脚

DDR 电源管脚如表 1-11 所示。



表1-11 DDR 电源管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
N8 /187	AVDD_DDRPLL1	P	-	3.3	DDR3 PLL 3.3V 模拟电源
T12 /20	AVDD_DDRPLL2	P	-	3.3	DDR3 PLL 3.3V 模拟电源
T9、T10	VDDIO_CK_DDR	P	-	1.5	DDR3 时钟接口电源
J6、J7、K6、 K7、L6、 N6、P6、 T6、U6、 U7、V5、 V6、V7、 V8、V9、 V11、V12、 V13、V14、 W4、W5、 W6、W7、 Y4、Y5、Y6 /16、1、7、 13、25、35、 44、53、 165、171、 174、183、 190、196、 199、205、 208	VDDIO_DDR	P	-	1.5	DDR3 接口电源

DDR 信号管脚

DDR 信号管脚如表 1-12 所示。

表1-12 DDR 信号管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AC14 /43	DDR3_A0	O	-	1.5	DDR3 SDRAM 地址信号 0
Y10 /27	DDR3_A1	O	-	1.5	DDR3 SDRAM 地址信号 1



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
W14 /45	DDR3_A2	O	-	1.5	DDR3 SDRAM 地址信号 2
AB14 /42	DDR3_A3	O	-	1.5	DDR3 SDRAM 地址信号 3
W10 /26	DDR3_A4	O	-	1.5	DDR3 SDRAM 地址信号 4
Y16 /51	DDR3_A5	O	-	1.5	DDR3 SDRAM 地址信号 5
AA10 /28	DDR3_A6	O	-	1.5	DDR3 SDRAM 地址信号 6
AA16 /50	DDR3_A7	O	-	1.5	DDR3 SDRAM 地址信号 7
AB11 /29	DDR3_A8	O	-	1.5	DDR3 SDRAM 地址信号 8
AA12 /37	DDR3_A9	O	-	1.5	DDR3 SDRAM 地址信号 9
Y8 /22	DDR3_A10	O	-	1.5	DDR3 SDRAM 地址信号 10
Y11 /32	DDR3_A11	O	-	1.5	DDR3 SDRAM 地址信号 11
AB9 /23	DDR3_A12	O	-	1.5	DDR3 SDRAM 地址信号 12
Y15 /46	DDR3_A13	O	-	1.5	DDR3 SDRAM 地址信号 13
AA11 /31	DDR3_A14	O	-	1.5	DDR3 SDRAM 地址信号 14
W12 /36	DDR3_A15	O	-	1.5	DDR3 SDRAM 地址信号 15
AC15 /47	DDR3_BA0	O	-	1.5	DDR3 SDRAM BANK 地址 信号 0
AA9 /24	DDR3_BA1	O	-	1.5	DDR3 SDRAM BANK 地址 信号 1
Y12 /33	DDR3_BA2	O	-	1.5	DDR3 SDRAM BANK 地址 信号 2



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
Y14 40	DDR3_CAS_N	O	-	1.5	DDR3 SDRAM 列地址选择信号
AC8 /17	DDR3_CLK0_P	O	-	1.5	DDR3 SDRAM 差分时钟
AA7 /14	DDR3_CLK1_P	O	-	1.5	DDR3 SDRAM 差分时钟
AB8 /18	DDR3_CLK0_N	O	-	1.5	DDR3 SDRAM 差分时钟
AB7 /15	DDR3_CLK1_N	O	-	1.5	DDR3 SDRAM 差分时钟
W9 /21	DDR3_CKE	O	-	1.5	DDR3 SDRAM 时钟使能信号
AC12 /34	DDR3_CSN	O	-	1.5	DDR3 SDRAM 片选信号 0
K4 /181	DDR3_DM0	I/O	-	1.5	DDR3 SDRAM 数据屏蔽使能 0, 高有效
L5 /182	DDR3_DM1	I/O	-	1.5	DDR3 SDRAM 数据屏蔽使能 1, 高有效
AA1 /215	DDR3_DM2	I/O	-	1.5	DDR3 SDRAM 数据屏蔽使能 2, 高有效
Y2 /216	DDR3_DM3	I/O	-	1.5	DDR3 SDRAM 数据屏蔽使能 3, 高有效
H4 /167	DDR3_DQ0	I/O	-	1.5	DDR3 SDRAM 数据线 0
N1 /191	DDR3_DQ1	I/O	-	1.5	DDR3 SDRAM 数据线 1
H1 /164	DDR3_DQ2	I/O	-	1.5	DDR3 SDRAM 数据线 2
P3 /192	DDR3_DQ3	I/O	-	1.5	DDR3 SDRAM 数据线 3
H5 /166	DDR3_DQ4	I/O	-	1.5	DDR3 SDRAM 数据线 4
R3 /195	DDR3_DQ5	I/O	-	1.5	DDR3 SDRAM 数据线 5



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
H2 /163	DDR3_DQ6	I/O	-	1.5	DDR3 SDRAM 数据线 6
P2 /194	DDR3_DQ7	I/O	-	1.5	DDR3 SDRAM 数据线 7
M4 /184	DDR3_DQ8	I/O	-	1.5	DDR3 SDRAM 数据线 8
K2 /170	DDR3_DQ9	I/O	-	1.5	DDR3 SDRAM 数据线 9
M5 /185	DDR3_DQ10	I/O	-	1.5	DDR3 SDRAM 数据线 10
J3 /169	DDR3_DQ11	I/O	-	1.5	DDR3 SDRAM 数据线 11
N4 /188	DDR3_DQ12	I/O	-	1.5	DDR3 SDRAM 数据线 12
J4 /172	DDR3_DQ13	I/O	-	1.5	DDR3 SDRAM 数据线 13
P4 /189	DDR3_DQ14	I/O	-	1.5	DDR3 SDRAM 数据线 14
J5 /173	DDR3_DQ15	I/O	-	1.5	DDR3 SDRAM 数据线 15
T5 /201	DDR3_DQ16	I/O	-	1.5	DDR3 SDRAM 数据线 16
AA5 /8	DDR3_DQ17	I/O	-	1.5	DDR3 SDRAM 数据线 17
T2 /198	DDR3_DQ18	I/O	-	1.5	DDR3 SDRAM 数据线 18
AB5 /9	DDR3_DQ19	I/O	-	1.5	DDR3 SDRAM 数据线 19
R5 /200	DDR3_DQ20	I/O	-	1.5	DDR3 SDRAM 数据线 20
AC6 /12	DDR3_DQ21	I/O	-	1.5	DDR3 SDRAM 数据线 21
T3 /197	DDR3_DQ22	I/O	-	1.5	DDR3 SDRAM 数据线 22



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA6 /11	DDR3_DQ23	I/O	-	1.5	DDR3 SDRAM 数据线 23
AA4 /6	DDR3_DQ24	I/O	-	1.5	DDR3 SDRAM 数据线 24
U1 /204	DDR3_DQ25	I/O	-	1.5	DDR3 SDRAM 数据线 25
AB3 /5	DDR3_DQ26	I/O	-	1.5	DDR3 SDRAM 数据线 26
U3 /203	DDR3_DQ27	I/O	-	1.5	DDR3 SDRAM 数据线 27
AC2 /2	DDR3_DQ28	I/O	-	1.5	DDR3 SDRAM 数据线 28
T4 /206	DDR3_DQ29	I/O	-	1.5	DDR3 SDRAM 数据线 29
AB2 /3	DDR3_DQ30	I/O	-	1.5	DDR3 SDRAM 数据线 30
U4 /207	DDR3_DQ31	I/O	-	1.5	DDR3 SDRAM 数据线 31
L2 /175	DDR3_DQS0_P	I/O	-	1.5	DDR3 DQS strobe 信号 0, 控制 DQ[7:0]
M2 /178	DDR3_DQS1_P	I/O	-	1.5	DDR3 DQS strobe 信号 1, 控制 DQ[15:8]
V3 /209	DDR3_DQS2_P	I/O	-	1.5	DDR3 DQS strobe 信号 2, 控制 DQ[23:16]
W1 /212	DDR3_DQS3_P	I/O	-	1.5	DDR3 DQS strobe 信号 3, 控制 DQ[31:24]
L1 /176	DDR3_DQS0_N	I/O	-	1.5	DDR3 DQS strobe 信号 0, 控制 DQ[7:0]
M3 /179	DDR3_DQS1_N	I/O	-	1.5	DDR3 DQS strobe 信号 1, 控制 DQ[15:8]
V2 /210	DDR3_DQS2_N	I/O	-	1.5	DDR3 DQS strobe 信号 2, 控制 DQ[23:16]
W2 /213	DDR3_DQS3_N	I/O	-	1.5	DDR3 DQS strobe 信号 3, 控制 DQ[31:24]



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB15 /48	DDR3_ODT_0	O	-	1.5	DDR3 SDRAM 片内终端匹配控制信号
AB16 /52	DDR3_RAS_N	O	-	1.5	DDR SDRAM 行地址选择信号
AB13 /38	DDR3_RESET_N	O	-	1.5	DDR3 SDRAM 复位信号，低有效
Y13 /41	DDR3_WE_N	O	-	1.5	DDR SDRAM 写使能，低有效
W16 /54	DDR3_ZQ	O	-	1.5	DDR SDRAM ZQ 校准信号

1.2.9 SYS 管脚



说明

QFP 封装不支持 MUTE_CTRL 功能。

SYS 管脚如表 1-13 所示。

表1-13 SYS 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
Y22 /56	FUNC_SEL	I _{SPD}	-	3.3/5	功能模式和测试模式选择： 0：功能模式； 1：测试模式；
C19	MUTE_CTRL	I/O	4	3.3	功能 0：GPIO4_3 通用输入输出 功能 1：MUTE_CTRL MUTE 控制信号
W23 /63	XIN	C _{IN}	-	3.3	晶体输入
W22 /64	XOUT	C _{OUT}	-	3.3	晶体输出



1.2.10 I2C 管脚

I2C 管脚如表 1-14 所示。

表1-14 I2C 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
H22 /106	I2C2_SCL	I _S /O _{OD}	4	3.3/5	功能 0: PMC_PWM0 PWM 输出信号 0，用法请参见 芯片手册第 11 章的 PWM 相关 小节。 功能 1、2、3: 保留 功能 4: I2C2_SCL I2C2 总线时钟，OD 输出 功能 5: 保留 功能 6: GPIO2_6 通用输入输出
H23 /107	I2C2_SDA	I _S /O _{OD}	4	3.3/5	功能 0: PMC_PWM1 PWM 输出信号 1，用法请参见 芯片手册第 11 章的 PWM 相关 小节。 功能 1: GPIO2_7 通用输入输出 功能 2、3: 保留 功能 4: I2C2_SDA I2C2 总线数据/地址，OD 输出

1.2.11 I2S 管脚



说明

QFP 封装不支持 I2S。

I2S 管脚如表 1-15 所示。

表1-15 I2S 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C10	I2S0_BCLK	I/O	4	3.3	功能 0: GPIO6_3 通用输入输出 功能 1: I2S0_BCLK



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					I2S 或 PCM 接口位流时钟
A8	I2S0_DIN0	I/O	4	3.3	功能 0: GPIO6_7 通用输入输出 功能 1: I2S0_DIN0 I2S 或 PCM 接口数据输入。
A9	I2S0_DOUT0	I/O	4	3.3	功能 0: GPIO6_5 通用输入输出 功能 1: I2S0_DOUT0 I2S 或 PCM 接口数据输出。
B9	I2S0_MCLK	I/O	4	3.3	功能 0: GPIO6_6 通用输入输出 功能 1: I2S0_MCLK I2S 或 PCM 接口主时钟，可以作为 音频 CODEC 的工作时钟(低端 DAC)
C9	I2S0_WS	I/O	4	3.3	功能 0: GPIO6_4 通用输入输出 功能 1: I2S0_WS I2S 接收端左右声道选择信号（与 ADC 接口）

1.2.12 IR 管脚

IR 管脚如表 1-16 所示。

表1-16 IR 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
Y21 /58	IR_IN	I _{SPU}	-	3.3/5	功能 0: IR_IN 红外输入 功能 1: GPIO5_1 通用输入输出



1.2.13 JTAG 管脚



说明

QFP 封装不支持 JTAG_SEL 功能。

JTAG 管脚如表 1-17 所示。

表1-17 JTAG 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G21	JTAG_SEL	I _{SPD}	4	3.3	JTAG 管脚复用功能控制指示： 0：JTAG 管脚功能通过管脚复用寄存器控制； 1：JTAG 管脚功能固定为 JTAG 接口功能；
J21 /101	JTAG_TCK	I _{SPD} /O	4	3.3	功能 0：JTAG_TCK JTAG 时钟输入 功能 1、2、3、4：保留 功能 5：GPIO0_6 通用输入输出 功能 6：保留
J23 /102	JTAG_TDI	I _{SPU} /O	4	3.3	功能 0：JTAG_TDI JTAG 数据输入 功能 1、2、3、4：保留 功能 5：GPIO0_7 通用输入输出
J22 /103	JTAG_TDO	I/O	4	3.3	功能 0：JTAG_TDO JTAG 数据输出 功能 1、2、3、4：保留 功能 5：GPIO2_0 通用输入输出
K21 /99	JTAG_TMS	I _{SPU} /O	4	3.3	功能 0：JTAG_TMS JTAG 模式选择输入或软件跟踪的数据输出。两种模式选择在 CPU 中进行控制 功能 1、2、3、4：保留 功能 5：GPIO0_4 通用输入输出 功能 6：保留



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
K20 /100	JTAG_TRSTN	I _{SPD} /O	4	3.3	功能 0: JTAG_TRSTN JTAG 复位输入 功能 1、2、3、4: 保留 功能 5: GPIO0_5 通用输入输出 功能 6: 保留

1.2.14 LED 管脚

说明
QFP 封装只支持 1 线的 LED 接口，即只有 LED_KEY0 管脚。

LED 管脚如表 1-18 所示。

表1-18 LED 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AC22	LED_CLK	I/O	4	3.3/5	功能 0: GPIO5_6 通用输入输出 功能 1: LED_CLK Led 串行输出同步时钟
AA21 /57	LED_KEY0	I/O	4	3.3/5	功能 0: LED_KEY0 Led 矩阵键盘输入 0 功能 1: GPIO5_2 通用输入输出 功能 2: 保留
AB22	LED_DATA	I/O	4	3.3/5	功能 0: GPIO5_5 通用输入输出 功能 1: LED_DATA Led 串行输出数据

1.2.15 NANDC 管脚

NANDC 管脚如表 1-19 所示。



表1-19 NANDC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
M19、 N19 /74、 83	DVDD3318 _NF	P	-	1.8/3.3	NAND Flash 1.8/3.3V 电源
N20 /80	NF_ALE	I/O	4	1.8/3.3	功能 0: NF_ALE NAND Flash 地址锁存信号 功能 1: SDIO1_CARD_POWER_EN 电源使能控制信号, 高电平有效 功能 2: GPIO0_1 通用输入输出
N21 /81	NF_CLE	I/O	4	1.8/3.3	功能 0: NF_CLE NAND Flash 命令锁存信号 功能 1: SDIO1_CWPR 卡写保护检测信号, 高电平有效 功能 2: GPIO0_2 通用输入输出
N22 /82	NF_CSN0	I _{PU} / O	8	1.8/3.3	功能 0: NF_CSN0 NAND Flash 片选信号, 低电平有效 功能 1: SDIO1_CCMD 卡命令, 默认处于高电平
M21 /85	NF_RDY0	I _{SPU} / O	4	1.8/3.3	功能 0: NF_RDY0 NAND Flash 忙/空闲指示。 1: 空闲; 0: 忙; 功能 1: SDIO1_RST EMMC 复位信号
N23 /84	NF_REN	O	8	1.8/3.3	功能 0: NF_REN NAND Flash 读使能信号, 低电平有效 功能 1: SDIO1_CCLK_OUT 输出给卡使用的工作时钟
P21 /79	NF_WEN	I/O	4	1.8/3.3	功能 0: NF_WEN NAND Flash 写使能信号, 低电平有效 功能 1: SDIO1_CARD_DETECT



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					卡检查信号，低电平有效 功能 2: GPIO0_0 通用输入输出
R23 /77	EBI_DQ0	I/O	8	1.8/3.3	功能 0: EBI_DQ0 NAND Flash 数据总线 功能 1: SDIO1_CDATA0 卡数据，默认处于高电平
R22 /76	EBI_DQ1	I/O	8	1.8/3.3	功能 0: EBI_DQ1 NAND Flash 数据总线 功能 1: SDIO1_CDATA1 卡数据，默认处于高电平
R21 /75	EBI_DQ2	I/O	8	1.8/3.3	功能 0: EBI_DQ2 NAND Flash 数据总线 功能 1: SDIO1_CDATA2 卡数据，默认处于高电平
T21 /73	EBI_DQ3	I/O	8	1.8/3.3	功能 0: EBI_DQ3 NAND Flash 数据总线 功能 1: SDIO1_CDATA3 卡数据，默认处于高电平
T20 /72	EBI_DQ4	I/O	8	1.8/3.3	功能 0: EBI_DQ4 NAND Flash 数据总线 功能 1: SDIO1_CDATA4 卡数据，默认处于高电平
U22 /71	EBI_DQ5	I/O	8	1.8/3.3	功能 0: EBI_DQ5 NAND Flash 数据总线 功能 1: SDIO1_CDATA5 卡数据，默认处于高电平
U23 /70	EBI_DQ6	I/O	8	1.8/3.3	功能 0: EBI_DQ6 NAND Flash 数据总线 功能 1: SDIO1_CDATA6 卡数据，默认处于高电平
U21 /69	EBI_DQ7	I _{SPU} / O	8	1.8/3.3	功能 0: EBI_DQ7 NAND Flash 数据总线



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					功能 1: SDIO1_CDATA7 卡数据，默认处于高电平 功能 2: BOOT_SEL0 启动 memeory 类型选择，仅在上电的时候有效， {BOOT_SEL1,BOOT_SEL0}: 00: 保留; 01: NANDFlash 10: SD 11: EMMC

1.2.16 SDIO 管脚

SDIO 管脚如表 1-20 所示。

表1-20 SDIO 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
F1 /161	SDIO0_CARD_D TECT	I/O	4	3.3	功能 0: GPIO3_6 通用输入输出 功能 1: SDIO0_CARD_DETECT 卡检查信号，低电平有效
F3 /162	SDIO0_CARD_P OWER_EN	I/O	4	3.3	功能 0: GPIO3_7 通用输入输出 功能 1: SDIO0_CARD_POWER_EN 电源使能控制信号，高电平有效，默认处于低电平
E3 /156	SDIO0_CCLK_O UT	I/O	4	3.3	功能 0: GPIO3_2 通用输入输出 功能 1: SDIO0_CCLK_OUT 输出给卡使用的工作时钟
E2 /157	SDIO0_CCMD	I/O	4	3.3	功能 0: GPIO3_3 通用输入输出 功能 1: SDIO0_CCMD



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					卡命令，默认处于高电平
D3 /154	SDIO0_CDATA0	I/O	4	3.3	功能 0: GPIO3_1 通用输入输出 功能 1: SDIO0_CDATA0 卡数据，默认处于高电平
C2 /153	SDIO0_CDATA1	I/O	4	3.3	功能 0: GPIO3_0 通用输入输出 功能 1: SDIO0_CDATA1 卡数据，默认处于高电平
F2 /160	SDIO0_CDATA2	I _S /O _O D	4	3.3/5	功能 0: GPIO3_5 通用输入输出 功能 1: SDIO0_CDATA2 卡数据，默认处于高电平
E1 /159	SDIO0_CDATA3	I _S /O _O D	4	3.3/5	功能 0: GPIO3_4 通用输入输出 功能 1: SDIO0_CDATA3 卡数据，默认处于高电平
C1 /152	SDIO0_CWPR	I/O	4	3.3	功能 0: GPIO2_3 通用输入输出 功能 1: SDIO0_CWPR 卡写保护检测信号，高电平有效

1.2.17 SLIC 管脚



说明

QFP 封装不支持 SLIC、SPI 和 UART2 功能，没有以下管脚。

SLIC 管脚如表 1-21 所示。

表1-21 SLIC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C11	SLIC_RST	I/O	4	3.3	功能 0: GPIO6_2 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					功能 1: SLIC_RST SLIC 芯片复位信号
B11	SPI_CSN0	I/O	4	3.3	功能 0: GPIO6_0 通用输入输出 功能 1: SPI_CSN0 SPI 的片选 0 输出 功能 2: UART2_RTSN UART2 Modem 状态输出: request to send, 低有效。复位值为 0 功能 3: I2C1_SDA I2C1 总线数据, OD 输出
A11	SPI_CSN1	I/O	4	3.3	功能 0: GPIO6_1 通用输入输出 功能 1: SPI_CSN1 SPI 的片选 1 输出
C12	SPI_SCLK	I/O	4	3.3/5	功能 0: GPIO0_3 通用输入输出 功能 1: SPI_SCLK SPI 时钟信号 功能 2: UART2_CTSN Modem 状态输入: Clear To Send. 低有效。
A12	SPI_SDI	I/O _{OD}	4	3.3/5	功能 0: GPIO4_1 通用输入输出 功能 1: SPI_SDI SPI 数据输入 功能 2: UART2_TXD UART2 数据发送 功能 3: I2C1_SCL I2C1 总线时钟, OD 输出
B12	SPI_SDO	I/O	4	3.3/5	功能 0: GPIO4_0 通用输入输出 功能 1: SPI_SDO SPI 数据输出 功能 2: UART2_RXD



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					UART2 数据接收

1.2.18 SPDIF 管脚

SPDIF 管脚如表 1-22 所示。

表1-22 SPDIF 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A20 /117	SPDIF_OUT	I _{SPD} /O	4	3.3	功能 0：保留 功能 1：SPDIF_OUT SPDIF 数据输出 功能 2：GPIO4_2 通用输入输出 功能 3：BOOT_SEL1 启动 memeory 类型选择，仅 在上电的时候有效， {BOOT_SEL1,BOOT_SEL0}： 00：保留； 01：Nandflash 10：SD 11：EMMC

1.2.19 STANDBY_PWROFF 管脚

STANDBY_PWROFF 管脚如表 1-23 所示。

表1-23 STANDBY_PWROFF 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB23 /59	STANDBY_PWROFF	I/O	-	3.3/5	功能 0：STANDBY_PWROFF 待机的时候控制芯片下电 功能 1：GPIO5_0 通用输入输出



1.2.20 UART 管脚

UART 管脚如表 1-24 所示。

表1-24 UART 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA22 /60	UART0_RXD	I/O _{OD}	4	3.3/5	功能 0: UART0_RXD UART0 数据接收 功能 1: UART1_RXD UART1 数据接收
AA23 /61	UART0_TXD	I/O _{OD}	4	3.3/5	功能 0: UART0_TXD UART0 数据发送 功能 1: UART1_TXD UART1 数据发送

1.2.21 PG（Power and Ground）管脚

DVDD3318_LDO2_OUT 管脚

DVDD3318_LDO2_OUT 管脚如表 1-25 所示。

表1-25 DVDD3318_LDO2_OUT 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G5 /155	DVDD3318_LDO2_OUT	P	-	3.3/1.8	芯片内部 SDIO_LDO 输出的 3.3V/1.8V 电源，外接滤波电容

1.2.22 DVDD33 管脚

DVDD33 管脚如表 1-26 所示。



表1-26 DVDD33 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D10、D11、D12、E18、 F5、H19、J19 /104、120	DVDD33	P	-	3.3	3.3V I/O 接口电源

1.2.23 DVDD11_LDO_OUT 管脚

DVDD11_LDO_OUT 管脚如表 1-27 所示。

表1-27 DVDD11_LDO_OUT 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
T19 /55	DVDD11_LDO_OUT	P	-	1.1	芯片内部 LDO 输出的 1.1V core 电源，外接滤 波电容

1.2.24 DVDD33_STANDBY 管脚

DVDD33_STANDBY 管脚如表 1-28 所示。

表1-28 DVDD33_STANDBY 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
V20、 W20 /65	DVDD33_STANDBY	P	-	3.3	3.3V STANDBY 电源

VDD_CPU 管脚

VDD_CPU 管脚如表 1-29 所示。

表1-29 VDD_CPU 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
H16、H17、J16、 J17、K17、L16、	VDD_CPU	P	-	1.1	CPU 内核电源



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
L17、M16、M17 /91、92、93、95、 96、98					

VDD 管脚

VDD 管脚如表 1-30 所示。

表1-30 VDD 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
J13、J14、K13、K14、 L10、L13、L14、 M10、M13、M14、 N10、N11、N12、 N13、N14、P10、 P11、P12、P13、P14、 P15 /4、10、30、39、49、 78、86、105、118、 134、158、168、180、 186、193、202、214	VDD	P	-	1.1	内核 1.1V Core 电压

VSS 管脚

VSS 管脚如表 1-31 所示。

表1-31 VSS 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A1、A2、B20、C3、C13、 C20、D9、D13、D19、E4、 F4、G3、G4、G12、G13、 G16、H3、H10、H11、H12、 H13、H14、H15、H20、J2、 J10、J11、J12、J15、J20、K1、 K3、K5、K10、K11、K12、 K15、K16、L3、L4、L11、 L12、L15、M6、M8、M11、	VSS	G	-	-	数字地



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
M12、M15、M20、N2、N3、 N5、N15、N16、N17、P1、 P5、P16、P20、R2、R4、R6、 R20、T1、T11、U2、U5、 U20、V4、V10、V21、W3、 W8、W11、W13、W15、W19、 W21、Y1、Y3、Y7、Y9、 Y18、Y20、Y23、AA2、AA3、 AA8、AA13、AA14、AA15、 AA17、AA18、AA20、AB1、 AB4、AB6、AB10、AB12、 AC1、AC3、AC5、AC9、 AC11、AC23 /19、62、94、97、177、211					

1.3 复用寄存器概览



注意

QFP 封装不支持 USB3.0、SPI、I2S、SLIC、JTAG_SEL、MUTE_CTRL、UART2 功能，并且只支持 LED_KEY0 的管脚 1 线功能，不支持 3 线功能。因此，不需要配置相关管脚的复用。

复用寄存器概览如表 1-32 所示。

表1-32 复用寄存器概览(基地址为 0xF8A2_1000)

偏移地址	名称	描述	页码
0x000	ioshare_0	EBI_DQ7 管脚的复用控制寄存器	1-54
0x004	ioshare_1	EBI_DQ6 管脚的复用控制寄存器	1-56
0x008	ioshare_2	EBI_DQ5 管脚的复用控制寄存器	1-57
0x00C	ioshare_3	EBI_DQ4 管脚的复用控制寄存器	1-58
0x010	ioshare_4	EBI_DQ3 管脚的复用控制寄存器	1-60
0x014	ioshare_5	EBI_DQ2 管脚的复用控制寄存器	1-61



偏移地址	名称	描述	页码
0x018	ioshare_6	EBI_DQ1 管脚的复用控制寄存器	1-62
0x01C	ioshare_7	EBI_DQ0 管脚的复用控制寄存器	1-64
0x020	ioshare_8	NF_WEN 管脚的复用控制寄存器	1-65
0x024	ioshare_9	NF_ALE 管脚的复用控制寄存器	1-66
0x028	ioshare_10	NF_CLE 管脚的复用控制寄存器	1-67
0x02C	ioshare_11	NF_CSN0 管脚的复用控制寄存器	1-69
0x030	ioshare_12	NF_REN 管脚的复用控制寄存器	1-70
0x034	ioshare_13	NF_RDY0 管脚的复用控制寄存器	1-71
0x054	ioshare_21	JTAG_TMS 管脚的复用控制寄存器	1-72
0x058	ioshare_22	JTAG_TRSTN 管脚的复用控制寄存器	1-73
0x05C	ioshare_23	JTAG_TCK 管脚的复用控制寄存器	1-74
0x060	ioshare_24	JTAG_TDI 管脚的复用控制寄存器	1-75
0x064	ioshare_25	JTAG_TDO 管脚的复用控制寄存器	1-76
0x07C	ioshare_31	I2C2_SCL 管脚的复用控制寄存器	1-77
0x080	ioshare_32	I2C2_SDA 管脚的复用控制寄存器	1-78
0x0AC	ioshare_43	SPDIF_OUT 管脚的复用控制寄存器	1-79
0x0B0	ioshare_44	MUTE_CTRL 管脚的复用控制寄存器	1-80
0x0B4	ioshare_45	HDMITX_SDA 管脚的复用控制寄存器	1-81
0x0B8	ioshare_46	HDMITX_SCL 管脚的复用控制寄存器	1-82
0x0BC	ioshare_47	HDMITX_HOTPLUG 管脚的复用控制寄存器	1-83
0x0C0	ioshare_48	HDMITX_CEC 管脚的复用控制寄存器	1-84
0x0D8	ioshare_54	FE_LED_ACT 管脚的复用控制寄存器	1-85
0x0DC	ioshare_55	FE_LED_BASE 管脚的复用控制寄存器	1-86
0x0E0	ioshare_56	SDIO0_CWPR 管脚的复用控制寄存器	1-87
0x0E4	ioshare_57	SDIO0_CDATA1 管脚的复用控制寄存器	1-88
0x0E8	ioshare_58	SDIO0_CDATA0 管脚的复用控制寄存器	1-90
0x0EC	ioshare_59	SDIO0_CCLK_OUT 管脚的复用控制寄存器	1-91
0x0F0	ioshare_60	SDIO0_CCMD 管脚的复用控制寄存器	1-92
0x0F4	ioshare_61	SDIO0_CDATA3 管脚的复用控制寄存器	1-93



偏移地址	名称	描述	页码
0x0F8	ioshare_62	SDIO0_CDATA2 管脚的复用控制寄存器	1-95
0x0FC	ioshare_63	SDIO0_CARD_DETECT 管脚的复用控制寄存器	1-96
0x100	ioshare_64	SDIO0_CARD_POWER_EN 管脚的复用控制寄存器	1-97
0x138	ioshare_78	USB_BOOT 管脚的复用控制寄存器	1-98
0x13C	ioshare_79	SPI_SCLK 管脚的复用控制寄存器	1-99
0x140	ioshare_80	SPI_SDO 管脚的复用控制寄存器	1-100
0x144	ioshare_81	SPI_SDI 管脚的复用控制寄存器	1-101
0x148	ioshare_82	SPI_CSN0 管脚的复用控制寄存器	1-102
0x14C	ioshare_83	SPI_CSN1 管脚的复用控制寄存器	1-103
0x150	ioshare_84	SLIC_RST 管脚的复用控制寄存器	1-104
0x154	ioshare_85	I2S0_BCLK 管脚的复用控制寄存器	1-105
0x158	ioshare_86	I2S0_WS 管脚的复用控制寄存器	1-106
0x15C	ioshare_87	I2S0_DOUT0 管脚的复用控制寄存器	1-107
0x160	ioshare_88	I2S0_MCLK 管脚的复用控制寄存器	1-108
0x164	ioshare_89	I2S0_DIN0 管脚的复用控制寄存器	1-109
0x0044	SC_IO_REUSE_SEL	MCU 子系统管脚复用控制寄存器	1-110

注：SC_IO_REUSE_SEL 寄存器的基地址和其他寄存器基地址不一样，SC_IO_REUSE_SEL 的基地址为 0xF800_0000。

1.4 复用寄存器描述

ioshare_0

EBI_DQ7 管脚复用控制寄存器。



Offset Address								Register Name												Total Reset Value												
0x000								ioshare_0												0x00001F00												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_0_PU	ioctl_0_DSx			ioctl_0_SR	reserved				ioshare_0						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0	0	0	0
Bits	Access				Name				Description																							
[31:13]	-				reserved				保留。																							
[12]	RW				ioctl_0_PU				上拉使能。 0：不使能； 1：使能。																							
[11:9]	RW				ioctl_0_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 注：当管脚为 NF_DQ7 功能时， 两层板设计推荐配置为 111； 四层板设计推荐配置为 110； 当管脚为 SDIO1_CDATA7 功能时， 3.3V 模式下两层板设计推荐配置为 111； 3.3V 模式下四层板设计推荐配置为 110； 1.8V 模式下两层板设计推荐配置为 110； 1.8V 模式下四层板设计推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；																							
[8]	RW				ioctl_0_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：当管脚为 SDIO1_CDATA7 功能时，																							



			3.3V 模式下推荐配置为 1; 1.8V 模式下推荐配置为 0; 当管脚为其他功能时, 推荐配置为 1;
[7:2]	-	reserved	保留。
[1:0]	RW	ioshare_0	EBI_DQ7 管脚的具体复用情况。 00: EBI_DQ7; 01: SDIO1_CDATA7; 10: BOOT_SEL0; 其它: 保留。

ioshare_1

EBI_DQ6 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																							
0x004				ioshare_1								0x00000F00																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name	reserved																ioctrl_1_PD		ioctrl_1_DSx		ioctrl_1_SR		reserved				ioshare_1								
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				1 1 1 1				0 0 0 0				0 0 0 0										
Bits		Access		Name				Description																											
[31:13]		-		reserved				保留。																											
[12]		RW		ioctrl_1_PD				下拉使能。 0：不使能； 1：使能。																											
[11:9]		RW		ioctrl_1_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA；																											



			注：当管脚为 NF_DQ6 功能时， 两层板设计推荐配置为 111； 四层板设计推荐配置为 110； 当管脚为 SDIO1_CDATA6 功能时， 3.3V 模式下两层板设计推荐配置为 111； 3.3V 模式下四层板设计推荐配置为 110； 1.8V 模式下两层板设计推荐配置为 110； 1.8V 模式下四层板设计推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；
[8]	RW	ioctrl_1_SR	slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：当管脚为 SDIO1_CDATA6 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；
[7:1]	-	reserved	保留。
[0]	RW	ioshare_1	EBI_DQ6 管脚的具体复用情况。 0：EBI_DQ6； 1：SDIO1_CDATA6。

ioshare_2

EBI_DQ5 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x008																ioshare_2																0x00000F00															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																ioctrl_2_PD				ioctrl_2_DSx				ioctrl_2_SR				reserved								ioshare_2										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0															
Bits					Access				Name				Description																																		
[31:13]					-				reserved				保留。																																		
[12]					RW				ioctrl_2_PD				下拉使能。																																		



			0: 不使能; 1: 使能。
[11:9]	RW	ioctl_2_DSx	驱动控制: 000: 12mA; 001: 11mA; 010: 9mA; 011: 8mA; 100: 5mA; 101: 4mA; 110: 2mA; 111: 1mA; 注: 当管脚为 NF_DQ5 功能时, 两层板设计推荐配置为 111; 四层板设计推荐配置为 110; 当管脚为 SDIO1_CDATA5 功能时, 3.3V 模式下两层板设计推荐配置为 111; 3.3V 模式下四层板设计推荐配置为 110; 1.8V 模式下两层板设计推荐配置为 110; 1.8V 模式下四层板设计推荐配置为 101; 当管脚为其他功能时, 推荐配置为 111;
[8]	RW	ioctl_2_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚为 SDIO1_CDATA5 功能时, 3.3V 模式下推荐配置为 1; 1.8V 模式下推荐配置为 0; 当管脚为其他功能时, 推荐配置为 1;
[7:1]	-	reserved	保留。
[0]	RW	ioshare_2	EBI_DQ5 管脚的具体复用情况。 0: EBI_DQ5; 1: SDIO1_CDATA5。

ioshare_3

EBI_DQ4 管脚复用控制寄存器。



Offset Address								Register Name												Total Reset Value																
0x00C								ioshare_3												0x00000F00																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ioctrl_3_PD	ioctrl_3_DSx			ioctrl_3_SR	reserved						ioshare_3								
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				1 1 1 1				0 0 0 0				0 0 0 0							
Bits	Access		Name		Description																															
[31:13]	-		reserved		保留。																															
[12]	RW		ioctrl_3_PD		下拉使能。 0：不使能； 1：使能。																															
[11:9]	RW		ioctrl_3_DSx		驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 注：当管脚为 NF_DQ4 功能时， 两层板设计推荐配置为 111； 四层板设计推荐配置为 110； 当管脚为 SDIO1_CDATA4 功能时， 3.3V 模式下两层板设计推荐配置为 111； 3.3V 模式下四层板设计推荐配置为 110； 1.8V 模式下两层板设计推荐配置为 110； 1.8V 模式下四层板设计推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；																															
[8]	RW		ioctrl_3_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：当管脚为 SDIO1_CDATA4 功能时， 3.3V 模式下推荐配置为 1；																															



			1.8V 模式下推荐配置为 0; 当管脚为其他功能时, 推荐配置为 1;
[7:1]	-	reserved	保留。
[0]	RW	ioshare_3	EBI_DQ4 管脚的具体复用情况。 0: EBI_DQ4; 1: SDIO1_CDATA4。

ioshare_4

EBI_DQ3 管脚复用控制寄存器。

Offset Address				Register Name																Total Reset Value																
0x010				ioshare_4																0x00000F00																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ioctrl_4_PD		ioctrl_4_DSx			ioctrl_4_SR		reserved						ioshare_4						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:13]	-		reserved		保留。																															
[12]	RW		ioctrl_4_PD		下拉使能。 0：不使能； 1：使能。																															
[11:9]	RW		ioctrl_4_DSx		驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 注：当管脚为 NF_DQ3 功能时， 两层板设计推荐配置为 111； 四层板设计推荐配置为 110；																															



			当管脚为 SDIO1_CDATAB3 功能时， 3.3V 模式下两层板设计推荐配置为 111； 3.3V 模式下四层板设计推荐配置为 110； 1.8V 模式下两层板设计推荐配置为 110； 1.8V 模式下四层板设计推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；
[8]	RW	ioctrl_4_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注：当管脚为 SDIO1_CDATAB3 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；
[7:1]	-	reserved	保留。
[0]	RW	ioshare_4	EBI_DQ3 管脚的具体复用情况。 0: EBI_DQ3； 1: SDIO1_CDATAB3。

ioshare_5

EBI_DQ2 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x014				ioshare_5				0x00000F00																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_5_PD	ioctrl_5_DSx		ioctrl_5_SR	reserved				ioshare_5							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				1 1 1 1				0 0 0 0				0 0 0 0			
	Bits		Access		Name				Description																							
	[31:13]		-		reserved				保留。																							
	[12]		RW		ioctrl_5_PD				下拉使能。 0：不使能； 1：使能。																							
	[11:9]		RW		ioctrl_5_DSx				驱动控制：																							



			000: 12mA; 001: 11mA; 010: 9mA; 011: 8mA; 100: 5mA; 101: 4mA; 110: 2mA; 111: 1mA; 注: 当管脚为 NF_DQ2 功能时, 两层板设计推荐配置为 111; 四层板设计推荐配置为 110; 当管脚为 SDIO1_CDATA2 功能时, 3.3V 模式下两层板设计推荐配置为 111; 3.3V 模式下四层板设计推荐配置为 110; 1.8V 模式下两层板设计推荐配置为 110; 1.8V 模式下四层板设计推荐配置为 101; 当管脚为其他功能时, 推荐配置为 111;
[8]	RW	ioctrl_5_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚为 SDIO1_CDATA2 功能时, 3.3V 模式下推荐配置为 1; 1.8V 模式下推荐配置为 0; 当管脚为其他功能时, 推荐配置为 1;
[7:1]	-	reserved	保留。
[0]	RW	ioshare_5	EBI_DQ2 管脚的具体复用情况。 0: EBI_DQ2; 1: SDIO1_CDATA2。

ioshare_6

EBI_DQ1 管脚复用控制寄存器。



Offset Address				Register Name																Total Reset Value												
0x018				ioshare_6																0x00000F00												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_6_PD		ioctrl_6_DSx			ioctrl_6_SR		reserved						ioshare_6		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_6_PD		下拉使能。 0：不使能； 1：使能。																											
[11:9]	RW		ioctrl_6_DSx		驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 注：当管脚为 NF_DQ1 功能时， 两层板设计推荐配置为 111； 四层板设计推荐配置为 110； 当管脚为 SDIO1_CDATAB1 功能时， 3.3V 模式下两层板设计推荐配置为 111； 3.3V 模式下四层板设计推荐配置为 110； 1.8V 模式下两层板设计推荐配置为 110； 1.8V 模式下四层板设计推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；																											
[8]	RW		ioctrl_6_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：当管脚为 SDIO1_CDATAB1 功能时， 3.3V 模式下推荐配置为 1；																											



			1.8V 模式下推荐配置为 0; 当管脚为其他功能时, 推荐配置为 1;
[7:1]	-	reserved	保留。
[0]	RW	ioshare_6	EBI_DQ1 管脚的具体复用情况。 0: EBI_DQ1; 1: SDIO1_CDATA1。

ioshare_7

EBI_DQ0 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x01C				ioshare_7				0x00000F00																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_7_PD	ioctrl_7_DSx			ioctrl_7_SR	reserved							ioshare_7			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_7_PD		下拉使能。 0：不使能； 1：使能。																											
[11:9]	RW		ioctrl_7_DSx		驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 注：当管脚为 NF_DQ0 功能时， 两层板设计推荐配置为 111； 四层板设计推荐配置为 110；																											



			当管脚为 SDIO1_CDATAB0 功能时， 3.3V 模式下两层板设计推荐配置为 111； 3.3V 模式下四层板设计推荐配置为 110； 1.8V 模式下两层板设计推荐配置为 110； 1.8V 模式下四层板设计推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；
[8]	RW	ioctrl_7_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注：当管脚为 SDIO1_CDATAB0 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；
[7:1]	-	reserved	保留。
[0]	RW	ioshare_7	EBI_DQ0 管脚的具体复用情况。 0: EBI_DQ0； 1: SDIO1_CDATAB0。

ioshare_8

NF_WEN 管脚复用控制寄存器。

Offset Address																Register Name								Total Reset Value																
0x020																ioshare_8								0x00000500																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	reserved																ioctrl_8_PD				reserved	ioctrl_8_DSx				ioctrl_8_SR				reserved				ioshare_8						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0								
	Bits				Access				Name				Description																											
	[31:13]								reserved				保留。																											
	[12]				RW				ioctrl_8_PD				下拉使能。 0：不使能； 1：使能。																											
	[11]				RW				reserved				保留。																											



[10:9]	RW	ioctl_8_DSx	驱动控制： 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA; 注：当管脚为 NF_WEN 功能时， 两层板设计推荐配置为 11； 四层板设计推荐配置为 10； 当管脚为其他功能时，推荐配置为 11；
[8]	RW	ioctl_8_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注：推荐配置为 1；
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_8	NF_WEN 管脚的具体复用情况。 00: NF_WEN; 01: SDIO1_CARD_DETECT; 10: GPIO0_0; 其它：保留。

ioshare_9

NF_ALE 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x024				ioshare_9								0x00000700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_9_PD	reserved	ioctl_9_DSx		ioctl_9_SR	reserved				ioshare_9						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
	Bits		Access		Name				Description																							
	[31:13]		-		reserved				保留。																							
	[12]		RW		ioctl_9_PD				下拉使能。 0: 不使能;																							



			1: 使能。
[11]	RW	reserved	保留。
[10:9]	RW	ioctl_9_DSx	驱动控制: 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA; 注: 当管脚为 NF_ALE 功能时, 两层板设计推荐配置为 11; 四层板设计推荐配置为 10; 当管脚为其他功能时, 推荐配置为 11;
[8]	RW	ioctl_9_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚为 SDIO1_CARD_POWER_EN 功能时, 3.3V 时推荐配置为 1; 1.8V 时推荐配置为 0。当管脚为其他功能时, 推荐配置为 1;
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_9	NF_ALE 管脚的具体复用情况。 00: NF_ALE; 01: SDIO1_CARD_POWER_EN; 10: GPIO0_1; 其它: 保留。

ioshare_10

NF_CLE 管脚复用控制寄存器。



Offset Address				Register Name				Total Reset Value																								
0x028				ioshare_10				0x00000700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_10_PD	reserved	ioctrl_10_DSx	ioctrl_10_SR	reserved				ioshare_10							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0			
Bits	Access				Name				Description																							
[31:13]					reserved				保留。																							
[12]	RW				ioctrl_10_PD				下拉使能。 0：不使能； 1：使能。																							
[11]	RW				reserved				保留。																							
[10:9]	RW				ioctrl_10_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：当管脚为 NF_CLE 功能时， 两层板设计推荐配置为 11； 四层板设计推荐配置为 10； 当管脚为其他功能时，推荐配置为 11；																							
[8]	RW				ioctrl_10_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：当管脚为 SDIO1_CWPR 功能时， 3.3V 时推荐配置为 1； 1.8V 时推荐配置为 0。当管脚为其他功能时，推荐配置为 1；																							
[7:2]	RW				reserved				保留。																							
[1:0]	RW				ioshare_10				NF_CLE 管脚的具体复用情况。 00：NF_CLE； 01：SDIO1_CWPR； 10：GPIO0_2； 其它：保留。																							



ioshare_11

NF_CSN0 管脚复用控制寄存器。

Offset Address												Register Name												Total Reset Value																
0x02C												ioshare_11												0x00001F00																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	reserved																ioctrl_11_OPU				ioctrl_11_DSx				ioctrl_11_SR				reserved				ioshare_11							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				1				1 1 1 1				1				0 0 0 0				0 0 0 0			
Bits	Access				Name				Description																															
[31:13]					reserved				保留。																															
[12]	RW				ioctrl_11_OPU				上拉使能。 0：不使能； 1：使能。																															
[11:9]	RW				ioctrl_11_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 注：当管脚为 NF_CSN0 功能时， 两层板设计推荐配置为 111； 四层板设计推荐配置为 110； 当管脚为 SDIO1_CCMD 功能时， 3.3V 模式下两层板设计推荐配置为 111； 3.3V 模式下四层板设计推荐配置为 110； 1.8V 模式下两层板设计推荐配置为 110； 1.8V 模式下四层板设计推荐配置为 101； 当管脚为其他功能时，推荐配置为 111；																															
[8]	RW				ioctrl_11_SR				slew rate 控制使能信号。																															



			0: no SR ctrl; 1: SR ctrl。 注：当管脚为 SDIO1_CCMD 功能时， 3.3V 时推荐配置为 1； 1.8V 时推荐配置为 0。当管脚为其他功能时，推荐配置为 1；
[7:1]	-	reserved	保留。
[0]	RW	ioshare_11	NF_CSN0 管脚的具体复用情况。 0: NF_CSN0； 1: SDIO1_CCMD。

ioshare_12

NF_REN 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x030				ioshare_12				0x00000D00																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctrl_12_PD		ioctrl_12_DSx			ioctrl_12_SR		reserved				ioshare_12								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0	0	0	0	0
Bits		Access		Name		Description																										
[31:13]				reserved		保留。																										
[12]		RW		ioctrl_12_PD		下拉使能。 0：不使能； 1：使能。																										
[11:9]		RW		ioctrl_12_DSx		驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA；																										



			注：当管脚为 NF_REN 功能时， 两层板设计推荐配置为 111； 四层板设计推荐配置为 110； 当管脚为 SDIO1_CCLK_OUT 功能时， 3.3V 模式下两层板设计推荐配置为 110； 3.3V 模式下四层板设计推荐配置为 101； 1.8V 模式下两层板设计推荐配置为 101； 1.8V 模式下四层板设计推荐配置为 010； 当管脚为其他功能时，推荐配置为 111；
[8]	RW	ioctrl_12_SR	slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：当管脚为 SDIO1_CCLK_OUT 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；
[7:1]	-	reserved	保留。
[0]	RW	ioshare_12	NF_REN 管脚的具体复用情况。 0：NF_REN； 1：SDIO1_CCLK_OUT。

ioshare_13

NF_RDY0 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x034				ioshare_13				0x00001700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_13_OP		1	reserved	ioctrl_13_DSx		ioctrl_13_SR		reserved				ioshare_13			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0
Bits		Access		Name		Description																										
[31:13]		-		reserved		保留。																										
[12]		RW		ioctrl_13_OPU		上拉使能。																										



			0: 不使能; 1: 使能。
[11]	RW	reserved	保留。
[10:9]	RW	ioctl_13_DSx	驱动控制: 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA; 注: 当管脚为 NF_RDY0 功能时, 两层板设计推荐配置为 11; 四层板设计推荐配置为 10; 当管脚为其他功能时, 推荐配置为 11;
[8]	RW	ioctl_13_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚为 SDIO1_RST 功能时, 两层板设计推荐配置为 0; 四层板设计推荐配置为 1; 当管脚为其他功能时, 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_13	NF_RDY0 管脚的具体复用情况。 0: NF_RDY0; 1: SDIO1_RST。

ioshare_21

JTAG_TMS 管脚复用控制寄存器。



Offset Address								Register Name								Total Reset Value																
0x054								ioshare_21								0x00001700																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctrl_21_PU		reserved	ioctrl_21_DSx		ioctrl_21_SR		reserved				ioshare_21								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_21_PU		上拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_21_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW		ioctrl_21_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:3]	RW		reserved		保留。																											
[2:0]	RW		ioshare_21		JTAG_TMS 管脚的具体复用情况。 000：JTAG_TMS； 101：GPIO0_4； 其它：保留。																											

ioshare_22

JTAG_TRSTN 管脚复用控制寄存器。



Offset Address																Register Name								Total Reset Value										
0x058																ioshare_22								0x00001700										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																ioctl_22_PD		reserved	ioctl_22_DSx		ioctl_22_SR	reserved				ioshare_22							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																											
[31:13]			reserved				保留。																											
[12]	RW		ioctl_22_PD				下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved				保留。																											
[10:9]	RW		ioctl_22_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW		ioctl_22_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:3]	RW		reserved				保留。																											
[2:0]	RW		ioshare_22				JTAG_TRSTN 管脚的具体复用情况。 000：JTAG_TRSTN； 101：GPIO0_5； 其它：保留。																											

ioshare_23

JTAG_TCK 管脚复用控制寄存器。



Offset Address								Register Name								Total Reset Value																
0x05C								ioshare_23								0x00001700																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctl_23_PD		reserved	ioctl_23_DSx		ioctl_23_SR		reserved				ioshare_23								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctl_23_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctl_23_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW		ioctl_23_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:3]	RW		reserved		保留。																											
[2:0]	RW		ioshare_23		JTAG_TCK 管脚的具体复用情况。 000：JTAG_TCK； 101：GPIO0_6； 其它：保留。																											

ioshare_24

JTAG_TDI 管脚复用控制寄存器。



Offset Address																Register Name								Total Reset Value								
0x060																ioshare_24								0x00001700								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctl_24_PU				reserved		ioctl_24_DSx		ioctl_24_SR		reserved				ioshare_24					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access				Name				Description																							
[31:13]	-				reserved				保留。																							
[12]	RW				ioctl_24_PU				上拉使能。 0：不使能； 1：使能。																							
[11]	RW				reserved				保留。																							
[10:9]	RW				ioctl_24_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																							
[8]	RW				ioctl_24_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																							
[7:3]	RW				reserved				保留。																							
[2:0]	RW				ioshare_24				JTAG_TDI 管脚的具体复用情况。 000：JTAG_TDI； 101：GPIO0_7； 其它：保留。																							

ioshare_25

JTAG_TDO 管脚复用控制寄存器。



Offset Address																Register Name								Total Reset Value												
0x064																ioshare_25								0x00000700												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ioctrl_25_PD				reserved	ioctrl_25_DSx				ioctrl_25_SR	reserved				ioshare_25					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0				
Bits	Access				Name				Description																											
[31:13]					reserved				保留。																											
[12]	RW				ioctrl_25_PD				下拉使能。 0：不使能； 1：使能。																											
[11]	RW				reserved				保留。																											
[10:9]	RW				ioctrl_25_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW				ioctrl_25_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:3]	RW				reserved				保留。																											
[2:0]	RW				ioshare_25				JTAG_TDO 管脚的具体复用情况。 000：JTAG_TDO； 101：GPIO2_0； 其它：保留。																											

ioshare_31

I2C2_SCL 管脚复用控制寄存器。



Offset Address				Register Name				Total Reset Value																								
0x07C				ioshare_31				0x00000700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_31_PD		reserved	ioctl_31_DSx		ioctl_31_SR		reserved				ioshare_31				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctl_31_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctl_31_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW		ioctl_31_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:3]	RW		reserved		保留。																											
[2:0]	RW		ioshare_31		I2C2_SCL 管脚的具体复用情况。 000：PMC_PWM0； 100：I2C2_SCL； 110：GPIO2_6； 其它：保留。																											

ioshare_32

I2C2_SDA 管脚复用控制寄存器。



Offset Address																Register Name								Total Reset Value												
0x080																ioshare_32								0x00000700												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ioctrl_32_PD		reserved	ioctrl_32_DSx		ioctrl_32_SR	reserved				ioshare_32									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0				
Bits	Access				Name				Description																											
[31:13]	-				reserved				保留。																											
[12]	RW				ioctrl_32_PD				下拉使能。 0：不使能； 1：使能。																											
[11]	RW				reserved				保留。																											
[10:9]	RW				ioctrl_32_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW				ioctrl_32_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:3]	RW				reserved				保留。																											
[2:0]	RW				ioshare_32				I2C2_SDA 管脚的具体复用情况。 000：PMC_PWM1； 001：GPIO2_7； 100：I2C2_SDA； 其它：保留。																											

ioshare_43

SPDIF_OUT 管脚复用控制寄存器。



Offset Address																Register Name								Total Reset Value												
0x0AC																ioshare_43								0x00001700												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ioctrl_43_PD				reserved	ioctrl_43_DSx		ioctrl_43_SR	reserved				ioshare_43							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0				
Bits	Access				Name				Description																											
[31:13]	-				reserved				保留。																											
[12]	RW				ioctrl_43_PD				下拉使能。 0：不使能； 1：使能。																											
[11]	RW				reserved				保留。																											
[10:9]	RW				ioctrl_43_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW				ioctrl_43_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:2]	RW				reserved				保留。																											
[1:0]	RW				ioshare_43				SPDIF_OUT 管脚的具体复用情况。 00：保留； 01：SPDIF_OUT； 10：GPIO4_2； 11：BOOT_SEL1。																											

ioshare_44

MUTE_CTRL 管脚复用控制寄存器。



Offset Address																Register Name								Total Reset Value								
0x0B0																ioshare_44								0x00000700								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctrl_44_PD		reserved		ioctrl_44_DSx		ioctrl_44_SR		reserved								ioshare_44			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_44_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_44_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW		ioctrl_44_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:1]	RW		reserved		保留。																											
[0]	RW		ioshare_44		MUTE_CTRL 管脚的具体复用情况。 0：GPIO4_3； 1：MUTE_CTRL。																											

ioshare_45

HDMITX_SDA 管脚复用控制寄存器。



Offset Address				Register Name				Total Reset Value																								
0x0B4				ioshare_45				0x00000700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_45_PD	reserved	ioctl_45_DSx	ioctl_45_SR	reserved				ioshare_45							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctl_45_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctl_45_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW		ioctl_45_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:3]	RW		reserved		保留。																											
[2:0]	RW		ioshare_45		HDMITX_SDA 管脚的具体复用情况。 000：保留； 001：HDMITX_SDA； 010：GPIO4_4； 其它：保留。																											

ioshare_46

HDMITX_SCL 管脚复用控制寄存器。



Offset Address				Register Name																Total Reset Value												
0x0B8				ioshare_46																0x00000700												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_46_PD	reserved	ioctl_46_DSx		ioctl_46_SR	reserved				ioshare_46						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctl_46_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctl_46_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW		ioctl_46_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:3]	RW		reserved		保留。																											
[2:0]	RW		ioshare_46		HDMITX_SCL 管脚的具体复用情况。 001：HDMITX_SCL； 010：GPIO4_5； 其它：保留。																											

ioshare_47

HDMITX_HOTPLUG 管脚复用控制寄存器。



Offset Address				Register Name								Total Reset Value																				
0x0BC				ioshare_47								0x00000700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_47_PD	reserved	ioctl_47_DSx		ioctl_47_SR	reserved				ioshare_47						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctl_47_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctl_47_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW		ioctl_47_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:2]	RW		reserved		保留。																											
[1:0]	RW		ioshare_47		HDMITX_HOTPLUG 管脚的具体复用情况。 01：HDMITX_HOTPLUG； 10：GPIO4_6； 其它：保留。																											

ioshare_48

HDMITX_CEC 管脚复用控制寄存器。



Offset Address																Register Name								Total Reset Value										
0x0C0																ioshare_48								0x00000700										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																ioctl_48_PD		reserved		ioctl_48_DSx		ioctl_48_SR		reserved								ioshare_48	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																											
[31:13]	-		reserved				保留。																											
[12]	RW		ioctl_48_PD				下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved				保留。																											
[10:9]	RW		ioctl_48_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW		ioctl_48_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:2]	RW		reserved				保留。																											
[1:0]	RW		ioshare_48				HDMITX_CEC 管脚的具体复用情况。 01：HDMITX_CEC； 10：GPIO4_7； 其它：保留。																											

ioshare_54

FE_LED_ACT 管脚复用控制寄存器。



Offset Address				Register Name								Total Reset Value																				
0x0D8				ioshare_54								0x00000700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_54_PD	reserved	ioctl_54_DSx	ioctl_54_SR	reserved				ioshare_54							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctl_54_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctl_54_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW		ioctl_54_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:2]	RW		reserved		保留。																											
[1:0]	RW		ioshare_54		FE_LED_ACT 管脚的具体复用情况。 01：FE_LED_ACT； 10：GPIO2_1； 其它：保留。																											

ioshare_55

FE_LED_BASE 管脚复用控制寄存器。



Offset Address																Register Name								Total Reset Value								
0x0DC																ioshare_55								0x00000700								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctrl_55_PD				reserved		ioctrl_55_DSx		ioctrl_55_SR		reserved				ioshare_55					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_55_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_55_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW		ioctrl_55_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																											
[7:1]	RW		reserved		保留。																											
[0]	RW		ioshare_55		FE_LED_BASE 管脚的具体复用情况。 0：GPIO2_2； 1：FE_LED_BASE。																											

ioshare_56

SDIO0_CWPR 管脚复用控制寄存器。



Offset Address				Register Name																Total Reset Value																								
0x0E0				ioshare_56																0x00000700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
Name	reserved																				ioctrl_56_PD	reserved	ioctrl_56_DSx		ioctrl_56_SR	reserved								ioshare_56										
Reset	0				0				0				0				0				0				0				1				1				0				0			
Bits	Access				Name				Description																																			
[31:13]	-				reserved				保留。																																			
[12]	RW				ioctrl_56_PD				下拉使能。 0：不使能； 1：使能。																																			
[11]	RW				reserved				保留。																																			
[10:9]	RW				ioctrl_56_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																																			
[8]	RW				ioctrl_56_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：推荐配置为 1；																																			
[7:1]	RW				reserved				保留。																																			
[0]	RW				ioshare_56				SDIO0_CWPR 管脚的具体复用情况。 0：GPIO2_3； 1：SDIO0_CWPR。																																			

ioshare_57

SDIO0_CDATA1 管脚复用控制寄存器。



Offset Address				Register Name																Total Reset Value																
0x0E4				ioshare_57																0x00000F00																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ioctl_57_PD		ioctl_57_DSx		ioctl_57_SR		reserved								ioshare_57					
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				1 1 1 1				0 0 0 0				0 0 0 0											
Bits	Access		Name		Description																															
[31:13]	-		reserved		保留。																															
[12]	RW		ioctl_57_PD		下拉使能。 0：不使能； 1：使能。																															
[11:9]	RW		ioctl_57_DSx		驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 注：当管脚为 SDIO0_CDATA1 功能时， 3.3V 模式下推荐配置为 111； 1.8V 模式下两层板设计推荐配置为 101； 1.8V 模式下四层板设计推荐配置为 100； 当管脚为其他功能时，推荐配置为 111；																															
[8]	RW		ioctl_57_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：当管脚为 SDIO0_CDATA1 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；																															
[7:1]	RW		reserved		保留。																															



[0]	RW	ioshare_57	SDIO0_CDATA1 管脚的具体复用情况。 0: GPIO3_0; 1: SDIO0_CDATA1。
-----	----	------------	--

ioshare_58

SDIO0_CDATA0 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																
0x0E8								ioshare_58								0x00000F00																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_58_PD	ioctrl_58_DSx			ioctrl_58_SR	reserved						ioshare_58				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_58_PD		下拉使能。 0：不使能； 1：使能。																											
[11:9]	RW		ioctrl_58_DSx		驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 注：当管脚为 SDIO0_CDATA0 功能时， 3.3V 模式下推荐配置为 111； 1.8V 模式下两层板设计推荐配置为 101； 1.8V 模式下四层板设计推荐配置为 100； 当管脚为其他功能时，推荐配置为 111；																											



[8]	RW	ioctl_58_SR	<p>slew rate 控制使能信号。</p> <p>0: no SR ctrl;</p> <p>1: SR ctrl。</p> <p>注：当管脚为 SDIO0_CDATAB0 功能时，</p> <p>3.3V 模式下推荐配置为 1；</p> <p>1.8V 模式下推荐配置为 0；</p> <p>当管脚为其他功能时，推荐配置为 1；</p>
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_58	<p>SDIO0_CDATAB0 管脚的具体复用情况。</p> <p>0: GPIO3_1；</p> <p>1: SDIO0_CDATAB0。</p>

ioshare_59

SDIO0_CCLK_OUT 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0EC				ioshare_59				0x00000F00																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_59_PD	ioctl_59_DSx			ioctl_59_SR	reserved							ioshare_59			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
Bits		Access		Name				Description																								
[31:13]		-		reserved				保留。																								
[12]		RW		ioctl_59_PD				下拉使能。 0：不使能； 1：使能。																								
[11:9]		RW		ioctl_59_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA；																								



			101: 4mA; 110: 2mA; 111: 1mA; 注: 当管脚为 SDIO0_CCLK_OUT 功能时, 3.3V 模式下推荐配置为 101; 1.8V 模式下推荐配置为 011; 当管脚为其他功能时, 推荐配置为 111;
[8]	RW	ioctrl_59_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚为 SDIO0_CCLK_OUT 功能时, 3.3V 模式下推荐配置为 1; 1.8V 模式下推荐配置为 0; 当管脚为其他功能时, 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_59	SDIO0_CCLK_OUT 管脚的具体复用情况。 0: GPIO3_2; 1: SDIO0_CCLK_OUT。

ioshare_60

SDIO0_CCMD 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																
0x0F0								ioshare_60								0x00000F00																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_60_PD		ioctrl_60_DSx		ioctrl_60_SR		reserved								ioshare_60	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
Bits	Access				Name				Description																							
[31:13]	-				reserved				保留。																							
[12]	RW				ioctrl_60_PD				下拉使能。 0: 不使能;																							



			1: 使能。
[11:9]	RW	ioctl_60_DSx	驱动控制: 000: 12mA; 001: 11mA; 010: 9mA; 011: 8mA; 100: 5mA; 101: 4mA; 110: 2mA; 111: 1mA; 注: 当管脚为 SDIO0_CCMD 功能时, 3.3V 模式下推荐配置为 111; 1.8V 模式下两层板设计推荐配置为 101; 1.8V 模式下四层板设计推荐配置为 100; 当管脚为其他功能时, 推荐配置为 111;
[8]	RW	ioctl_60_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚为 SDIO0_CCMD 功能时, 3.3V 模式下推荐配置为 1; 1.8V 模式下推荐配置为 0; 当管脚为其他功能时, 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_60	SDIO0_CCMD 管脚的具体复用情况。 0: GPIO3_3; 1: SDIO0_CCMD。

ioshare_61

SDIO0_CDATA3 管脚复用控制寄存器。



Offset Address																Register Name																Total Reset Value															
0x0F4																ioshare_61																0x00000F00															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																ioctrl_61_PD		ioctrl_61_DSx			ioctrl_61_SR		reserved						ioshare_61																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0															
	Bits		Access		Name		Description																																								
	[31:13]		-		reserved		保留。																																								
	[12]		RW		ioctrl_61_PD		下拉使能。 0：不使能； 1：使能。																																								
	[11:9]		RW		ioctrl_61_DSx		驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 注：当管脚为 SDIO0_CDATAB3 功能时， 3.3V 模式下推荐配置为 111； 1.8V 模式下两层板设计推荐配置为 101； 1.8V 模式下四层板设计推荐配置为 100； 当管脚为其他功能时，推荐配置为 111；																																								
	[8]		RW		ioctrl_61_SR		slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。 注：当管脚为 SDIO0_CDATAB3 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；																																								
	[7:1]		RW		reserved		保留。																																								



[0]	RW	ioshare_61	SDIO0_CDATA3 管脚的具体复用情况。 0: GPIO3_4; 1: SDIO0_CDATA3。
-----	----	------------	--

ioshare_62

SDIO0_CDATA2 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x0F8																ioshare_62																0x00000F00															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																				ioctrl_62_PD		ioctrl_62_DSx		ioctrl_62_SR		reserved								ioshare_62												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0															
Bits					Access				Name				Description																																		
[31:13]					-				reserved				保留。																																		
[12]					RW				ioctrl_62_PD				下拉使能。 0：不使能； 1：使能。																																		
[11:9]					RW				ioctrl_62_DSx				驱动控制： 000：12mA； 001：11mA； 010：9mA； 011：8mA； 100：5mA； 101：4mA； 110：2mA； 111：1mA； 注：当管脚为 SDIO0_CDATA2 功能时， 3.3V 模式下推荐配置为 111； 1.8V 模式下两层板设计推荐配置为 101； 1.8V 模式下四层板设计推荐配置为 100； 当管脚为其他功能时，推荐配置为 111；																																		



[8]	RW	ioctl_62_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注：当管脚为 SDIO0_CDATA2 功能时， 3.3V 模式下推荐配置为 1； 1.8V 模式下推荐配置为 0； 当管脚为其他功能时，推荐配置为 1；
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_62	SDIO0_CDATA2 管脚的具体复用情况。 0: GPIO3_5； 1: SDIO0_CDATA2。

ioshare_63

SDIO0_CARD_DETECT 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																									
0x0FC				ioshare_63				0x00000700																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																ioctl_63_PD	reserved	ioctl_63_DSx	ioctl_63_SR	reserved				ioshare_63								
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0				
Bits		Access		Name		Description																											
[31:13]		-		reserved		保留。																											
[12]		RW		ioctl_63_PD		下拉使能。 0：不使能； 1：使能。																											
[11]		RW		reserved		保留。																											
[10:9]		RW		ioctl_63_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA；																											



			注：推荐配置为 11；
[8]	RW	ioctl_63_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注：推荐配置为 1；
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_63	SDIO0_CARD_DETECT 管脚的具体复用情况。 0: GPIO3_6; 1: SDIO0_CARD_DETECT。

ioshare_64

SDIO0_CARD_POWER_EN 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x100																ioshare_64																0x00000700															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																reserved				ioctl_64_PD	reserved	ioctl_64_DSx				ioctl_64_SR	reserved								ioshare_64											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0															
Bits	Access				Name				Description																																						
[31:13]	-				reserved				保留。																																						
[12]	RW				ioctl_64_PD				下拉使能。 0：不使能； 1：使能。																																						
[11]	RW				reserved				保留。																																						
[10:9]	RW				ioctl_64_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：当管脚为 SDIO0_CARD_POWER_EN 功能时， 3.3V 模式下推荐配置为 11；																																						



			1.8V 模式下两层板设计推荐配置为 11; 1.8V 模式下四层板设计推荐配置为 10; 当管脚为其他功能时, 推荐配置为 11;
[8]	RW	ioctrl_64_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_64	SDIO0_CARD_POWER_EN 管脚的具体复用情况。 0: GPIO3_7; 1: SDIO0_CARD_POWER_EN。

ioshare_78

USB_BOOT 管脚复用控制寄存器。

Offset Address				Register Name																Total Reset Value													
0x138				ioshare_78																0x00001700													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																			ioctrl_78_PU	reserved	ioctrl_78_DSx			ioctrl_78_SR	reserved							ioshare_78
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0	
Bits	Access				Name				Description																								
[31:13]	-				reserved				保留。																								
[12]	RW				ioctrl_78_PU				上拉使能。 0：不使能； 1：使能。																								
[11]	RW				reserved				保留。																								
[10:9]	RW				ioctrl_78_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA；																								



			注：推荐配置为 11；
[8]	RW	ioctl_78_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注：推荐配置为 1；
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_78	USB_BOOT 管脚的具体复用情况。 0: USB_BOOT; 1: GPIO2_5。

ioshare_79

SPI_SCLK 管脚复用控制寄存器。

Offset Address												Register Name												Total Reset Value												
0x13C												ioshare_79												0x00000700												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												ioctl_79_PD				reserved	ioctl_79_DSx				ioctl_79_SR	reserved								ioshare_79					
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0							
Bits	Access				Name				Description																											
[31:13]	-				reserved				保留。																											
[12]	RW				ioctl_79_PD				下拉使能。 0：不使能； 1：使能。																											
[11]	RW				reserved				保留。																											
[10:9]	RW				ioctl_79_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：当管脚为 SPI_SCLK 功能时， 两层板设计推荐配置为 11；																											



			四层板设计推荐配置为 10； 当管脚为其他功能时，推荐配置为 11；
[8]	RW	ioctrl_79_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注：推荐配置为 1；
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_79	SPI_SCLK 管脚的具体复用情况。 00: GPIO0_3; 01: SPI_SCLK; 10: UART2_CTSN; 其它：保留。

ioshare_80

SPI_SDO 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																						
0x140				ioshare_80								0x00000700																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																ioctrl_80_PD		reserved	ioctrl_80_DSx		ioctrl_80_SR		reserved				ioshare_80						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																											
[31:13]	-		reserved				保留。																											
[12]	RW		ioctrl_80_PD				下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved				保留。																											
[10:9]	RW		ioctrl_80_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA；																											



			11: 1mA; 注: 推荐配置为 11;
[8]	RW	ioctl_80_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_80	SPI_SDO 管脚的具体复用情况。 00: GPIO4_0; 01: SPI_SDO; 10: UART2_RXD; 其它: 保留。

ioshare_81

SPI_SDI 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x144				ioshare_81				0x00000700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_81_PD	reserved	ioctl_81_DSx		ioctl_81_SR	reserved				ioshare_81						
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0							
	Bits		Access		Name				Description																							
	[31:13]		-		reserved				保留。																							
	[12]		RW		ioctl_81_PD				下拉使能。 0：不使能； 1：使能。																							
	[11]		RW		reserved				保留。																							
	[10:9]		RW		ioctl_81_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA；																							



			11: 1mA; 注: 推荐配置为 11;
[8]	RW	ioctrl_81_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_81	SPI_SDI 管脚的具体复用情况。 00: GPIO4_1; 01: SPI_SDI; 10: UART2_TXD; 11: I2C1_SCL。

ioshare_82

SPI_CSN0 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x148				ioshare_82								0x00000700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_82_PD		reserved	ioctrl_82_DSx		ioctrl_82_SR		reserved				ioshare_82				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_82_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_82_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA；																											



			11: 1mA; 注：推荐配置为 11;
[8]	RW	ioctrl_82_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注：推荐配置为 1;
[7:2]	RW	reserved	保留。
[1:0]	RW	ioshare_82	SPI_CSN0 管脚的具体复用情况。 00: GPIO6_0; 01: SPI_CSN0; 10: UART2_RTSN; 11: I2C1_SDA。

ioshare_83

SPI_CSN1 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x14C				ioshare_83				0x00000700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctrl_83_PD		reserved	ioctrl_83_DSx		ioctrl_83_SR	reserved								ioshare_83					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_83_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_83_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA；																											



			11: 1mA; 注: 推荐配置为 11;
[8]	RW	ioctl_83_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_83	SPI_CSN1 管脚的具体复用情况。 0: GPIO6_1; 1: SPI_CSN1。

ioshare_84

SLIC_RST 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x150				ioshare_84								0x00000700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_84_PD		reserved	ioctl_84_DSx		ioctl_84_SR		reserved				ioshare_84				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctl_84_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctl_84_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											



[8]	RW	ioctrl_84_SR	sllew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注：推荐配置为 1；
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_84	SLIC_RST 管脚的具体复用情况。 0: GPIO6_2; 1: SLIC_RST。

ioshare_85

I2S0_BCLK 管脚复用控制寄存器。

Offset Address																Register Name								Total Reset Value										
0x154																ioshare_85								0x00000700										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																				ioctrl_85_PD	reserved	ioctrl_85_DSx		ioctrl_85_SR	reserved								ioshare_85
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0					
	Bits		Access		Name		Description																											
	[31:13]		-		reserved		保留。																											
	[12]		RW		ioctrl_85_PD		下拉使能。 0：不使能； 1：使能。																											
	[11]		RW		reserved		保留。																											
	[10:9]		RW		ioctrl_85_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：当管脚为 I2S0_BCLK 功能时， 两层板设计推荐配置为 11； 四层板设计推荐配置为 10；																											



			当管脚为其他功能时，推荐配置为 11；
[8]	RW	ioctrl_85_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注：推荐配置为 1；
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_85	I2S0_BCLK 管脚的具体复用情况。 0: GPIO6_3; 1: I2S0_BCLK。

ioshare_86

I2S0_WS 管脚复用控制寄存器。

Offset Address				Register Name																Total Reset Value												
0x158				ioshare_86																0x00000700												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctrl_86_PD	reserved	ioctrl_86_DSx			ioctrl_86_SR	reserved								ioshare_86					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_86_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_86_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											



[8]	RW	ioctl_86_SR	slew rate 控制使能信号。 0: no SR ctrl; 1: SR ctrl。 注：推荐配置为 1；
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_86	I2S0_WS 管脚的具体复用情况。 0: GPIO6_4; 1: I2S0_WS。

ioshare_87

I2S0_DOUT0 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																										
0x15C				ioshare_87				0x00000700																										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																ioctl_87_PD		reserved	ioctl_87_DSx		ioctl_87_SR		reserved								ioshare_87		
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0					
Bits	Access		Name				Description																											
[31:13]	-		reserved				保留。																											
[12]	RW		ioctl_87_PD				下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved				保留。																											
[10:9]	RW		ioctl_87_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																											
[8]	RW		ioctl_87_SR				slew rate 控制使能信号。 0：no SR ctrl；																											



			1: SR ctrl。 注：推荐配置为 1；
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_87	I2S0_DOUT0 管脚的具体复用情况。 0: GPIO6_5; 1: I2S0_DOUT0。

ioshare_88

I2S0_MCLK 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x160				ioshare_88								0x00000700																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctrl_88_PD	reserved	ioctrl_88_DSx		ioctrl_88_SR	reserved				ioshare_88										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		ioctrl_88_PD		下拉使能。 0：不使能； 1：使能。																											
[11]	RW		reserved		保留。																											
[10:9]	RW		ioctrl_88_DSx		驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：当管脚为 I2S0_MCLK 功能时， 两层板设计推荐配置为 10； 四层板设计推荐配置为 01； 当管脚为其他功能时，推荐配置为 11；																											
[8]	RW		ioctrl_88_SR		slew rate 控制使能信号。																											



			0: no SR ctrl; 1: SR ctrl。 注：推荐配置为 1;
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_88	I2S0_MCLK 管脚的具体复用情况。 0: GPIO6_6; 1: I2S0_MCLK。

ioshare_89

I2S0_DIN0 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x164				ioshare_89				0x00000700																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_89_PD		reserved	ioctrl_89_DSx		ioctrl_89_SR		reserved								ioshare_89
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0			
Bits		Access		Name				Description																								
[31:13]		-		reserved				保留。																								
[12]		RW		ioctrl_89_PD				下拉使能。 0：不使能； 1：使能。																								
[11]		RW		reserved				保留。																								
[10:9]		RW		ioctrl_89_DSx				驱动控制： 00：4mA； 01：3mA； 10：2mA； 11：1mA； 注：推荐配置为 11；																								
[8]		RW		ioctrl_89_SR				slew rate 控制使能信号。 0：no SR ctrl； 1：SR ctrl。																								



			注：推荐配置为 1；
[7:1]	RW	reserved	保留。
[0]	RW	ioshare_89	I2S0_DIN0 管脚的具体复用情况。 0：GPIO6_7； 1：I2S0_DIN0。

SC_IO_REUSE_SEL



注意

该寄存器的基地址和其他寄存器的基地址不一样，SC_IO_REUSE_SEL 寄存器的基地址为 0xF800_0000。

SC_IO_REUSE_SEL 为 MCU 子系统管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																																		
0x0044				SC_IO_REUSE_SEL				0x0038_0000																																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0										
Name	reserved																led_data_padctrl_PD		led_clk_padctrl_PD		reserved		stb_gpio_sel		reserved		ir_gpio_sel		csn0_gpio_sel		reserved		data_gpio_sel		clk_gpio_sel		reserved		uart_txd_gpio_sel		uart_rxd_gpio_sel	
Reset	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
Bits	Access		Name				Description																																			
[31:18]	RW		reserved				保留。																																			
[17]	RW		led_data_padctrl_PD				LED_DATA 管脚下拉控制使能： 0：不使能； 1：使能； 注意：在 QFP216 32bitDDR 封装下，该 bit 必须配置为 1；																																			



[16]	RW	led_clk_padctrl_PD	LED_CLK 管脚下拉控制使能： 0：不使能； 1：使能； 注意：在 QFP216 32bitDDR 封装下，该 bit 必须配置为 1；
[15:14]	RW	reserved	保留
[13]	RW	stb_gpio_sel	STANDBY_PWROFF 管脚复用控制： 0：STANDBY_PWROFF； 1：选择 GPIO5_0；
[12:11]	RW	reserved	保留。
[10]	RW	ir_gpio_sel	IR_IN 管脚复用控制。 0：选择 IR_IN； 1：选择 GPIO5_1。
[9:8]	RW	csn0_gpio_sel	LED_KEY0 管脚复用控制。 00：选择 LED_KEY0； 01：选择 GPIO5_2； 10：选择 RSTN_IN；
[7:6]	RW	reserved	保留
[5]	RW	data_gpio_sel	LED_DATA 管脚复用控制。 0：选择 GPIO5_5； 1：选择 LED DATA；
[4]	RW	clk_gpio_sel	LED_CLK 管脚复用控制。 0：选择 GPIO5_6； 1：选择 LED CLK；
[3:2]	RW	reserved	保留。
[1]	RW	uart_txd_gpio_sel	UART0_TXD 管脚复用控制 0：选择 UART0_TXD； 1：选择 UART1_TXD；
[0]	RW	uart_rxd_gpio_sel	UART0_RXD 管脚复用控制 0：选择 UART0_RXD； 1：选择 UART1_RXD；



1.5 软件复用管脚

1.5.1 MEM

MEM 的软件复用管脚如表 1-33 所示。

表1-33 MEM 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
U21 /69	EBI_DQ7	ioshare_0	EBI_DQ7	SDIO1_CDATA7	BOOT_SEL0
U23 /70	EBI_DQ6	ioshare_1	EBI_DQ6	SDIO1_CDATA6	-
U22 /71	EBI_DQ5	ioshare_2	EBI_DQ5	SDIO1_CDATA5	-
T20 /72	EBI_DQ4	ioshare_3	EBI_DQ4	SDIO1_CDATA4	-
T21 /73	EBI_DQ3	ioshare_4	EBI_DQ3	SDIO1_CDATA3	-
R21 /75	EBI_DQ2	ioshare_5	EBI_DQ2	SDIO1_CDATA2	-
R22 /76	EBI_DQ1	ioshare_6	EBI_DQ1	SDIO1_CDATA1	-
R23 /77	EBI_DQ0	ioshare_7	EBI_DQ0	SDIO1_CDATA0	-
P21 /79	NF_WEN	ioshare_8	NF_WEN	SDIO1_CARD_DETECT	GPIO0_0
N20 /80	NF_ALE	ioshare_9	NF_ALE	SDIO1_CARD_POWER_EN	GPIO0_1
N21 /81	NF_CLE	ioshare_10	NF_CLE	SDIO1_CWPR	GPIO0_2
N22 /82	NF_CSN0	ioshare_11	NF_CSN0	SDIO1_CCMD	-
N23 /84	NF_REN	ioshare_12	NF_REN	SDIO1_CCLK_OUT	-
M21 /85	NF_RDY0	ioshare_13	NF_RDY0	SDIO1_RST	-



MEM 的软件复用管脚如表 1-34 所示。

表1-34 MEM 的软件复用管脚描述

信号名	方向	说明
BOOT_SEL0	I	启动 memory 类型选择，仅在上电的时候有效， {BOOT_SEL1,BOOT_SEL0}： 00：保留； 01：Nandflash 10：SD 11：EMMC
EBI_DQ0	I/O	NANDFLASH 数据总线
EBI_DQ1	I/O	NANDFLASH 数据总线
EBI_DQ2	I/O	NANDFLASH 数据总线
EBI_DQ3	I/O	NANDFLASH 数据总线
EBI_DQ4	I/O	NANDFLASH 数据总线
EBI_DQ5	I/O	NANDFLASH 数据总线
EBI_DQ6	I/O	NANDFLASH 数据总线
EBI_DQ7	I/O	NANDFLASH 数据总线
GPIO0_0	I/O	通用输入输出
GPIO0_1	I/O	通用输入输出
GPIO0_2	I/O	通用输入输出
NF_ALE	O	NANDFlash 地址锁存信号
NF_CLE	O	NANDFlash 命令锁存信号
NF_CSN0	O	Nandflash 片选信号，低电平有效
NF_RDY0	I	NandFlash 忙/空闲指示。 1：空闲； 0：忙；
NF_REN	O	NANDFlash 读使能信号，低电平有效
NF_WEN	O	NANDFlash 写使能信号,低电平有效
SDIO1_CARD_DETECT	I	卡检查信号，低电平有效



信号名	方向	说明
SDIO1_CARD_POWER_EN	O	电源使能控制信号，高电平有效
SDIO1_CCLK_OUT	O	输出给卡使用的工作时钟
SDIO1_CCMD	I/O	卡命令，默认处于高电平
SDIO1_CDATA0	I/O	卡数据，默认处于高电平
SDIO1_CDATA1	I/O	卡数据，默认处于高电平
SDIO1_CDATA2	I/O	卡数据，默认处于高电平
SDIO1_CDATA3	I/O	卡数据，默认处于高电平
SDIO1_CDATA4	I/O	卡数据，默认处于高电平
SDIO1_CDATA5	I/O	卡数据，默认处于高电平
SDIO1_CDATA6	I/O	卡数据，默认处于高电平
SDIO1_CDATA7	I/O	卡数据，默认处于高电平
SDIO1_CWPR	I	卡写保护检测信号，高电平有效
SDIO1_RST	O	EMMC 复位信号

1.5.2 JTAG

JTAG 的软件复用管脚如表 1-35 所示。

表1-35 JTAG 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 2	复用信号 3	复用信号 4
K21 /99	JTAG_TMS	ioshare_21	JTAG_TMS	GPIO0_4	-	-
K20 /100	JTAG_TRSTN	ioshare_22	JTAG_TRSTN	-	GPIO0_5	-
J21 /101	JTAG_TCK	ioshare_23	JTAG_TCK	-	GPIO0_6	-
J23 /102	JTAG_TDI	ioshare_24	JTAG_TDI	-	GPIO0_7	-
J22 /103	JTAG_TDO	ioshare_25	JTAG_TDO	-	GPIO2_0	-



JTAG 的软件复用管脚如表 1-36 所示。

表1-36 JTAG 的软件复用管脚描述

信号名	方向	说明
GPIO0_4	I/O	通用输入输出
GPIO0_5	I/O	通用输入输出
GPIO0_6	I/O	通用输入输出
GPIO0_7	I/O	通用输入输出
GPIO2_0	I/O	通用输入输出
JTAG_TCK	I	JTAG 时钟输入
JTAG_TDI	I	JTAG 数据输入
JTAG_TDO	O	JTAG 数据输出
JTAG_TMS	I/O	JTAG 模式选择输入,或软件跟踪的数据输出。两种模式选择在 CPU 中进行控制
JTAG_TRSTN	I	JTAG 复位输入

1.5.3 AUDIO



说明

QFP 封装不支持 MUTE_SEL 和 I2S 功能。

AUDIO 的软件复用管脚如表 1-37 所示。

表1-37 AUDIO 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3
A20 /117	SPDIF_OUT	ioshare_43	-	SPDIF_OUT	GPIO4_2	BOOT_SEL1
C19	MUTE_CTRL	ioshare_44	GPIO4_3	MUTE_CTRL	-	-
C10	I2S0_BCLK	ioshare_85	GPIO6_3	I2S0_BCLK	-	-
C9	I2S0_WS	ioshare_86	GPIO6_4	I2S0_WS	-	-
A9	I2S0_DOUT0	ioshare_87	GPIO6_5	I2S0_DOUT0	-	-
B9	I2S0_MCLK	ioshare_88	GPIO6_6	I2S0_MCLK	-	-



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3
A8	I2S0_DIN0	ioshare_89	GPIO6_7	I2S0_DIN0	-	-

AUDIO 的软件复用管脚如表 1-38 所示。

表1-38 AUDIO 的软件复用管脚描述

信号名	方向	说明
BOOT_SEL1	I	启动 mememory 类型选择，仅在上电的时候有效， {BOOT_SEL1,BOOT_SEL0}： 00：保留； 01：Nandflash 10：SD 11：EMMC
GPIO4_2	I/O	通用输入输出
GPIO4_3	I/O	通用输入输出
GPIO6_3	I/O	通用输入输出
GPIO6_4	I/O	通用输入输出
GPIO6_5	I/O	通用输入输出
GPIO6_6	I/O	通用输入输出
GPIO6_7	I/O	通用输入输出
I2S0_BCLK	I/O	I2S 或 PCM 接口位流时钟
I2S0_DIN0	I	I2S 或 PCM 接口数据输入。
I2S0_DOUT0	O	I2S 或 PCM 接口数据输出。
I2S0_MCLK	O	I2S 或 PCM 接口主时钟，可以作为音频 CODEC 的工作时钟(低端 DAC)
I2S0_WS	I/O	I2S 接收端左右声道选择信号（与 ADC 接口）
MUTE_CTRL	O	MUTE 控制信号
SPDIF_OUT	O	SPDIF 数据输出



1.5.4 I2C

I2C 的软件复用管脚如表 1-39 所示。

表1-39 I2C 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 4	复用信号 6
H22 /106	I2C2_SCL	ioshare_31	PMC_PWM0	-	I2C2_SCL	GPIO2_6
H23 /107	I2C2_SDA	ioshare_32	PMC_PWM1	GPIO2_7	-	I2C2_SDA

I2C 的软件复用管脚如表 1-40 所示。

表1-40 I2C 的软件复用管脚描述

信号名	方向	说明
GPIO2_6	I/O	通用输入输出
GPIO2_7	I/O	通用输入输出
I2C2_SCL	I/O	I2C2 总线时钟，OD 输出
I2C2_SDA	I/O	I2C2 总线数据/地址，OD 输出
PMC_PWM0	O	PWM 输出信号 0，用法请参见芯片手册第 11 章的 PWM 相关小节。
PMC_PWM1	O	PWM 输出信号 1，用法请参见芯片手册第 11 章的 PWM 相关小节。

1.5.5 HDMITX

HDMITX 的软件复用管脚如表 1-41 所示。

表1-41 HDMITX 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
A19 /121	HDMITX_SDA	ioshare_45	HDMITX_SDA	GPIO4_4
D18 /122	HDMITX_SCL	ioshare_46	HDMITX_SCL	GPIO4_5
B19	HDMITX_HOTPL	ioshare_47	HDMITX_HOTPLUG	GPIO4_6



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
/119	UG			
C18 /123	HDMITX_CEC	ioshare_48	HDMITX_CEC	GPIO4_7

HDMITX 的软件复用管脚如表 1-42 所示。

表1-42 HDMITX 的软件复用管脚描述

信号名	方向	说明
GPIO4_4	I/O	通用输入输出
GPIO4_5	I/O	通用输入输出
GPIO4_6	I/O	通用输入输出
GPIO4_7	I/O	通用输入输出
HDMITX_CEC	I/O	HDMI TX 接口的控制通道信号
HDMITX_HOTPLUG	I	HDMI TX 接口的热插拔信号
HDMITX_SCL	I/O	HDMI TX 接口的 I2C 总线时钟
HDMITX_SDA	I/O	HDMI TX 接口的 I2C 总线数据

1.5.6 NET

NET 的软件复用管脚如表 1-43 所示。

表1-43 NET 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
B1 /150	FE_LED_ACT	ioshare_54	-	FE_LED_ACT	GPIO2_1
B2 /151	FE_LED_BASE	ioshare_55	GPIO2_2	FE_LED_BASE	-

NET 的软件复用管脚如表 1-44 所示。



表1-44 NET 的软件复用管脚描述

信号名	方向	说明
FE_LED_ACT	O	网口链接状态指示信号： 1：链接已经建立；0：没有链接建立。 此信号控制的 LED 闪烁，传输的数据包密集时 LED 闪烁迅速，传输数据包稀疏时 LED 闪烁缓慢。 OD/CMOS 类型可选，默认为 OD 输出；
FE_LED_BASE	O	网口链接状态指示信号： 1：链接已经建立；0：没有链接建立。 OD/CMOS 类型可选，默认为 OD 输出；
GPIO2_1	I/O	通用输入输出
GPIO2_2	I/O	通用输入输出

1.5.7 SDIO

SDIO 的软件复用管脚如表 1-45 所示。

表1-45 SDIO 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
C1 /152	SDIO0_CWPR	ioshare_56	GPIO2_3	SDIO0_CWPR
C2 /153	SDIO0_CDATA1	ioshare_57	GPIO3_0	SDIO0_CDATA1
D3 /154	SDIO0_CDATA0	ioshare_58	GPIO3_1	SDIO0_CDATA0
E3 /156	SDIO0_CCLK_OUT	ioshare_59	GPIO3_2	SDIO0_CCLK_OUT
E2 /157	SDIO0_CCMD	ioshare_60	GPIO3_3	SDIO0_CCMD
E1 /159	SDIO0_CDATA3	ioshare_61	GPIO3_4	SDIO0_CDATA3
F2 /160	SDIO0_CDATA2	ioshare_62	GPIO3_5	SDIO0_CDATA2
F1	SDIO0_CARD_DETECT	ioshare_63	GPIO3_6	SDIO0_CARD_DETECT



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
/161				
F3 /162	SDIO0_CARD_POWER_EN	ioshare_64	GPIO3_7	SDIO0_CARD_POWER_EN

SDIO 的软件复用管脚如表 1-46 所示。

表1-46 SDIO 的软件复用管脚描述

信号名	方向	说明
GPIO2_3	I/O	通用输入输出
GPIO3_0	I/O	通用输入输出
GPIO3_1	I/O	通用输入输出
GPIO3_2	I/O	通用输入输出
GPIO3_3	I/O	通用输入输出
GPIO3_4	I/O	通用输入输出
GPIO3_5	I/O	通用输入输出
GPIO3_6	I/O	通用输入输出
GPIO3_7	I/O	通用输入输出
SDIO0_CARD_DETECT	I	卡检查信号，低电平有效
SDIO0_CARD_POWER_EN	O	电源使能控制信号，高电平有效，默认处于低电平
SDIO0_CCLK_OUT	O	输出给卡使用的工作时钟
SDIO0_CCMD	I/O	卡命令，默认处于高电平
SDIO0_CDATA0	I/O	卡数据，默认处于高电平
SDIO0_CDATA1	I/O	卡数据，默认处于高电平
SDIO0_CDATA2	I/O	卡数据，默认处于高电平
SDIO0_CDATA3	I/O	卡数据，默认处于高电平
SDIO0_CWPR	I	卡写保护检测信号，高电平有效



1.5.8 SYS



说明

QFP 封装不支持 SLIC 功能。

SYS 的软件复用管脚如表 1-47 所示。

表1-47 SYS 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
H21 /108	USB_BOOT	ioshare_78	USB_BOOT	GPIO2_5
C11	SLIC_RST	ioshare_84	GPIO6_2	SLIC_RST

SYS 的软件复用管脚如表 1-48 所示。

表1-48 SYS 的软件复用管脚描述

信号名	方向	说明
GPIO2_5	I/O	通用输入输出
GPIO6_2	I/O	通用输入输出
SLIC_RST	O	SLIC 芯片复位信号
USB_BOOT	I	BOOT 时，指示 USB 自举是否使能： 0：使能； 1：不使能；

1.5.9 SPI



说明

QFP 封装不支持 SPI 功能。

SPI 的软件复用管脚如表 1-49 所示。

表1-49 SPI 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3
C12	SPI_SCLK	ioshare_79	GPIO0_3	SPI_SCLK	UART2_CTSN	-
B12	SPI_SDO	ioshare_80	GPIO4_0	SPI_SDO	UART2_RXD	-



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3
A12	SPI_SDI	ioshare_81	GPIO4_1	SPI_SDI	UART2_TXD	I2C1_SCL
A11	SPI_CSN1	ioshare_83	GPIO6_1	SPI_CSN1	-	-

SPI 的软件复用管脚如[表 1-50](#) 所示。

表1-50 SPI 的软件复用管脚描述

信号名	方向	说明
GPIO0_3	I/O	通用输入输出
GPIO4_0	I/O	通用输入输出
GPIO4_1	I/O	通用输入输出
GPIO6_1	I/O	通用输入输出
I2C1_SCL	I/O	I2C1 总线时钟，OD 输出
SPI_CSN1	O	SPI 的片选 1 输出
SPI_SCLK	O	SPI 时钟信号
SPI_SDI	I	SPI 数据输入
SPI_SDO	O	SPI 数据输出
UART2_CTSN	I	Modem 状态输入：Clear To Send.低有效。
UART2_RXD	I	UART2 数据接收
UART2_TXD	O	UART2 数据发送



2 电性能参数

2.1 功耗分布

Hi3798M V100 的功耗分布如表 2-1 所示。

表2-1 功耗参数

符号	描述	最小值	典型值	最大值	单位
VDD	内核电源	TBD	TBD	TBD	mA
VDD_CPU	CPU 电源	TBD	TBD	TBD	mA
DVDD33	接口电源	TBD	TBD	TBD	mA
VDDIO_DDR	DDR 接口电源	TBD	TBD	TBD	mA

2.2 极限工作电压



警告

极限工作电压参数如表 2-2 所示，超过这些数值，可能导致芯片损坏，可能导致可靠性问题。

表2-2 极限工作电压参数

符号	参数	最小值	最大值	单位
VDD	内核电源	-0.5	1.8	V
VDD_CPU	CPU 电源	-0.5	1.8	V



符号	参数	最小值	最大值	单位
DVDD33	接口电源	-0.5	4.6	V
DVDD33_STANDBY	接口电源	-0.5	4.6	V
DVDD3318_NF	接口电源	-0.5	4.6	V
VDDIO_DDR	接口电源	-0.5	4.6	V
VDDIO_CK_DDR	接口电源	-0.5	4.6	V

2.3 推荐工作条件

Hi3798MV100 的推荐工作条件如表 2-3 所示。

表2-3 推荐工作条件

符号	描述	最小值	典型值	最大值	单位
VDD	内部核电源	TBD	TBD	TBD	V
VDD_CPU	CPU 内核电源	TBD	TBD	TBD	V
DVDD33	接口电源	3.125	3.3	3.6	V
DVDD33_STANDBY	常供电区接口电源	3.125	3.3	3.6	V
DVDD3318_NF	NAND Flash 接口电源	3.125/1.71	3.3/1.8	3.6/1.98	V
VDDIO_DDR	DDR3 接口电源	1.425	1.5	1.575	V
VDDIO_CK_DDR	DDR3 时钟接口电源	1.425	1.5	1.575	V
AVDD_DDRPLL1 AVDD_DDRPLL2	DDR3 PLL 3.3V 模拟电源	3.125	3.3	3.6	V
AVDD11_PLL	PLL 1.1V 模拟电源	1.045	1.1	1.155	V
AVDD33_PLL	PLL 3.3V 模拟电源	3.125	3.3	3.465	V
AVDD33_USB2	USB2.0 3.3V 模拟电源	3.125	3.3	3.6	V
AVDD33_VDAC	VDAC 3.3V 模拟电源	3.125	3.3	3.465	V
AVDD33_ADAC	ADAC 3.3V 模拟电源	3.125	3.3	3.465	V
AVCC11_HDMITX	HDMI TX 1.1V 模拟电源	1.045	1.1	1.155	V
AVDD33_USB0	USB2.0 3.3V 模拟电源	3.125	3.3	3.6	V



符号	描述	最小值	典型值	最大值	单位
AVDD33_USB1	USB2.0 3.3V 模拟电源	3.125	3.3	3.6	V
AVDD33_FE	FE PHY 3.3V 模拟电源	3.125	3.3	3.465	V
AVDD11_FE	FE PHY 1.1V 模拟电源	1.045	1.1	1.155	V

2.4 DC/AC 电气参数

Hi3798MV100 DC 电气参数如表 2-4 所示。

表2-4 DC 电气参数表 (DVDD33=3.3V, 部分接口支持 5V 输入兼容)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD33	接口电压	3.125	3.3	3.6	V	-
V _{IH}	高电平输入电压	2.0	-	DVDD33+0.3	V	不兼容 5V 输入, 部分接口支持 5V 输入, 最大输入要求不高于 5.5V
V _{IL}	低电平输入电压	-0.3	-	0.8	V	-
I _L	输入漏电流	-	-	±10	μA	-
I _{OZ}	三态输出漏电流	-	-	±10	μA	-
V _{OH}	高电平输出电压	2.4	-	-	V	-
V _{OL}	低电平输出电压	-	-	0.4	V	-
R _{PU}	内部上拉电阻	27	40	64	kΩ	-
R _{PD}	内部下拉电阻	31	46	78	kΩ	-
R _{PU8k}	上拉电阻	7.1	8.5	10	kΩ	-
R _{PD8k}	下拉电阻	7.1	8.4	10	kΩ	-

表2-5 DC 电气参数表 (DVDD3318_NF=1.8V)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD3318_NF	接口电压	1.71	1.8	1.98	V	1.8v NAND Flash 接口



2 电性能参数

符号	参数	最小值	典型值	最大值	单位	说明
V_{IH}	高电平输入电压	$0.65 * DVDD3318_NF$	-	$DVDD3318_NF + 0.3$	V	
V_{IL}	低电平输入电压	-0.3	-	$0.35 * DVDD3318_NF$	V	-
I_L	输入漏电流	-	-	± 10	μA	-
I_{OZ}	三态输出漏电流	-	-	± 10	μA	-
V_{OH}	高电平输出电压	$DVDD3318_NF - 0.45V$	-	-	V	-
V_{OL}	低电平输出电压	-	-	0.45	V	-
R_{PU}	内部上拉电阻	53	89	163	k Ω	-
R_{PD}	内部下拉电阻	54	96	189	k Ω	-
R_{PU8k}	上拉电阻	7.4	9	11	k Ω	-
R_{PD8k}	下拉电阻	7.1	8.9	11	k Ω	-

DDR3 模式下，DC 电气参数如表 2-6 所示。

表2-6 DC 电气参数表（VDDIO_DDR=1.5V，DDR3 模式）

符号	参数	最小值	典型值	最大值	单位
VDDIO_DDR	接口电压	1.425	1.5	1.575	V
Vref	参考电压	$0.49 * VDDIO_DDR$	$0.5 * VDDIO_DDR$	$0.51 * VDDIO_DDR$	-
VTT	端接电压	Vref-40mV	Vref	Vref+40mV	mV
$V_{IH(DC)}$	高电平输入电压	Vref+0.1	-	$VDDIO_DDR + 0.3$	V
$V_{IL(DC)}$	低电平输入电压	-0.3	-	Vref-0.1	V
V_{OH}	高电平输出电压	$0.8 * VDDIO_DDR$	-	$(1+0.1) * VDDIO_DDR$	V
V_{OL}	低电平输出电压	0	-	$0.2 * VDDIO_DDR$	V
R_{ON}	输出阻抗	34	-	80	Ω

DDR3 模式下，AC 电气参数如表 2-7 所示。



表2-7 AC 电气参数表（VDDIO_DDR=1.5V，DDR3 模式）

符号	参数	最小值	最大值	单位
$V_{IH(AC)}$	高电平输入电压	$V_{ref} + 0.15$	$VDDIO_DDR + 0.3$	V
$V_{IL(AC)}$	低电平输入电压	-	$V_{ref} - 0.15$	V
V_{OH}	高电平输出电压	$V_{TT} + 0.1 * VDDIO_DDR$	-	V
V_{OL}	低电平输出电压	-	$V_{TT} - 0.1 * VDDIO_DDR$	V

2.5 上下电要求

Hi3798M V100 的上下电顺序如下：

- 先上 3v3_standby，然后上 1V5 和 1V1，之后上 3V3_MOS，必须在 60ms 内完成上电。
- 低电压先下电，3.3V 后下电。



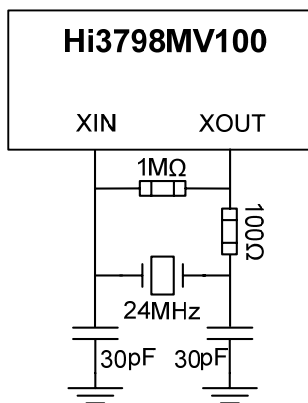
3 原理图设计建议

3.1 小系统设计建议

3.1.1 Clocking 电路

通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟，晶振选型频偏 $\leq 30\text{ppm}$ 。推荐晶体连接方式及器件参数如图 3-1 所示。

图3-1 推荐晶体连接方式及器件参数



注意

晶体自身负载电容需与外部对地电容以及 PCB 走线负载电容匹配。

另外，系统时钟还可以直接由外部的晶振时钟电路产生时钟，通过 XIN 脚输入。

3.1.2 复位和 Watchdog 电路

Hi3798MV100 集成内部 POR（Power On Reset）电路，Watchdog 信号在芯片内部与 POR 电路相连，无需外部复位电路。



3.1.3 JTAG Debug 接口



说明

QFP 封装不支持 FUNC_SEL 功能。

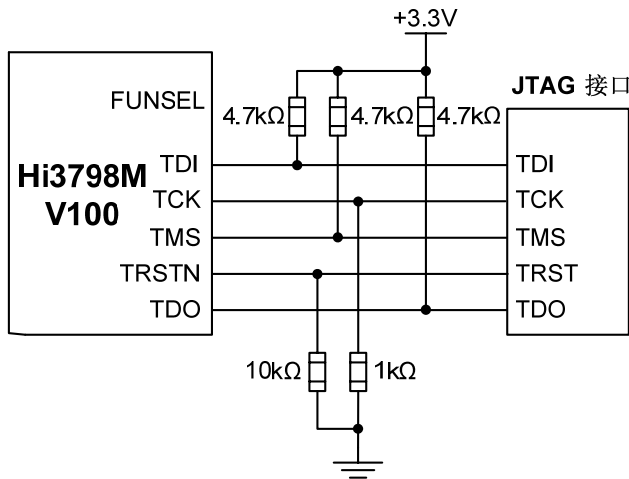
Hi3798MV100 JTAG 接口符合 IEEE1149.1 标准。PC 可通过此接口连接 Realview-ICE 仿真器，调试芯片。JTAG Debug 接口信号描述如表 3-1 所示。

表3-1 JTAG Debug 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，芯片内部下拉。建议单板上拉。
TDI	JTAG 数据输入，芯片内部上拉。建议单板上拉。
TMS	JTAG 模式选择输入，芯片内部上拉。建议单板上拉。
TRSTN	JTAG 复位输入，芯片内部下拉。正常工作建议单板上拉。如果通过 JTAG 口连接 Realview-ICE 等调试仿真器，建议单板上拉。
TDO	JTAG 数据输出。建议单板上拉。

JTAG 连接方式及标准连接器管脚定义及单板上拉电阻、下拉电阻的阻值如图 3-2 所示。

图3-2 JTAG 连接方式及标准连接器管脚定义



Hi3798MV100 可以通过 FUNC_SEL 管脚选择正常和测试两种工作模式，默认内部下拉，具体说明如表 3-2 所示。



表3-2 FUNC_SEL 模式说明

FUNC_SEL	模式说明
0	Hi3798MV100 正常工作模式，此时可通过 JTAG 对芯片进行调试，默认工作模式。
1	Hi3798MV100 处于测试模式，此时可进行芯片 DFT 测试和板级互连测试。

3.1.4 硬件初始化系统配置电路



说明

QFP 封装不支持 JTAG_SEL 功能。

Hi3798MV100 内部集成四核 Cortex-A7 CPU，支持从 NAND Flash、SD 卡、eMMC 三种启动模式，支持多种 NAND Flash 规格。根据需要选用硬件启动配置。单板通过上、下拉电阻实现。

硬件配置信号描述如下表 3-3 所示。

表3-3 信号描述

信号名	方向	说明
JTAG_SEL	I	JTAG 管脚复用选择控制信号。 0: JTAG 管脚复用关系由管脚复用寄存器决定; 1: JTAG 管脚复用为 JTAG 功能，复用寄存器不起作用。
BOOTSEL1/BOOTSEL0	I	启动 memory 类型选择，仅在上电的时候有效，{BOOT_SEL1,BOOT_SEL0}： 00: 保留; 01: NANDFlash 10: SD 11: EMMC

3.1.5 DDR 电路设计

3.1.5.1 接口介绍

Hi3798MV100 DDRC 接口支持支持 DDR3 SDRAM 标准接口，接口电平标准为 SSTL-15。有如下特点：

- 提供 1 个 DDRC 接口；提供 1 个 DDR SDRAM 片选、1 个 ODT、2 组 CK，支持数据总线位宽 32bit/16bit 可配、地址总线最大支持 16bit。



- 支持 2 片主流 16bit DDR3 SDRAM 器件，最大容量 $4\text{Gb} \times 2 = 8\text{Gb} = 1\text{GB}$ ；4 片主流 8bit DDR3 器件最大容量 $4\text{Gb} \times 4 = 16\text{Gb} = 2\text{GB}$ ；DDR 时钟频率：800MHz。
- DDR3 SDRAM 器件的 A/C 和 DDRC 的 CK 支持 write leveling 功能，A/C 支持 2T Mode。
- 支持 Power Down、SELF Refresh 等低功耗模式。
- 支持 DDR3L，即在 DDR3L 时，支持 1.35V。

3.1.5.2 DDR 拓扑结构

Hi3798MV100 典型外接 DDR3 SDRAM 拓扑结构如图 3-3、图 3-4 所示。

图3-3 Hi3798MV100 与 DDR3 SDRAM 的 T 型拓扑结构图

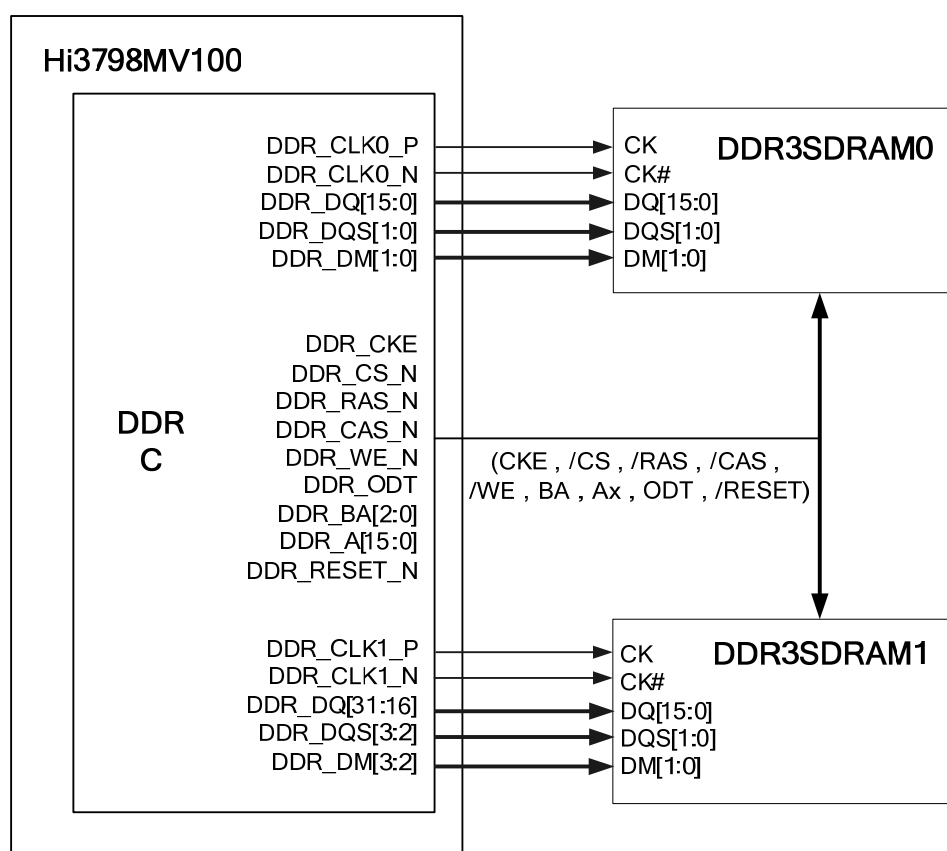
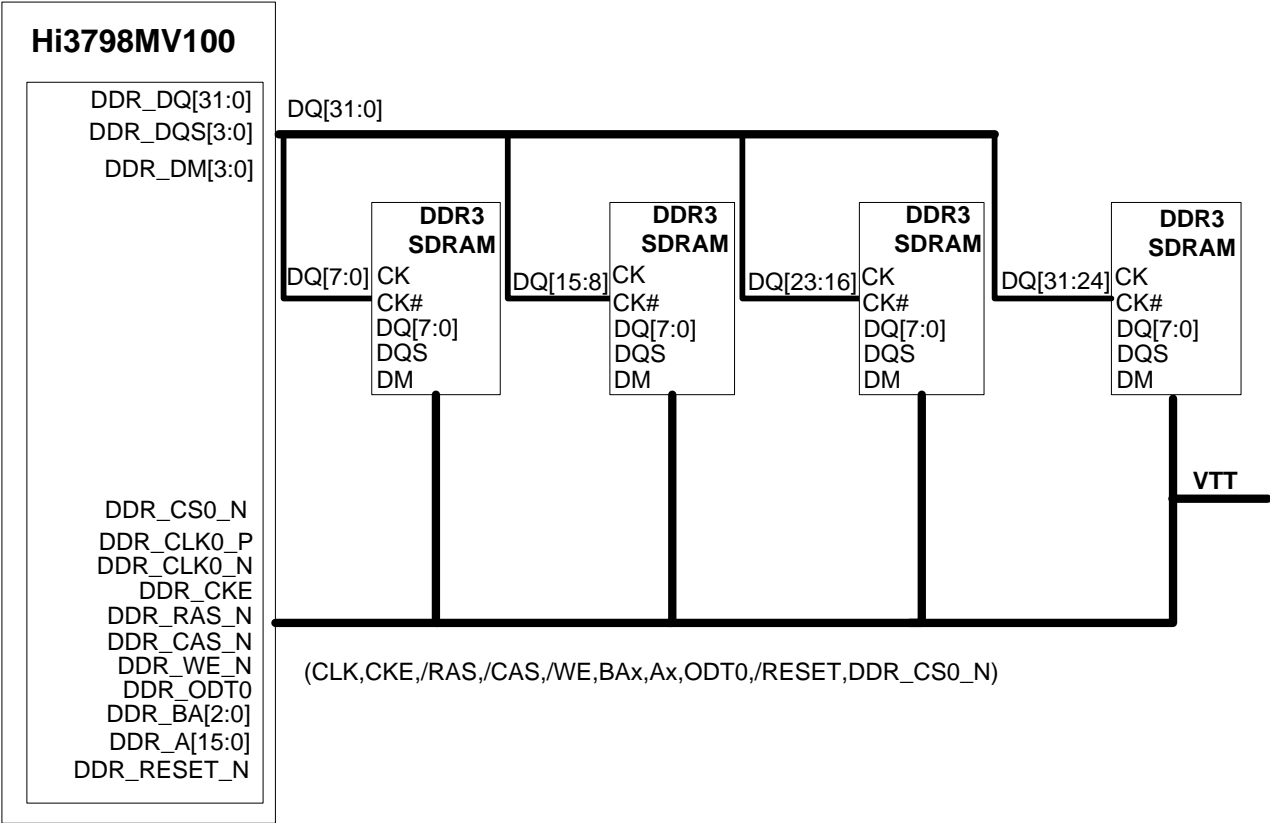




图3-4 Hi3798MV100 与 DDR3 SDRAM 的 fly-by 拓扑结构图



3.1.5.3 匹配方式设计建议

DQ、DQS、DM 双向信号

Hi3798MV100 DDR 应用中 DQ、DQS_P/DQS_N、DM 信号采用点对点拓扑方式，如表 3-4 所示。

表3-4 DQ、DQS_P/DQS_N、DM 拓扑设计推荐

信号	2 层板 PCB 设计	4 层板 PCB 设计
DQx	直连	直连
DQSx_P/N	直连	直连
DM	直连	直连

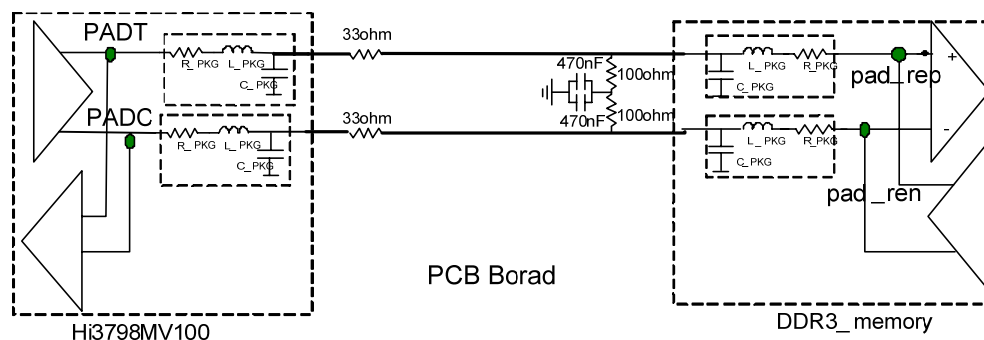
差分时钟

Hi3798MV100 DDR 应用中差分时钟 DDR3_CLK_N、DDR3_CLK_P 信号支持一驱一、一驱二和一驱四三种应用：



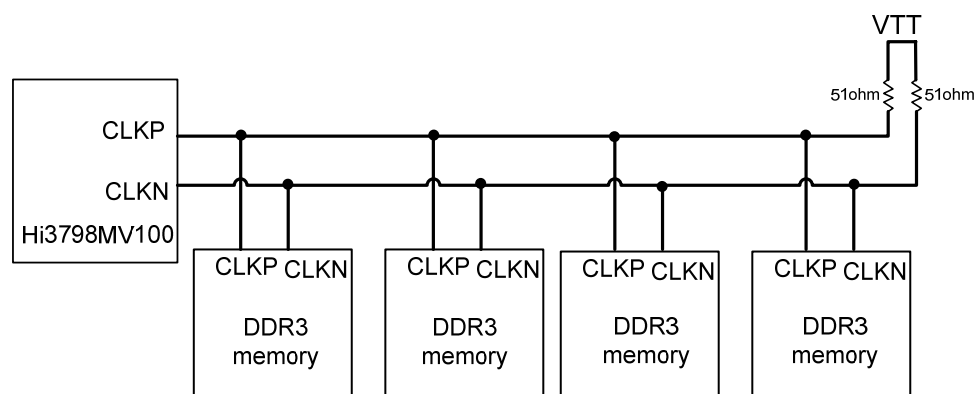
- 2 层板 PCB 设计，采用一驱一结构，每对时钟分别驱动一颗 16bit DDR 颗粒。每根线上源端串联 33Ω 电阻，终端两线间跨接串联两个 100Ω 电阻，电阻间两个并联 470nF 电容到地。如图 3-5 所示。

图3-5 DDR3 应用中，差分时钟 DDR3_CLK_N、DDR3_CLK_P 一驱一应用



- 4 层板 PCB 设计，采用一驱二或者一驱四 fly-by 结构。以一驱四结构为例，一对时钟驱动四颗 8bit DDR 颗粒。终端用 51Ω 匹配电阻上拉到 VTT，如图 3-6 所示。

图3-6 DDR3 应用中，四负载，采用 Fly-by 结构，差分时钟 DDR3_CLK_P/N 一驱四应用



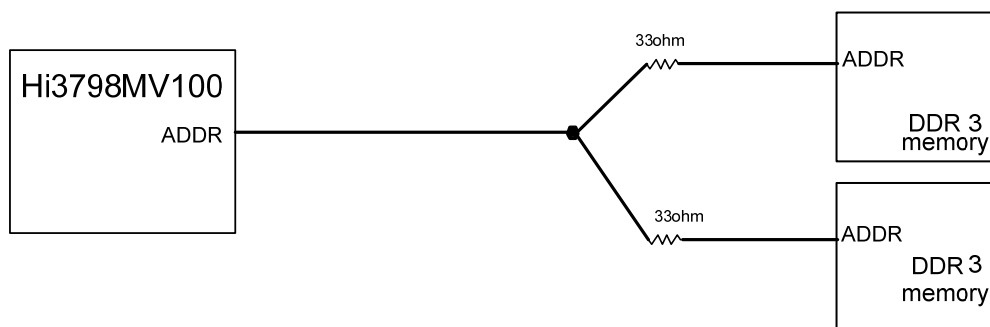
地址信号、控制信号

2 层板 PCB 设计：

- A/C 信号采用一驱二 T 型拓扑，T 点后分别串联 33Ω，如图 3-7 所示。



图3-7 地址和控制信号一驱二应用



4 层板 PCB 设计:

- ADDR, ODT, CSN 信号一驱四 fly-by 拓扑, 驱动四颗 8bit DDR 颗粒, 终端上拉 51Ω 到 VTT。

3.1.5.4 器件选型建议

Hi3798MV100 DDRC 接口 DDR3 最高工作频率支持到 800MHz, 器件请在海思《Hi3798MV100 兼容器件列表》中选择。

3.1.6 Flash 电路设计

3.1.6.1 接口介绍

- NAND 接口, 外接单片 SLC、MLC NAND Flash, 最大支持 32GB, 支持 4bit、8bit、24bit、28bit、40bit、64bit ECC Mode, 支持 randomization 和 read retry 功能。
- SDIO 接口, 外接单片 SD 卡或 eMMC, 支持 eMMC4.41 接口协议。

NAND FLASH、eMMC 和 SD 卡共用一套管脚, 三者只能选其一。

3.1.6.2 信号处理

NAND Flash

NAND Flash 接口支持 8 位宽的 SLC 和 MLC 的 NAND Flash 器件, NAND Flash 接口上下拉和匹配设计推荐如图 3-6 所示。

表3-5 单片 NAND Flash 上下拉和匹配设计推荐

信号	内置上下拉	连接方式(2 层板设计)	连接方式(4 层板设计)
DQ[0:7]	NA	直连	直连
NF_RDY/NF_CSN	8kΩ 上拉	直连	直连
NF_WEN/NF_REN	NA	直连	直连
NF_CLE/NF_ALE	NA	直连	直连



eMMC Flash

eMMC Flash 接口支持 eMMC4.41 接口协议的器件，接口上下拉和匹配设计推荐如表 3-6 所示。

表3-6 单片 eMMC Flash 上下拉和匹配设计推荐

信号	内置上下拉	连接方式(2 层板设计)	连接方式(4 层板设计)
SDIO1_CLK	NA	3.3V I/O 串联 0Ω 电阻； 1.8V I/O 串联 75Ω 电阻	3.3V I/O 串联 0Ω 电阻； 1.8V I/O 串联 22Ω 电阻
SDIO1_CMD	NA	直连，上拉 47kΩ 到 eMMC_VDD	直连，上拉 47kΩ 到 eMMC_VDD
SDIO1_DQ[7:0]	NA	直连，上拉 47kΩ 到 eMMC_VDD	直连，上拉 47kΩ 到 eMMC_VDD
SDIO1_CWPR/ CCMD_ODPUL LUP_EN	NA	直连	直连
SDIO1_PWREN _EN/CARD_DE TECT	NA	直连	直连

SD 卡

SD 卡接口上下拉和匹配设计推荐如表 3-6 所示。

表3-7 单片 SD 卡上下拉和匹配设计推荐

信号	内置上下拉	连接方式(2 层板设计)	连接方式(4 层板设计)
SDIO1_CLK	NA	串联 75 欧姆电阻	串联 22 欧姆电阻
SDIO1_CMD	NA	直连，上拉 47kΩ 到 SD_VDD	直连，上拉 47kΩ 到 SD_VDD
SDIO1_DQ[3:0]	NA	直连，上拉 47kΩ 到 SD_VDD	直连，上拉 47kΩ 到 SD_VDD
SDIO1_CWPR/ CARD_DETEC T	NA	上拉 47kΩ 到 SD_VDD	上拉 47kΩ 到 SD_VDD
SDIO1_PWREN _EN	NA	直连	直连



3.2 电源设计建议



说明

系统电源的设计，详细请参见 Hi3798MV100 DEMO 板原理图。

3.2.1 CPU/CORE 电源设计

Hi3798MV100 采用 CPU、CORE 独立电源域供电（管脚名：VDD_CPU、VDD），支持 AVS/DVFS 动态调频调压功能。两路电源使用独立 DC-DC/PMU 电源供电。

VDD_CPU、VDD 两路电源的去耦电路请参考海思 Hi3798MV100 参考设计的原理图。

3.2.2 IO 电源设计

IO 电源（管脚名 DVDD33）：连接数字 3.3V 电源。

- 对于 BGA 封装，每 2~3 个 DVDD33 管脚处放置 1 个 100nF 去耦电容，并紧靠供电管脚摆放；
- 对于 QFP 封装，每 1 个 DVDD33 管脚处放置 1 个 100nF 去耦电容，并紧靠供电管脚摆放。详细设计请参考海思 Hi3798MV100 参考设计。

3.2.3 DDR 电源设计

DDR 电源设计如下：

- Hi3798MV100 DDRC 及接口符合 DDR3 SSTL-15 电平标准，内部集成 VREF 电路，产生参考电压 VDDIO_DDR/2。
- Hi3798MV100 DDR PHY 内部时钟由独立的 PLL 产生，PLL 需要独立供电（管脚名 AVDD_DDRPLL）：通过磁珠连接数字 3.3V 电源，要求每个 DDR PLL 电源管脚放置一个 100nF 的陶瓷滤波电容，并紧靠供电管脚摆放；整个 DDR PLL 供电电源至少有一个 1μF 的对地滤波电容，详细设计请参考海思 Hi3798MV100 参考设计。
- Hi3798MV100 DDR 电源（管脚名 VDDIO_DDR/VDDIO_CK_DDR）：连接 DDR 数字电源。要求 Hi3798MV100 DDR PHY 与所有对接的 DDR 颗粒采用同一电源设计。
 - 对于 BGA 封装，在每 1~2 个电源管脚处放置一个 100nF 的陶瓷滤波电容，并紧靠供电管脚摆放；
 - 对于 QFP 封装，每 1 个电源管脚处放置 1 个 100nF 去耦电容，并紧靠供电管脚摆放。

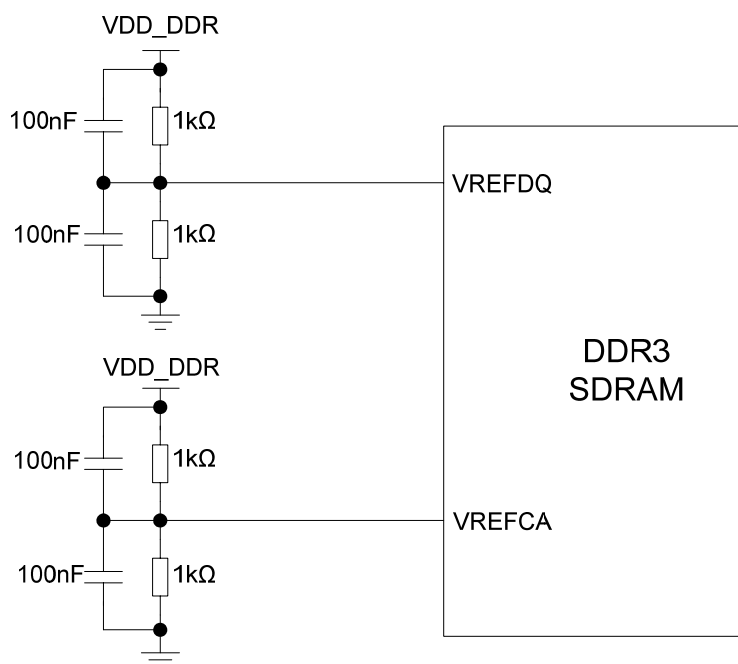
整个 DDR3 SDRAM 功能单元每个 DDR 颗粒供电电源至少有一个 10μF 的对地滤波电容。详细设计请参考海思 Hi3798MV100 参考设计。

- 建议单板上采用单独的 DC-DC 电路为 DDR3 颗粒和 Hi3798MV100 DDR PHY 电源管脚供电。通过 1kΩ 电阻（精度±1%）分压提供 VDDIO_DDR/2 电压给 DDR3 颗粒 VREF 管脚供电，每个电源管脚和参考电源管脚旁边放 1 个 100nF 的去耦电容。DDR 颗粒端 VREFDQ 和 VREFCA 采用独立的 VREF 电压参考电路。

DDR3 电源分压网络参考设计如图 3-8 所示。



图3-8 DDR3 电源分压网络参考设计图



3.2.4 PLL 电源设计

PLL 模拟电源 AVDD33_PLL/AVDD11_PLL，板级必须通过磁珠进行隔离，滤波电容应靠近管脚摆放。每种电源滤波电容需要一个 1 μ F 以上的电容以及 100nF 电容并联。

3.2.5 Standby 电源设计

板级需要提供 3.3V 常供电源到 DVDD33_STANDBY 管脚，待机时不关断。

Hi3798MV100 内部集成 3.3V 转 1.1V LDO，用于待机时的内部的 1.1V 供电，要求在 DVDD11_STANDBY_DECAP 外接 2.2 μ F 电容到地，滤波电容应靠近管脚摆放。

3.2.6 待机电路方案设计

Hi3798MV100 板级系统采用真待机方案，系统分为常供电区和可掉电区，两部分独立供电，如图 3-9 所示，常供电区电源由电源芯片直接提供，可掉电区电源则通过 STANDBY_PWROFF 控制 MOS 开关电路，在待机状态切断供电。由于真待机方案 DDR 数据需要保存，DDR 电源不能断电，但在部分高安设计中，待机时要求 DDR 中数据清空，DDR 电源断电。海思参考设计是基于真待机方案设计，所有功耗数据基于真待机方案。



表3-8 SDIO 接口匹配设计推荐

信号	2 层板匹配设计	4 层板匹配设计
SDIO0_CDATA[7:0]	3.3V IO: 直连, 上拉 47k Ω 到 SDIO DVDD18 DECAP	直连, 上拉 47k Ω 到 SDIO DVDD18 DECAP
SDIO0_CCMD	3.3V IO: 直连, 上拉 47k Ω 到 SDIO DVDD18 DECAP	直连, 上拉 47k Ω 到 SDIO DVDD18 DECAP
SDIO0_CCLK	3.3V IO: 直连 1.8V IO: Hi3798MV100 端串连 75 Ω 电阻	3.3V IO: 直连 1.8V IO: Hi3798MV100 端串连 22 Ω 电阻
SDIO0_CARD_POWER_EN	直连	直连
SDIO0_CARD_DETECT	直连, 上拉 10K 到 3V3_MOS	直连, 上拉 10K 到 3V3_MOS
SDIO0_CWPR	直连	直连

3.3.2 网口设计

Hi3798MV100 内部集成一个 FE PHY, 设计建议如下:

- FE_TXN/P、FE_RXN/P 信号按差分走线, 差分阻抗 $100\Omega \pm 10\%$, 平行、等长走线, 板级走线 < 5inch。
- FE_REXT 外接 $\pm 1\%$ 精度的 10 k Ω 电阻到地, 走线尽量短。
- AVDD33_FE 和 AVSS_FE 为模拟 3.3V 电源管脚和地, AVDD33_FE 电源电压偏差应控制在 $\pm 5\%$ 以内, 使用磁珠隔离 FE 模拟 3.3V 电源和单板数字 3.3V 电源, 推荐采用平面方式, 以减小寄生效应、耦合噪声和供电阻抗, 滤波电容就近放置, 靠近 AVDD33_FE 和 AVSS_FE 管脚。AVSS_FE 在板级可与普通 VSS 短接。
- 内部集成 FE 1V1 LDO, AVDD11_FE 为 LDO 的滤波管脚, 需要外接 2.2 μ F 电容到地。

为了满足 ESD、浪涌保护要求, 建议在电路设计时在 FE PHY 电路上设计保护电路。为了避免保护器件对 FE PHY 走线信号造成影响, 并能够达到良好的保护效果, 建议 PCB 设计时采用如下原则:

- 保护器件建议放置在变压器内侧, 在变压器和 PHY 之间, 靠近变压器放置。
- 保护器件建议选用 TVS 管, 击穿电压 8kV, 响应时间小于 1ns。

3.3.3 USB 接口设计



说明

QFP 封装不支持 USB3.0 功能。



USB 功能单元供电电源设计建议

Hi3798MV100 集成了 3 路 USB 2.0 Host 接口和 1 路 USB3.0 接口。USB 功能单元的供电电源和地管脚分为 AVDD33_USB01/2 和 AVSS_USB，分别对应 3.3V 电源和地。设计建议如下：

- AVDD33_USB 和 AVSS_USB 为模拟 3.3V 电源管脚和地，AVDD33_USB 电源应控制在 $\pm 5\%$ 以内。建议使用磁珠隔离 USB 模拟 3.3V 电源和单板数字 3.3V 电源，推荐采用平面方式，以减小寄生效应、耦合噪声和供电阻抗，滤波电容就近放置，靠近 AVDD33_USB 和 AVSS_USB 管脚。AVSS_USB 在板级可与普通 VSS 短接。
- USB2.0_REXT 管脚需要通过 $135\Omega \pm 1\%$ 电阻连接到 VSS；USB3.0_REXT 管脚需要通过 $200\Omega \pm 1\%$ 电阻连接到 VSS。
- USB 差分对的 PCB 走线控制差分阻抗 $90\Omega \pm 10\%$ ，Hi3798MV100 距离连接器应尽量控制在 5inch 以内。
- 单个 USB 对外供电的 VBUS 供电线路上并联的电容容量之和需要大于 $100\mu\text{F}$ 。

USB 保护电路设计建议

为了满足 ESD 保护等要求，在电路设计时需要考虑在 USB 电路上设计保护电路。为了避免保护器件对 USB 走线信号造成影响，并能够达到良好的保护效果，建议 PCB 设计时采用如下原则：

- 保护器件建议紧靠 USB 连接器端口放置。
- 保护器件建议选用低寄生电容的 TVS 管保护器件，击穿电压 8kV，响应时间小于 1ns。
- 建议保护器件的寄生电容小于 2pF 。

3.3.4 音频 DAC 接口设计

- Audio DAC 的电源 AVDD33_ADAC 在板级需要磁珠来隔离数字电源噪声，放置 $1\mu\text{F}$ 滤波电容，靠管脚放置。
- ADAC_VREFDAC 管脚外接 $2.2\mu\text{F}$ 电容，靠管脚放置。

3.3.5 视频 DAC 接口设计

视频 DAC 功能单元供电电源设计建议

视频 DAC 电源包括模拟电源地 AVDD11_VDAC/AVDD33_VDAC/AVSS_VDAC，在板级要求隔离：

- 模拟电源 AVDD33_VDAC 和 AVDD11_VDAC 建议分别通过磁珠与单板 CORE 电源和数字 3.3V 电源隔离，滤波参考平面为 AVSS_VDAC 模拟视频地，在靠近电源管脚和 AVSS 管脚附近放置滤波电容。
- 模拟视频地平面通过和数字地合并，采用同一个地平面。
- 模拟视频 1.1V 和 3.3V 电源电平偏差控制在 $\pm 5\%$ 以内。



视频 DAC 接口设计

Hi3798MV100 提供一组 1 路 Video DAC，作为 CVBS 信号输出。

- VDAC_REXT 外接 $12k\Omega(\pm 1\%)$ 电阻到 AVSS_VDAC。
- Video DAC 供电的 AVDD33_VDAC 要用磁珠隔离噪声，电平偏差控制在 $\pm 5\%$ 以内。

视频 DAC 接口保护电路设计建议

为了满足 ESD 保护等问题的要求，在电路设计时需要考虑在视频 DAC 输出端口上设计保护电路，建议 PCB 设计时采用如下原则：

- 保护器件建议紧靠视频输出端口连接器放置。
- 保护器件可以考虑使用 TVS 管或开关二极管等保护器件。

3.3.6 HDMI 接口设计

Hi3798MV100 提供了一个 HDMI TX 接口，支持 HDMI1.4 协议：

- HDMI_TX 模拟电源 AVCC11_HDMITX、AVDD33_HDMITX 在板级需要用磁珠来隔离数字电源噪声，连接到数字 1.1VCORE 电源和 3.3V I/O 电源上，滤波电容靠近管脚放置；AVSS 连接到数字 VSS 上，但要注意避开附近高频噪声。
- HDMI 四组差分信号上需要有 ESD 保护，ESD 器件靠近 HDMI 接口放置，推介电容最大不超过 $1pF$ 。
- HDMI 接口专用的 I2C 信号，支持 3.3V 和 5V IO 电平。
- HDMI 接口电路注意防倒灌设计，详细见 Hi3798MV100DEMO 板原理图。



4 PCB 设计建议

4.1 层叠和布局

4.1.1 层叠

Hi3798MV100 采用 BGA 和 QFP 两种封装，在 PCB 设计时，可以采用四层 PCB 板的设计，建议如下分层：

- TOP 层：信号走线。
- 内一层：地平面层。
- 内二层：电源平面层。
- BOTTOM 层：信号走线。

四层板 PCB 设计注意事项：

- 元器件布局在 TOP 层，信号线走 TOP 层和 BOTTOM，滤波小电容可放在 BOTTOM 层。
- 电源管脚走粗线。
- 保持内一层为一个完整的地平面层。
- 主芯片出线推荐过孔大小为 8mil，线宽为 5mil。

PCB 材料 FR-4，PCB 板厚度为 1.6 毫米，表层铜箔厚度为 1 盎司。Hi3798MV100 也支持二层 PCB 板设计，PCB 分层建议如下：

- TOP 层：信号走线和部分电源走线。
- BOTTOM 层：地平面层和部分电源走线。

两层板 PCB 设计注意事项：

- 元器件布局在 TOP 层，信号线尽量走 TOP 层，滤波电容可放在 BOTTOM 层。
- 电源管脚走粗线。
- 尽量保持 BOTTOM 层为一个完整的地平面层。
- 主芯片出线推荐过孔大小为 8mil，线宽为 5mil。

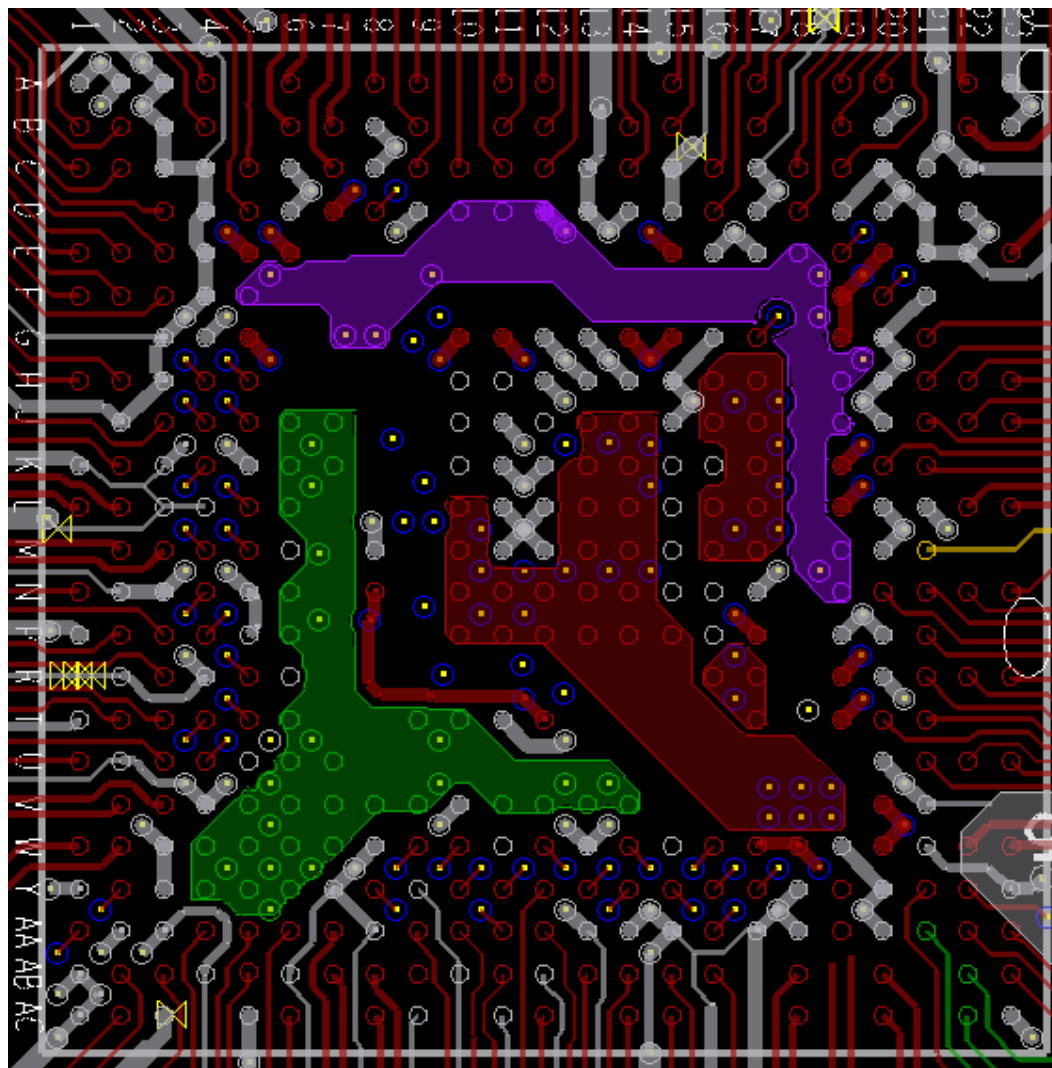
PCB 材料 FR-4，PCB 板厚度为 1.2 毫米，表层铜箔厚度为 1 盎司。



4.1.2 Fanout 封装设计建议

Hi3798MV100 TFBGA-395 两层板 Fanout 和四层板 Fanout 如图 4-1、图 4-2 所示。

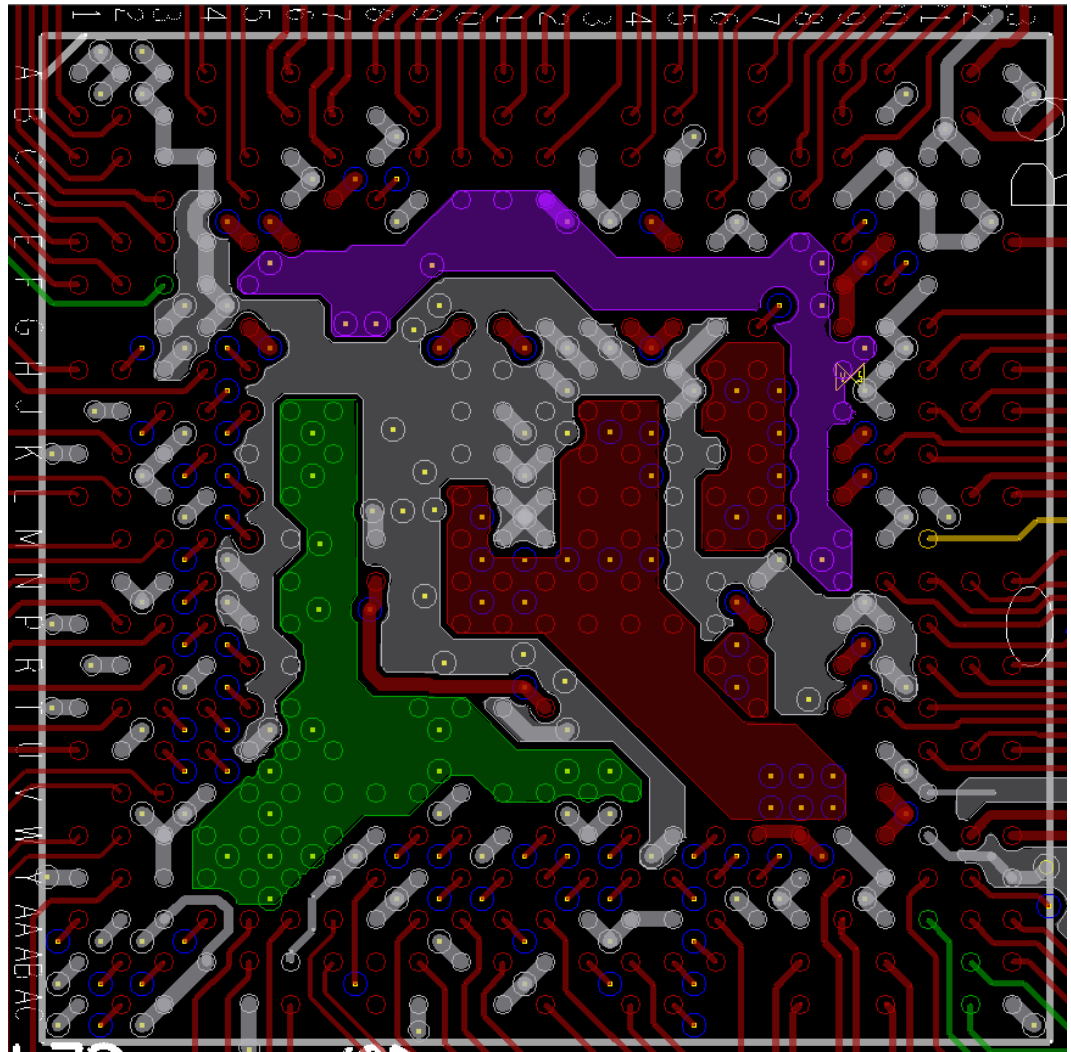
图4-1 BGA-395 封装两层板 fanout



Hi3798MV100 的 IO、DDR、CORE、CPU 电源管脚都尽可能通过较为完整的电源平面层供电。



图4-2 BGA-395 封装四层板 fanout



Hi3798MV100 QFP 两层板 Fanout 和四层板 Fanout 如图 4-1、图 4-4 所示。



图4-3 QFP216 封装两层板 fanout

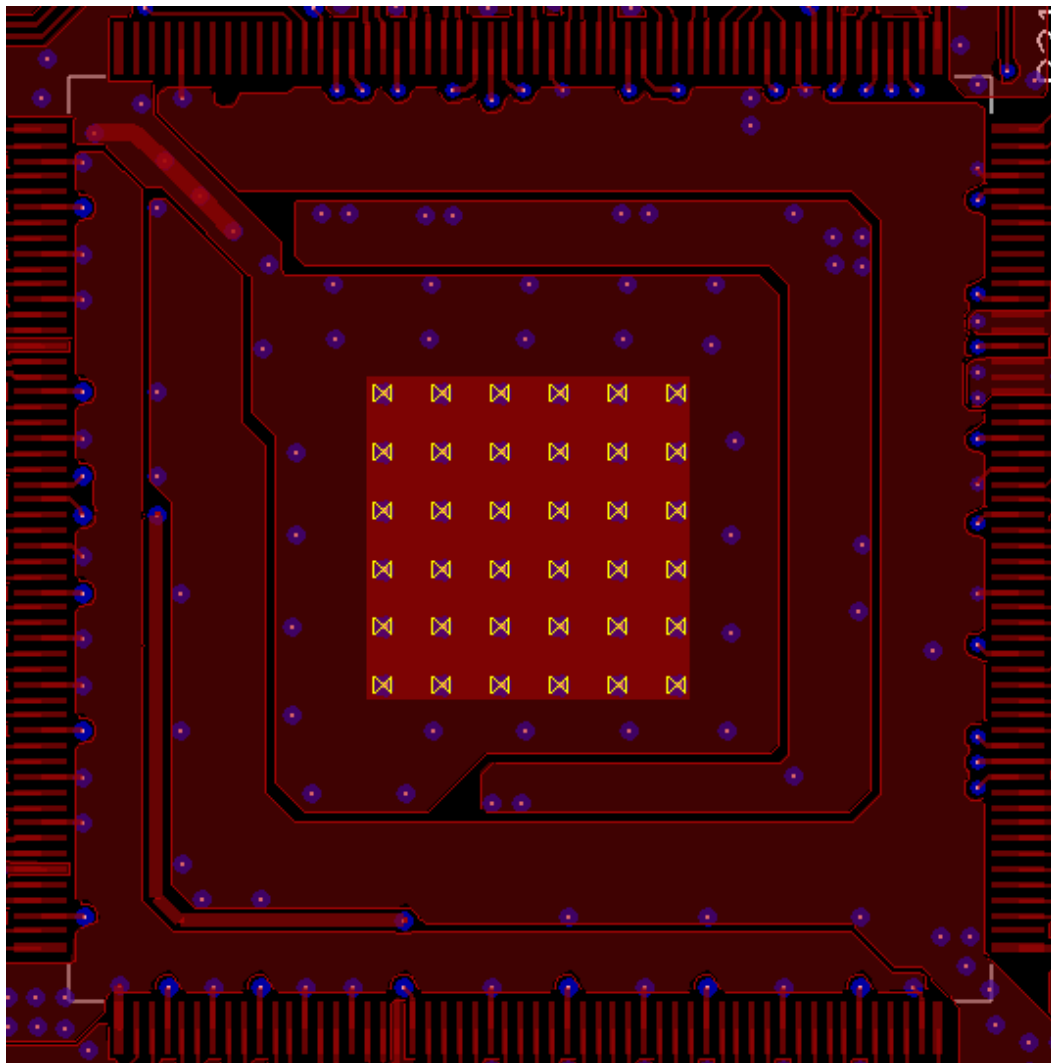
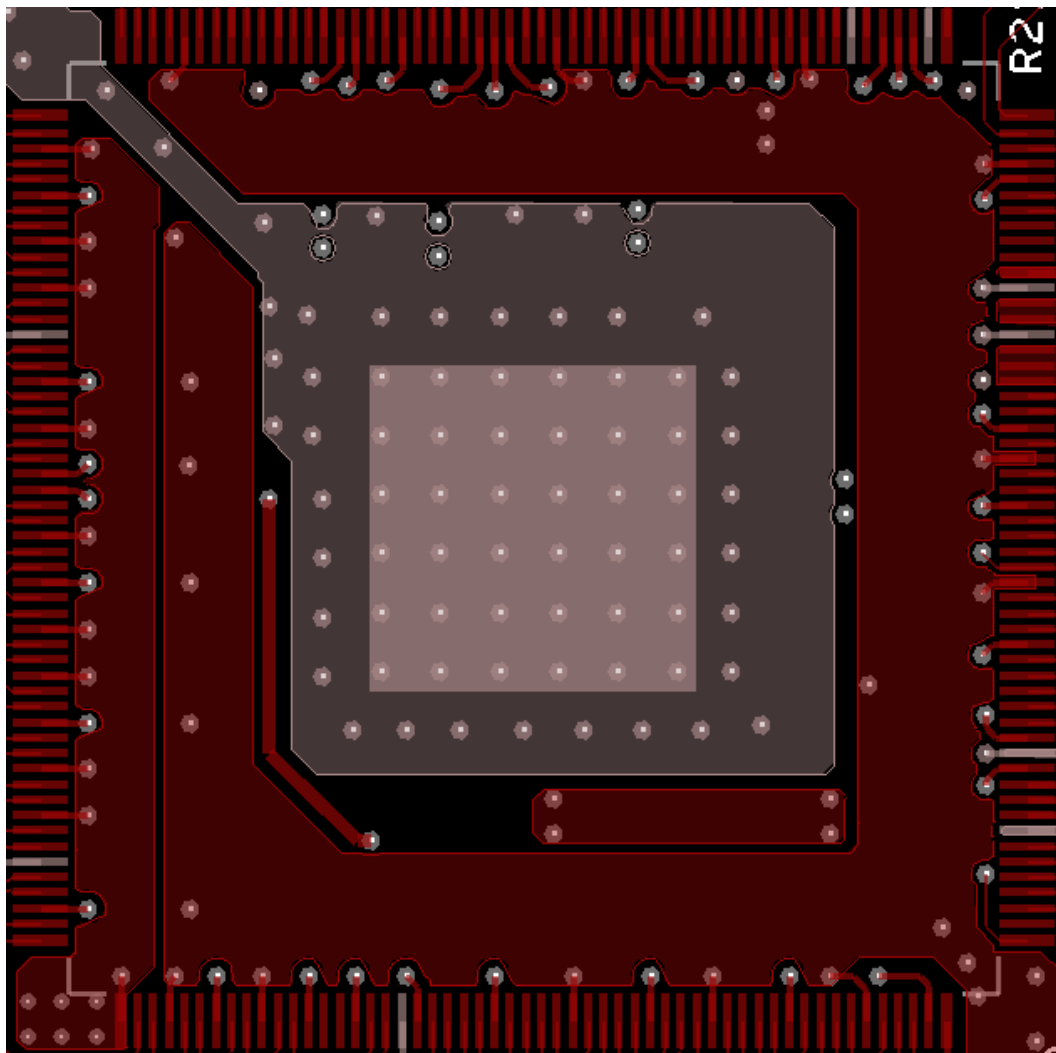




图4-4 QFP216 封装四层板 fanout



4.2 小系统 PCB 设计建议

4.2.1 小系统电源

Core/CPU 电源

Hi3798MV100 CORE/CPU 电源布局建议每路电源尽量靠近芯片的电源输入区域，避免走长路径，以铺电源平面实现，CORE/CPU 布线最窄处要求 3A 的通流能力，建议每 1-2 个 pin 要加一个去耦电容且靠近放置，不同容值的电容分散、均匀放置。尽量多加电源和地的过孔，增加 Top 层和电源、地层的耦合度。

AVS/DVFS 控制电路请完全参考海思 Hi3798MV100 参考设计，采用 DC-DC 时，VDD_CPU、VDD_CORE 的 DC-DC 调整电路中 RC 靠主芯片放置，且走线要包地处理。



详细设计请参考海思 Hi3798MV100 参考设计。

DDR 电源

DDR3 SDRAM 的 VREF 电源必须和其它电源隔离，可以通过较宽的走线（20mil 及以上）连接，保证 1~2 个电源管脚尽可能就近摆放去耦电容，并且最好在 PCB 上对 VREF 加包地屏蔽处理。DDR3 颗粒 VDD 和 VDDIO 电源管脚与 Hi3798MV100 DDR VDDIO_ DDR 电源管脚连接到同一个电源网络，每 1~2 个电源管脚旁边尽可能就近摆放去耦电容，不同容值的电容分散、均匀放置。

VREF 参考电压设计建议如下：

- 根据 SSTL-15 协议要求，VREF 参考电压上的噪声不得超过 $\pm 1\%$ ，为了降低噪声，VREF 走线宽度尽量宽，建议将 VREF 在电源平面层通过铜皮布线，且不能作为信号线的参考平面。
- 每个 VREF pin 要加去耦电容且走线尽量宽，与其它信号线间隔 20mil~25mil。

DDR3 SDRAM 的 VTT 必须通过带状铜皮走线，尽量靠近 DDR 颗粒，不同容值的电容分散、均匀放置在带状铜皮上。

详细设计请参考海思 Hi3798MV100 参考设计。

4.2.2 时钟和复位电路

时钟

Hi3798MV100 的 PLL 功能单元的供电电源和地分为 AVDD33_PLL、AVDD11_PLL、AVSS_PLL。建议 PCB 设计时采用如下原则：

- AVDD33_PLL 为 3.3V 的 PLL 电源，建议与单板数字 3.3V 电源用磁珠隔开，3.3V 电源电平偏差控制在 $\pm 5\%$ 以内。
- AVDD11_PLL 为 1.1V 的 PLL 电源，建议通过磁珠与数字 1.1V 电源隔离，1.1V 电源电平偏差控制在 $\pm 5\%$ 以内。
- VSS_PLL 为 PLL 电路的参考地，AVDD33_PLL 和 AVDD11_PLL 电源的去耦电容要求以 VSS_PLL 为参考地平面，滤波电容靠近管脚放置。
- 系统时钟的晶振电路走线长度须控制在 1000mil 以内，须做包地处理。

复位

Hi3798MV100 内置 POR（Power On Reset），板级不需要复位电路。

4.2.3 DDR 信号设计

Hi3798MV100 DDR 在两层板和四层板上均支持最高频率 800MHz/1600Mbps，两层板和四层板的 DDR 布局布线均通过严格的 SI/PI 仿真，并提供两层板和四层板在不同应用场景下的 DDR 布局布线参考，要求客户必须完全拷贝海思 Hi3798MV100 参考设计 DDR 的布局布线。

DDR 布局布线主要参考以下设计原则：



- 所有 DDR3 SDRAM 信号走线必须分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，必须保证 DDR 信号走线都有完整的参考平面。
- 信号走线及换层过孔附近放置与地连通的过孔和电容，减小不同参考层的耦合度，保持良好的信号回流路径。
- 信号线尽量短，走线路径上尽量少打过孔，保证走线阻抗的连续性。
- 使用排组时，同一排组上的信号须属于同一 DDR 信号线组，尤其避免 DQS 与地址/控制线分布在同一个排阻上。
- 相邻信号走线间距保持在 2~3 倍线宽，即满足“3W”原则，两层板走线要求严格参考海思参考设计的包地处理。



注意

当进行不同设计工具转换、自动铺设铜皮时，需仔细检查 2 层板 top/botton 层信号走线的伴随地走线，不能有断线，要求完全 copy 海思 DEMO 设计。

- 避免时钟信号紧邻数据、地址总线。
- 避免地址信号紧邻数据信号。
- DDR3 SDRAM 信号与非 DDR3 SDRAM 信号走线间隔至少 20mil 且需要包地处理。
- 每个 VREF pin 要加去耦电容且走线尽量宽，与其他信号线间隔 20mil~25mil;

4.2.4 Flash 设计

NAND Flash

信号线设计建议：

为减小信号反射，建议所有的信号线不要穿越电源和地分割区域，保持完整的电源地参考平面，2 层 PCB 板传输线阻抗控制在 $140\Omega \pm 10\%$ ，4 层 PCB 板传输线阻抗控制在 $50\Omega \pm 10\%$ 。建议 PCB 设计采用以下原则：

- 建议所有信号走线分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面。
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径。
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性。
- 相邻信号走线间距保持在 2~3 倍线宽。
- 各数据信号线尽量保持等长。

信号的 PCB 走线约束，如表 4-1 所示。



表4-1 单片 NAND Flash PCB 走线约束推荐

信号	2 层板 PCB 设计	4 层板 PCB 设计
NF_RDY/NF_CSN/NF_CLE/NF_ALE/ DQ[0:7]	140 Ω 阻抗, 走线长度<4inch	50 Ω 阻抗, 走线长度<4inch
NF_WEN/NF_REN	单根包地, 走线长度<4inch	50 Ω 阻抗 走线长度<2.5inch

eMMC Flash/SD

eMMC/SD 设计的注意点同 Nand Flash。信号的匹配、走线约束，如下表 4-2 所示。

表4-2 单片 eMMC Flash PCB 走线约束推荐

信号	2 层板 PCB 设计	4 层板 PCB 设计
SDIO1_CLK	单根包地, 走线长度<4inch	50 Ω 阻抗, 走线长度<4inch
SDIO1_CMD	140 Ω 阻抗, 走线长度<4inch	50 Ω 阻抗, 走线长度<4inch
SDIO1_DQ[7:0]	每四根线包地, 走线长度<4inch	50 Ω 阻抗, 走线长度<4inch

4.3 典型外围接口 PCB 设计建议

4.3.1 SDIO 接口设计

SDIO3.0 接口信号线设计建议：

为减小信号反射，建议所有的信号线不要穿越电源和地分割区域，保持完整的电源地参考平面，建议 PCB 设计采用以下原则：

- 建议所有信号走线分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面。
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径。
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性。
- 相邻信号走线间距保持在 2~3 倍线宽。
- 各数据信号线尽量保持等长。



- 2.2uF 滤波电容尽量靠近 SDIO_DVDD18_DECAP 管脚放置。

信号的 PCB 走线约束，如表 4-3 所示。

表4-3 SDIO3.0 接口 PCB 走线约束推荐

信号	2 层板 PCB 设计	4 层板 PCB 设计
SDIO_CCMD /SDIO_CDATA[0:3]	140Ω 阻抗，走线长度<4inch	50Ω 阻抗，走线长度<4inch
SDIO_CCLK	单根包地，走线长度<5inch	50Ω 阻抗，走线长度<5inch

FE PHY 布线设计建议

为了保证良好的信号质量，FE PHY 端口数据信号 FE_TXN/P、FE_RXN/P 按照差分线方式走线，差分数据线组内走线控制等长，走线间距保持均匀，阻抗应控制在 $100\Omega \pm 10\%$ 的均匀差分阻抗，并且避免靠近时钟芯片如时钟谐振器、时钟振荡器和时钟驱动器等，建议 PCB 布线设计采用以下原则：

- 10KΩ REXT 电阻尽量靠近芯片管脚放置。
- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长。
- 差分数据线走线宽度恒定。
- 差分数据线走线间距恒定，走线尽可能在临近地平面的布线层走线且不要换层。
- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割，要求对差分信号线严格包地处理。
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 45 度角，避免直角，以减少反射和阻抗变化。
- 差分数据线走线上不允许有分叉。
- 避免邻近其它高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。

4.3.2 USB 接口设计

为了保证良好的信号质量，USB 端口数据信号线按照差分线方式走线，差分数据线走线控制等长，走线间距保持均匀，USB 差分数据线阻抗应控制在 $90\Omega \pm 10\%$ 的均匀差分阻抗，并且避免靠近时钟芯片如时钟谐振器、时钟振荡器和时钟驱动器等。USB 走线长度建议控制在 5inch 以内。为了达到 USB2.0 高速 480MHz、USB3.0 5Gbit/s 的速度要求，建议 PCB 布线设计采用以下原则：

- REXT 电阻尽量靠近芯片管脚放置。
- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长。
- 差分数据线走线宽度恒定。
- 差分数据线走线间距恒定，走线尽可能在临近地平面的布线层走线且不要换层。



- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割，两层板要求对差分信号线严格包地处理。
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 45 度角，避免直角，以减少反射和阻抗变化。
- 差分数据线走线上不允许有分叉。
- 避免邻近其它高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。

4.3.3 音频 DAC 接口设计

为了保证音频 DAC 输出的音频质量，建议 PCB 布线设计采用以下原则：

- 音频参考电压并联 2.2 μ F 滤波电容尽量靠近 ADAC_VREFDAC 管脚放置。
- 音频 DAC 输出信号走线遵循 3W 原则，特别在两层板应用场景需要分别走伴随地隔离。
- 尽量不要使用视频模拟地平面作为其它信号走线的参考平面。
- 走线拐角可考虑用圆弧或者 45 度角，避免直角，以减少反射。

4.3.4 视频 DAC 接口设计

4.3.4.1 VDAC 接口

为了保证视频 DAC 输出的视频图像质量，建议 PCB 布线设计采用以下原则：

- 视频 DAC 输出端外接串联 75 Ω 视频匹配电阻尽量靠近 Hi3798MV100 放置，减小 VDAC 驱动感抗。
- 模拟视频滤波电路尽量靠近 Hi3798MV100 放置。
- 视频 DAC 输出外置 12K Ω 校准电阻尽量靠近 VDAC_REXT 管脚放置。
- 单路视频 DAC 设计为单负载驱动，如需驱动多个负载，输出多路视频信号，请考虑使用驱动器。
- 建议所有模拟信号线在靠近视频模拟地平面的走线层布线，且尽量不要换层走线。
- 尽量不要使用视频模拟地平面作为其它信号走线的参考平面。
- 走线拐角可考虑用圆弧或者 45 度角，避免直角，以减少反射。

4.3.5 HDMI 接口设计

Hi3798MV100 集成了 1 路 HDMI 输出接口。

HDMI 接口各信号 PCB 走线约束推荐如表 4-4 所示。

表4-4 HDMI 接口各信号 PCB 走线约束推荐

信号名称	2 层板 PCB 设计	4 层板 PCB 设计
TMDS_CLK	100 Ω 差分阻抗 走线长度<5inch	100 Ω 差分阻抗 走线长度<5inch



信号名称	2 层板 PCB 设计	4 层板 PCB 设计
TMDS_DATA[2:0]	100Ω 差分阻抗 走线长度<5inch	100Ω 差分阻抗 走线长度<5inch

设计时注意如下事项：

- HDMI 四对差分线总的长度尽量短；差分线对内对间都要等长，对内最好控制在 10mil 以内，对间控制在 50mil 以内。
- 四对差分线严格控制 100Ω 阻抗。
- 四对差分线尽量不换层，不打过孔，走在 TOP 层。
- 确保四对差分线不跨越地和电源分割，其下方有完整的回流平面。
- 四对差分线之间尽量远离，最好能做包地处理。
- 弯度控制，避免突然弯转，绝对不能出现 90 度弯曲或 T 型走线。
- 过孔接地穿引，如果 HDMI 走线中出现了过孔，建议接地穿引（在靠近信号过孔增加一个接地孔，可以保持回流路径均匀连续）。
- HDMI 保护电路建议采用低容值 TVS 管， $C < 0.8\text{pF}$ 。

4.3.6 其它

PCB 信号完整性仿真设计建议

PCB 设计人员可以使用板级仿真工具，根据 Hi3798MV100 接口 IBIS 模型、对接器件 IBIS 模型、传输线模型以及板上拓扑结构完成信号完整性仿真分析。通过对仿真结果的分析，不断调整拓扑结构，以达到所需的信号质量要求，包括过冲、下冲、振铃、单调性等。

其它 PCB 设计注意事项

时钟信号如果带多个负载，无论频率高低，都需要特别注意其信号质量，应保证信号边沿单调。



5 热设计建议

5.1 工作条件

Hi3798MV100 的封装热阻如表 5-1、表 5-2、表 5-3、表 5-4 所示。



注意

热阻基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件作出分析。

表5-1 BGA 封装四层 PCB 封装热阻参数

参数	符号	最小值	典型值	最大值	单位
极限环境温度	T_A	-20	-	70	°C
极限结温	T_{JMAX}	-	-	125	°C
Junction-to-ambient thermal resistance	θ_{JA}	-	23	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	-	9.62	-	°C/W
Junction-to-case thermal resistance	θ_{JC}	-	5.53	-	°C/W
Junction-to-top center of case thermal resistance	Ψ_{JT}	-	-	-	°C/W

表5-2 BGA 封装两层 PCB 封装热阻参数

参数	符号	最小值	典型值	最大值	单位
极限环境温度	T_A	-20	-	70	°C
极限结温	T_{JMAX}	-	-	125	°C



参数	符号	最小值	典型值	最大值	单位
Junction-to-ambient thermal resistance	θ_{JA}	-	34.4	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	-	15.2	-	°C/W
Junction-to-case thermal resistance	θ_{JC}	-	6.7	-	°C/W
Junction-to-top center of case thermal resistance	Ψ_{JT}	-	-	-	°C/W

表5-3 QFP 封装四层 PCB 封装热阻参数

参数	符号	最小值	典型值	最大值	单位
极限环境温度	T_A	-20	-	70	°C
极限结温	T_{JMAX}	-	-	125	°C
Junction-to-ambient thermal resistance	θ_{JA}	-	25	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	-	9	-	°C/W
Junction-to-case thermal resistance	θ_{JC}	-	6.5	-	°C/W
Junction-to-top center of case thermal resistance	Ψ_{JT}	-	-	-	°C/W

表5-4 QFP 封装两层 PCB 封装热阻参数

参数	符号	最小值	典型值	最大值	单位
极限环境温度	T_A	-20	-	70	°C
极限结温	T_{JMAX}	-	-	125	°C
Junction-to-ambient thermal resistance	θ_{JA}	-	27	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	-	9.9	-	°C/W
Junction-to-case thermal resistance	θ_{JC}	-	6.5	-	°C/W
Junction-to-top center of case thermal resistance	Ψ_{JT}	-	-	-	°C/W

注：热阻是 XX 层 PCB 板设计没有散热片条件下的参考值，具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。其中工作环境参数如表 5-5 所示。



表5-5 推荐工作环境参数

参数	符号	最小值	典型值	最大值	单位
环境温度	T_A	0	25	55	°C
长期工作	T_{JMAX}	-	-	125	°C

5.2 散热设计参考

常用散热片的分类

根据材料可分为：铝合金，铜合金，铝铜合金，陶瓷。

根据加工工艺可分为：铝挤压工艺，切削工艺，bonded 工艺，铸造工艺，机械压合工艺。

散热片材质及加工工艺选型建议

基于低成本考虑推荐选型铝合金材质的散热片。对散热片工艺类型的选择参考以下建议：

- 挤压的散热片要比铸铝散热片好一些。铸铝散热片中金属铝所占的比例为 25 - 30 %，其他为碳及其他金属的合金。挤压的散热片中金属铝所占的比例为 70 % - 80%，其他为碳及其他金属的合金。因此铸铝散热片比挤压成形的散热器传热效率要低。
- 自然散热的条件下，黑色的比银白色的铝散热片的散热效果要好 3~8% 左右，这是因为黑色热辐射的效果比白色的要强。
- 常见的散热片通常为黑色或阳极氧化处理。

综上，建议选用采用表面黑色经过阳极氧化处理的挤压的铝合金材质散热片。

散热片尺寸选择

铝质散热片的热阻计算公式

$$R = 1/hA$$

其中：

- A：散热片面积
- h：散热系数（与散热片的材质，厚度，密度，温差，风速等参数相关）

由以上公式得出散热片面积越大，热阻越小，由此得出以下经验数据：

厚 2mm 的铝板，表面积（平方厘米）和热阻（°C/W）的对应关系是：

- 500 cm² 对应 2.0°C/W
- 250 cm² 对应 2.9°C/W



- 100 cm² 对应 4.0°C/W
- 50 cm² 对应 5.2°C/W
- 25 cm² 对应 6.5°C/W

例如：XXX 芯片所需散热片的热阻计算公式：

$$R_{sa} = (T_j - T_a) / Q - (R_{jc} + R_{cs}) \quad (\text{公式一})$$

- T_j ：XXX 芯片最高承受结温（125°C）
- T_a ：产品长期工作最高工作环境温度（55°C）
- Q ：XXX 芯片功耗（3.5W）
- R_{sa} ：散热片热阻（需要考虑环境风速）
- R_{cs} ：导热介质（导热胶）的热阻（示例：5°C/W）
- R_{jc} ：XXX 芯片封装热阻（四层板 4.1°C/W、两层板 4.18°C/W）

由以上公式得到散热片的热阻要求，再对比散热片的热阻数据，可以得出所需要的散热片的散热面积。

XXX 四层 PCB 设计：

- $R_{jc} = 4.1^\circ\text{C/W}$
- $T_j = 125^\circ\text{C}$

案例：在 55°C 的环境温度中，盒子中的温升 15 度（参考值），Hi3798MV100 芯片采用热阻为 5°C/W 的导热胶，那么所需要的散热片尺寸，由公式一可得：

$$R_{sa} = (125 - 55 - 15) / 3.5 - (4.1 + 5) = 6.6^\circ\text{C/W} \quad (Q \text{ 按芯片最大功耗取值})$$

参考上边的数据，XXX 四层 PCB 设计散热面积 25 cm² 以上的散热片可以满足芯片散热需求。



以上规格选型仅作为参考，具体客户散热器规格选型需根据客户单板设计来定。

导热介质材料推荐

导热介质材料推荐如表 5-6 所示。

表5-6 导热介质材料推荐表

散热器固定方式	型号	导热系数 (w/m · k)	应用环境温度 (°C)	胶体类型	绝缘强度 (V/mil)	阻燃性	承重能力 (g)
需机械固定	GF2000	2	-60~+200	硅橡胶	500	UL9V0	-
无需机械固定	Locotite 315	0.808	-	丙烯酸树脂	6000	UL9V2	-



散热器固定方式与质量关系

散热器固定方式跟散热器质量有关系，如：大质量的散热器不适合用导热胶粘接，散热器固定方式与质量关系请参考表 5-7 所示，可根据实际单板设计选择合适的安装方式。

表5-7 散热器固定方式与质量关系

安装方式	质量		
	$m < 85\text{g}$	$85 \leq m < 150\text{g}$	$m \geq 150\text{g}$
导热胶粘接	√	-	-
PUSH PIN 扣具	√	-	-
弹簧+螺钉结构	-	√	√
专用金属扣具（非优选）	√	√	√
塑料卡座（非优选）	√	-	-

5.3 电路热设计参考

5.3.1 原理图

电源

整个单板电源树在保证稳定性的前提下效率较高，即要合理设计单板电源效率，少采用高压差 LDO 器件，减少电源自身在电源转换过程中所产生的热量。

单板为外接设备供电的电源（例如 SD 卡、USB 等），设计中可保留，不用时可以关断该功能。单板的主要 IC 必须支持 Power Down 功能。

大电流的电源需要选择高效率的 DC/DC 电路实现。CORE/CPU 电源和 DDR 的工作电流都较大，这些电源必须选择高效率的 DC/DC 电路实现。

闲置模块低功耗配置

在 Hi3798MV100 产品形态应用中，对于不使用的模块，此时应当将这些模块配置为 Power Down 模式或者默认状态。

芯片 SVB 控制

建议用户对芯片的 Core、CPU 电压进行 SVB 控制，依据芯片自身的工艺偏差情况，选择合适的电压，以此达到降低芯片功耗的目的。



注意

为了降低功耗，请在软件中打开主芯片的时钟门控功能。

5.3.2 PCB

器件布局

结合产品结构和热设计，器件布局建议如下：

- 单板上大功耗且易产生热量器件要均匀分布，避免局部过热，影响器件可靠性和效率，建议 Hi3798MV100 和电源部分不要放置太近。
- 合理设计结构，保证产品内部与外界有热交换途径。

走线

走线热设计建议如下：

- 芯片底下的过孔采用 FULL 孔连接，而不是普通的花孔连接，以提高单板散热效率；
- Hi3798MV100 的 1.1V/1.5V/3.3V 电源和地信号都通过平面铺铜的方式连接，在保证信号过流能力的前提下打更多过孔到这些铜皮上；
- 在热量大的器件正下方和周边尽量增大铜皮面积以保证单板利用 PCB 有效散热。特别是电源部分的电感和供电芯片，注意其摆放位置不要过于密集，周边尽量增加铺铜面积。



6 焊接工艺建议

6.1 概述

【目的】Objective

本章规定了客户端在用海思芯片 SMT 时各温区温度基本设置。

【适用范围】Scope

海思芯片 Hi3798MV100 产品。

【基本信息】Basic information

海思提供给客户端的产品均为 RoHS 产品（HixxxxRBCVxxx 中 R 表示为 RoHS），即均是 Lead-free（无铅）产品；本章主要介绍客户端在使用海思芯片做回流焊时工艺控制：主要是无铅工艺和混合工艺两类。

【回流焊工艺控制】Reflow Chart

定义说明：

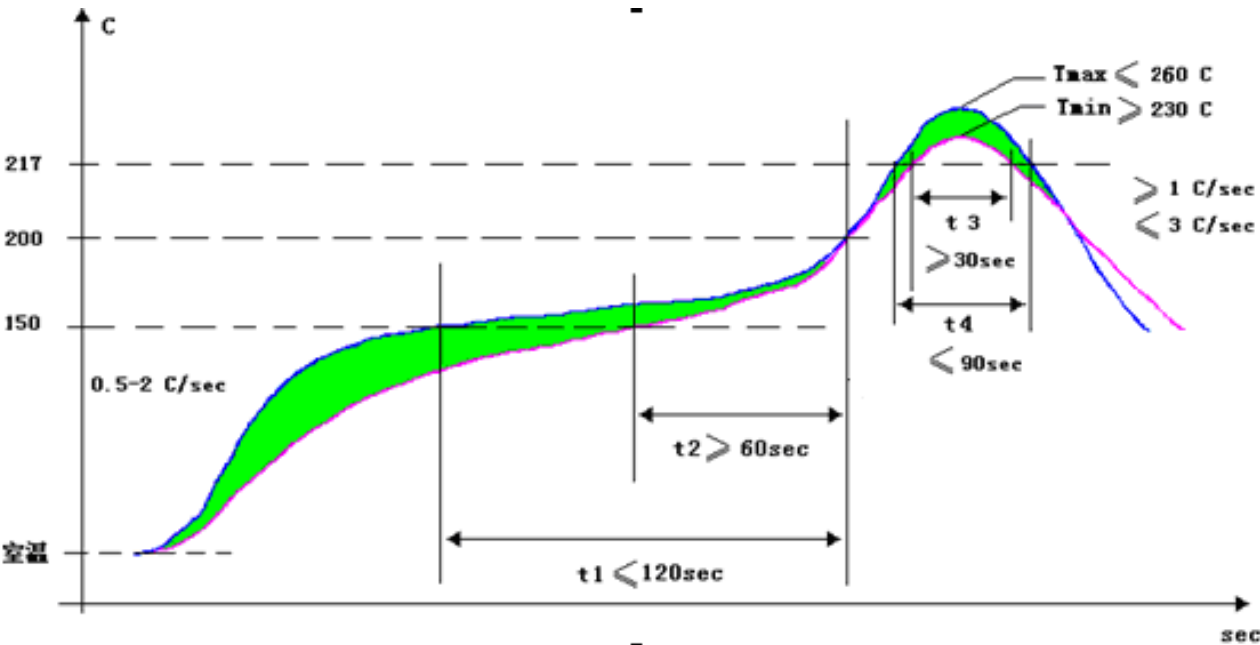
- 海思芯片：海思给客户的芯片均为 ROHS 产品，均满足无铅要求。
- 无铅工艺：所有器件(主板/所有 IC/电容电阻等)均为无铅器件，并使用无铅锡膏的纯无铅工艺。
- 混合工艺：指使用有铅锡膏和既有无铅 BGA 也有有铅 IC 的混合焊接工艺。

6.2 无铅回流焊工艺参数要求

无铅回流焊接工艺曲线如[图 6-1](#) 所示。



图6-1 无铅回流焊接工艺曲线



无铅回流焊工艺参数如表 6-1 所示。

表6-1 无铅回流焊工艺参数

区域	时间	升温速率	峰值温度	降温速率
预热区（40~150℃）	60~150s	≤2.0℃/s	-	-
均温区（150~200℃）	60~120s	<1.0℃/s	-	-
回流区（>217℃）	60~90s	-	230-260℃	-
冷却区（Tmax~180℃）	-	-	-	1.0℃/s≤Slope≤4.0℃/s

说明：

- 预热区：温度由 40℃~150℃，温度上升速率控制在 2℃/s 左右，该温区时间为 60~50s。
- 均温区：温度由 150℃~200℃，稳定缓慢升温，温度上升速率小于 1℃/s，且该区域时间控制在 60~120s（注意：该区域一定缓慢受热，否则易导致焊接不良）。
- 回流区：温度由 217℃~Tmax~217℃，整个区间时间控制在 60~90s。
- 冷却区：温度由 Tmax~180℃，温度下降速率最大不能超过 4℃/s。
- 温度从室温 25℃升温到 250℃时间不应该超过 6 分钟。
- 该回流焊曲线仅为推荐值，客户端需根据实际生产情况做相应调整。



- 回流时间以 60~90s 为目标，对于一些热容较大无法满足时间要求的单板可将回流时间放宽至 120s。封装体耐温标准参考 IPC/JEDEC J-STD-020D 标准，封装体测温方法参考 JEP 140 标准。

IPC/JEDEC J-STD-020D 标准，封装体测温方法按照 JEP 140 标准要求：IPC/JEDEC 020D 中的无铅器件封装体耐温标准如表 6-2 所示。

表6-2 IPC/JEDEC 020D 中的无铅器件封装体耐温标准

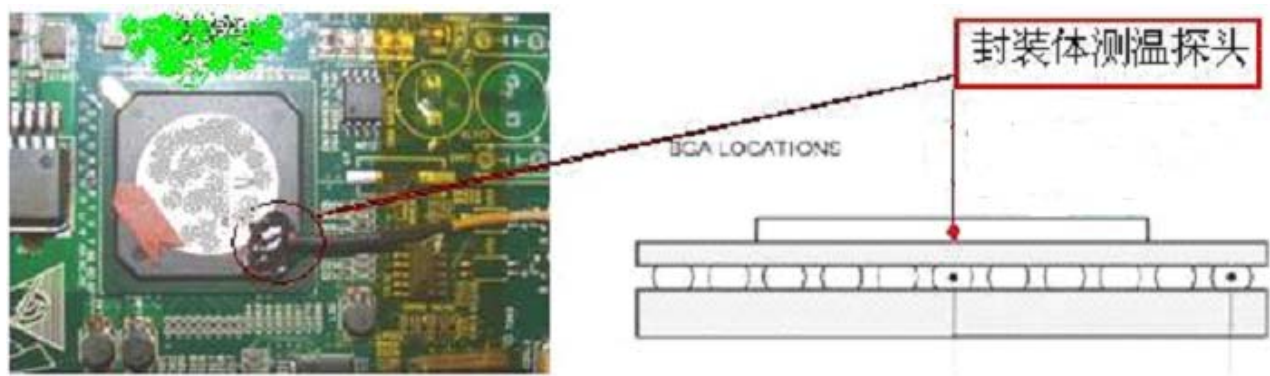
Package Thickness	Volume mm ³ <350	Volume mm ³ 350~2000	Volume mm ³ >2000
<1.6mm	260℃	260℃	260℃
1.6mm~2.5mm	260℃	250℃	245℃
>2.5mm	250℃	245℃	245℃

体积计算中不计入器件焊端（焊球，引脚）和外部散热片。

回流焊接工艺曲线测量方法：

JEP140 推荐：对于厚度较小的器件，测量封装体温度时，直接将热电偶贴放在器件表面，对于厚度较大的器件，在器件表面钻孔埋入热电偶进行测量。由于量化器件厚度的要求，推荐全部采用在封装体表面钻孔埋入热电偶的方式（特别薄器件，无法钻孔除外）。如图 6-2 所示。

图6-2 封装体测温示意图



说明

如果是 QFP 封装的芯片，直接将测温探头放在管脚处即可。



6.3 混合回流焊工艺参数要求

回流焊接过程中，如果出现器件混装现象，应首先保证无铅器件的正常焊接。具体要求如表 6-3 所示。

表6-3 混装回流焊工艺参数表

数值要求		有铅 BGA	无铅 BGA	其它器件
预热区（40~150℃）	时间	60~150s		
	升温斜率	<2.5℃/s		
均温区（150~183℃）	时间	30~90s		
	升温斜率	<1.0℃/s		
回流区（>183℃）	峰值温度	210~240℃	220~240℃	210~245℃
	时间	30~120s	60~120s	30~120s
冷却区（Tmax~150℃）	降温斜率	1.0℃/s≤Slope≤4.0℃/s		

说明

以上工艺参数要求均针对焊点温度。单板上焊点最热点和最冷点均需要满足以上规范要求。

曲线调制中，还需要满足单板上元器件的封装体耐温要求。封装体耐温标准按照 IPC/JEDEC J-STD-020D 标准，封装体测温方法按照 JEP 140 标准。

IPC/JEDEC 020D 中的有铅器件封装体耐温标准如表 6-4 所示。

表6-4 IPC/JEDEC 020D 中的有铅器件封装体耐温标准

Package Thickness	Volume mm ³ <350	Volume mm ³ ≥350
<2.5mm	235℃	220℃
≥2.5mm	220℃	220℃

体积计算中不计入器件焊端（焊球，引脚）和外部散热片。

JEP140 标准规定测量封装体温度方法同无铅工艺，请参考 6.2 无铅回流焊工艺参数要求详细说明。



7 潮敏参数

7.1 概述

【目的】Objective

规定了 IC（潮敏产品）的使用原则，以确保产品使用规范。

【使用范围】

海思生产的所有外销类产品。

【术语解释】

- Floor life: 海思产品允许在车间保留的最长时间（环境 30℃/60% RH，在拆开防潮包装到 reflow 之前）
- Desiccant(干燥剂): 一种用于吸附潮气而保持干燥的材料
- Humidity Indicator Card (HIC): 湿度指示卡
- Moisture sensitivity level(MSL): 潮敏等级
- Moisture Barrier Bag (MBB): 防潮包装袋
- Solder Reflow: 回流焊
- Shelf Life: 存储期限

7.2 海思产品防潮包装

7.2.1 包装信息

干燥真空包装材料包含：

- 湿度指示卡（HIC）
- 防潮袋（MBB）
- 干燥剂



图7-1 干燥真空包装材料示意图



7.2.2 潮敏产品进料检验

客户或者外协厂在生产使用（SMT）之前，打开真空袋子后：

- 如果 HIC 的最大指示点已经变化（不是蓝色或土黄色），产品必须参照表 7-2 进行 rebake。
- 如果 HIC 中 10%RH dot 是蓝色或土黄色的，表示产品很干燥，可以仅仅更换防潮剂后真空封装。
- 如果 HIC 中 10%RH dot 不是蓝色或土黄色，5%RH dot 已经变红色或浅绿色，表示产品已经受潮，参考表 7-2 进行 rebake。

7.3 存放与使用

【存放环境】

建议产品真空包装存放，存放在<30°C/60% RH 下。

【shelf life】（存储期限）

存放环境<30°C/60% RH 下，真空包装存放，shelf life（存储期限）≥12 个月。

【floor life】

在环境条件<30°C/60%下，floor life 参照表 7-1 如下。

表7-1 floor life 参照表

MSL	Floor life(out of bag) at factory ambient≤30°C/60% RH or as stated
1	Unlimited at ≤30°C/85% RH



MSL	Floor life(out of bag) at factory ambient $\leq 30^{\circ}\text{C}/60\% \text{ RH}$ or as stated
2	1 year
2a	4 weeks
3	168 hours
4	72 hours
5	48 hours
5a	24 hours
6	Mandatory bake before use, must be reflowed within the time limit specified on the label

【潮敏产品的使用】

- 产品在 $\leq 30^{\circ}\text{C}/60\%\text{RH}$ 下连续或累计暴露超过 2 个小时，建议进行 rebake 后再真空干燥包装。
- 产品在 $\leq 30^{\circ}\text{C}/60\%\text{RH}$ 下暴露累计没有超过 2 个小时，可以不用 rebake，但要更换新的干燥剂，进行真空干燥包装。

本文没有提到的存储及使用原则，请直接参考 **JEDEC J-STD-033A**。

7.4 重新烘烤

【适用产品】

海思所有 IC（潮敏产品）

【使用范围】

需要重新烘烤的 IC（潮敏产品）

【重新烘烤参考表】

表7-2 重新烘烤参考表

Body thickness	level	bake@125°C	bake@90°C $\leq 5\% \text{ RH}$	bake@40°C $\leq 5\% \text{ RH}$
$\leq 1.4\text{mm}$	2a	3 hours	11 hours	5 days
	3	7hours	23 hours	9 days
	4	7 hours	23 hours	9 days
	5	7 hours	24 hours	10 days
	5a	10 hours	24 hours	10 days
$\leq 2.0\text{mm}$	2a	16 hours	2 days	22 days



Body thickness	level	bake@125°C	bake@90°C ≤5% RH	bake@40°C ≤5% RH
	3	17 hours	2 days	23 days
	4	20 hours	3 days	28 days
	5	25 hours	4 days	35 days
	5a	40 hours	6 days	56 days
≤ 4.5mm	2a	48 hours	7 days	67 days
	3	48 hours	8 days	67 days
	4	48 hours	10 days	67 days
	5	48 hours	10 days	67 days
	5a	48 hours	10 days	67 days

说明：

- 此表中显示的均是受潮后，必须的最小的烘烤时间。
- 重新烘烤优先选择低温烘烤。
- 详细情况请参考 JEDEC。



8 接口时序

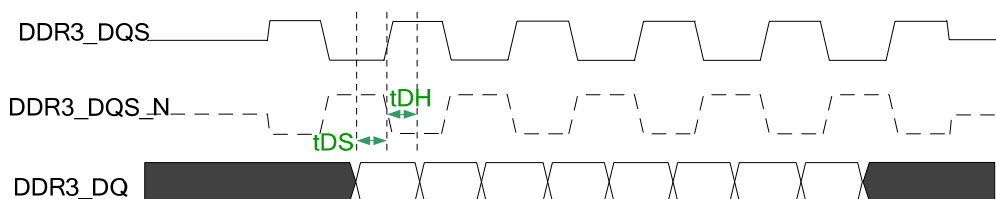
8.1 DDR 接口时序

8.1.1 写操作时序

DDR3_DQS 相对于 DDR3_DQ 的写操作时序

DDR3_DQS 相对于 DDR3_DQ 的写操作时序的主要时序参数是 t_{DS} 和 t_{DH} 。

图8-1 DDR3 中 DDR3_DQS 相对于 DDR3_DQ 的写操作时序图



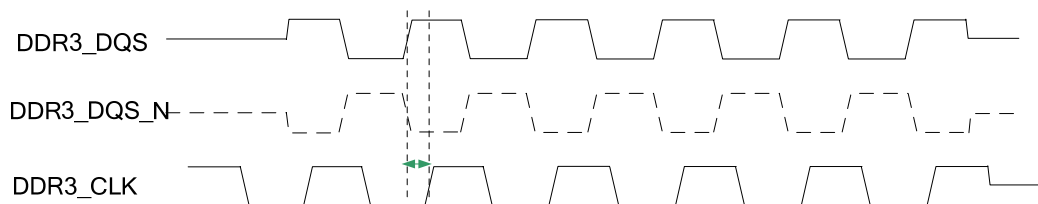
补充说明：

上面的时序图适用于 {DDR3_DQS[1:0]、DDR3_DQS_N[1:0]、DDR3_DQ[15:0]}、以及 {DDR3_DQS[3:2]、DDR3_DQS_N[3:2]、DDR3_DQ[31:16]} 两个 16bit DQ 位段。

DDR3_DQS 相对于 DDR3_CLK 的写操作时序

DDR3_DQS 相对于 DDR3_CLK 的写操作时序。DDR3 的时序如图 8-2 所示。

图8-2 DDR3 中 DDR3_DQS 相对于 DDR3_CLK(CMDADDR PHY)的写操作时序图





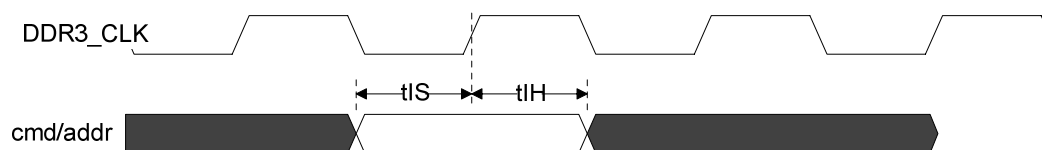
说明：在上图绿色箭头标识的地方，

要求 DDR3_DQS[3:0]、DDR3_DQS_N[3:0]的相位，相对 DDR3_CLK (CMDADDR PHY)，其偏离不能超过 $1/4 \times T_{\text{dram clock}}$ (即上图中的 DDR3_CLK)。

命令和地址相对于 DDR3_CLK 的写操作时序

命令和地址的采样时钟为 DDR3_CLK。命令和地址相对于 DDR3_CLK 的写操作时序如图 8-3 所示。

图8-3 命令和地址相对于 DDR3_CLK(CMDADDR PHY)的写操作时序图



8.1.2 读操作时序

命令和地址相对于 DDR3_CLK 的读操作时序

“命令和地址相对于 DDR3_CLK 的读操作时序”与“[的写操作时序](#)”相同。

DDR3_DQS 相对于 DDR3_DQ 的读操作时序

DDR3_DQS 相对于 DDR3_DQ 的读操作时序分为 DDRn SDRAM 输出时序和 DDRPHY 端 DDR3_DQS 和 DDR3_DQ 的时序。

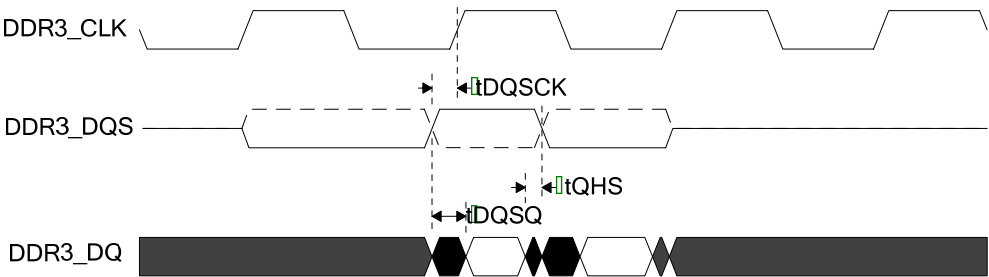
对于 DDRn SDRAM 输出时序，理想情况下，从颗粒出来的 DQS (连接芯片的 DDR3_DQS) 和 DDRPHY 输出的 DDR3_CLK 是同相位的，但由于外部条件的干扰，DQS 到 DDRPHY 端的时候，相对于 DDR3_CLK 会有 t_{DQSCK} 的偏斜，该偏斜不能超过 0.35ns。

从颗粒出来的 DQ 相对于 DQS，也会有相位的抖动，衡量该抖动的时序参数有 t_{DQSQ} 和 t_{QHS} ，如图 8-4 所示，其中： t_{DQSQ} 是在 DDRPHY 端观测到的最晚有效的 DQ 相对于 DQS 的抖动，其值不能超过 0.2ns； t_{QHS} 是最早失效的 DQ 相对于下一次 DQS 翻转的抖动 (也可表述为最早有效的 DQ 相对于 DQS 的抖动)，其值为 0.3ns。

DDRn SDRAM 输出时序如图 8-4 所示。



图8-4 DDRn SDRAM 输出时序图



8.1.3 时序参数

DDR 接口时序满足 JEDEC（JESD79-2E 和 JESD79-3B）标准协议，本文中描述的时序都是 DDR PHY 侧输出的时序。

对于高清芯片，以 DDR3-1066 的时序参数为依据。

DDR3-1066 SDRAM 时钟参数如表 8-1 和表 8-2 所示。

表8-1 DDR3 时钟参数表

参数	典型值	单位
存储器时钟频率	533.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	47.000	%
时钟偏斜	0.100	ns

表8-2 DDR3 SDRAM 存储器参数表（DDR3-1066）

参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.500	ns
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.500	ns
DQ/DM 相对于 DQS 的建立时间	tDS	0.075	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.150	ns
DQS 与 DQ 的偏斜	tDQSQ	0.200	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.200	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.275	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSK	0.400	ns

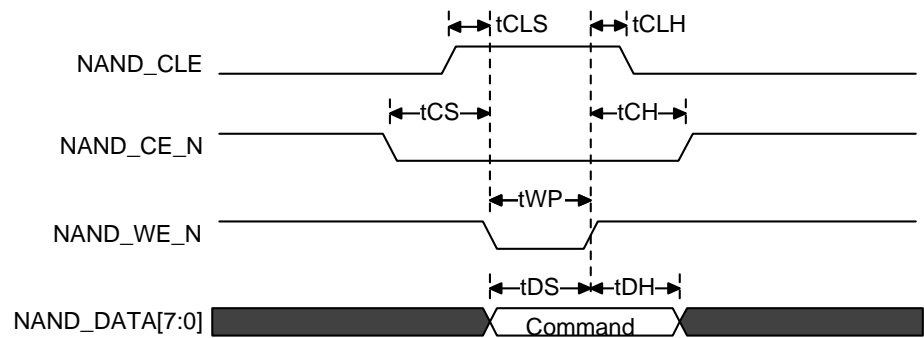


8.2 NANDC 接口时序

8.2.1 命令周期时序

NANDC 命令周期时序如图 8-5 所示。

图8-5 NANDC 命令周期时序图



说明

NAND_WE_N 和 NAND_RE_N 的高电平宽度和低电平宽度是可以通过 NANDFLASH 控制器的 NF_PULSE_WIDTH 寄存器设置的，因此，NANDC 接口时序图中的部分参数会随着该寄存器的设置不同而改变。在本节的参数表中，统一以“可以设置”表示。

NANDC 命令周期时序参数如表 8-3 所示。

表8-3 NANDC 命令周期时序参数表

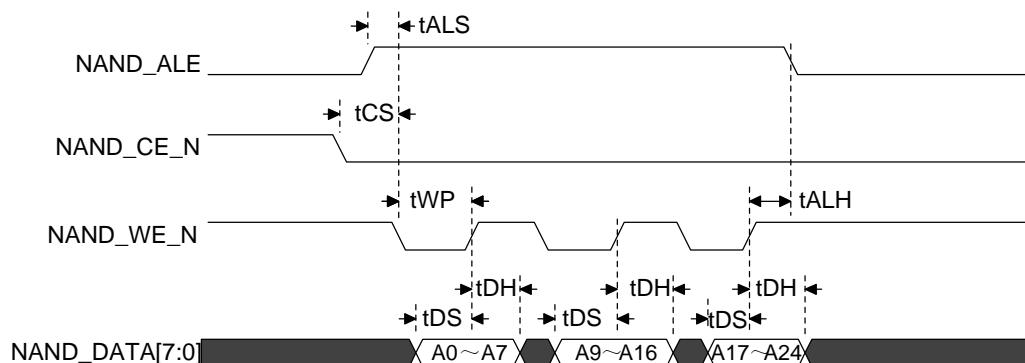
参数	符号	最小值	最大值	单位	说明
NAND_CLE 建立时间	tCLS	0	-	ns	-
NAND_CLE 保持时间	tCLH	10	-	ns	可以设置
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_CE_N 保持时间	tCH	10	-	ns	可以设置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以设置
数据建立时间	tDS	10	-	ns	可以设置
数据保持时间	tDH	10	-	ns	可以设置



8.2.2 地址周期时序

NANDC 地址周期时序如图 8-6 所示。

图8-6 NANDC 地址周期时序图



NANDC 地址周期时序参数如表 8-4 所示。

表8-4 NANDC 地址周期时序参数表

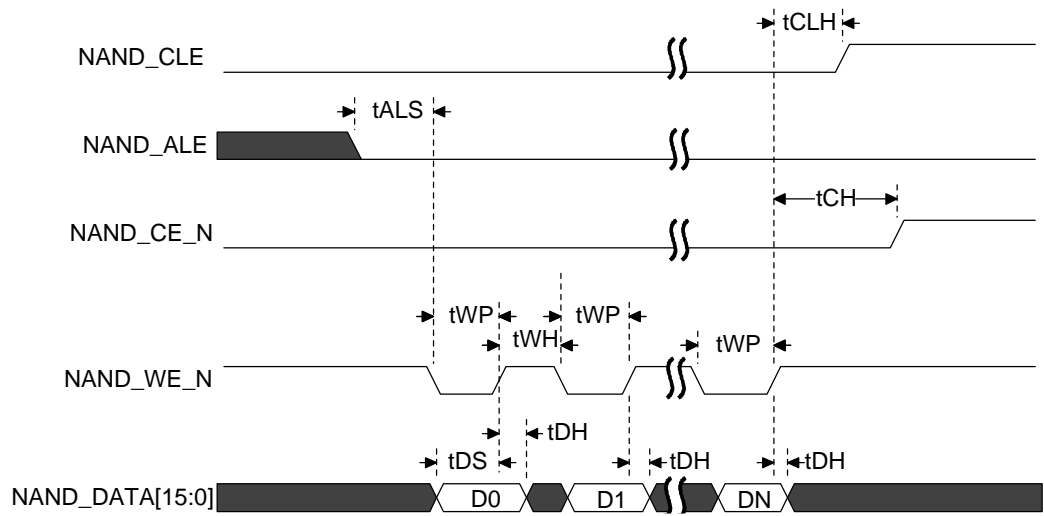
参数	符号	最小值	最大值	单位	说明
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以设置
NAND_ALE 建立时间	tALS	0	-	ns	-
NAND_ALE 保持时间	tALH	10	-	ns	可以设置
数据建立时间	tDS	10	-	ns	可以设置
数据保持时间	tDH	10	-	ns	可以设置

8.2.3 写数据时序

NANDC 写数据时序如图 8-7 所示。



图8-7 NANDC 写数据时序图



NANDC 写数据时序参数如表 8-5 所示。

表8-5 NANDC 写数据时序参数表

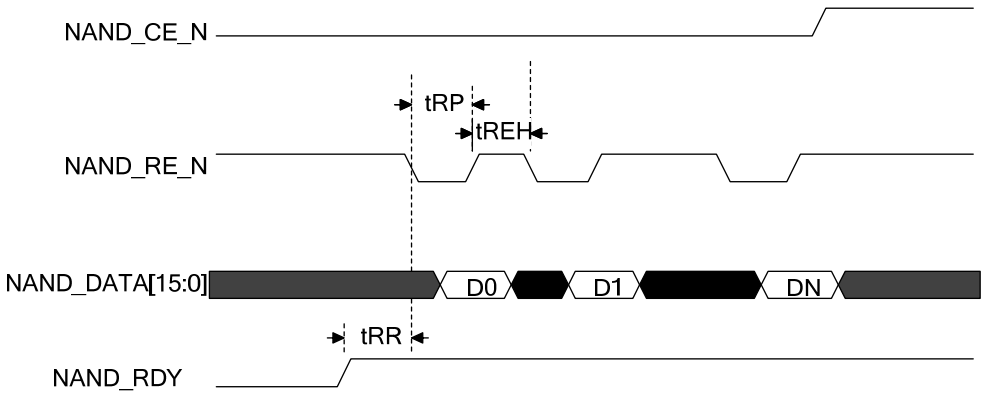
参数	符号	最小值	最大值	单位	说明
NAND_CLE 保持时间	tCLH	10	-	ns	可以设置
NAND_CE_N 保持时间	tCH	10	-	ns	可以设置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以设置
NAND_ALE 建立时间	tALS	0	-	ns	可以设置
数据建立时间	tDS	10	-	ns	可以设置
数据保持时间	tDH	10	-	ns	可以设置
NAND_WE_N 高电平保持时间	tWH	15	-	ns	可以设置

8.2.4 读数据时序

NANDC 读数据时序如图 8-8 所示。



图8-8 NANDC 读数据时序图



NANDC 读数据时序参数如表 8-6 所示。

表8-6 NANDC 读数据时序参数表

参数	符号	最小值	最大值	单位	说明
NAND_RE_N 变低等待时间	tRR	15	-	ns	可以设置
NAND_RE_N 脉冲宽度	tRP	15	-	ns	可以设置
NAND_RE_N 高电平宽度	tREH	15	-	ns	可以设置

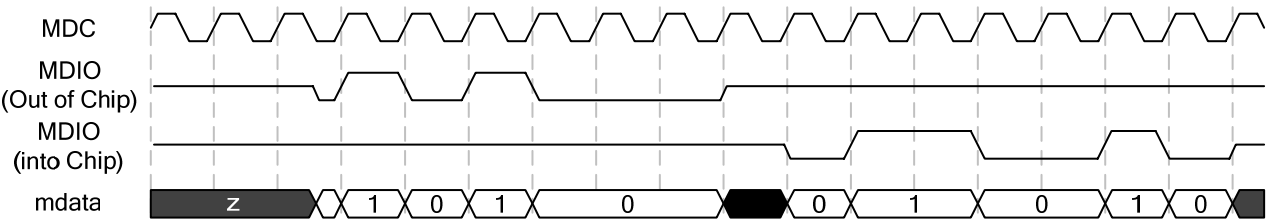
注：tRR 延时是可以设置的。

8.3 Ethernet MAC 接口时序

8.3.1 MDIO 接口时序

MDIO 接口读时序如图 8-9 所示。

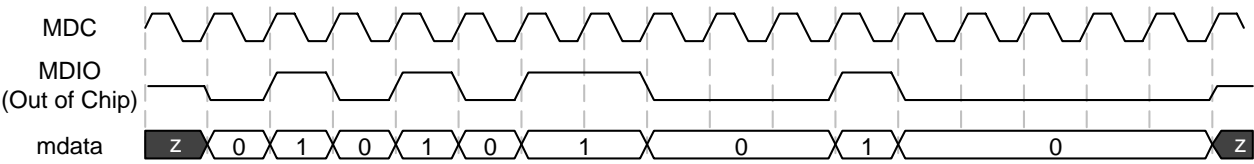
图8-9 MDIO 接口读时序



MDIO 接口写时序如图 8-10 所示。

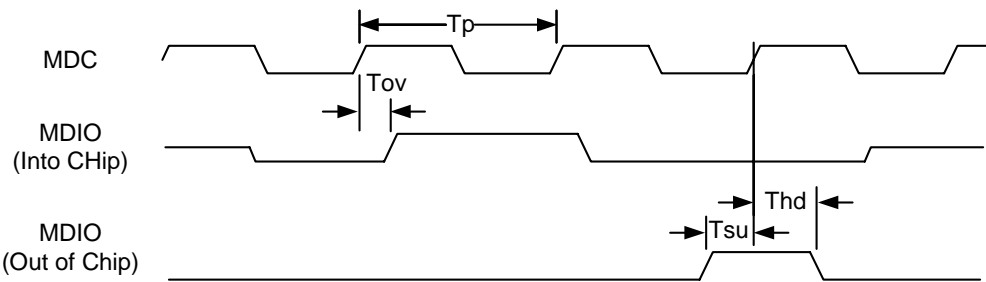


图8-10 MDIO 接口写时序



MDIO 接口时序参数如图 8-11 所示。

图8-11 MDIO 接口接收时序参数



MDIO 接口时序参数说明如表 8-7 所示。

表8-7 MDIO 接口时序参数

参数	符号	信号	最小值	最大值	单位
MDIO 接收数据延迟时间	Tov	MDIO	166	20833	ns
MDIO 时钟周期	Tp	MDC	333	41667	ns
MDIO 发送数据建立时间	Tsu	MDIO	10	-	ns
MDIO 发送数据保持时间	Thd	MDIO	10	-	ns

注：MDC 时钟周期 T_p 可通过调整 MDC 频率（MDIO_RWCTRL[frq_dv]）进行改变，选择 Ethernet 工作时钟 150MHz 的 100 分频、50 分频或者其他分频。 T_{ov} 与 MDC 时钟周期 T_p 相关，约为 $T_{mdc}/2$ 。

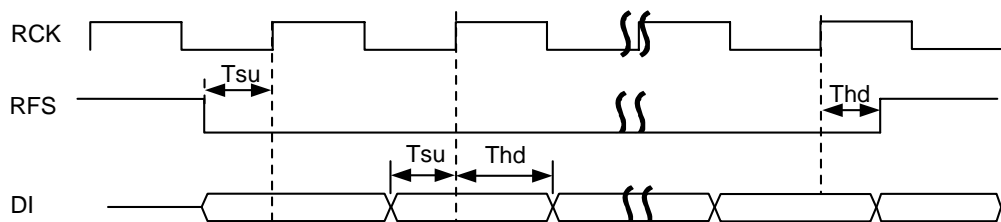
8.4 SIO 接口时序

8.4.1 I²S 模式接口时序

I²S 接口接收时序如图 8-12 所示。

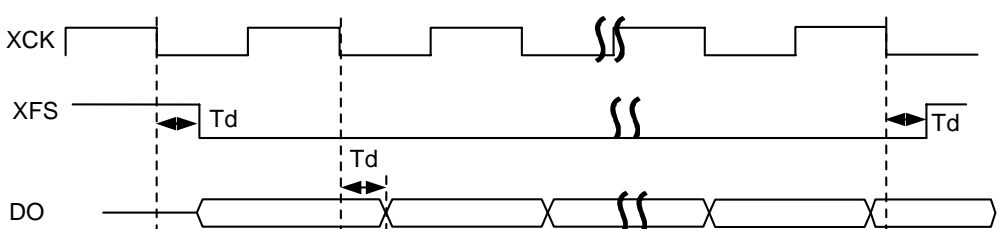


图8-12 I²S 接口接收时序图



I²S 接口发送时序如图 8-13 所示。

图8-13 I²S 接口发送时序图



I²S 接口时序参数如表 8-8 所示。

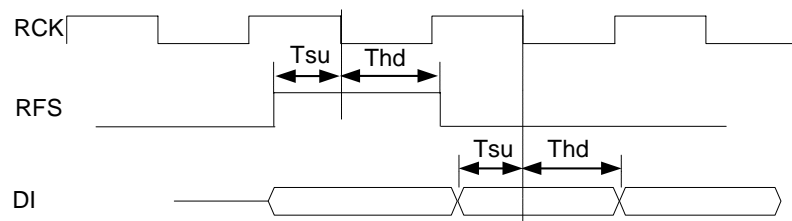
表8-8 I²S 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T_{su}	10	-	-	ns
输入信号保持时间	T_{hd}	10	-	-	ns
输出信号延时	T_d	0	-	8	ns

8.4.2 PCM 模式接口时序

PCM 接口接收时序如图 8-14 所示。

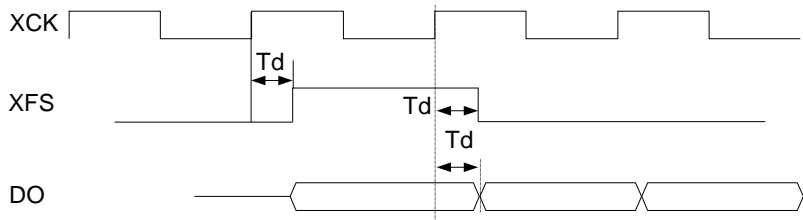
图8-14 PCM 接口接收时序图



PCM 接口发送时序如图 8-15 所示。



图8-15 PCM 接口发送时序图



PCM 接口时序参数如表 8-9 所示。

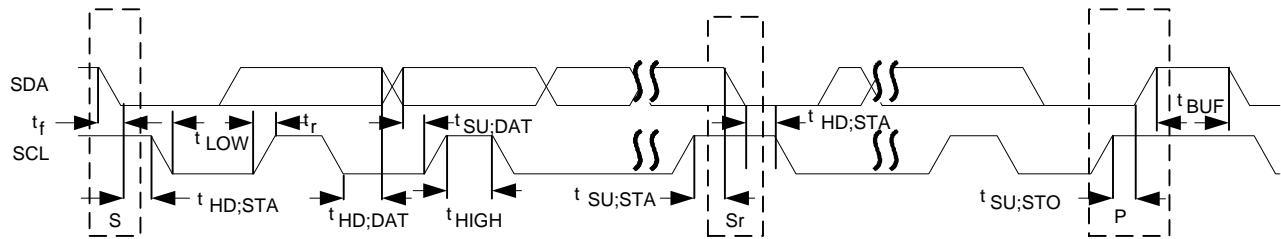
表8-9 PCM 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T_{su}	10	-	-	ns
输入信号保持时间	T_{hd}	10	-	-	ns
输出信号延时	T_d	0	-	8	ns

8.5 I²C 时序

I²C 传输时序如图 8-16 所示。

图8-16 I²C 传输时序图



I²C 接口时序参数如表 8-10 所示。

表8-10 I²C 接口时序参数表

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f_{SCL}	0	100	0	400	KHz
启动保持时间	$t_{HD;STA}$	4.0	-	0.6	-	μs



参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 低电平周期	t_{LOW}	4.7	-	1.3	-	μs
SCL 高电平周期	t_{HIGH}	4.0	-	0.6	-	μs
启动建立时间	$t_{\text{SU,STA}}$	4.7	-	0.6	-	μs
数据保持时间	$t_{\text{HD,DAT}}$	0	3.45	0	0.9	μs
数据建立时间	$t_{\text{SU,DAT}}$	250	-	100	-	ns
SDA、SCL 上升时间	t_r	-	1000	$20+0.1C_b$	300	ns
SDA、SCL 下降时间	t_f	-	300	$20+0.1C_b$	300	ns
结束建立时间	$t_{\text{SU,STO}}$	4.0	-	0.6	-	μs
开始与结束之间的总线释放时间	t_{BUF}	4.7	-	1.3	-	μs
总线负载	C_b	-	400	-	400	pF
低电平噪声容限	V_{nL}	$0.1V_{\text{DD}}$	-	$0.1V_{\text{DD}}$	-	V
高电平噪声容限	V_{nH}	$0.2V_{\text{DD}}$	-	$0.2V_{\text{DD}}$	-	V

8.6 SPI 接口时序

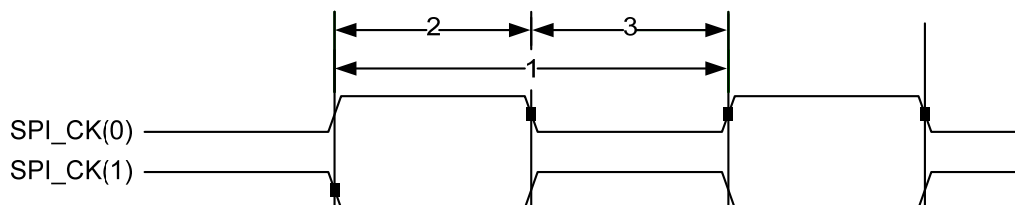


图 8-17 ~ 图 8-19 中，以下缩略语或字母意义不变：

- MSB:Most Significant Bit
- LSB:Least Significant Bit
- SPI_CK(0):spo=0
- SPI_CK(1):spo=1

SPI 接口时钟时序如图 8-17 所示。

图8-17 SPICK 时序





SPI 主模式下接口时序分别如图 8-18 和图 8-19 所示。

图8-18 SPI 主模式下接口时序 (sph=0)

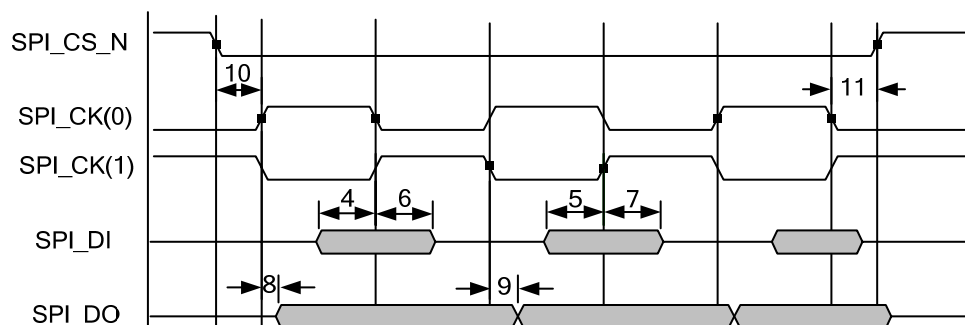
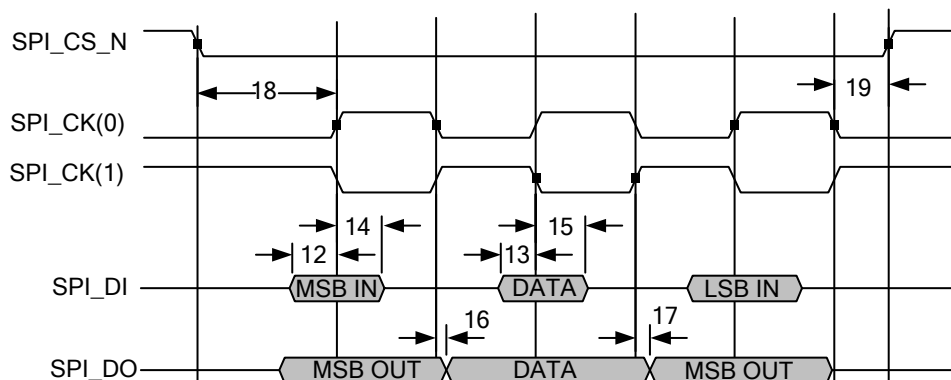


图8-19 SPI 主模式下接口时序 (sph=1)



SPI 接口时序参数如表 8-11 所示。

表8-11 SPI 接口时序参数

No	参数	符号	最小值	典型值	最大值	单位
1	Cycle time, SPI_CLK	tc	-	-	-	ns
2	Pulse duration, SPI_CLK high (All Master Modes)	tw1	-	-	-	ns
3	Pulse duration, SPI_CLK low (All Master Modes)	tw2	-	-	-	ns
4	Setup time, SPI_DI (input) valid before SPI_CLK (output) falling edge	tsu1	-	-	-	ns
5	Setup time, SPI_DI (input) valid before SPI_CLK (output) rising edge	tsu2	-	-	-	ns



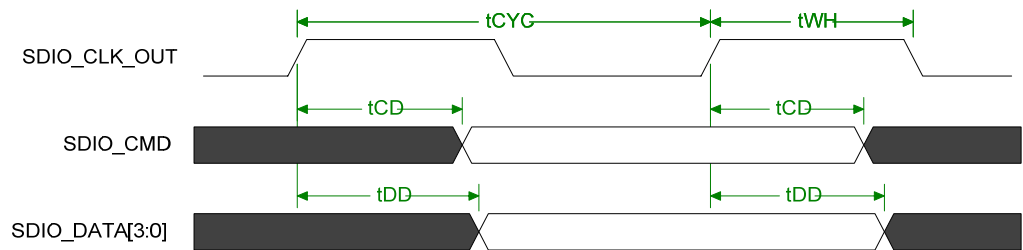
No	参数	符号	最小值	典型值	最大值	单位
6	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th1	-	-	-	ns
7	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th2	-	-	-	ns
8	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td1	-	-	-	ns
9	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td2	-	-	-	ns
10	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td3	-	-	-	ns
11	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td4	-	-	-	ns
12	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu3	-	-	-	ns
13	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu4	-	-	-	ns
14	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th3	-	-	-	ns
15	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th4	-	-	-	ns
16	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td5	-	-	-	ns
17	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td6	-	-	-	ns
18	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td7	-	-	-	ns
19	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td8	-	-	-	ns



8.7 MMC/SD/SDIO 接口时序

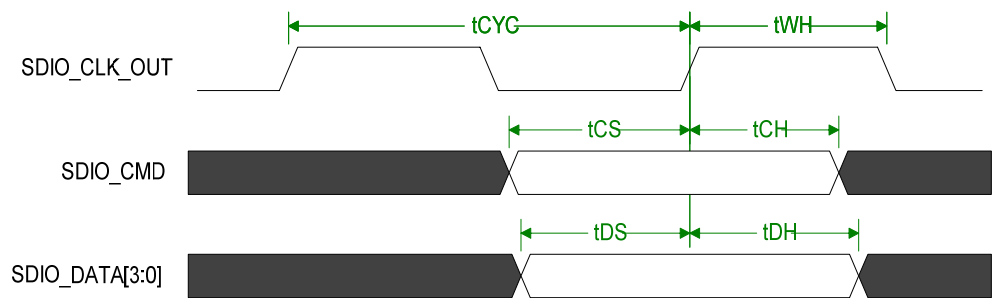
输出方向时序如[图 8-20](#) 所示。

图8-20 输出方向时序图



输入方向时序如[图 8-21](#) 所示。

图8-21 输入方向时序图



MMC 接口时序参数如[表 8-12](#) 所示。

表8-12 MMC 接口时序参数

参数	描述	最小值	最大值	单位
t_{CYC}	卡时钟周期	10	34000*(1)	ns
t_{WH}	卡时钟高电平时间	4.95	16999.8	ns
t_{CCLK_IN}	MMC 模块工作时钟周期	10~66.67		ns
t_{CD}	SDIO_CMD 输出延时	1.9*(2)	6.7*(2)	ns
t_{DD}	SDIO_DATA 输出延时	1.7*(2)	6.4*(2)	ns
t_{CS}	SDIO_CMD 输入建立时间	3.1*(3)	-	ns
t_{CH}	SDIO_CMD 输入保持时间	0.7*(3)	-	ns



参数	描述	最小值	最大值	单位
tDS	SDIO_DATA 输入建立时间	3.3*(3)	-	ns
tDH	SDIO_DATA 输入保持时间	0.7*(3)	-	ns

说明：

*(1)：SDIO 时钟源输入最低频率为 15MHz，在 SDIO 模块内部，还可以将时钟源进一步做分频处理，最多做 510 分频，即 $1000.0/15*510 = 34\text{ms}$ ，具体见 SDIO CLKDIV 寄存器。

*(2)：a、输出驱动时钟选择相移 90°（可选 8 种相移：0°、45°、90°、135°、180°、225°、270°、315°，具体见芯片手册的“PERI_CRG39 bit[18:16]寄存器”）；b、以上表格列出的参数仅适合 SD3.0 协议，按照 eMMC 协议，在 DDR50 模式下，要求 DATA 的输出延时最小要不小于 2.5ns，对接 eMMC 的情况下，可通过进一步调整驱动时钟相位，使 hold 满足。

*(3)：输入采样时钟选择相移 90 度（可选 8 种相移：0°、45°、90°、135°、180°、225°、270°、315°，具体见芯片手册的“PERI_CRG39 bit[14:12]寄存器”）。



A 缩略语

A

AAC	advanced audio coding
AAF	anti-aliasing filter
ABR	average bit rate
AC	alternating current
ACA	accessory charge adapter
ACC	automatic contrast control
ACD	auto command done
ACM	adaptive coding and modulation
ADP	attach detection protocol
ADC	analog-to-digital converter
AE	automatic exposure
AEC	audio echo cancellation
AES	advanced encryption standard
AF	adaption field
AGC	automatic gain control
AHB	advanced high-performance bus
AI	audio input
AIU	audio input unit
ALU	arithmetic logic unit
AMBA	advanced microcontroller bus architecture
AMP	asymmetric multi-processing
ANI	automatic number identification
ANR	automatic noise reduction



A 缩略语

AO	audio output
AOU	audio output unit
AP	access point
APB	advanced peripheral bus
API	application programming interface
APLL	analog phase-locked loop
APSK	amplitude phase shift keying
AQTD	alternate queue transfer descriptor
ARM	advanced RISC machines
ARGB	alpha, red, green, blue
ASF	advanced specification format
ATA	advanced technology attachment
ATAH	ATA host controller
ATAPI	advanced technology attachment packet interface
ATR	answer to reset
ATTR	attribute
AUD	audio
AV	audio & video
AVI	auxiliary video information
AVS	audio video coding standard
AWB	automatic white balance
AXI	advanced eXtensible interface

B

BB	baseband
BCH	Bose-Chaudhuri-Hocquenghem
BCM	byte counter modified
BEP	boot entrance point
BER	bit error rate
BGA	ball grid array
BIST	built-in self test
BIU	bus interface unit



BMC	bi-phase mark coding
BND	bayonet nut connector
BOM	bill of material
BPD	bit plan decoder
BPSK	binary phase shift keying
BRG	bridge
BSP	board support package
BVACT	bottom vertical active area
BVBB	bottom vertical back blank
BVFB	bottom vertical front blank
C	
CA	conditional access
CABAC	context-based adaptive binary arithmetic coding
CAR	committed access rate
CAS	column address signal.
CAVLC	context adaptive variable length coding
CBC	cipher block chaining
CBR	constant bit rate
CCB	change control board
CCC	command completion coalescing
CCD	charge-coupled device
CCM	constant coding and modulation
CD	command done or collision detection
CDR	clock data recovery
CEC	consumer electronics control
CF	compact flash
CFB	cipher feedback
CFR	crest factor reduction
CGI	common gate interface
CGMS	copy generation management system
CI	common interface
CIC	cascaded integrator comb



CIU	card interface unit
CL	CAS latency
CLK	clock
CML	current mode logic
CMOS	complementary metal-oxide semiconductor
CN	carrier noise
CNG	comfort noise generator
CODEC	coder/decoder
CP	charge pump
CPL	completion
CPLD	complex programmable logic device
CPU	central processing unit
CR	carrier recovery
CRAMFS	compressed ROM file system
CRC	cyclic redundancy check
CRG	clock and reset generator
CRS	completion retry request
CS	chip select
CSA	common scramble algorithm
CSI	camera serial interface
CSIX	common switch interface
CSMD	<i>carrier sense multiple access</i>
CTI	chroma transient improvement
CTR	counter
CTS	clear to send
CVBS	composite video broadcast signal
CW	cipher word

D

DAC	digital-to-analog converter
DAG	digital automatic gain
DAGC	digital automatic gain control
DAV	DMA of audio and video



DC	direct current
DCD	data connect detection
DCRC	data CRC error
DDC	display data channel
DDR	double data-rate
DDRC	double data rate controller
DHCP	dynamic host configuration protocol
DEM	dynamic-element matching
DES	data encryption standard
DFT	design for test
DIP	dual in-line package
DIS	digital image stabilization
DiSEqC	digital satellite equipment control
DLL	delay locked loop
DM	data mask
DMA	direct memory access
DMAC	direct memory access controller
DNR	digital noise reduction
DP	data path
DPLL	digital phase-locked loop
DQ	data input/output
DQS	data strobe
DR	design requirement
DRAM	dynamic random access memory
DRC	dynamic range compression
DRM	digital rights management
DRTO	data read timeout
DSI	display serial interface
DSU	dedicated scaling unit
DTMF	dual tone multi frequency
DTO	data transfer over
DVB	digital video broadcasting
DVB-S	digital video broadcasting-satellite



DVD	digital versatile disc
DVI	digital visual interface
DVR	digital video recorder
DWA	data weighted averaging
E	
E2PROM	electrically erasable programmable read-only memory
EAV	end of active video
EB	eviction buffer
EBE	end-bit error
EBI	external bus interface
ECB	electronic codebook
ECC	error correcting code
ECM	entitlement control message
ECS	embedded CPU subsystem
ED	exposed die
EDID	extended display identification data
EEE	energy efficient Ethernet
EHCI	enhanced host controller interface
EMI	electromagnetic interference
EMM	entitlement management message
eMMC	embedded multimedia card
EOP	end of PES
EoS	Ethernet over SONET/SDH
EP	end point
EPG	electronic program guide
EQU	equalizer
ERR	error
ES	element stream
eSATA	external serial advanced technology attachment
ESD	electrostatic discharge
ESR	equivalent series resistance
ETH	Ethernet



ETU elementary time unit

F

FAS frame aligning signal

FBE feedback equalizer

FC switch fabric

FCBGA flip-chip ball grid array

FCCSP flip-chip chip scale package

FEC forward error correction

FER frame error rate

FFC flexible flat cable

FFE feed forward equalizer

FIFO first in first out

FIQ fast interrupt request

FIR finite impulse response

FIS frame information structure

FOD field order detect

FPC flexible printed connector

FPU floating-point unit

FRUN FIFO underrun/overrun error

FSK frequency shift keying

FTP File Transfer Protocol

G

GFP-F frame-mapped generic framing procedure

GFP-T transparent generic framing procedure

GHB global history buffer

GIC generic interrupt controller

GOP group of picture

GS generic stream

GMAC gigabit media access control

GND ground

GPIO general purpose input/output



GPL	GNU general public license
GPU	graphics processing unit
H	
HBA	host bus adapter
HBP	horizontal back porch
HD	high definition
HDCP	high-bandwidth digital content protection
HDI	high density interconnector
HDMI	high definition multimedia interface
HFP	horizontal front porch
HIAO	high-performance audio output interface
HPW	horizontal pulse width
HSTL	high speed transceiver logic
HTML	hypertext markup language
HACT	horizontal active area
HFB	horizontal front blank
HL	high level
HLDC	horizontal lens distortion correction
HLE	hardware locked error
HNP	host negotiation protocol
HTO	data starvation-by-host timeout
HP	high profile
HSIC	high-speed inter-chip
HSS	high-speed serializer/deserializer
HTTP	Hypertext Transfer Protocol
HTTPS	Hypertext Transfer Protocol Secure
HVBB	horizontal back blank
I	
I	in-phase
IBIS	input/output buffer information specification
IC	integrated circuit



I²C	inter-integrated circuit
I²S	inter-IC sound
I/O	input/output
IOC	I/O configuration
IP	Internet Protocol
ISI	input stream identifier
ISP	image signal processor
IDE	integrated device electronic
LDPC	low density parity check code
IDR	intermediate data rate
IF	intermediate frequency
IGMP	Internet Group Management Protocol
LMS	linear mean square
IPF	IP filter
IPv4	Internet Protocol Version 4
IR	infrared
IRQ	interrupt request
ISI	input stream identifier
ISP	image signal processor
ISR	interrupt service routine
ITCM	instruction tightly coupled memory
ITLA	integrated tunable laser assembly
ITU	International Telecommunication Union
IV	initialization vector

J

JFFS2	journaling flash file system version 2
JPEG	Joint Photographic Experts Group
JPGE	JPEG encoder
JTAG	Joint Test Action Group

K

KL	key ladder
-----------	------------

**L**

LCD	liquid crystal display
LDO	low dropout regulator
LDPC	low-density parity check code
LED	light emitting diode
LFB	line fill buffer
LFSR	linear feedback shifting register
LMR	load mode register
LMS	least mean square
LNB	low noise block
LOS	loss of signal
LPI	low-power idle
LRB	line read buffer
LSB	least significant bit
LSP	label switched path
LSN	logic sector number
LTI	luma transient improvement
LVDS	low-voltage differential signaling
LVPECL	low-voltage positive emitter coupled logic
LVTTL	low-voltage transistor-transistor logic
LVPECL	low-voltage positive emitter-coupled logic

M

MAC	media access control
MBAFF	macroblock adaptive frame field
MCE	media control engine
MCU	microprogrammed control unit
MD	motion detection
MDDRC	multiport DDRC
MDIO	management data input/output
MDU	motion detect unit
MF	matched filter



MQFN	mapped quad flat non-leaded
MHL	mobile high-definition link
MII	media independent interface
MIPI	mobile industry processor interface
MIPS	microprocessor without interlocked pipeline stages
MLC	multi-level cell
MLF	malformed
MMB	media memory block
MMC	multimedia card
MMU	memory management unit
MMZ	media memory zone
MP	main profile
MPI	MPP programming interface
MPE	media processing engine
MPLL	multiplying phase-locked loop
MPP	media processing platform
MRL	manually-operated retention latch
MSB	most significant bit
MSE	mean square error
MSG	message
MV	motion vector
N	
NAL	network abstraction layer
NANDC	NAND flash controller
NC	not connect
NCQ	native command queuing
NLP	non-linear processor
NR	noise reduction
NRZ	non-return-to-zero
NTSC	National Television Systems Committee
NVR	network video recorder

**O**

OCT	on-chip termination
OD	open drain
ODT	on-die termination
OEN	output enable
OFB	output feedback
OHCI	open host controller interface
OOB	out of band
OP	operational amplifier
OR	original requirement
OSC	oscillator
OSD	on screen display
OTG	on-the-go
OTP	one time programmable
OTU	optical transponder unit

P

PAD	packet assembler/disassembler
PAFF	picture adaptive frame field
PAL	phase alternating line
PCB	printed circuit board
PCI	peripheral component interconnect
PCIe	peripheral component interconnect express
PCIV	PCI view
PCR	program clock reference
PCM	pulse code modulation
PDM	pulse density modulation
PECL	positive emitter coupled logic
PER	packet error rate
PES	packetized elementary stream
PG	power/ground
PHY	physical
PID	packet ID



PIM-DM	protocol independent multicast dense mode
PIM-SM	protocol independent multicast sparse mode
PIO	programmable input/output
SSA	secure software authentication
PLL	phase-locked loop
PLS	physical layer signaling
PM	port multiplexer
PMoC	power management of chip
PMP	personal media player
POR	power-on reset
PPP	Point-to-Point Protocol
PPS	picture parameter set
PRBS	pseudo random binary sequence
PRDT	physical region descriptor table
PSI	program specific information
PSK	phase shift keying
PSRAM	pseudo static random access memory
RTCP	Real-time Transport Control Protocol
RTP	Real-time Transport Protocol
PT	packet type
PTS	presentation time stamp
PUB	PHY utility block
PUSI	payload unit start indicator
PWM	pulse width modulation

Q

Q	quadrant
QAM	quadrature amplitude modulation
QDR	quad data rate
QoS	quality of service
QP	quantizer parameter
QPSK	quaternary phase shift keying



R	
RAM	random access memory
RAS	row address signal
RC	resistor-capacitor
RCA	Radio Corporation of America
RCRC	response CRC error
RE	response error
RF	radio frequency
RGB	red-green-blue
RGMII	reduced gigabit media independent interface
RH	relative humidity
RoHS	restriction of the use of certain hazardous substances
ROI	region of interest
ROM	read-only memory
ROP	raster operation
RPR	resilient packet ring
RLDRAM	reduced latency dynamic random access memory
RMII	reduced media-independent interface
RS	Reed-Solomon
RTC	real-time clock
RTO	response timeout
RTS	request to send
RVDS	RealView development suite
RX	receive
RXDR	receive FIFO data request

S

SAP	service access point
SAD	sum of absolute difference
SAR	successive approximation
SATA	serial advanced technology attachment
SAV	start of active video
SBE	start-bit error



SBP	secure boot procedure
SCD	start code detect
SCI	smart card interface
SCL	serial clock
SCR	system clock reference
SCS	secure chipset start-up
SCU	snoop control unit
SD	secure digital
SDA	serial data
SDB	set device bits
SDH	synchronous digital hierarchy
SDHC	secure digital high capacity
SDI	serial digital interface
SDIO	secure digital input/output
SDK	software development kit
SDRAM	synchronous dynamic random access memory
SDV	system design verification
SI	specific information
SIO	sonic input/output
SLC	single-level cell
SMI	static memory interface
SNAP	subnetwork access point
SNR	signal-to-noise ratio
SNTF	serial ATA notification
SOA	semiconductor optical amplifier
SoC	system-on-chip
SONET	synchronous optical network
SOP	start of PES
SP	simple profile
SPDIF	Sony/Philips digital interface
SPI	serial peripheral interface
SPS	sequence parameter set
SRAM	static random access memory



SRP	Session Request Protocol
SSA	secure software authentication
SSD	secure software download
SSMC	synchronous static memory controller
SSP	synchronous serial port
SSRAM	synchronous static random access memory
SSTL-18	stub series terminated logic for 1.8 V
STA	station
STB	set-top box
STM-1	synchronous transport module level 1
SVB	selective voltage bing
SYNC	synchronization
SYS	system

T

TBD	to be determined
TBGA	tape ball grid array
TC	traffic class
TCP	Transmission Control Protocol
TD	TLP digest
TDES	triple data encryption standard
TDE	two-dimensional engine
TE	tearing effect
TEI	transport error indicator
TFD	task file data
TFPBGA	tape fine-pitch ball grid array
TFT	thin-film technology
TI	Texas Instruments
TLV	type-length-value
TOE	TCP/IP offload engine
TP	transponder
TPIT	TS packet index table
TR	timing recovery



TT	teletext
TV	television
TVACT	top vertical active area
TVBB	top vertical back blank
TVFB	top vertical front blank
TVS	transient voltage suppressor
TX	transmit
TXDR	transmit FIFO data request
U	
UART	universal asynchronous receiver transmitter
U-boot	universal boot loader
UC	unexpected completion
UDP	User Datagram Protocol
ULPI	UTMI low pin interface
UPnP	universal plug and play
UR	unsupported request
USB	universal serial bus
USIM	universal subscriber identity module
UTMI	USB 2.0 transceiver macrocell interface
V	
VACT	vertical active area
VAD	voice activity detector
VAPU	video analysis&process unit
VBB	vertical back blank
VBI	vertical blanking interval
VBR	variable bit rate
VCC	common connector voltage
VCO	voltage controller oscillator
VCMP	video compress
VCXO	voltage control crystal oscillator



VDA	video detection analysis
VDH	video decoder for high-definition
VDM	video decoding module
VDEC	video decoding
VDP	video display
VEDU	video encoding/decoding unit
VENC	video encoding
VFB	vertical front blank
VFMW	video firmware
VFP	vertical front porch
VGA	video graphics array
VI	video input
VIC	vector interrupt controller
VICAP	video capture
VIU	video input unit
VLD	valid
VLL	virtual leased line
VO	video output
VOIE	voice encoder
VOU	video output unit
VPP	video pre-processing
VPS	video programming system
VPSS	video process subsystem
VPW	vertical pulse width
VSA	vertical sync start
VQE	voice quality enhancement
VQM	voice quality monitor
W	
WDG	watchdog
WE	write enable
WFE	wait for event
WFI	wait for interrupt



WRED	weighted random early discard
WSS	wide screen signaling
X	
XAUI	10 gigabit attachment unit interface
Y	
YAFFS	yet another flash file system
YUV	luminance-bandwidth-chrominance
Z	
ZME	zoom engine