



Hi3137V100

硬件设计指南

文档版本 00B01

发布日期 2014-03-04

版权所有 © 深圳市海思半导体有限公司 2014。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为总部 邮编：518129

网址： <http://www.hisilicon.com>

客户服务邮箱： support@hisilicon.com



前 言

概述

本文档主要介绍 Hi3137 芯片在应用方案设计中的原理图及 PCB 设计的要点，指导客户加快硬件方案设计进度，保证设计质量。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3137	V100

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

作者信息

章节号	章节名称	作者信息
全文	全文	J00207467



修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2014-03-04	00B01	第一次临时版本发布。



目 录

前 言.....	i
1 原理图设计要点.....	1
1.1 RF 电路设计要点.....	1
1.1.1 RF 前端射频信号输入匹配设计.....	1
1.1.2 晶体负载电容的设计.....	2
1.1.3 复位电路设计.....	3
1.1.4 RF 端 AGC 的设计.....	4
1.1.5 RF 馈电设计.....	4
1.2 Hi3137 电路设计要点.....	5
1.2.1 Hi3137 端 AGC 的设计.....	5
1.2.2 Hi3137 端 TS 输出的设计.....	5
2 PCB 设计要点.....	7
2.1 RF 电路设计要点.....	7
2.1.1 RF 输入端信号设计.....	7
2.1.2 Antenna 反馈电路的信号线设计.....	8
2.1.3 RF 电源滤波电容设计.....	8
2.1.4 RF LT 信号设计.....	8
2.1.5 RF 输入信号屏蔽壳设计.....	9
2.1.6 电源关键去耦电容设计.....	9
2.1.7 AGC 信号走线设计.....	10
2.1.8 IQ 信号走线设计.....	10
2.1.9 RF 晶体设计.....	11
2.1.10 RF 底部 EPAD 设计.....	12
2.2 Hi3137 PCB 设计要点.....	13
2.2.1 Hi3137 AGC PCB 设计.....	13
2.2.2 Hi3137 bottom 层的设计.....	13
2.2.3 TS 输出走线设计.....	14
2.2.4 Hi3137 底部 EPAD 设计.....	14
A 缩略语	A-1



插图目录

图 1-1 RF 输入匹配设计	2
图 1-2 RF 晶振电路设计	3
图 1-3 复位电路设计	3
图 1-4 RF AGC 电路设计	4
图 1-5 RF 馈电设计	4
图 1-6 Hi3137 AGC 设计	5
图 1-7 TS 电路设计	6
图 2-1 RF 前端 PCB 设计	8
图 2-2 RF 前端屏蔽设计	9
图 2-3 去耦电容 PCB 设计	10
图 2-4 IQ PCB 设计	11
图 2-5 RF 晶体 PCB 设计	12
图 2-6 RF 底部 EPAD 设计	12
图 2-7 Hi3137 AGC PCB 设计	13
图 2-8 Hi3137 底部 SI 设计	14
图 2-9 Hi3137 底部 EPAD 设计	15



1 原理图设计要点

1.1 RF 电路设计要点



说明

以 Maxlinear MxL603 为例说明。

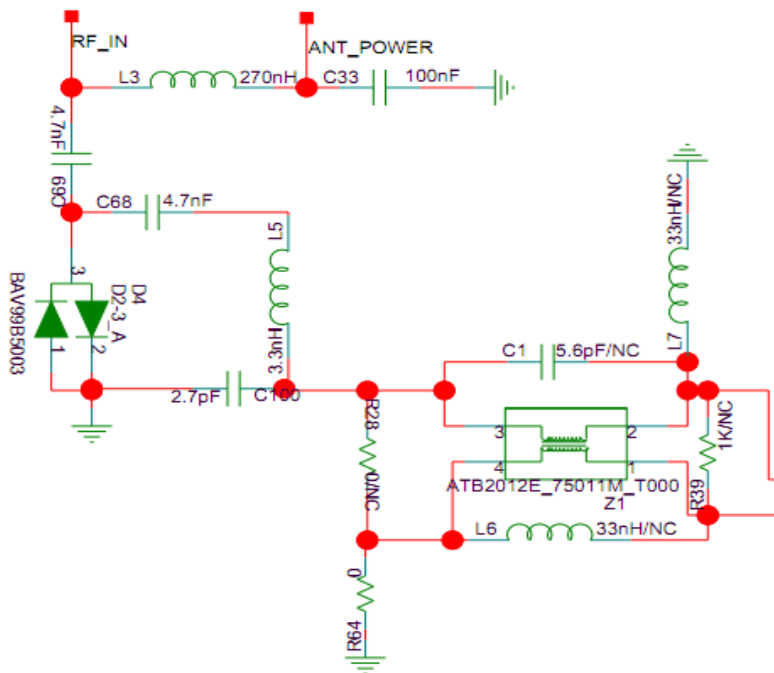
1.1.1 RF 前端射频信号输入匹配设计

RF 前端射频信号输入匹配设计如下：

- 不得更改 C68、C69 的前端阻抗匹配，C68、C69、C100 要求电容精度控制在 $\pm 5\%$ 之内。
- L3、L5 为高频电感，其自谐振频率要求 $\geq 3\text{GHz}$ ，L3 主要是对 ANT_POWER 起滤波作用，L3 的额定电流需保证在 150mA。
- L5、C100 组成的 LC 电路主要是提高抗 WIFI 干扰；D4 主要是在外围提高 ESD 防护能力，增强对 RF 芯片的保护。
- 原理图中其余可选 NC 器件等在正常情况下无需焊接。
- 对 Z1 技术指标要求：
 - Amplitude imbalance: 0.2dB(Typ)
 - Phase imbalance: 1 degree(Typ)
 - Insertion loss: 0.5dB(Typ)

如图 1-1 所示。

图1-1 RF 输入匹配设计



1.1.2 晶体负载电容的设计

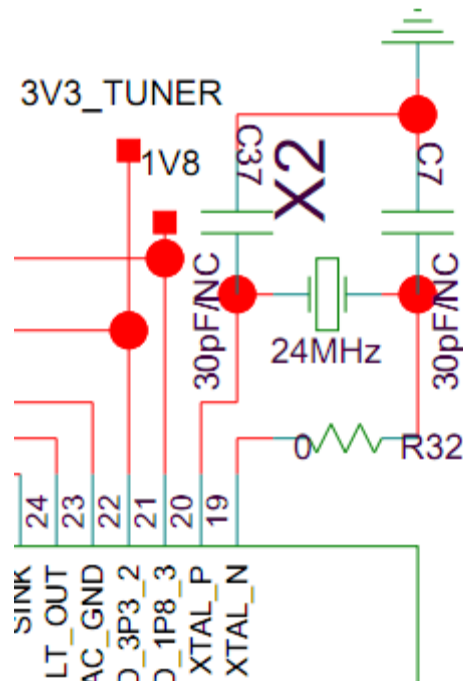
晶体负载电容的设计如下:

- Mxl603 支持 24MHz、16MHz 晶体，目前我们采用 24MHz 时钟。
- 预留外部负载电容 C7、C37，正常情况下无需焊接，因为 Mxl603 内部提供 1~31pF 的负载电容可调。
- MxL603 内部晶体可调负载电容步进量为 1pF，若外部负载需要超过 31pF 时，C7、C37 被启用。

如图 1-2 所示。



图1-2 RF 晶振电路设计



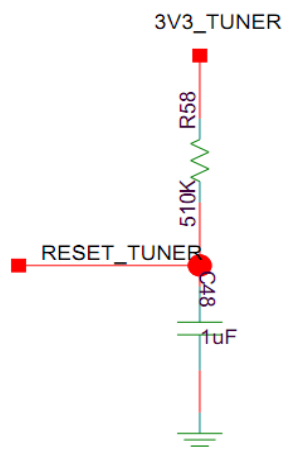
1.1.3 复位电路设计

该 RF 对上电顺序无特殊要求，但对复位电路有要求：

- 需要各电源上电完成后，复位电路需要继续保持低电平 $\geq 10\mu s$ ，
- 推荐 $R58=510k\Omega$ ， $C48=1\mu F$ 。

如图 1-4 所示。

图1-3 复位电路设计



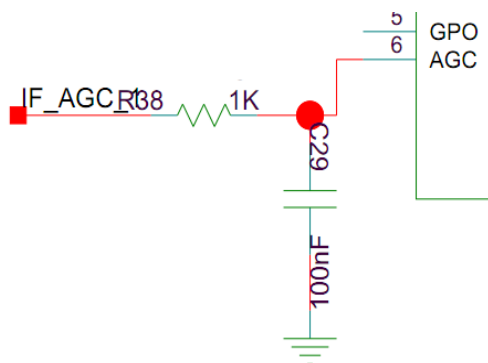
1.1.4 RF 端 AGC 的设计

在 AGC 电路中会涉及到 Demod 及 RF 端两边的 AGC 电路，针对 RF 端，要跟 RF 原厂确认，目前提供的 RF AGC 电路是否是 RF 端，还是 Demod 端，这里只需要了解 RF 这边需要怎样的 AGC 电路，Demod 这边的后面会提到。

- R38=1k Ω ，C29=100nF，
- PCB 设计时 RC 滤波需要靠近 Mxl603 设计，以避免噪声干扰 IF_AGIC。

如图 1-4 所示

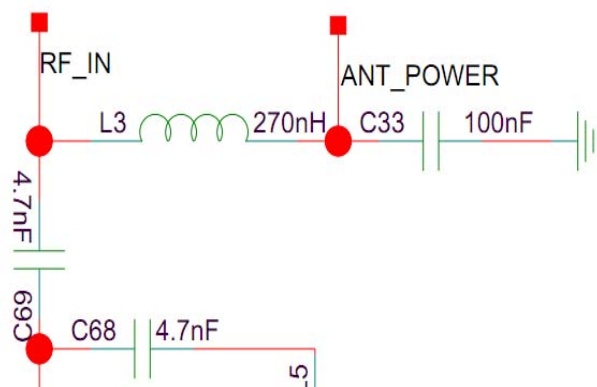
图1-4 RF AGC 电路设计



1.1.5 RF 馈电设计

RF 输入端信号与 Antenna Power 属于同一 Net，在设计时需要注意馈电（Antenna power）端阻抗匹配的设计，避免馈电的滤波电容置放在信号输入端，影响 RF 端输入信号的完整性，见图 1-5 PCB 设计时，C33 应置放在馈电支路上。

图1-5 RF 馈电设计





1.2 Hi3137 电路设计要点



说明

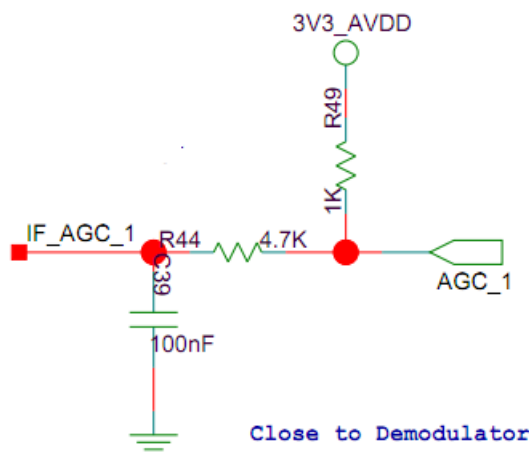
以下介绍以 Hi3137 电路设计为例。

1.2.1 Hi3137 端 AGC 的设计

这里只针对 Demod 端的 AGC 电路，如图 1-6 所示。

- R49=1k Ω 上拉，必须加，否则影响 RF 的动态范围。
- R44=4.7k Ω 、C39=100nF，需要靠近 Demod 设计，以避免 AGC 对板级造成干扰。

图1-6 Hi3137 AGC 设计



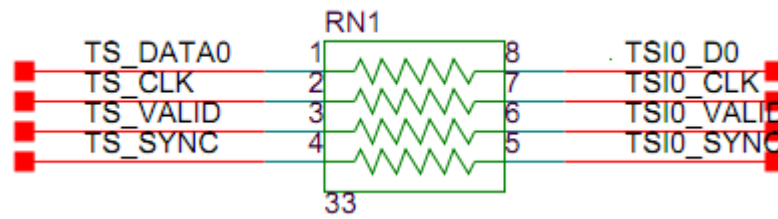
1.2.2 Hi3137 端 TS 输出的设计

如图 1-7 所示，截取了并行 TS 流输出的部分电路：

- 并行设计时当前的串联电阻为 33 Ω 。
- 串行设计时常规情况下不允许在串行 TS 输出接口并接小电容，原因：
 - 避免 TS 时钟边沿变缓影响采样
 - 避免数据幅度被削，导致会存在丢数据的现象，进而导致视频输出马赛克等问题。
- 若为了考虑过 EMC 的问题，可预留电容或 T 型滤波电路空间。



图1-7 TS 电路设计





2 PCB 设计要点

2.1 RF 电路设计要点

PCB layout 时需要以下主要设计要点，包括：

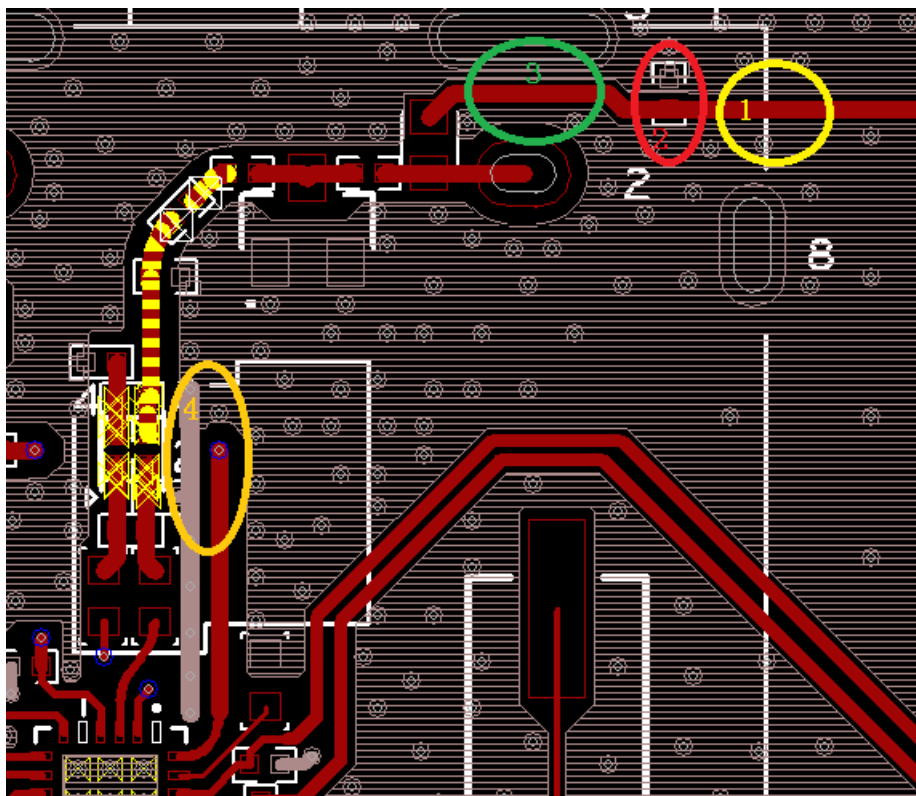
- 主要信号线的线宽
- 阻抗
- 抗干扰性
- 通流能力

2.1.1 RF 输入端信号设计

RF 输入端信号要求进行如下处理：

- 信号阻抗匹配控制在 75Ω ，
- 要求走线避免穿孔、或者从 bottom 层过，并且需保证底部 GND 层信号的完整性。如[图 2-1](#)。
- 射频信号走线需要包地处理，并置地孔，保证相对连续的低阻抗，以便高频能量的释放，防止 spur；
- 如果可能的情况下建议 RF 输入信号走直线，输入 RF 芯片
- **禁止 90 度等拐弯走线，减少信号能量的损失。**

图2-1 RF 前端 PCB 设计



2.1.2 Antenna 反馈电路的信号线设计

Antenna 馈电的信号线要求：

- 保证馈电线的通流能力，线宽要求 15mil。
- 如图 2-1，设计时应将匹配电容（红圈 2）布局在馈电上，不能放于 RF 信号输入端，避免 RF 信号阻抗不匹配引起信号衰减。
- 由于馈电与 RF 输入端靠近，在设计时要用 GND 保护将两者隔离，如图 2-1，绿圈（3），此 GND 地宽度一般上要求 2~3 倍的线宽
- 图中绿圈（3）为馈电靠近板边缘走，为了避免导致对外的辐射，引起 RF 的干扰，此处也需要进行 GND 的保护，线宽要求 2-3 倍的线宽。

2.1.3 RF 电源滤波电容设计

- 要求各电容单独置地孔，并靠近 RF 芯片布局，
- 提供更好的信号回路以及减少寄生电感效应。

2.1.4 RF LT 信号设计

RF loopthrough（简称 LT）位于 RF 信号输入端的右侧，如图金圈（4），需要将 LT 走线与 RF 输入信号端用 GND 隔离，建议 $\geq 20\text{mil}$ ，避免相互干扰。

2.1.5 RF 输入信号屏蔽壳设计

RF 输入信号屏蔽壳的要求布局如图 2-2 黄圈 (1):

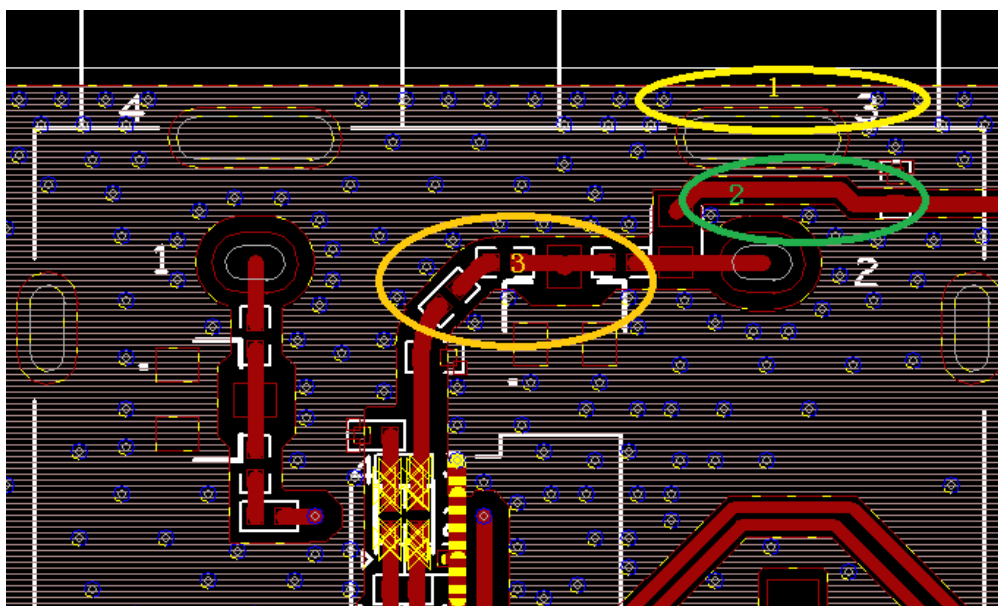
- 屏蔽壳的固定孔与板级边缘需要有地保护, 此边缘 GND 宽度需要 $\geq 35\text{mil}$
- 屏蔽壳的开槽需要 $\leq (1/20) \lambda$, 此处 λ 为 RF 输入信号频率的波长, 要求开槽的长度不大于 0.7cm , 越小越好, 避免高频辐射。



注意

在布线时若遇到图 2-2 绿圈 (2), 由于布局空间的限制, 一些信号走线需要从 RF 输入信号端经过 (绿圈 2 下方), 该走线禁止从黄圈 (3) Bottom 和 Top 层经过, 可考虑从圈 (2)、圈 (1) 的边缘过, 但必须保证有 GND 保护隔离, 线宽要求在 2~3 倍线宽。

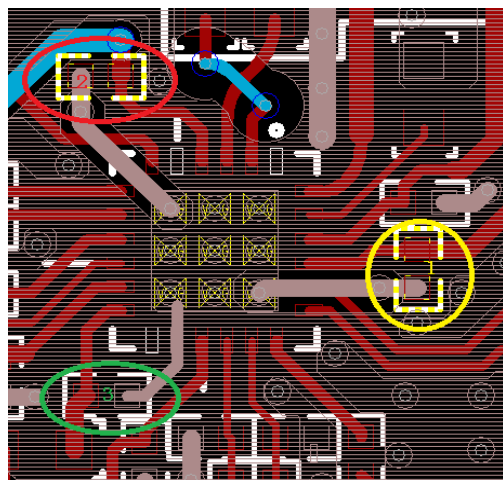
图2-2 RF 前端屏蔽设计



2.1.6 电源关键去耦电容设计

电源去耦电容需靠近 IC pin 放置, 并单独置地孔。在 MxL603 设计中 C32 如图 2-3 黄圈 (1) 根据原理图需靠近对应的 IC pin 输入放置, 并将 GND 连接至 RF 底部 EPAD, C40 红圈 (2)、C35 绿圈 (3) 均与 C32 一样设计。

图2-3 去耦电容 PCB 设计



2.1.7 AGC 信号走线设计

AGC 信号走线要求如图 2-4 绿圈 (1): AGC 走线线宽需要 $\geq 10\text{mil}$ 。需要 GND 进行保护。若布局问题, 其走线可以考虑从 bottom 层过, 但不能破坏关键信号线的参考 GND 层如 IQ 等。

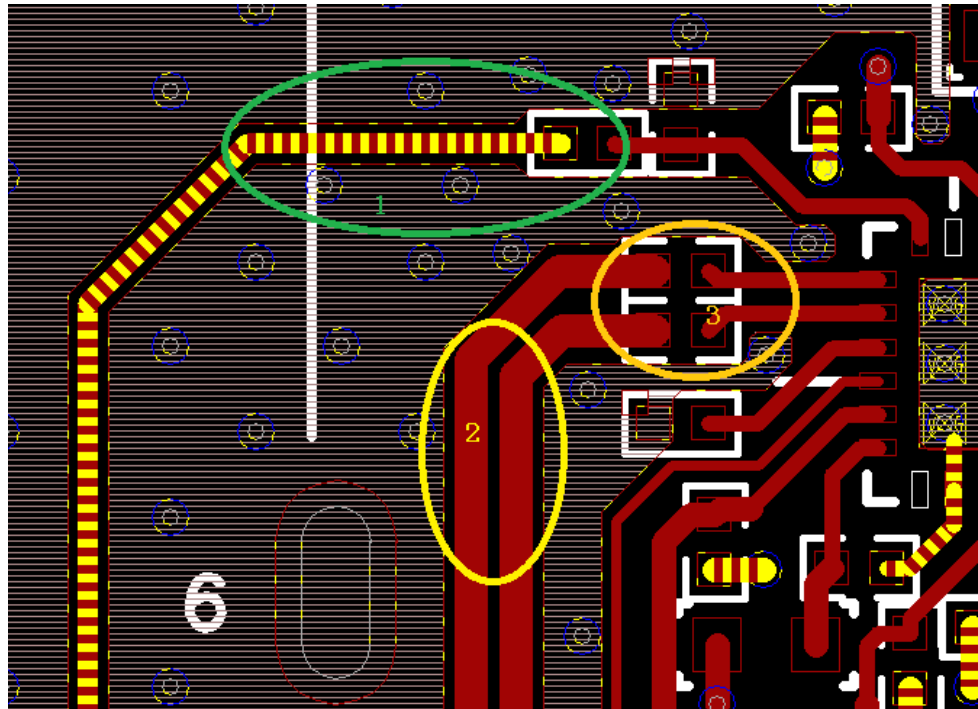
2.1.8 IQ 信号走线设计

IQ 信号走线要求:

- 如图 2-4 黄圈 (2), IQ 走线线宽需要 $\geq 8\text{mil}$, IFOUTP、IFOUTN, 走差分线, 并用 GND 进行隔离保护, 信号走线底层 GND 禁止走线。
- 如图 2-4 金圈 (3), IQ 匹配电容的布局应靠近 RF 芯片, 避免干扰。



图2-4 IQ PCB 设计

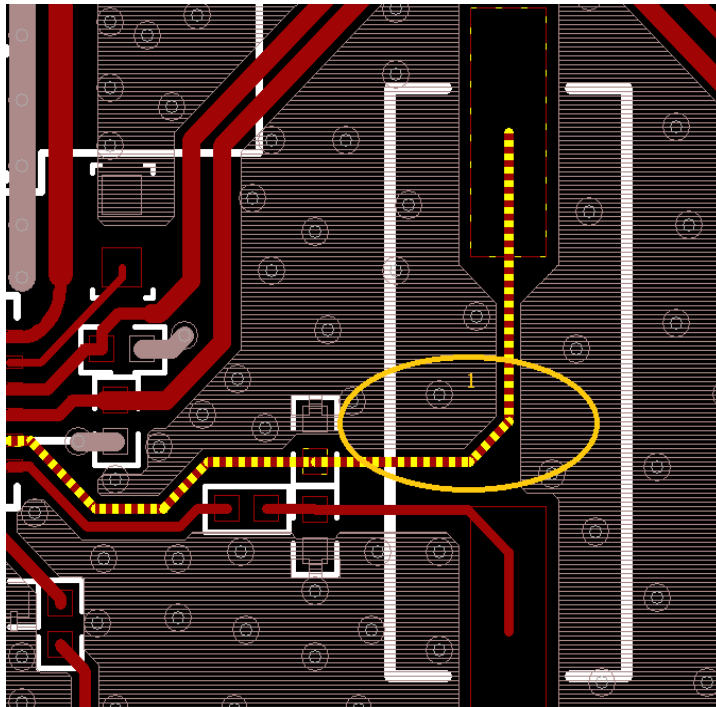


2.1.9 RF 晶体设计

晶振电路走线如[图 2-5](#) 金圈（1）：线宽要求 $\geq 10\text{mil}$ ，晶振区域（TOP、BOTTOM 层）需要有完整地，并多置地孔，利于晶体噪声的释放。



图2-5 RF 晶体 PCB 设计

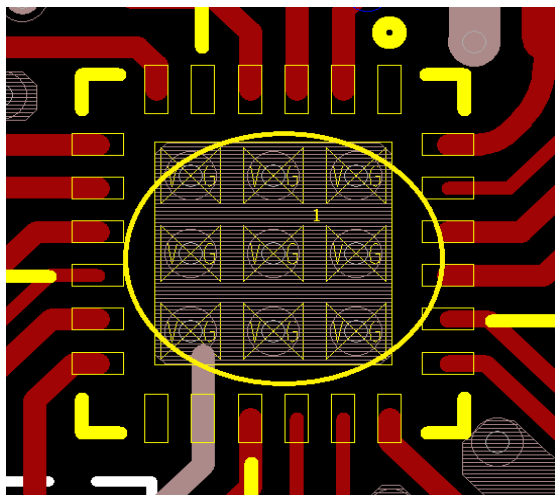


2.1.10 RF 底部 EPAD 设计

在 PCB layout 时，一般 RF 芯片其背面均有 GND PAD，需要在设计时考虑在 Solder mask TOP 层与 Solder mask BOTTOM 层进行开窗处理，建议 VIA 开孔直径长度 0.3mm，置 9 个孔。主要作用：

- 有利 RF 芯片散热
- 保证上下地的完整性，利于高频能量释放。如图 2-6 所示。

图2-6 RF 底部 EPAD 设计



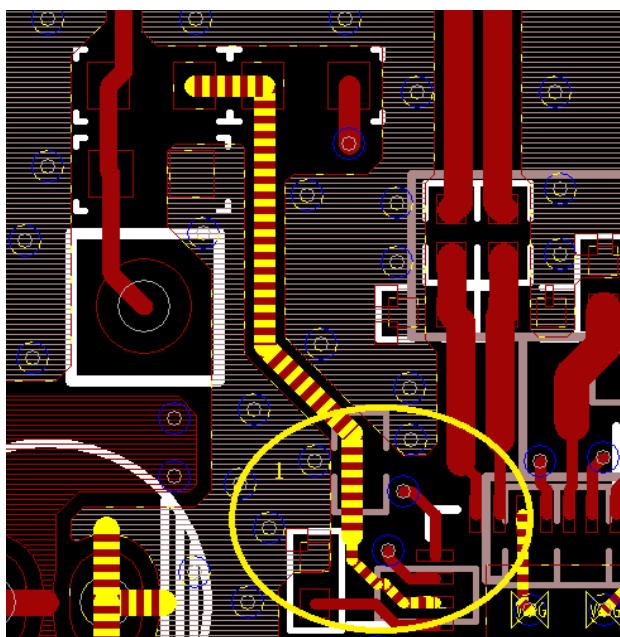


2.2 Hi3137 PCB 设计要点

2.2.1 Hi3137 AGC PCB 设计

- AGC 走线的要求线宽 $\geq 10\text{mil}$ ，并需要 GND 进行隔离保护，见图 2-7 黄圈（1）。
- 上拉电阻与 RC 滤波电路需要靠近 Hi3137 AGC 输出端口设计，避免 AGC 高频分量干扰板级，影响性能。

图2-7 Hi3137 AGC PCB 设计

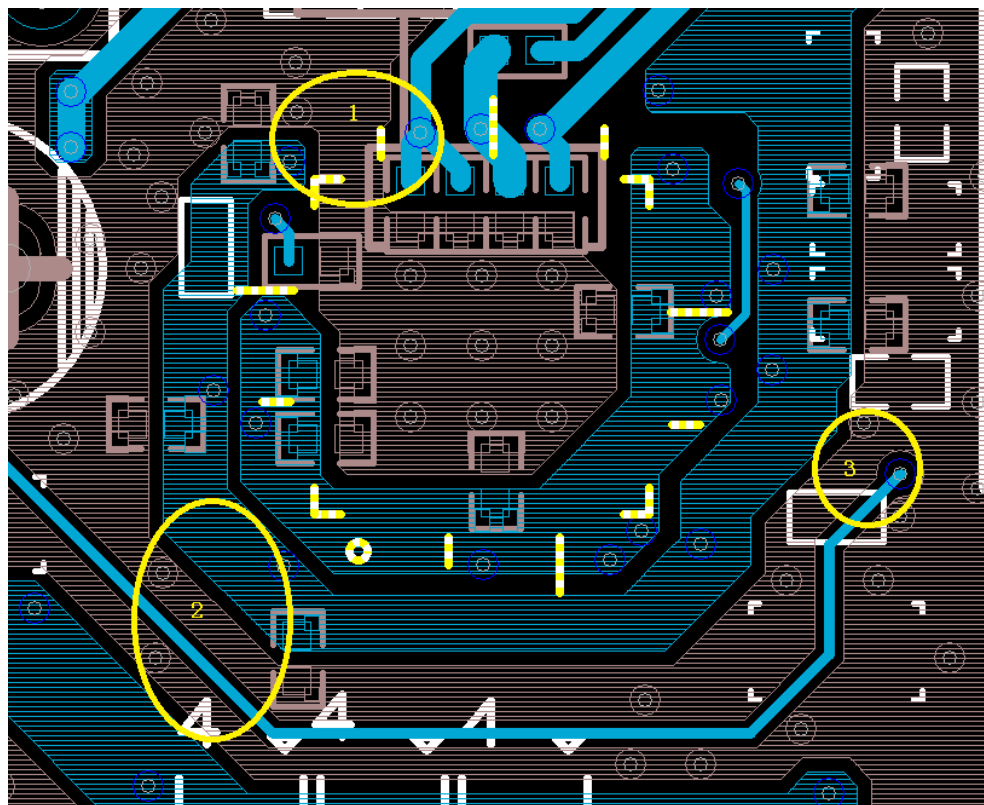


2.2.2 Hi3137 bottom 层的设计

Hi3137 bottom 层的设计如图 2-8 黄圈（1）（2）（3），为了保证 GND 的完整性，底部走 1V1、3V3 电源线，将 demod 芯片 bottom 层 GND 充分连接。



图2-8 Hi3137 底部 SI 设计



2.2.3 TS 输出走线设计

TS 输出走线阻抗匹配的需求，因针对两层、四层有不同的要求，具体可参考《Hi3137V100 地面数字电视信道处理芯片》的“03-硬件设计”章节。

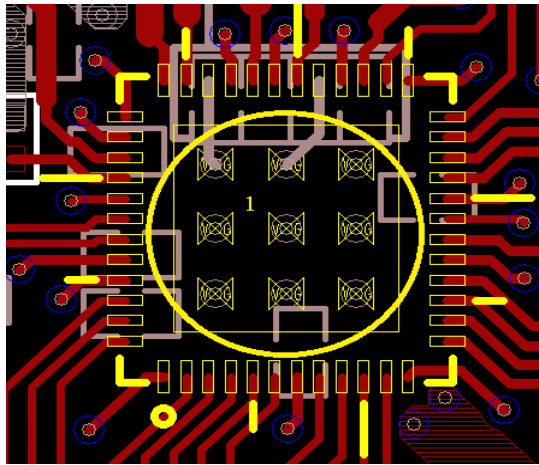
这里说明下对 TS_CLK 的要求，在串行时需要包地处理，GND 线宽要求 2~3 倍线宽，并要求底部 GND 完整。

2.2.4 Hi3137 底部 EPAD 设计

Hi3137 底部带 GND PAD，在 PCB 设计时，需要在 Solder mask TOP 层进行开窗处理如图 2-9 黄圈（1）。



图2-9 Hi3137 底部 EPAD 设计





A 缩略语

A	
AGC	自动增益控制
D	
Demod	Demodulator
E	
EMC	Electro Magnetic Compatibility
P	
PCB	Print Circuit Board
S	
SI	Signal Integrity