



Hi3130V200 解调解码芯片 用户指南

文档版本 00B20
发布日期 2013-07-11

版权所有 © 深圳市海思半导体有限公司 2013。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址：深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址：<http://www.hisilicon.com>

客户服务电话：+86-755-28788858

客户服务传真：+86-755-28357515

客户服务邮箱：support@hisilicon.com

秘密

版权所有 © 深圳市海思半导体有限公司



目 录

前 言.....	1
----------	---



前 言

概述

本文档主要介绍 Hi3130V200 有线数字电视信道处理芯片的主要特点、逻辑结构、QAM、工作方式以及硬件设计信息，提供给用户设计使用参考。

产品版本

与本文档相对应的产品版本如下。

产品名称	版本
Hi3130	V200

读者对象

本文档（本指南）主要适用于以下工程师：

- 电子产品设计维护人员
- 电子产品元器件市场销售人员

约定

寄存器访问类型约定

类型	说明	类型	说明
RO	只读，不可写。	RW	可读可写。
RC	读清零。	WC	可读，写 1 清零，写 0 保持不变。



寄存器复位值约定

在寄存器定义表格中：

- 如果某一个比特的复位值“Reset”（即“Reset”行）为“？”，表示复位值不确定。
- 如果某一个或者多个比特的复位值“Reset”为“？”，则整个寄存器的复位值“Total Reset Value”为“-”，表示复位值不确定。

数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量（如 RAM 容量）	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列（寄存器描述中除外）。
X	00X、1XX	在数据的表达方式中，X 表示 0 或 1。 例如：00X 表示 000 或 001； 1XX 表示 100、101、110 或 111。

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修改日期	版本	修改说明
2012-07-17	00B01	第 1 个临时版本。



修改日期	版本	修改说明
2012-12-10	00B10	资料评审后形成的版本。
2013-07-11	00B20	删除部分无用信息。



目 录

1 芯片介绍.....	1-1
1.1 概述.....	1-1
1.2 主要特点.....	1-1
1.3 逻辑结构.....	1-2
1.4 应用领域.....	1-3
1.5 典型应用.....	1-3



插图目录

图 1-1 Hi3130V200 功能框图.....	1-2
图 1-2 典型应用框图	1-3



1 芯片介绍

1.1 概述

Hi3130V200 是一款有线数字电视信道解调芯片。芯片提供高性能的 16/32/64/128/256-QAM 解调能力和前向纠错功能，完成有线数字信号从中频采样到 MPEG-TS 流输出的完整处理，兼容 DVB-C (ETS 300 429)、ITU J83-A/C、ITU J83-B 标准。

Hi3130V200 芯片内部集成的 12bit 精度、40MSPS 采样率的高性能 AD 转换器，保证最高到 256-QAM 信号的中频采样的精度，中频采样后为全数字处理。针对实际信道的复杂情况，提供解调、微反射抵消和 RS 前向纠错的全部必须功能；提供信号质量监控，用于与解码部分配合。提供双 AGC (Automatic Gain Control) 和两线总线用于 Tuner 控制，简化应用单板的设计。

芯片输出的 MPEG-TS 传输流符合 DVB 标准接口形式，与 MPEG 解码器可以无缝连接。

1.2 主要特点

Hi3130V200 芯片的主要特点如下：

- 支持 DVB-C 标准。
- 支持 ITU J83-A/C、ITU J83-B 标准。
- 支持 16/32/64/128/256-QAM 解调。
- 集成高性能 12bit 中频 A/D 转换器，提供直接中频和低中频解决方案。
- 自适应数字降采样和抗混叠滤波，支持最高从 7.19Msymbol/s 到最低 0.87Msymbol/s 的可变符号率。
- 自适应数字载波恢复，支持最大频率偏移 $\pm 800\text{kHz}$ 。
- 自适应数字时钟恢复，支持最大符号率偏差 1%。
- 支持带宽自动选择匹配滤波，升余弦滚降系数范围为 0.12~0.18。
- 支持自适应盲均衡和判决反馈均衡，有效校正有线信道中的各种微反射和典型失真。
- 内部集成前向纠错解码，兼容 ITU J83-A/C、ITU J83B 码流标准。

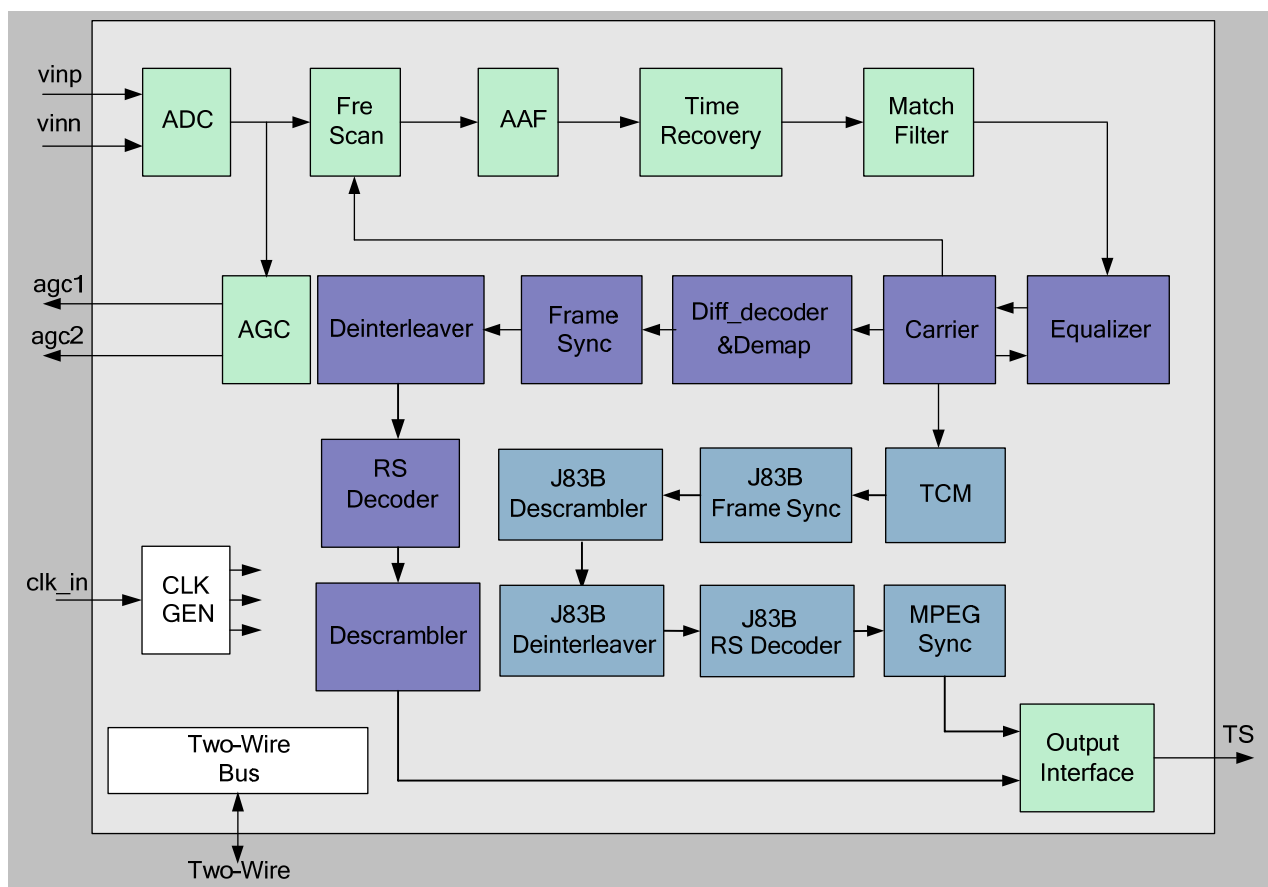


- 可通过两线总线控制和监测内部寄存器。
- 具备信号质量实时监测功能。
- 支持串行和并行 TS 流输出。
- 支持自动频谱反转识别和纠正。
- 支持频道盲扫。
- 内部集成 PLL，只需外接低频无源晶体。
- 内部集成晶体振荡电路，系统时钟可以通过外部无源晶体由片内产生。
- 在 6.9Msymb/s 符号率时的典型功耗为 200mW。
- 支持软件控制节电模式。
- QFN40pin 封装。
- 1.2/3.3V 工作电压。

1.3 逻辑结构

Hi3130V200 芯片的逻辑结构如图 1-1 所示。

图1-1 Hi3130V200 功能框图





1.4 应用领域

- 有线调谐器
- 有线机顶盒和一体数字电视机
- 有线调制解调器和数字电视卡

1.5 典型应用

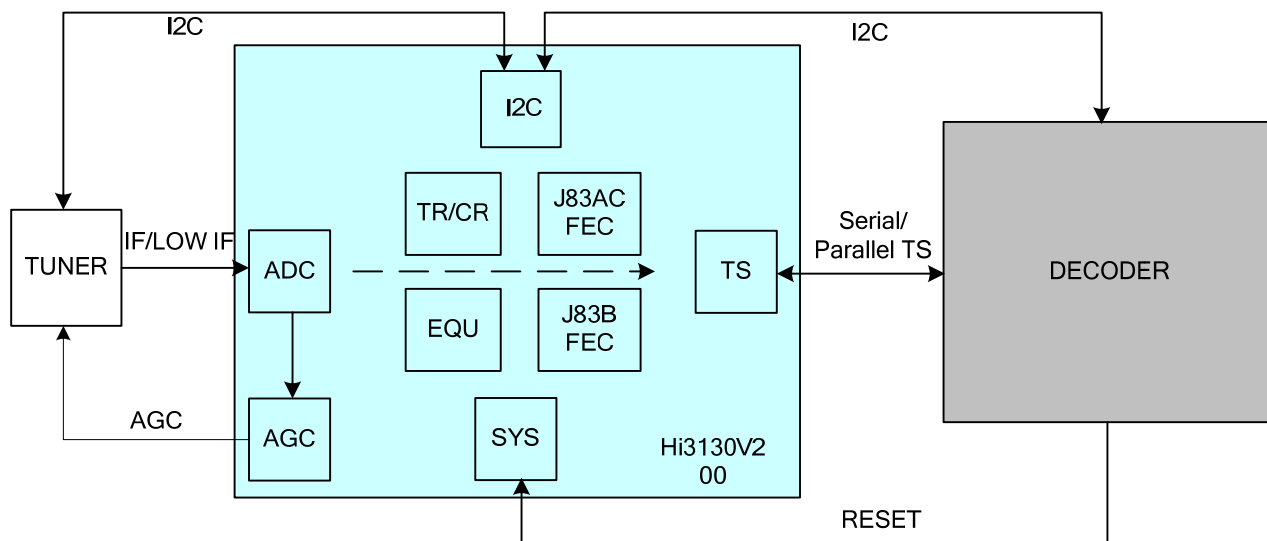
图 1-2 为 Hi3130V200 的典型应用，射频经过 TUNER 后转为中频信号，Hi3130V200 收到中频信号后，进行时钟恢复、载波恢复、均衡和 FEC 前向纠错，通过 TS 接口输出标准的 TS 报文到 decoder，TS 接口支持串行和并行模式。

Hi3130V200 通过 I2C 接口对 TUNER 进行配置控制，状态读取等操作。内部集成的 ADC 对 TUNER 输入的中频或低中频信号转成数字信号，输出一路或双路 AGC 信号来控制 TUNER 的中频和射频增益。

decoder 通过 I2C 接口对 Hi3130V200 芯片进行软件驱动配置、状态读取等操作，在 Hi3130V200 上电后通过 RESET 接口对其复位。

Hi3130V200 芯片的典型应用如图 1-2 所示。

图1-2 典型应用框图





目 录

2 功能描述.....	2-1
2.1 ADC	2-1
2.2 AGC	2-1
2.3 下变频和扫频.....	2-2
2.4 抗镜像模块.....	2-3
2.5 时钟恢复模块.....	2-3
2.6 匹配滤波器模块.....	2-3
2.7 均衡和载波恢复模块.....	2-3
2.8 解映射与差分解码模块.....	2-3
2.9 帧同步模块.....	2-4
2.10 解交织模块.....	2-4
2.11 RS 解码模块.....	2-4
2.12 解扰模块.....	2-4
2.13 信道盲扫描.....	2-4
2.14 J83B TCM 模块.....	2-5
2.15 J83B 帧同步模块.....	2-5
2.16 J83B 解扰模块.....	2-5
2.17 J83B 解交织模块.....	2-5
2.18 J83B RS 解码模块.....	2-5
2.19 J83B MPEG 帧同步模块.....	2-6
2.20 信号质量监测.....	2-6
2.21 TS 流输出接口	2-8
2.22 两线总线接口	2-8
2.23 寄存器配置说明.....	2-9
2.24 QAM 寄存器概览	2-9
2.25 QAM 寄存器描述	2-13
2.26 系统控制寄存器概览.....	2-66
2.27 系统控制器寄存器描述.....	2-67



插图目录

图 2-1 AGC 控制原理	2-2
图 2-2 两线总线与外部对接芯片的连接关系	2-8



表格目录

表 2-1 QAM 寄存器概览（基址是 0x0000_0000）	2-9
表 2-2 系统控制寄存器概览（基址是 0x0000）	2-66



2 功能描述

2.1 ADC

Hi3130V200 芯片内部集成高精度 12bit-ADC (Analog Digital Converter)，最高采样频率为 40MHz，直接采样前端 Tuner 输出的中频信号。ADC 为差分输入，信号输入电压幅度为 $1.0V_{p-p}$ ，内部产生共模电压。

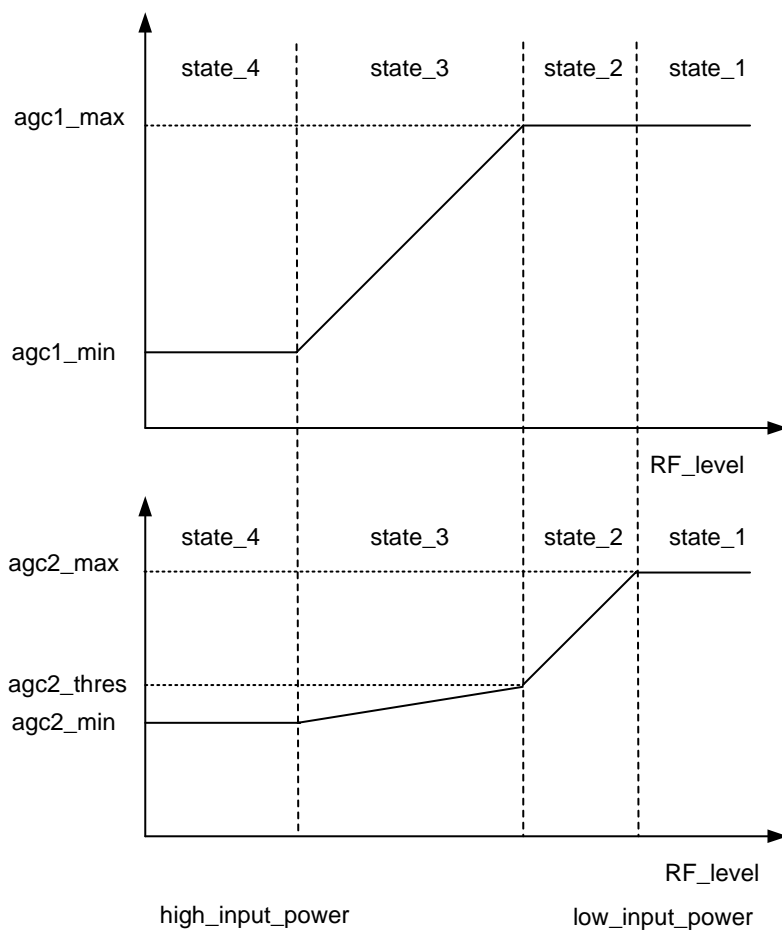
2.2 AGC

QAM 模块具有两路 AGC 控制信号输出，其中 AGC1 用于控制 Tuner 射频增益，AGC2 用于控制中频增益。AGC 将 ADC 采样数据的平均功率与设定的参考功率比较，得到双路 AGC 的增益控制信号。增益控制信号经过 Sigma-Delta DAC 得到两路 PWM 信号。模拟增益控制电平由 PWM 信号经片外 RC 滤波电路得到。

AGC 控制原理如图 2-1 所示。



图2-1 AGC 控制原理



AGC 具有双 AGC 协同工作模式和 IF AGC 单独工作模式。在双 AGC 协同工作模式下，AGC1 和 AGC2 均由初始值开始工作。即由 state_2 状态开始，最后稳定在 state_2 或切换到 state_3 状态。state_2 与 state_3 状态转换由 agc 转换寄存器控制。state_2 与 state_3 状态下，AGC1 和 AGC2 变化的速率由用户配置的增益调整步长决定。其他配置请参见 AGC 和 BAGC 相关寄存器。

2.3 下变频和扫频

以 Tuner 中频为中心频点的信号 f_{Tuner} 通过 ADC 二次采样下变频（采样时钟为 f_{ckext} ），该下变频信号以采样中频频率 f_1 为中心：

$$f_1 = f_{\text{Tuner}} - f_{\text{ckext}} \quad (1-1)$$

式 (1-1) 中：

- $f_1 = 7.2\text{MHz}$
- $f_{\text{Tuner}} = 36\text{MHz}$
- $f_{\text{ckext}} = 28.8\text{MHz}$



频偏搬移和扫频模块紧密配合可以实现自动频道扫描功能：解调频率从给定值开始按照给定的步长自动有规律的递增。步长间的等待时间可以由用户设定，用户可以控制芯片在检测到锁定状态时自动停止频道扫描，也可以完全由用户控制频率扫描。

2.4 抗镜像模块

抗镜像模块 AAF (Anti-aliasing digital Filter) 用于消除 AD 采样引起的镜像，同时完成符号率的降采样。

2.5 时钟恢复模块

时钟恢复模块 Timing Recovery 用来估计并纠正接收端的时钟误差，从而得到接收端的最佳采样时间。插值器根据此最佳时间对基带信号进行插值运算，最后得到正确的采样值。

该模块包括时钟误差检测器、环路滤波器、插值器。其中环路滤波器参数可以通过配置寄存器

`tr_ctrl_2~tr_ctrl_6` 实现。

2.6 匹配滤波器模块

芯片的匹配滤波器 Match Filter 为升余弦滤波器，其滚降系数范围是 0.12~0.18。该滤波器可以将基带信号进行匹配滤波。

2.7 均衡和载波恢复模块

均衡模块 Equalizer 结合使用盲均衡算法和判决反馈均衡算法消除回波和线性信道失真的影响。

载波恢复模块 Carrier Recovery 用于跟踪和补偿载波的频率偏移与相位偏移。在捕获状态和跟踪状态分别使用不同的环路参数，实现大的捕获带宽和小的跟踪误差。

2.8 解映射与差分解码模块

根据 DVB-C 和 ITU J83-A/C 标准，此模块完成差分解码 Diff Decoder 和解映射 Demap，并将符号码流（16-QAM、32-QAM、64-QAM、128-QAM 和 256-QAM 分别为 4bit、5bit、6bit、7bit 和 8bit 符号）转化为字节码流，后面模块按照字节处理。



2.9 帧同步模块

帧同步模块 Frame Sync 检测 TS 流中的同步字节（0x47 和 0xB8），给后面的模块提供帧起始信号。

2.10 解交织模块

在发送端，为了防止突发干扰引起的连续误码及超出 RS 纠错范围能力而引起信息失真，RS 编码后进行了数据交织，改变信号的传输顺序，将连续发生的误码分散开来，从而增强抗突发误码保护能力。在接收端，RS 解码前必须使用解交织模块 Deinterleaver 恢复成交织前的信息。

根据 DVB-C 和 ITUJ83-A/C 标准，信道解调解码芯片的交织深度是 12。通过设置内部寄存器，可旁路此模块。

2.11 RS 解码模块

根据 DVB-C 和 ITUJ83-A/C 标准，此模块完成信道纠错功能。输入数据包长度为 204byte（包含 16byte 校验字），最多可纠正 8byte 错误。

通过设置寄存器 `ts_ctrl_1[bend_bypass]`，可以旁路 RS 模块的纠错功能，方便外部评估 RS 前的误码率。

2.12 解扰模块

根据 DVB-C 和 ITU J83-A/C 标准，接收端的解扰多项式为 $1+x^{14}+x^{15}$ ，解扰模块 Descrambler 的初始化序列为 100101010000000。

解扰模块根据检测到 TS 包的反转同步头（0xB8）启动，在每 8 个 TS 包中完成以下操作：通过配置寄存器 `ts_ctrl_1[sync_byte_inv]`，反转或不反转第 1 个 TS 包的反同步字（0xB8 翻转成 0x47），其它 TS 包的包头（0x47）不改变，解扰帧内全部其它字节数据。

2.13 信道盲扫描

芯片提供动态自动频谱反转识别与校正，以及信道盲扫描的功能。

自动频谱反转功能可以通过配置寄存器禁止，这种情况下由用户根据信道情况来配置当前的频谱状态。

信道盲扫描功能支持以下3种情况：

- 在调制方式已知的情况下搜索信号符号率。



- 在信号符号率已知的情况下软件搜索调制方式。
- 由软件配合，同时搜索调制方式和信号符号率。

以上符号率搜索范围为 3.6M~6.9M。当通过配置寄存器屏蔽盲扫描的功能时，需要用户手动配置当前的调制方式和符号率。

2.14 J83B TCM 模块

TCM 模块完成维特比算法，根据前向处理送来的数据以及相应的硬判决数据，先进行度量路径的判断，找出度量最小路径，将维特比算法输出的数据进行译码，译码成星座图位置对应的数据，然后按照 J83B 协议的要求顺序串行输出，对于 64QAM，每输入 5 个 symbol，输出 28bit，对于 256QAM，每输入 5 个 symbol，输出 38bit。

2.15 J83B 帧同步模块

帧同步模块 Frame Sync 检测 TS 流中的同步字节，在正常工作模式下，完成数据的同步，包括特征 sync 序列的识别，同步以后并行输出 symbol，trailer 中的 4 比特 control bit word，以及给出锁定/失锁信号。

2.16 J83B 解扰模块

根据 ITU J83-B 标准，接收端的解扰多项式为 $x^3 + x + \alpha^3$ ，解扰模块对输入所有有效净荷进行随机化处理。对 trailer 不做随机化，直接输出。

2.17 J83B 解交织模块

在发送端，为了防止突发干扰引起的连续误码及超出 RS 纠错范围能力而引起信息失真，RS 编码后进行了数据交织，改变信号的传输顺序，将连续发生的误码分散开来，从而增强抗突发误码保护能力。在接收端，RS 解码前必须使用解交织模块 Deinterleaver 恢复成交织前的信息。

根据 ITU J83-B 标准，FEC 编码模块的交织器采用的是卷积交织器，支持 128*1、128*2、128*3、128*4、64*2、32*4、16*8、8*16 交织模式。

2.18 J83B RS 解码模块

RS 译码模块完成前向纠错编码的译码功能，其对于输入的 128 符号帧数据进行译码、纠错/检错处理，纠正最多 3 个符号之内的错误，输出纠错后的数据。对于超过纠错能力的情况进行指示，但不进行纠错处理。



2.19 J83B MPEG 帧同步模块

MPEG 帧同步模块检测 TS 流中的同步字节，在正常工作模式下，完成数据的同步，同步以后并行以 byte 输出。

2.20 信号质量监测

BER 统计

芯片内部的 BER（Bit Error Rate）状态寄存器（[ber_2](#)、[ber_3](#)、[ber_4](#)）可以提供 RS 纠错前的错误 bit 或错误 byte 统计数据。用户可以采取自动停止统计和自动重复统计两种模式进行 BER 测试。

1. 自动停止统计模式



本模式需要配置 BER 控制寄存器 [ber_1](#) [err_mode] 为 0。

具体配置过程如下：

- 步骤 1 配置 [ber_1](#) [bert_en] 为 0，禁止 BER 测试。
- 步骤 2 配置 [ber_1](#) [nbyte] 设置统计间隔（即在多少个输出数据中统计误码）。
- 步骤 3 配置 [ber_1](#) [err_mode] 为 0 选择自动停止统计模式。
- 步骤 4 配置 [ber_1](#) [err_source] 选择统计 bit 或 byte。
- 步骤 5 配置 [ber_1](#) [bert_en] 为 1，使能 BER 测试，统计计数器首先清 0 然后进行计数。
- 步骤 6 达到统计时间间隔阈值，计数器停止计数，[ber_1](#) [bert_en] 自动清 0，停止统计，统计结果保存在 [ber_2](#)~[ber_4](#) [error_cnt] 中。

----结束

相应的 BER 计算公式为：

$$\text{Byte Error Rate} = \frac{\text{error_cnt}}{2^{2 \times \text{nbyte} + 12}}; \quad \text{Bit Error Rate} = \frac{\text{error_cnt}}{8 \times 2^{2 \times \text{nbyte} + 12}}。$$

误码率较高的情况下，统计计数器可能会溢出。在用户配置的统计间隔时间之内，如果统计计数器 [ber_2](#)~[ber_4](#) [error_cnt] 溢出，将保持最大值，而不回转。

由于统计得到的错误数据放置在 [ber_2](#)~[ber_4](#) [error_cnt] 中，用户可以直接读取到该数据，以进行误码率的测试。

2. 自动重复统计模式



本模式需要配置 BER 控制寄存器 [ber_1](#) [err_mode] 为 1。

具体配置过程如下：



- 步骤 1 配置 `ber_1 [bert_en]` 为 0，禁止 BER 测试。
- 步骤 2 配置 `ber_1 [nbyte]` 设置统计间隔（即在多少个输出数据中统计误码）。
- 步骤 3 配置 `ber_1 [err_mode]` 为 1 选择自动重复统计模式。
- 步骤 4 配置 `ber_1 [err_source]` 选择统计 bit 或 byte。
- 步骤 5 配置 `ber_1 [bert_en]` 为 1，使能 BER 测试，统计计数器首先清 0 然后进行计数。
- 步骤 6 配置 `ber_1 [bert_en]` 为 0，计数器停止计数。

----结束

在此过程中，统计计数器如果溢出，将保持最大值，而不回转。

在此过程中，当统计区间计数器达到统计区间间隔，计数器清 0 并重新开始统计，同时将计数结果传输到寄存器中保持。此模式下，软件可以随时读取 `ber` 寄存器的数据；只有将 `ber_1 [bert_en]` 寄存器配置为 0 才停止统计。

说明

读取 BER 状态寄存器之前，应首先向快照寄存器 `cr_ctrl_21` 中写入一个任意值。

误包率统计

与误码率统计使用同一个统计区间寄存器，即 `ber_1 [nbyte]`；使用同一个统计使能寄存器，即 `ber_1 [bert_en]`。

当统计计数器达到统计区间阈值，自动将该统计区间内的总包数、不可纠错包数和可纠错包数自动存储到保持寄存器。用户可读取 `rs_ctrl` 寄存器，然后计算出误包率。

误包率计算步骤：

- 步骤 1 向 `cr_ctrl_21` 写入任意值。
- 步骤 2 读取 `rs_ctrl_1` 和 `rs_ctrl_2`，得到该统计区间内总的包数：
$$\text{pkt_total} = \text{rs_ctrl_1} \ll 8 + \text{rs_ctrl_2}。$$
- 步骤 3 读取 `rs_ctrl_5` 和 `rs_ctrl_6`，得到该统计区间内总的错误包数：
$$\text{pkt_err} = \text{rs_ctrl_5} \ll 8 + \text{rs_ctrl_6}。$$
- 步骤 4 计算该统计区间的误包率：

$$\text{PER} = \text{pkt_err} / \text{pkt_total}。$$

----结束

信噪比估计

芯片提供信噪比估计寄存器（`equ_stat_2` 和 `equ_stat_3`），其值是对计算的星座点与映射的星座点的平均距离的度量。使用 1 个查找表，可以计算等效的噪声程度（等效的 C/N 估计），估计信号的质量。



2.21 TS 流输出接口

Hi3130V200 芯片提供 3 种 MPEG2-TS 输出模式。包括并行模式和串行模式。

TS 流输出接口包括数据信号 `ts_dat[7:0]`、时钟信号 `ts_clk`、数据有效信号 `ts_val`、同步头信号 `ts_sync` 和帧错误信号 `ts_err`：

- `ts_dat`: TS 帧数据（在串行接口模式下，`ts_dat[0]`为 TS 流输出）。
- `ts_clk`: 数据时钟。极性可编程，在不同模式下可能连续输出，也可能不连续输出。
- `ts_val`: 输出 TS 帧数据有效信号（并行接口是字节有效，串行接口是比特有效）。
- `ts_sync`: TS 帧同步有效标志信号（并行接口是字节有效，串行接口是比特有效），表示数据帧头。
- `ts_err`: TS 帧错误信号，在输出包含 RS 解码无法纠正的错误的 TS 帧时置 1。

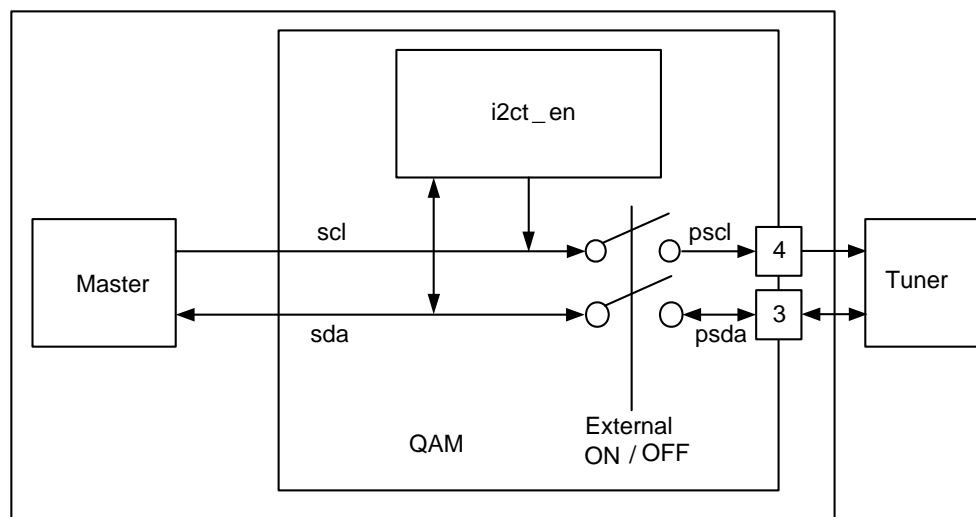
TS 流输出接口通过寄存器 `ts_ctrl_1~2` 配置。

2.22 两线总线接口

QAM 对内部寄存器和外部 Tuner 寄存器的访问通过两线总线完成。当访问 Tuner 寄存器时要先把 QAM 的 `mctrl_7[i2ct_en]`置 1，当访问结束时，此 bit 自动被 QAM 模块置 0，即切回到访问 QAM 内部寄存器状态。

两线总线与外部对接芯片的连接关系如图 2-2 所示。

图2-2 两线总线与外部对接芯片的连接关系





2.23 寄存器配置说明

寄存器 `four_reg_sel` (0xE0) 的第 1、0 位为寄存器选择的控制信号，每次配置寄存器前需确认 `four_reg_sel` [1:0] 是否映射为所要操作的寄存器。

`four_reg_sel` [1:0] 含义如下：

- 2'b00: 配置 QAM 寄存器；
- 2'b10: 配置系统控制寄存器；
- 其他：保留。

例如配置系统控制寄存器 0x03，步骤如下：

步骤 1 配置 0xE0 的低两位为 2'b10。

步骤 2 配置 0x03 为所要配置的值。

----结束

2.24 QAM 寄存器概览

QAM 寄存器概览如表 2-1 所示。

表2-1 QAM 寄存器概览（基址是 0x0000_0000）

偏移地址	名称	描述	页码
0x02	equ_ctrl_3	均衡控制寄存器 3	2-13
0x0A	equ_stat_2	均衡状态寄存器 2	2-13
0x0B	equ_stat_3	均衡状态寄存器 3	2-13
0x10	tr_ctrl_2	时钟恢复控制寄存器 2	2-14
0x11	tr_ctrl_4	时钟恢复控制寄存器 4	2-14
0x12	tr_ctrl_5	时钟恢复控制寄存器 5	2-15
0x13	tr_ctrl_6	时钟恢复控制寄存器 6	2-15
0x14	tr_ctrl_8	时钟恢复控制寄存器 8	2-16
0x15	tr_ctrl_9	时钟恢复控制寄存器 9	2-16
0x16	tr_ctrl_10	时钟恢复控制寄存器 10	2-17
0x1A	tr_stat_1	时钟恢复状态寄存器 1	2-17
0x1B	tr_stat_2	时钟恢复状态寄存器 2	2-18
0x25	cr_ctrl_21	载波恢复控制寄存器 21	2-18
0x26	cr_ctrl_22	载波恢复控制寄存器 22	2-19



偏移地址	名称	描述	页码
0x27	cr_ctrl_23	载波恢复控制寄存器 23	2-19
0x28	cr_ctrl_24	载波恢复控制寄存器 24	2-19
0x29	cr_ctrl_25	载波恢复控制寄存器 25	2-20
0x32	cr_stat_4	载波恢复状态寄存器 4	2-20
0x33	cr_stat_5	载波恢复状态寄存器 5	2-21
0x34	cr_stat_6	载波恢复状态寄存器 6	2-21
0x35	cr_stat_7	载波恢复状态寄存器 7	2-21
0x36	j83b_tcm_1	J83B TCM 控制寄存器 1	2-22
0x37	j83b_tcm_2	J83B TCM 控制寄存器 2	2-22
0x38	j83b_tcm_3	J83B TCM 控制寄存器 3	2-23
0x39	j83b_tcm_4	J83B TCM 控制寄存器 4	2-23
0x3A	j83b_tcm_5	J83B TCM 控制寄存器 5	2-24
0x3B	j83b_tcm_6	J83B TCM 状态寄存器 6	2-24
0x3C	j83b_di_1	J83B 解交织控制寄存器 1	2-25
0x3D	j83b_di_2	J83B 解交织控制寄存器 2	2-26
0x3E	j83b_mfsync_1	J83B MPEG 帧同步控制寄存器 1	2-26
0x3F	j83b_mfsync_2	J83B MPEG 帧同步状态寄存器 2	2-27
0x40	mctrl_1	主控寄存器 1	2-27
0x44	mctrl_5	主控寄存器 5	2-28
0x45	mctrl_6	主控寄存器 6	2-30
0x46	mctrl_7	主控寄存器 7	2-31
0x48	mctrl_9	主控寄存器 9	2-32
0x4A	mctrl_11	主控寄存器 11	2-33
0x59	agc_ctrl_15	AGC 控制寄存器 15	2-34
0x5C	agc_ctrl_19	AGC 控制寄存器 19	2-34
0x5D	agc_ctrl_20	AGC 控制寄存器 20	2-35
0x5F	agc_ctrl_22	AGC 控制寄存器 22	2-35
0x60	bagc_ctrl_1	BAGC 控制寄存器 1	2-36
0x61	bagc_ctrl_2	BAGC 控制寄存器 2	2-36



偏移地址	名称	描述	页码
0x62	bagc_ctrl_3	BAGC 控制寄存器 3	2-37
0x65	bagc_ctrl_6	BAGC 控制寄存器 6	2-37
0x68	bagc_ctrl_9	BAGC 控制寄存器 9	2-38
0x69	bagc_ctrl_10	BAGC 控制寄存器 10	2-38
0x6B	bagc_ctrl_12	BAGC 控制寄存器 12	2-38
0x6E	bagc_ctrl_13	BAGC 控制寄存器 13	2-39
0x6F	bagc_ctrl_14	BAGC 控制寄存器 14	2-39
0x70	bagc_stat_1	BAGC 状态寄存器 1	2-39
0x71	bagc_stat_2	BAGC 状态寄存器 2	2-40
0x72	bagc_stat_3	BAGC 状态寄存器 3	2-40
0x73	bagc_stat_4	BAGC 状态寄存器 4	2-41
0x79	bagc_stat_7	BAGC 状态寄存器 7	2-41
0x7C	j83b_tcm_ber0	J83B TCM 状态寄存器 0	2-41
0x7D	j83b_tcm_ber1	J83B TCM 状态寄存器 1	2-42
0x7E	j83b_tcm_ber2	J83B TCM 状态寄存器 2	2-42
0x7F	j83b_tcm_ber3	J83B TCM 状态寄存器 3	2-43
0x87	sfreq_agc1_init	AGC 控制寄存器	2-43
0x90	sync_ctrl_1	帧同步控制寄存器 1	2-43
0x93	ber_1	BER 控制寄存器 1	2-44
0x94	ber_2	BER 状态寄存器 2	2-45
0x95	ber_3	BER 状态寄存器 3	2-46
0x96	ber_4	BER 状态寄存器 4	2-46
0x98	ts_ctrl_1	输出控制寄存器 1	2-47
0x99	ts_ctrl_2	输出控制寄存器 2	2-48
0x9B	rs_ctrl_1	RS 解码控制寄存器 1	2-49
0x9C	rs_ctrl_2	RS 解码控制寄存器 2	2-49
0x9D	rs_ctrl_3	RS 解码控制寄存器 3	2-50
0x9E	rs_ctrl_4	RS 解码控制寄存器 4	2-50



偏移地址	名称	描述	页码
0x9F	rs_ctrl_5	RS 解码控制寄存器 5	2-51
0xA0	rs_ctrl_6	RS 解码控制寄存器 6	2-51
0xA1	rs_ctrl_8	RS 解码控制寄存器 8	2-52
0xA6	bs_ctrl_1	盲扫控制寄存器 1	2-53
0xA7	bs_ctrl_2	盲扫控制寄存器 2	2-54
0xAC	bs_stat_1	盲扫状态寄存器 1	2-55
0xAD	bs_stat_2	盲扫状态寄存器 2	2-56
0xAE	bs_stat_3	盲扫状态寄存器 3	2-57
0xAF	bs_stat_4	盲扫状态寄存器 4	2-57
0xB0	bs_stat_5	盲扫状态寄存器 5	2-58
0xB1	fs_ctrl_1	扫描控制寄存器 1	2-58
0xB2	fs_ctrl_2	扫描控制寄存器 2	2-59
0xB4	fs_ctrl_4	扫描控制寄存器 4	2-59
0xB5	fs_ctrl_5	扫描控制寄存器 5	2-60
0xB6	fs_ctrl_6	扫描控制寄存器 6	2-60
0xB7	fs_ctrl_7	扫描控制寄存器 7	2-61
0xB8	fs_stat_1	扫描状态寄存器 1	2-62
0xB9	fs_stat_2	扫描状态寄存器 2	2-62
0xBA	j83b_ffsync_1	J83B FFSYNC 控制寄存器 1	2-62
0xBB	j83b_ffsync_2	J83B FFSYNC 控制寄存器 2	2-63
0xBC	j83b_ffsync_3	J83B FFSYNC 控制寄存器 3	2-63
0xBD	j83b_dr_1	J83B 解扰控制寄存器 1	2-64
0xBE	j83b_dr_2	J83B 解扰控制寄存器 2	2-64
0xBF	j83b_dr_3	J83B 解扰控制寄存器 3	2-65
0xE0	four_reg_sel	寄存器块选择寄存器	2-65



2.25 QAM 寄存器描述

equ_ctrl_3

equ_ctrl_3 为均衡控制寄存器 3。

	Offset Address			Register Name			Total Reset Value	
	0x02			equ_ctrl_3			0x20	
Bit	7	6	5	4	3	2	1	0
Name	step_lms				step_blind			
Reset	0	0	1	0	0	0	0	0
Bits	Access		Name		Description			
[7:4]	RW		step_lms		LMS 模式下均衡器步长。正常使用时配置为 0x0~0x7。			
[3:0]	RW		step_blind		BLIND 模式下均衡器步长。正常使用时配置为 0x0~0x7。			

equ_stat_2

equ_stat_2 为均衡状态寄存器 2。

	Offset Address			Register Name			Total Reset Value	
	0x0A			equ_stat_2			0x00	
Bit	7	6	5	4	3	2	1	0
Name	noise_cal							
Reset	0	0	0	0	0	0	0	0
Bits	Access		Name		Description			
[7:0]	RO		noise_cal		内部噪声估计累加器的高 8 位。 这里累加器的内容与星座图的离散程度有关：它是对计算的星座点与映射的星座点的平均距离的度量。使用 1 个查找表，可以计算等效的噪声程度(等效的 C/N 估计)。 使用说明请参见 cr_ctrl_21。			

equ_stat_3

equ_stat_3 为均衡状态寄存器 3。



Offset Address			Register Name			Total Reset Value		
0x0B			equ_stat_3			0x00		
Bit	7	6	5	4	3	2	1	0
Name	noise_cal							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	noise_cal		内部噪声估计累加器的低 8 位。 这里累加器的内容与星座图的离散程度有关：它是对计算的星座点与映射的星座点的平均距离的度量。使用 1 个查找表，可以计算等效的噪声程度(等效的 C/N 估计)。 使用说明请参见 cr_ctrl_21。				

tr_ctrl_2

tr_ctrl_2 为时钟恢复控制寄存器 2。

Offset Address			Register Name			Total Reset Value		
0x10			tr_ctrl_2			0xA0		
Bit	7	6	5	4	3	2	1	0
Name	t_gain_int							
Reset	1	0	1	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	t_gain_int		定时恢复捕获模式下积分支路增益的低 8 位。 值越大，环路的带宽越大，阻尼越小。				

tr_ctrl_4

tr_ctrl_4 为时钟恢复控制寄存器 4。



	Offset Address			Register Name			Total Reset Value	
	0x11			tr_ctrl_4			0x7C	
Bit	7	6	5	4	3	2	1	0
Name	t_gain_dir							
Reset	0	1	1	1	1	1	0	0
Bits	Access		Name	Description				
[7:0]	RW		t_gain_dir	定时恢复捕获模式下直接支路增益的低 8 位。 值越大，环路的阻尼越大。				

tr_ctrl_5

tr_ctrl_5 为时钟恢复控制寄存器 5。

	Offset Address			Register Name			Total Reset Value	
	0x12			tr_ctrl_5			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved			t_gain_int	reserved		t_gain_dir	
Reset	0	0	0	0	0	0	0	0
Bits	Access		Name	Description				
[7:5]	-		reserved	保留。				
[4]	RW		t_gain_int	定时恢复捕获模式下积分支路增益高位。				
[3:1]	-		reserved	保留。				
[0]	RW		t_gain_dir	定时恢复捕获模式下直接支路增益高位。				

tr_ctrl_6

tr_ctrl_6 为时钟恢复控制寄存器 6。



Offset Address			Register Name			Total Reset Value		
0x13			tr_ctrl_6			0x76		
Bit	7	6	5	4	3	2	1	0
Name	reserved	t_gain_int2			reserved	t_gain_dir2		
Reset	0	1	1	1	0	1	1	0
Bits	Access	Name		Description				
[7]	-	reserved		保留。				
[6:4]	RW	t_gain_int2		定时恢复跟踪模式下积分支路增益衰减因子。				
[3]	-	reserved		保留。				
[2:0]	RW	t_gain_dir2		定时恢复跟踪模式下直接支路增益衰减因子。				

tr_ctrl_8

tr_ctrl_8 为时钟恢复控制寄存器 8。

Offset Address			Register Name			Total Reset Value		
0x14			tr_ctrl_8			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved					itpl_ratio		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:3]	-	reserved		保留。				
[2:0]	RW	itpl_ratio		采样时钟和符号率的比值的高 3 位。 比值为(Fsample/(2*Fsymbol))*(2^14)。 其中：Fsample 为 AD 采样频率。				

tr_ctrl_9

tr_ctrl_9 为时钟恢复控制寄存器 9。



	Offset Address			Register Name			Total Reset Value	
	0x15			tr_ctrl_9			0x86	
Bit	7	6	5	4	3	2	1	0
Name	itpl_ratio							
Reset	1	0	0	0	0	1	1	0
	Bits	Access	Name	Description				
	[7:0]	RW	itpl_ratio	采样时钟和符号率的比值的中间 8 位。 比值为(Fsample/(2*Fsymbol))*(2^14)。 其中：Fsample 为 AD 采样频率。				

tr_ctrl_10

tr_ctrl_10 为时钟恢复控制寄存器 10。

	Offset Address			Register Name			Total Reset Value	
	0x16			tr_ctrl_10			0x0D	
Bit	7	6	5	4	3	2	1	0
Name	itpl_ratio							
Reset	0	0	0	0	1	1	0	1
	Bits	Access	Name	Description				
	[7:0]	RW	itpl_ratio	采样时钟和符号率的比值的低 8 位。 比值为 (Fsample/(2*Fsymbol))*(2^14)。 其中：Fsample 为 AD 采样频率。				

tr_stat_1

tr_stat_1 为时钟恢复状态寄存器 1。



Offset Address			Register Name			Total Reset Value		
0x1A			tr_stat_1			0x00		
Bit	7	6	5	4	3	2	1	0
Name	t_offset_est							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	t_offset_est	符号时钟频率偏差的高 8 位。 使用说明请参见 cr_ctrl_21。					

tr_stat_2

tr_stat_2 为时钟恢复状态寄存器 2。

Offset Address			Register Name			Total Reset Value		
0x1B			tr_stat_2			0x00		
Bit	7	6	5	4	3	2	1	0
Name	t_offset_est							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	t_offset_est	符号时钟频率偏差的低 8 位。 使用说明请参见 cr_ctrl_21。					

cr_ctrl_21

cr_ctrl_21 为载波恢复控制寄存器 21。

Offset Address			Register Name			Total Reset Value		
0x25			cr_ctrl_21			0x00		
Bit	7	6	5	4	3	2	1	0
Name	crl_snapshot							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	crl_snapshot	当用户对位数超过 8 位且属性为 RO 的寄存器(如 t_offset_est)进行读操作时，需先对此寄存器进行写操作(可写任意值)，然后再读取相应寄存器的值，否则读到的寄存器值将是不确定的。					



cr_ctrl_22

cr_ctrl_22 为载波恢复控制寄存器 22。

	Offset Address			Register Name			Total Reset Value	
	0x26			cr_ctrl_22			0x17	
Bit	7	6	5	4	3	2	1	0
Name	reserved			f_gain_dir				
Reset	0	0	0	1	0	1	1	1
Bits	Access	Name		Description				
[7:5]	-	reserved		保留。				
[4:0]	RW	f_gain_dir		载波恢复 Reduce 捕获模式下直接支路增益的高 5 位。				

cr_ctrl_23

cr_ctrl_23 为载波恢复控制寄存器 23。

	Offset Address			Register Name			Total Reset Value	
	0x27			cr_ctrl_23			0x7D	
Bit	7	6	5	4	3	2	1	0
Name	f_gain_dir							
Reset	0	1	1	1	1	1	0	1
Bits	Access	Name		Description				
[7:0]	RW	f_gain_dir		载波恢复 Reduce 捕获模式下直接支路增益的低 8 位。				

cr_ctrl_24

cr_ctrl_24 为载波恢复控制寄存器 24。



Offset Address				Register Name			Total Reset Value	
0x28				cr_ctrl_24			0x0F	
Bit	7	6	5	4	3	2	1	0
Name	reserved			f_gain_int				
Reset	0	0	0	0	1	1	1	1
Bits	Access	Name		Description				
[7:5]	-	reserved		保留。				
[4:0]	RW	f_gain_int		载波恢复 Reduce 捕获模式下积分支路增益的高 5 位。				

cr_ctrl_25

cr_ctrl_25 为载波恢复控制寄存器 25。

Offset Address				Register Name			Total Reset Value	
0x29				cr_ctrl_25			0x65	
Bit	7	6	5	4	3	2	1	0
Name	f_gain_int							
Reset	0	1	1	0	0	1	0	1
Bits	Access	Name		Description				
[7:0]	RW	f_gain_int		载波恢复 Reduce 捕获模式下积分支路增益的低 8 位。				

cr_stat_4

cr_stat_4 为载波恢复状态寄存器 4。

Offset Address				Register Name			Total Reset Value	
0x32				cr_stat_4			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved				f_offset_est			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:4]	-	reserved		保留。				



[3:0]	RO	f_offset_est	解调频偏值的最高 4 位。 使用说明请参见 cr_ctrl_21。
-------	----	--------------	--------------------------------------

cr_stat_5

cr_stat_5 为载波恢复状态寄存器 5。

Offset Address				Register Name			Total Reset Value	
0x33				cr_stat_5			0x00	
Bit	7	6	5	4	3	2	1	0
Name	f_offset_est							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	f_offset_est	解调频偏值高 8 位。 使用说明请参见 cr_ctrl_21。					

cr_stat_6

cr_stat_6 为载波恢复状态寄存器 6。

Offset Address				Register Name			Total Reset Value	
0x34				cr_stat_6			0x00	
Bit	7	6	5	4	3	2	1	0
Name	f_offset_est							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	f_offset_est	解调频偏值的中 8 位。 使用说明请参见 cr_ctrl_21。					

cr_stat_7

cr_stat_7 为载波恢复状态寄存器 7。



Offset Address				Register Name			Total Reset Value	
0x35				cr_stat_7			0x00	
Bit	7	6	5	4	3	2	1	0
Name	f_offset_est							
Reset	0	0	0	0	0	0	0	0
Bits	Access		Name		Description			
[7:0]	RO		f_offset_est		解调频偏值的最低 8 位。 使用说明请参见 cr_ctrl_21。			

j83b_tcm_1

j83b_tcm_1 为 J83B TCM 控制寄存器 1。

Offset Address				Register Name			Total Reset Value	
0x36				j83b_tcm_1			0x08	
Bit	7	6	5	4	3	2	1	0
Name	reserved				reg2j83b_auto	reg2j83b_phase		
Reset	0	0	0	0	1	0	0	0
Bits	Access		Name		Description			
[7:4]	-		reserved		保留。			
[3]	RW		reg2j83b_auto		j83b 模式下，tcm 是否自动搜索相位，初始化配置。 1：自动搜索； 0：手工配置。			
[2:0]	RW		reg2j83b_phase		j83b 模式下，tcm 是手工配置相位值。			

j83b_tcm_2

j83b_tcm_2 为 J83B TCM 控制寄存器 2。



Offset Address			Register Name			Total Reset Value		
0x37			j83b_tcm_2			0x7F		
Bit	7	6	5	4	3	2	1	0
Name	reg2j83b_thres							
Reset	0	1	1	1	1	1	1	1
Bits	Access	Name		Description				
[7:0]	RW	reg2j83b_thres		j83b 模式下，tcm 锁定阈值。				

j83b_tcm_3

j83b_tcm_3 为 J83B TCM 控制寄存器 3。

Offset Address			Register Name			Total Reset Value		
0x38			j83b_tcm_3			0x91		
Bit	7	6	5	4	3	2	1	0
Name	reg2j83b_lost_num			reg2j83b_syncnum			reg2j83b_stanum	
Reset	1	0	0	1	0	0	0	1
Bits	Access	Name		Description				
[7:5]	RW	reg2j83b_lost_num		j83b 模式下，tcm 失锁次数，表示失锁后几次报失锁，0 表示 1，依次类推。				
[4:2]	RW	reg2j83b_syncnum		j83b 模式下，tcm 同步次数，表示同步上几次后开始锁定，0 表示 1，依次类推。				
[1:0]	RW	reg2j83b_stanum		j83b 模式下，tcm 同步 symbol 个数 $256 \ll mc2tcm_stacnt * 15$ 个。				

j83b_tcm_4

j83b_tcm_4 为 J83B TCM 控制寄存器 4。



Offset Address			Register Name			Total Reset Value		
0x39			j83b_tcm_4			0x32		
Bit	7	6	5	4	3	2	1	0
Name	reg2j83b_hold_thres							
Reset	0	0	1	1	0	0	1	0
Bits	Access		Name		Description			
[7:0]	RW		reg2j83b_hold_thres		j83b 模式下，tcm 失锁阈值。			

j83b_tcm_5

j83b_tcm_5 为 J83B TCM 控制寄存器 5。

Offset Address			Register Name			Total Reset Value		
0x3A			j83b_tcm_5			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved					tcm2reg_ber_thres		
Reset	0	0	0	0	0	0	0	0
Bits	Access		Name		Description			
[7:3]	-		reserved		保留。			
[2:0]	RW		tcm2reg_ber_thres		j83b 模式下，tcm 误码率统计阈值，计算公式 $2^{(thres + 18)}$ ，单位为 30 个(15 对)symbol。			

j83b_tcm_6

j83b_tcm_6 为 J83B TCM 状态寄存器 6。

Offset Address			Register Name			Total Reset Value		
0x3B			j83b_tcm_6			0x00		
Bit	7	6	5	4	3	2	1	0
Name	j83b2reg_ctrl_bits				reserved	tcm2reg_syn_fail_num		
Reset	0	0	0	0	0	0	0	0
Bits	Access		Name		Description			
[7:4]	RO		j83b2reg_ctrl_bits		j83b 模式下，deinterleaver 模块工作的交织模式。			
[3]	-		reserved		保留。			



[2:0]	RO	tcm2reg_syn_fa il_num	j83b 模式下，tcm 搜索到的相位。
-------	----	--------------------------	----------------------

j83b_di_1

j83b_di_1 为 J83B 解交织控制寄存器 1。

Offset Address				Register Name		Total Reset Value		
0x3C				j83b_di_1		0x24		
Bit	7	6	5	4	3	2	1	0
Name	reg2j83b_lost_per				reserved	reg2j83b_di_level	reg2j83b_di_err_allow	reg2j83b_di_ctrl_word_en
Reset	0	0	1	0	0	1	0	0
Bits	Access	Name		Description				
[7:4]	RW	reg2j83b_lost_per		j83b 模式下，mpeg 帧同步统计周期阈值。mpeg 帧同步是否失锁，根据在统计周期内的总无效帧个数是否超过 reg2j83b_mpeg_lostlen 阈值决定。				
[3]	-	reserved		保留。				
[2]	RW	reg2j83b_di_level		j83b 模式下，deinterleaver 的交织 level。 0: level1; 1: level2。				
[1]	RW	reg2j83b_di_err_allow		j83b 模式下，deinterleaver 模块码流中的交织信息是否允许有误码。 0: 不允许; 1: 允许。				
[0]	RW	reg2j83b_di_ctrl_word_en		j83b 模式下，deinterleaver 模块手工配置交织模式使能。 0: 自动; 1: 手工。				



j83b_di_2

j83b_di_2 为 J83B 解交织控制寄存器 2。

	Offset Address			Register Name			Total Reset Value	
	0x3D			j83b_di_2			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reg2j83b_di_err_max				reg2j83b_di_ctrl_word_in			
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:4]	RW	reg2j83b_di_err_max	j83b 模式下，deinterleaver 模块中码流中交织信息最大允许的误码次数。				
	[3:0]	RW	reg2j83b_di_ctrl_word_in	j83b 模式下，deinterleaver 模块手工配置交织模式。				

j83b_mfsync_1

j83b_mfsync_1 为 J83B MPEG 帧同步控制寄存器 1。

	Offset Address			Register Name			Total Reset Value	
	0x3E			j83b_mfsync_1			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reg2j83b_mpeg_lost_en	reg2j83b_mpeg_locklen			reg2j83b_mpeg_lostlen			
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7]	RW	reg2j83b_mpeg_lost_en	j83b 模式下，mpeg 帧同步是否允许失锁。				
	[6:4]	RW	reg2j83b_mpeg_locklen	j83b 模式下，mpeg 帧同步锁定阈值。				
	[3:0]	RW	reg2j83b_mpeg_lostlen	j83b 模式下，mpeg 帧同步允许失锁的阈值。				



j83b_mfsync_2

j83b_mfsync_2 为 J83B MPEG 帧同步状态寄存器 2。

Offset Address			Register Name			Total Reset Value		
0x3F			j83b_mfsync_2			0x00		
Bit	7	6	5	4	3	2	1	0
Name	tcm2reg_dummy_data	j83b2reg_fec_sync_state			reserved	j83b2reg_mpeg_sync_state		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RO	tcm2reg_dummy_data	不使用。					
[6:4]	RO	j83b2reg_fec_sync_state	j83b 模式下，fec 帧同步状态机。					
[3]	-	reserved	保留。					
[2:0]	RO	j83b2reg_mpeg_sync_state	j83b 模式下，mpeg 帧同步状态机。					

mctrl_1

mctrl_1 为主控寄存器 1。

Offset Address			Register Name			Total Reset Value		
0x40			mctrl_1			0xA0		
Bit	7	6	5	4	3	2	1	0
Name	version			soft_reset	rst_equalizer	rst_rs_tmp	rst_di_tmp	rst_qam
Reset	1	0	1	0	0	0	0	0
Bits	Access	Name		Description				
[7:5]	RO	version		QAM 版本号为 101。				



[4]	RW	soft_reset	软复位。 0: QAM 正常工作; 1: 对 AGC、ADC 模块复位。 非自清 0。复位时, 要求软件向该位先写入 1, 再写 0。
[3]	RW	rst_equalizer	复位均衡模块。 0: QAM 正常工作; 1: 复位均衡模块。 非自清 0。复位时, 要求软件向该位先写入 1, 再写 0。
[2]	RW	rst_rs_tmp	复位 RS 模块。 0: QAM 正常工作; 1: 复位 RS 模块。 非自清 0。复位时, 要求软件向该位先写入 1, 再写 0。
[1]	RW	rst_di_tmp	复位信道解码部分。 0: QAM 正常工作; 1: 复位解交织、帧同步和解扰模块。 非自清 0。复位时, 要求软件向该位先写入 1, 再写 0。
[0]	RW	rst_qam	复位信道解调部分。 0: QAM 正常工作; 1: 复位信道解调部分。 非自清 0。复位时, 要求软件向该位先写入 1, 再写 0。

mctrl_5

mctrl_5 为主控寄存器 5。



Offset Address			Register Name			Total Reset Value		
0x44			mctrl_5			0xA8		
Bit	7	6	5	4	3	2	1	0
Name	agc_output_sel	reg2j83b_itu_sel	mf_roll_sel	swap	data_formate	itu_sel	qam_input_ctrl	
Reset	1	0	1	0	1	0	0	0
Bits	Access	Name	Description					
[7]	RW	agc_output_sel	AGC 输出选择。 0: 管脚 agc1、agc2 为普通 CMOS 输出； 1: 管脚 agc1、agc2 为 OD 输出。					
[6]	RW	reg2j83b_itu_sel	itu 标准选择。 1: j83b； 0: j83ac。					
[5]	RW	mf_roll_sel	匹配滤波器使用的方式。 0: 使用测试滚降系数； 1: 使用默认滚降系数。					
[4]	RW	swap	ad 数据格式转换。 0: 正常格式。 1: 高低位交换。					
[3]	RW	data_formate	ad 数据格式转换。 0: 正常格式。 1: 最高位取反。					
[2]	RW	itu_sel	ITU-J83 模式选择。 1: ITU-J83C 模式； 0: DVB-C、ITU-J83A 模式					
[1:0]	RW	qam_input_ctrl	输入控制。 00: AGC 锁定后 QAM 才工作； 01、10: AGC 不锁定 QAM 就开始工作； 11: AGC 锁定一次后 QAM 就开始工作，忽略以后的失锁。					



mctrl_6

mctrl_6 为主控寄存器 6。

Offset Address				Register Name		Total Reset Value										
0x45				mctrl_6		0xE0										
Bit	7		6		5		4		3		2		1		0	
Name	lock_pol_sel		auto_srst_en		para_sel		rs_uncorr_reg		de_syn_msk		de_syn_event_reg		de_syn_event_type		lms_blind	
Reset	1		1		1		0		0		0		0		0	
	Bits	Access	Name				Description									
	[7]	RW	lock_pol_sel				int 信号的极性。 1: 高有效; 0: 低有效。									
	[6]	RW	auto_srst_en				自动复位使能信号。 0: 自动复位不使能。 1: 自动复位使能。									
	[5]	RW	para_sel				时钟恢复、均衡、载波恢复参数选择。 1: 选择用户配置参数; 0: 选择内部参数。此时均衡补偿系数、定时同步参数为内部设置的值。									
	[4]	RW	rs_uncorr_reg				RS 纠错失败。 1: 纠错失败。数据帧中的错误个数超过 RS 码纠错能力, RS 无法将其纠正, 则给出此中断信号。 0: 正常。									
	[3]	RW	de_syn_msk				帧同步检测器中断屏蔽。 1: 使能此中断; 0: 屏蔽此中断。									
	[2]	RW	de_syn_event_reg				帧同步检测器中断屏蔽。 1: 使能此中断; 0: 屏蔽此中断。									
	[1]	RO	de_syn_event_type				帧同步锁定信号。 0: 没有锁定。 1: 锁定。									



[0]	RO	lms_blind	均衡工作模式。 0: 均衡器工作在 LMS 模式; 1: 均衡器工作在 BLIND 模式。
-----	----	-----------	---

mctrl_7

mctrl_7 为主控寄存器 7。

Offset Address			Register Name			Total Reset Value		
0x46			mctrl_7			0x60		
Bit	7	6	5	4	3	2	1	0
Name	i2ct_en	scl_output_sel	extad_clken	itlock_sel	itpwm_sel	lock_sel		fir_en
Reset	0	1	1	0	0	0	0	0
Bits	Access	Name	Description					
[7]	WC	i2ct_en	外部两线操作使能。 当此位置 1，允许进行 1 次外部两线操作。当两线操作结束，此位自动清 0。					
[6]	RW	scl_output_sel	scl 输出选择。 0：管脚 pscl 为普通 CMOS 输出； 1：管脚 pscl 为 OD 输出，5.5V 上拉。					
[5]	RW	extad_clken	不使用。					
[4]	RW	itlock_sel	中断源选择信号。 1：中断信号。 0：锁定信号。					
[3]	RW	itpwm_sel	int_pwm 引脚复用选择信号。 1：int_pwm 显示中断信号； 0：int_pwm 显示 PWM 信号。					
[2:1]	RW	lock_sel	中断源选择信号。 00：同步锁定； 01：保留； 10：均衡锁定； 11：agc 锁定。					



[0]	RW	fir_en	Notchfilter 使能信号。 0: 不使能，数据直通到下一级； 1: 使能。
-----	----	--------	---

mctrl_9

mctrl_9 为主控寄存器 9。

Offset Address				Register Name			Total Reset Value	
0x48				mctrl_9			0x08	
Bit	7	6	5	4	3	2	1	0
Name	state_sel		agc1_inv	agc2_inv	gpwm_en	reserved	agc12_sel	agc12b_sel
Reset	0	0	0	0	1	0	0	0
Bits	Access	Name	Description					
[7:6]	RW	state_sel	tr 工作模式。 00、10： 阈值模式； 01、11： 计数模式。					
[5]	RW	agc1_inv	AGC1 反向使能信号。 1： 使能； 0： 不使能。					
[4]	RW	agc2_inv	AGC2 反向使能信号。 1： 使能； 0： 不使能。					
[3]	RW	gpwm_en	通用 PWM 使能。 1： 使能； 0： 不使能。					
[2]	-	reserved	保留。					
[1]	RW	agc12_sel	不使用。					
[0]	RW	agc12b_sel	不使用。					



mctrl_11

mctrl_11 为主控寄存器 11。

Offset Address			Register Name			Total Reset Value		
0x4A			mctrl_11			0x00		
Bit	7	6	5	4	3	2	1	0
Name	agc_lock	st_lock	ca_lock	equ_lock	sync_lock	tcm2reg_sync_lock	j83b2reg_fec_sync_event	j83b2reg_mpeg_sync_event
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7]	RO	agc_lock	AGC 锁定。 0: AGC 未锁定; 1: AGC 锁定。				
	[6]	RO	st_lock	时钟恢复锁定。 0: 时钟恢复未锁定; 1: 时钟恢复锁定。				
	[5]	RO	ca_lock	载波恢复锁定。 0: 载波恢复未锁定; 1: 载波恢复锁定。				
	[4]	RO	equ_lock	均衡锁定。 0: 均衡未锁定; 1: 均衡锁定。				
	[3]	RO	sync_lock	帧同步锁定。 0: 帧同步未锁定; 1: 帧同步锁定。				
	[2]	RO	tcm2reg_sync_lock	j83b 模式下, tcm 锁定。 0: tcm 未锁定; 1: tcm 锁定。				
	[1]	RO	j83b2reg_fec_sync_event	j83b 模式下, fec 帧同步锁定。 0: fec 帧同步未锁定; 1: fec 帧同步锁定。				



[0]	RO	j83b2reg_mpeg_sync_event	j83b 模式下，mpeg 帧同步锁定。 0: mpeg 帧同步未锁定； 1: mpeg 帧同步锁定。
-----	----	--------------------------	---

agc_ctrl_15

agc_ctrl_15 为 AGC 控制寄存器 15。

Offset Address				Register Name		Total Reset Value		
0x59				agc_ctrl_15		0x80		
Bit	7	6	5	4	3	2	1	0
Name	del_agc_on	frz2_ctrl		frz1_ctrl		agc_off	adsat_judge_en	certain_en
Reset	1	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7]	RW	del_agc_on		AGC1 使能。 0: AGC2 正常工作，AGC1 的增益值固定在 agc1_max 值； 1: AGC1 和 AGC2 同时工作，获得最佳的 Tuner 增益控制。				
[6:5]	RW	frz2_ctrl		测试寄存器，正常工作时为复位值。				
[4:3]	RW	frz1_ctrl		测试寄存器，正常工作时为复位值。				
[2]	RW	agc_off		AGC1、AGC2 的输出开关。 0: 打开 AGC1、AGC2 的输出； 1: 关断 AGC1、AGC2 的输出。				
[1]	RW	adsat_judge_en		测试寄存器，正常工作时为复位值。				
[0]	RW	certain_en		AGC 固定增益使能。 0: AGC1、AGC2 增益正常调整； 1: AGC1、AGC2 固定增益。				

agc_ctrl_19

agc_ctrl_19 为 AGC 控制寄存器 19。



	Offset Address			Register Name			Total Reset Value	
	0x5C			agc_ctrl_19			0x00	
Bit	7	6	5	4	3	2	1	0
Name	agc1_certain							
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RW	agc1_certain	AGC1 固定增益值的高 8 位。 当 AGC 固定增益使能(agc_ctrl_15[certain_en]=1) 时，AGC1 增益的高 8 比特固定为该值。				

agc_ctrl_20

agc_ctrl_20 为 AGC 控制寄存器 20。

	Offset Address			Register Name			Total Reset Value	
	0x5D			agc_ctrl_20			0x00	
Bit	7	6	5	4	3	2	1	0
Name	agc2_certain							
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RW	agc2_certain	AGC2 固定增益值的高 8 位。 当 AGC 固定增益使能(agc_ctrl_15[certain_en]=1) 时，AGC2 增益的高 8 比特固定为该值。				

agc_ctrl_22

agc_ctrl_22 为 AGC 控制寄存器 22。



Offset Address				Register Name			Total Reset Value	
0x5F				agc_ctrl_22			0x00	
Bit	7	6	5	4	3	2	1	0
Name	agc2_certain				agc1_certain			
Reset	0	0	0	0	0	0	0	0
Bits	Access		Name		Description			
[7:4]	RW		agc2_certain		AGC2 固定增益值的低 4 位。 当 AGC 固定增益使能(agc_ctrl_15[certain_en]=1) 时，AGC2 增益的低 4 比特固定为该值。			
[3:0]	RW		agc1_certain		AGC1 固定增益值的低 4 位。 当 AGC 固定增益使能(agc_ctrl_15[certain_en]=1) 时，AGC1 增益的低 4 比特固定为该值。			

bagc_ctrl_1

bagc_ctrl_1 为 BAGC 控制寄存器 1。

Offset Address				Register Name			Total Reset Value	
0x60				bagc_ctrl_1			0x14	
Bit	7	6	5	4	3	2	1	0
Name	agc_i_ref							
Reset	0	0	0	1	0	1	0	0
Bits	Access		Name		Description			
[7:0]	RW		agc_i_ref		AGC 平均功率参考值。			

bagc_ctrl_2

bagc_ctrl_2 为 BAGC 控制寄存器 2。



		Offset Address			Register Name			Total Reset Value	
		0x61			bagc_ctrl_2			0x02	
Bit		7	6	5	4	3	2	1	0
Name		reserved						agc2_sd	
Reset		0	0	0	0	0	0	1	0
	Bits	Access	Name		Description				
	[7:2]	-	reserved		保留。				
	[1:0]	RW	agc2_sd		AGC2 增益初始值的高 2 位。 用户软件复位 AGC 后，AGC2 由此值开始调整。				

bagc_ctrl_3

bagc_ctrl_3 为 BAGC 控制寄存器 3。

		Offset Address			Register Name			Total Reset Value	
		0x62			bagc_ctrl_3			0x00	
Bit		7	6	5	4	3	2	1	0
Name		agc2_sd							
Reset		0	0	0	0	0	0	0	0
	Bits	Access	Name		Description				
	[7:0]	RW	agc2_sd		AGC2 增益初始值的低 8 位。 用户软件复位 AGC 后，AGC2 由此值开始调整。				

bagc_ctrl_6

bagc_ctrl_6 为 BAGC 控制寄存器 6。

		Offset Address			Register Name			Total Reset Value	
		0x65			bagc_ctrl_6			0x10	
Bit		7	6	5	4	3	2	1	0
Name		i_thres2							
Reset		0	0	0	1	0	0	0	0
	Bits	Access	Name		Description				
	[7:0]	RW	i_thres2		AGC 锁定的情况下，判断 AGC 是否失锁时的平均功率的带宽。				



bagc_ctrl_9

bagc_ctrl_9 为 BAGC 控制寄存器 9。

Offset Address			Register Name			Total Reset Value		
0x68			bagc_ctrl_9			0x04		
Bit	7	6	5	4	3	2	1	0
Name	rate_update							
Reset	0	0	0	0	0	1	0	0
Bits	Access	Name	Description					
[7:0]	RW	rate_update	AGC 增益调整周期的高 8 位。					

bagc_ctrl_10

bagc_ctrl_10 为 BAGC 控制寄存器 10。

Offset Address			Register Name			Total Reset Value		
0x69			bagc_ctrl_10			0xB0		
Bit	7	6	5	4	3	2	1	0
Name	rate_update							
Reset	1	0	1	1	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	rate_update		AGC 增益调整周期的低 8 位。				

bagc_ctrl_12

bagc_ctrl_12 为 BAGC 控制寄存器 12。

Offset Address			Register Name			Total Reset Value		
0x6B			bagc_ctrl_12			0x00		
Bit	7	6	5	4	3	2	1	0
Name	pulse_width							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	pulse_width		AGC 输出 PWM 波的刷新周期。				



bagc_ctrl_13

bagc_ctrl_13 为 BAGC 控制寄存器 13。

Offset Address			Register Name				Total Reset Value	
0x6E			bagc_ctrl_13				0x00	
Bit	7	6	5	4	3	2	1	0
Name	if_pwm							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	if_pwm		通用 PWM 控制寄存器的高 8 位。 用来产生 PWM 信号，从 int_pwm 输出。				

bagc_ctrl_14

bagc_ctrl_14 为 BAGC 控制寄存器 14。

Offset Address			Register Name				Total Reset Value	
0x6F			bagc_ctrl_14				0x00	
Bit	7	6	5	4	3	2	1	0
Name	if_pwm							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	if_pwm		通用 PWM 控制寄存器的低 8 位。 用来产生 PWM 信号，从 int_pwm 输出。				

bagc_stat_1

bagc_stat_1 为 BAGC 状态寄存器 1。



Offset Address			Register Name			Total Reset Value		
0x70			bagc_stat_1			0x00		
Bit	7	6	5	4	3	2	1	0
Name	agc1_gain							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	agc1_gain	AGC1 增益的高 8 位。 使用说明请参见 cr_ctrl_21。					

bagc_stat_2

bagc_stat_2 为 BAGC 状态寄存器 2。

Offset Address			Register Name			Total Reset Value		
0x71			bagc_stat_2			0x00		
Bit	7	6	5	4	3	2	1	0
Name	agc1_gain				reserved			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:4]	RO	agc1_gain		AGC1 增益的低 4 位。 使用说明请参见 cr_ctrl_21。				
[3:0]	RO	reserved		保留。				

bagc_stat_3

bagc_stat_3 为 BAGC 状态寄存器 3。

Offset Address			Register Name			Total Reset Value		
0x72			bagc_stat_3			0x00		
Bit	7	6	5	4	3	2	1	0
Name	agc2_gain1							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	agc2_gain1	AGC2 增益 1 的高 8 位。 使用说明请参见 cr_ctrl_21。					



bagc_stat_4

bagc_stat_4 为 BAGC 状态寄存器 4。

	Offset Address				Register Name			Total Reset Value	
	0x73				bagc_stat_4			0x00	
Bit	7	6	5	4	3	2	1	0	
Name	agc2_gain1				reserved				
Reset	0	0	0	0	0	0	0	0	
	Bits	Access	Name	Description					
	[7:4]	RO	agc2_gain1	AGC2 增益 1 的低 4 位。 使用说明请参见 cr_ctrl_21。					
	[3:0]	RO	reserved	保留。					

bagc_stat_7

bagc_stat_7 为 BAGC 状态寄存器 7。

	Offset Address				Register Name			Total Reset Value	
	0x79				bagc_stat_7			0x00	
Bit	7	6	5	4	3	2	1	0	
Name	agc_average_power								
Reset	0	0	0	0	0	0	0	0	
	Bits	Access	Name	Description					
	[7:0]	RO	agc_average_power	AGC 平均功率。					

j83b_tcm_ber0

j83b_tcm_ber0 为 J83B TCM 状态寄存器 0。



Offset Address			Register Name				Total Reset Value	
0x7C			j83b_tcm_ber0				0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved		tcm2reg_ber_errnum_lat					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5:0]	RO	tcm2reg_ber_errnum_lat	tcm 中 ber 统计的错误个数的高 6bit。 使用说明请参见 cr_ctrl_21。					

j83b_tcm_ber1

j83b_tcm_ber1 为 J83B TCM 状态寄存器 1。

Offset Address			Register Name				Total Reset Value	
0x7D			j83b_tcm_ber1				0x00	
Bit	7	6	5	4	3	2	1	0
Name	tcm2reg_ber_errnum_lat							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	tcm2reg_ber_errnum_lat	tcm 中 ber 统计的错误个数的次高 8bit。 使用说明请参见 cr_ctrl_21。					

j83b_tcm_ber2

j83b_tcm_ber2 为 J83B TCM 状态寄存器 2。

Offset Address			Register Name				Total Reset Value	
0x7E			j83b_tcm_ber2				0x00	
Bit	7	6	5	4	3	2	1	0
Name	tcm2reg_ber_errnum_lat							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	tcm2reg_ber_errnum_lat	tcm 中 ber 统计的错误个数的次低 8bit。 使用说明请参见 cr_ctrl_21。					



j83b_tcm_ber3

j83b_tcm_ber3 为 J83B TCM 状态寄存器 3。

	Offset Address			Register Name			Total Reset Value	
	0x7F			j83b_tcm_ber3			0x00	
Bit	7	6	5	4	3	2	1	0
Name	tcm2reg_ber_errnum_lat							
Reset	0	0	0	0	0	0	0	0
Bits	Access		Name		Description			
[7:0]	RO		tcm2reg_ber_errnum_lat		tcm 中 ber 统计的错误个数的低 8bit。 使用说明请参见 cr_ctrl_21。			

sfreq_agc1_init

sfreq_agc1_init 为 AGC 控制寄存器。

	Offset Address			Register Name			Total Reset Value	
	0x87			sfreq_agc1_init			0x80	
Bit	7	6	5	4	3	2	1	0
Name	agc1_init							
Reset	1	0	0	0	0	0	0	0
Bits	Access		Name		Description			
[7:0]	RW		agc1_init		agc1 的工作初始值。			

sync_ctrl_1

sync_ctrl_1 为帧同步控制寄存器 1。



Offset Address			Register Name				Total Reset Value	
0x90			sync_ctrl_1				0x0A	
Bit	7	6	5	4	3	2	1	0
Name	reserved	sync_correct_enb	mismatch		acg_mode		trk_mode	
Reset	0	0	0	0	1	0	1	0
Bits	Access	Name		Description				
[7]	-	reserved		保留。				
[6]	RW	sync_correct_enb		同步头和反同步头修复使能，高电平有效。				
[5:4]	RW	mismatch		在跟踪状态下一个同步 byte 中所允许不匹配 bit 数 (若不匹配 bit 数多于此值，则认为不匹配)。				
[3:2]	RW	acg_mode		检测到 inv sync byte 后，又检测到连续的 n 个有效帧开始锁定： $n = acq_mode + 3$;				
[1:0]	RW	trk_mode		锁定后，检测到连续的 $m \times 204$ 个 byte 不是有效帧 (检测不到帧头)，开始失锁，开始重新检测 inv sync byte $m = trk_mode \times 2 + 1$;				

ber_1

ber_1 为 BER 控制寄存器 1。



Offset Address			Register Name			Total Reset Value		
0x93			ber_1			0x00		
Bit	7	6	5	4	3	2	1	0
Name	bert_en	err_source	err_mode	nbyte			reserved	
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	WC	bert_en	BER 统计使能。 0: 无效; 1: 有效。 在 err_mode 为 0 的情况下, 当内部字节统计计数器计数溢出(超过 BER 统计阈值)时, bert_en 将自动清 0。					
[6]	RW	err_source	BER 统计错误来源。 0: 统计错误 bit 个数; 1: 统计错误 byte 个数。					
[5]	RW	err_mode	BER 统计模式。 0: 自动停止统计模式。内部统计计数器达到统计阈值或者 BER 计数器溢出, 统计自动停止, bert_en 自动复位; 1: 自动重复统计模式。内部统计计数器达到统计阈值, 计数器自动复位, 重新开始统计, 直到 bert_en=0 才停止统计。					
[4:2]	RW	nbyte	BER 统计阈值。 内部字节统计计数器计数溢出的阈值为 $2^{(2*nbyte+12)}$, 只在 err_mode=0 时有效(内部字节统计计数器的统计范围是 4096~(2^{26}))。					
[1:0]	-	reserved	保留。					

ber_2

ber_2 为 BER 状态寄存器 2。



Offset Address				Register Name			Total Reset Value	
0x94				ber_2			0x00	
Bit	7	6	5	4	3	2	1	0
Name	error_cnt							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	error_cnt		内部错误 bit/byte 个数统计计数器的高 8 位。 该结果是原始 bit/byte 错误计数值，包括 RS 校验字节中的所有错误。 使用说明请参见 cr_ctrl_21。				

ber_3

ber_3 为 BER 状态寄存器 3。

Offset Address				Register Name			Total Reset Value	
0x95				ber_3			0x00	
Bit	7	6	5	4	3	2	1	0
Name	error_cnt							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	error_cnt		内部错误 bit/byte 个数统计计数器的中间 8 位。 该结果是原始 bit/byte 错误计数值，包括 RS 校验字节中的所有错误。 使用说明请参见 cr_ctrl_21。				

ber_4

ber_4 为 BER 状态寄存器 4。



	Offset Address			Register Name			Total Reset Value	
	0x96			ber_4			0x00	
Bit	7	6	5	4	3	2	1	0
Name	error_cnt							
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RO	error_cnt	内部错误 bit/byte 个数统计计数器的低 8 位。 该结果是原始 bit/byte 错误计数值，包括 RS 校验字节中的所有错误。 使用说明请参见 cr_ctrl_21。				

ts_ctrl_1

ts_ctrl_1 为输出控制寄存器 1。

	Offset Address			Register Name			Total Reset Value	
	0x98			ts_ctrl_1			0x8E	
Bit	7	6	5	4	3	2	1	0
Name	sync_byte_inv	bend_bypass	m_ckout_ctrl	parity_en	sp_sel	tei_enable	ds_enable	reserved
Reset	1	0	0	0	1	1	1	0
	Bits	Access	Name	Description				
	[7]	RW	sync_byte_inv	解扰模块的输出数据取反信号 1：解扰输出取反； 0：解扰输出正常。				
	[6]	RW	bend_bypass	解码部分处理旁路。 0：解码处理模块不被旁路； 1：所有解码处理模块，包括解映射后面的解交织、RS 解码、解扰等模块处理被旁路。				
	[5]	RW	m_ckout_ctrl	不使用。				
	[4]	RW	parity_en	rs 校验位输出使能信号，0 表示校验位不输出，1 表示校验位输出。				



[3]	RW	sp_sel	并行接口模式 2、串行模式选择。 1: 选择串行模式; 0: 选择并行模式 2, 该模式仅为测试模式, 正常工作 时不使用。 只在 ts_ctrl_2[comm_if_en]为 0 时, 此控制起作用。
[2]	RW	tei_enable	TEI 位使能。 1: 当发现不可纠正的帧错误时, 使能 MPEG-2 TEI 设置; 0: 即使发现不可纠正的帧错误, 也不使能 MPEG- 2 TEI 设置。
[1]	RW	ds_enable	解扰使能信号。 1: 使能; 0: 不使能。
[0]	-	reserved	保留。

ts_ctrl_2

ts_ctrl_2 为输出控制寄存器 2。Hi3716H 和 Hi3716M 有差别。

Offset Address				Register Name		Total Reset Value		
0x99				ts_ctrl_2		0x20		
Bit	7	6	5	4	3	2	1	0
Name	sync_drop	comm_if_en	comm_if_clk_ctrl	comm_if_clk_base	reserved			
Reset	0	0	1	0	0	0	0	0
Bits	Access		Name		Description			
[7]	RW		sync_drop		同步字节丢弃。 0: 输出 MPEG-TS 帧头中的同步字节; 1: 不输出 MPEG-TS 帧头中的同步字节(相应的 ts_val 也无效)。			



[6]	RW	comm_if_en	并行接口模式 1 使能。 1: 并行接口模式 1; 0: 并行接口模式 2 或串行接口模式，具体由寄存器 ts_ctrl_1[sp_sel]控制。
[5]	RW	comm_if_clk_ctl	选择 ts_clk 的输出极性，该信号仅在 FPGA 版本使用。 0: ts_clk 直接输出; 1: ts_clk 反向输出。
[4]	RW	comm_if_clk_base	不使用。
[3:0]	-	reserved	保留。

rs_ctrl_1

rs_ctrl_1 为 RS 解码控制寄存器 1。

Offset Address			Register Name			Total Reset Value		
0x9B			rs_ctrl_1			0x00		
Bit	7	6	5	4	3	2	1	0
Name	pkt_cnt							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	pkt_cnt		TS 帧计数器的高 8 位。 统计输出的 TS 帧数，请参见 rs_ctrl_8 bits[5:4]。 使用说明请参见 cr_ctrl_21。				

rs_ctrl_2

rs_ctrl_2 为 RS 解码控制寄存器 2。



Offset Address			Register Name			Total Reset Value		
0x9C			rs_ctrl_2			0x00		
Bit	7	6	5	4	3	2	1	0
Name	pkt_cnt							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	pkt_cnt		TS 帧计数器的低 8 位。 统计输出的 TS 帧数，请参见 rs_ctrl_8 bits[5:4]。 使用说明请参见 cr_ctrl_21。				

rs_ctrl_3

rs_ctrl_3 为 RS 解码控制寄存器 3。

Offset Address			Register Name			Total Reset Value		
0x9D			rs_ctrl_3			0x00		
Bit	7	6	5	4	3	2	1	0
Name	pkt_corr							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	pkt_corr		纠正 TS 帧计数器的高 8 位。 使能后，统计由 RS 纠正的 TS 帧数，请参见 rs_ctrl_8 bits[5:4]。 使用说明请参见 cr_ctrl_21。				

rs_ctrl_4

rs_ctrl_4 为 RS 解码控制寄存器 4。



	Offset Address			Register Name			Total Reset Value	
	0x9E			rs_ctrl_4			0x00	
Bit	7	6	5	4	3	2	1	0
Name	pkt_corr							
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RO	pkt_corr	纠正 TS 帧计数器的低 8 位。 使能后，统计由 RS 纠正的 TS 帧数，请参见 rs_ctrl_8 bits[5:4]。 使用说明请参见 cr_ctrl_21。				

rs_ctrl_5

rs_ctrl_5 为 RS 解码控制寄存器 5。

	Offset Address			Register Name			Total Reset Value	
	0x9F			rs_ctrl_5			0x00	
Bit	7	6	5	4	3	2	1	0
Name	pkt_uncorr							
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RO	pkt_uncorr	未纠 TS 帧计数器的高 8 位。 使能后，统计 RS 不能纠正的 TS 帧数，请参见 rs_ctrl_8 bits[5:4]。 使用说明请参见 cr_ctrl_21。				

rs_ctrl_6

rs_ctrl_6 为 RS 解码控制寄存器 6。



Offset Address			Register Name			Total Reset Value		
0xA0			rs_ctrl_6			0x00		
Bit	7	6	5	4	3	2	1	0
Name	pkt_uncorr							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	pkt_uncorr	未纠 TS 帧计数器的低 8 位。 使能后，统计 RS 不能纠正的 TS 帧数，请参见 rs_ctrl_8 bits[5:4]。 使用说明请参见 cr_ctrl_21。					

rs_ctrl_8

rs_ctrl_8 为 RS 解码控制寄存器 8。

Offset Address			Register Name			Total Reset Value		
0xA1			rs_ctrl_8			0x40		
Bit	7	6	5	4	3	2	1	0
Name	reg2rs_rs_sel	rs_corr_en	static_hold	static_clear	rs_mode127	rs2_rs_corr_en	rs2_mode127	reserved
Reset	0	1	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RW	reg2rs_rs_sel	RS 模式选择，仅在 reg2j83b_itu_sel 为 1 时有效（即在 J83B 模式有效）。 0：使用 RS1； 1：使用 RS2。					
[6]	RW	rs_corr_en	RS 纠错屏蔽。 0：RS 模块正常工作(default)； 1：屏蔽 RS 模块的纠错功能，不影响其它功能。					
[5]	RW	static_hold	统计计数器保持。 0：以下计数器正常计数； 1：TS 帧计数器(pkt_cnt)、纠正 TS 帧计数器(pkt_corr)、未纠 TS 帧计数器(pkt_uncorr)保持。					



[4]	RW	static_clear	统计计数器清 0。 0: 以下计数器正常计数; 1: TS 帧计数器(pkt_cnt)、纠正 TS 帧计数器(pkt_corr)、未纠 TS 帧计数器(pkt_uncorr)清 0。
[3]	RW	rs_mode127	RS1 模式下, 是否擦除第 128 个码字, 仅在 reg2j83b_itu_sel 为 1 时有效 (即在 J83B, RS1 模式有效)。 0: 不擦除; 1: 擦除。
[2]	RW	rs2_rs_corr_en	RS2 纠错屏蔽, 仅在 reg2j83b_itu_sel 为 1 时有效 (即在 J83B 模式有效)。 0: RS 模块正常工作(default); 1: 屏蔽 RS 模块的纠错功能, 不影响其它功能。
[1]	RW	rs2_mode127	RS2 模式下, 是否擦除第 128 个码字, 仅在 reg2j83b_itu_sel 为 1 时有效 (即在 J83B, RS2 模式有效)。 0: 不擦除; 1: 擦除。
[0]	-	reserved	保留。

bs_ctrl_1

bs_ctrl_1 为盲扫控制寄存器 1。

Offset Address				Register Name		Total Reset Value		
0xA6				bs_ctrl_1		0x04		
Bit	7	6	5	4	3	2	1	0
Name	reserved				spec_inv_en	spec_search_en	rate_search_en	qam_search_en
Reset	0	0	0	0	0	1	0	0
Bits	Access		Name		Description			
[7:4]	-		reserved		保留。			



[3]	RW	spec_inv_en	频谱倒置。 0: 禁止解调器处理可能由传输通道引起的任意频谱倒置; 1: 允许解调器处理可能由传输通道引起的任意频谱倒置。
[2]	RW	spec_search_en	频谱自动翻转控制。 0: 禁止频谱自动翻转; 1: 使能频谱自动翻转。 实际的频谱方式请参见 bs_stat_1 的描述。
[1]	RW	rate_search_en	符号率盲扫控制。 0: 禁止符号率盲扫控制; 1: 使能符号率盲扫控制。 搜索得到的调制方式请参见 bs_stat_1 的描述。
[0]	RW	qam_search_en	调制模式盲扫控制。 0: 禁止调制模式盲扫控制; 1: 使能调制模式盲扫控制。 搜索得到的调制方式请参见 bs_stat_1 的描述。

bs_ctrl_2

bs_ctrl_2 为盲扫控制寄存器 2。



Offset Address				Register Name			Total Reset Value	
0xA7				bs_ctrl_2			0x10	
Bit	7	6	5	4	3	2	1	0
Name	rate_search			qam_search				
Reset	0	0	0	1	0	0	0	0
Bits	Access	Name	Description					
[7:5]	RW	rate_search	符号率盲扫使能时，表示所要搜索的符号率范围；符号率盲扫不使能，配置此寄存器无意义。 000：非法配置； 001：搜索 1.8MBaud~0.9MBaud 范围； 010：搜索 3.6MBaud~1.8MBaud 范围； 011：搜索 3.6MBaud~1.8MBaud、1.8MBaud~0.9MBaud 范围； 100：搜索 7.2MBaud~3.6MBaud 范围； 101：搜索 7.2MBaud~3.6MBaud、1.8MBaud~0.9MBaud 范围； 110：搜索 7.2MBaud~3.6MBaud、3.6MBaud~1.8MBaud 范围； 111：搜索 7.2MBaud~3.6MBaud、3.6MBaud~1.8MBaud、1.8MBaud~0.9MBaud 范围。					
[4:0]	RW	qam_search	调制模式。 当 qam_search_en=0 时，用户配置调试模式，具体内容如下： 0x01：QAM16； 0x02：QAM32； 0x04：QAM128； 0x08：QAM256； 0x10：QAM64； 其他：保留。 当 qam_search_en=1 时，可有多位有效，即搜索多种调制方式，例如： 0x18：表示搜索 QAM64、QAM256。					

bs_stat_1

bs_stat_1 为盲扫状态寄存器 1。



Offset Address			Register Name			Total Reset Value		
0xAC			bs_stat_1			0x80		
Bit	7	6	5	4	3	2	1	0
Name	qam_mode					rate_range	spec_inv	
Reset	1	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:3]	RO	qam_mode	QAM 模式。 0x01: QAM16; 0x02: QAM32; 0x04: QAM128; 0x08: QAM256; 0x10: QAM64; 其他: 保留。					
[2:1]	RO	rate_range	符号率盲扫得到的符号率范围。 00: 7.2MBaud~3.6MBaud; 01: 3.6MBaud~1.8MBaud; 10: 1.8MBaud~0.9MBaud; 11: 保留。					
[0]	RO	spec_inv	频谱是否翻转。 0: 频谱不翻转; 1: 频谱翻转。					

bs_stat_2

bs_stat_2 为盲扫状态寄存器 2。

Offset Address				Register Name			Total Reset Value	
0xAD				bs_stat_2			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved				qam_search_status		rate_search_status	
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:4]	-	reserved		保留。				



[3:2]	RO	qam_search_status	调制方式盲搜索结果，只有调制方式盲搜索使能才有意义。 00：调制方式盲搜索未结束； 01：无意义； 10：调制方式盲搜索结束，但失败； 11：调制方式盲搜索结束，且成功。
[1:0]	RO	rate_search_status	符号率盲搜索结果。 00：符号率盲搜索未结束； 01：无意义； 10：符号率盲搜索结束，但失败； 11：符号率盲搜索结束，且成功。

bs_stat_3

bs_stat_3 为盲扫状态寄存器 3。

Offset Address				Register Name			Total Reset Value	
0xAE				bs_stat_3			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved							rate_ratio
Reset	0	0	0	0	0	0	0	0
Bits	Access		Name		Description			
[7:1]	-		reserved		保留。			
[0]	RO		rate_ratio		当符号率盲扫成功结束时，符号率可由如下公式得出： $F_s = F_{ad} / (2^{(rate_range+1)} * (rate_ratio) / (2^{14}))$ 当 rate_range=0 时，F _{ad} = 28.8MHz； 当 rate_range=1 时，F _{ad} = 14.4MHz； 当 rate_range=2 时，F _{ad} = 7.2MHz。 此位为 rate_ratio 的最高 1 位。			

bs_stat_4

bs_stat_4 为盲扫状态寄存器 4。



Offset Address			Register Name				Total Reset Value	
0xAF			bs_stat_4				0x86	
Bit	7	6	5	4	3	2	1	0
Name	rate_ratio							
Reset	1	0	0	0	0	1	1	0
Bits	Access	Name		Description				
[7:0]	RO	rate_ratio		当符号率盲扫成功结束时，符号率可由如下公式得出： $Fs = F_{ad} / (2^{(rate_range+1)} * (rate_ratio) / (2^{14}))$ 当 rate_range=0 时，Fad = 28.8MHz； 当 rate_range=1 时，Fad = 14.4MHz； 当 rate_range=2 时，Fad = 7.2MHz。 此 8 位为 rate_ratio 的高 8 位。				

bs_stat_5

bs_stat_5 为盲扫状态寄存器 5。

Offset Address			Register Name				Total Reset Value	
0xB0			bs_stat_5				0x0D	
Bit	7	6	5	4	3	2	1	0
Name	rate_ratio							
Reset	0	0	0	0	1	1	0	1
Bits	Access	Name		Description				
[7:0]	RO	rate_ratio		当符号率盲扫成功结束时，符号率可由如下公式得出： $Fs = F_{ad} / (2^{(rate_range+1)} * (rate_ratio) / (2^{14}))$ 当 rate_range=0 时，Fad = 28.8MHz； 当 rate_range=1 时，Fad = 14.4MHz； 当 rate_range=2 时，Fad = 7.2MHz。 此 8 位为 rate_ratio 的最低 8 位。				

fs_ctrl_1

fs_ctrl_1 为扫描控制寄存器 1。



	Offset Address			Register Name			Total Reset Value	
	0xB1			fs_ctrl_1			0x00	
Bit	7	6	5	4	3	2	1	0
Name	test			fre_init				
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:6]	RW	test	测试寄存器，正常工作时为复位值。				
	[5:0]	RW	fre_init	初始解调频率的高 6 位。 解调频率 = $\text{fre_init} \times \text{fclk} / ((2^{11}) \times 2 \times \pi)$ ，扫频电路工作在采样时钟。 其中， $\text{fclk} / ((2^{11}) \times 2 \times \pi)$ 为分辨精度，例如，在 DVB-C、ITU J83-A/C 模式下 $\text{fclk}=28.8\text{MHz}$ 时，分辨精度为 2238Hz；在 ITU J83-B 模式下 $\text{fclk}=25\text{MHz}$ 时，分辨精度为 1943Hz。				

fs_ctrl_2

fs_ctrl_2 为扫描控制寄存器 2。

	Offset Address			Register Name			Total Reset Value	
	0xB2			fs_ctrl_2			0x00	
Bit	7	6	5	4	3	2	1	0
Name	fre_init							
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RW	fre_init	初始解调频率的低 8 位。 解调频率 = $\text{fre_init} \times \text{fclk} / ((2^{11}) \times 2 \times \pi)$ ，扫频电路工作在采样时钟。 其中， $\text{fclk} / ((2^{11}) \times 2 \times \pi)$ 为分辨精度，例如，在 DVB-C、ITU J83A/C 模式下 $\text{fclk}=28.8\text{MHz}$ 时，分辨精度为 2238Hz；在 ITU J83-B 模式下 $\text{fclk}=25\text{MHz}$ 时，分辨精度为 1943Hz。				

fs_ctrl_4

fs_ctrl_4 为扫描控制寄存器 4。



Offset Address				Register Name			Total Reset Value	
0xB4				fs_ctrl_4			0x00	
Bit	7	6	5	4	3	2	1	0
Name	scan_step							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	scan_step		扫描间隔步长的高 8 位。 两个所尝试的连续解调频率之间的步长是： $scan_step * fclk / ((2^{11}) * 2 * \pi)$ 。				

fs_ctrl_5

fs_ctrl_5 为扫描控制寄存器 5。

Offset Address				Register Name			Total Reset Value	
0xB5				fs_ctrl_5			0x70	
Bit	7	6	5	4	3	2	1	0
Name	scan_step							
Reset	0	1	1	1	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	scan_step		扫描间隔步长的低 8 位。 两个所尝试的连续解调频率之间的步长是： $scan_step * fclk / ((2^{11}) * 2 * \pi)$ 。				

fs_ctrl_6

fs_ctrl_6 为扫描控制寄存器 6。



	Offset Address			Register Name			Total Reset Value	
	0xB6			fs_ctrl_6			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved			scan_start	reserved		scan_end_flag	scan_lock_flag
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:5]	-	reserved	保留。				
	[4]	RW	scan_start	扫频启动。 0: 扫频关闭; 1: 扫频启动。				
	[3:2]	-	reserved	保留。				
	[1]	RO	scan_end_flag	扫频结束信号。 0: 扫频未结束; 1: 扫频结束。				
	[0]	RO	scan_lock_flag	扫频是否成功。 0: 扫频未成功; 1: 扫频成功。				

fs_ctrl_7

fs_ctrl_7 为扫描控制寄存器 7。

	Offset Address			Register Name			Total Reset Value	
	0xB7			fs_ctrl_7			0x0A	
Bit	7	6	5	4	3	2	1	0
Name	reserved	fre_step_num						
Reset	0	0	0	0	1	0	1	0
	Bits	Access	Name	Description				
	[7]	-	reserved	保留。				
	[6:0]	RW	fre_step_num	扫频步数寄存器。 表示扫频的最大步数。				



fs_stat_1

fs_stat_1 为扫描状态寄存器 1。

Offset Address			Register Name				Total Reset Value	
0xB8			fs_stat_1				0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved		freq_shift					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:6]	-	reserved		保留。				
[5:0]	RO	freq_shift		扫频最终得到的频偏的高 6 位。				

fs_stat_2

fs_stat_2 为扫描状态寄存器 2。

Offset Address			Register Name				Total Reset Value	
0xB9			fs_stat_2				0x00	
Bit	7	6	5	4	3	2	1	0
Name	freq_shift							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RO	freq_shift		扫频最终得到的频偏的低 8 位。				

j83b_ffsync_1

j83b_ffsync_1 为 J83B FFSYNC 控制寄存器 1。



Offset Address			Register Name			Total Reset Value		
0xBA			j83b_ffsync_1			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved		reg2j83b_fra_locklen			reg2j83b_fra_lostlen		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:6]	-	reserved		保留。				
[5:3]	RW	reg2j83b_fra_locklen		检测到 sync 序列后，又检测到连续的 n 个有效帧开始锁定： n = reg2j83b_fra_locklen + 1 ；				
[2:0]	RW	reg2j83b_fra_lostlen		锁定后，检测到连续的 m 个 sync 序列位置上出错，开始失锁，开始重新检测 sync 序列。 m =reg2j83b_fra_lostlen + 1；				

j83b_ffsync_2

j83b_ffsync_2 为 J83B FFSYNC 控制寄存器 2。

Offset Address			Register Name			Total Reset Value		
0xBB			j83b_ffsync_2			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved		reg2j83b_unlock_toler			reg2j83b_lock_mismatch		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5:3]	RW	reg2j83b_unlock_toler	未锁定时连续 p 帧没有检测到 sync 序列时给 tcm 发出改变相位脉冲。 p = reg2j83bunlock_toler + 2;					
[2:0]	RW	reg2j83b_lock_mismatch	锁定前，在 sync 序列位置上允许有有错的比特数，如果是 0 就不允许有比特错误。					

j83b_ffsync_3

j83b_ffsync_3 为 J83B FFSYNC 控制寄存器 3。



Offset Address			Register Name			Total Reset Value		
0xBC			j83b_ffsync_3			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved					reg2j83b_lost_mismatch		
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:3]	-	reserved		保留。				
[2:0]	RW	reg2j83b_lost_mismatch		锁定后，在 sync 序列位置上允许有有错的比特数，如果是 0 就不允许有比特错误。				

j83b_dr_1

j83b_dr_1 为 J83B 解扰控制寄存器 1。

Offset Address			Register Name			Total Reset Value		
0xBD			j83b_dr_1			0x7F		
Bit	7	6	5	4	3	2	1	0
Name	reserved	reg2j83b_dr_ini0						
Reset	0	1	1	1	1	1	1	1
Bits	Access	Name	Description					
[7]	-	reserved	保留。					
[6:0]	RW	reg2j83b_dr_ini0	内部寄存器 a3 初始值。					

j83b_dr_2

j83b_dr_2 为 J83B 解扰控制寄存器 2。

Offset Address			Register Name			Total Reset Value		
0xBE			j83b_dr_2			0x7F		
Bit	7	6	5	4	3	2	1	0
Name	reserved	reg2j83b_dr_ini1						
Reset	0	1	1	1	1	1	1	1
Bits	Access	Name		Description				
[7]	-	reserved		保留。				



[6:0]	RW	reg2j83b_dr_ini1	内部寄存器 ff1 初始值。
-------	----	------------------	----------------

j83b_dr_3

j83b_dr_3 为 J83B 解扰控制寄存器 3。

	Offset Address			Register Name			Total Reset Value	
	0xBF			j83b_dr_3			0x7F	
Bit	7	6	5	4	3	2	1	0
Name	reserved		reg2j83b_dr_ini2					
Reset	0	1	1	1	1	1	1	1
Bits	Access	Name		Description				
[7]	-	reserved		保留。				
[6:0]	RW	reg2j83b_dr_ini2		内部寄存器 ff2 初始值。				

four_reg_sel

four_reg_sel 为寄存器块选择寄存器。

	Offset Address			Register Name			Total Reset Value	
	0xE0			four_reg_sel			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved						reg2mem_sel	
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:2]	-	reserved		保留。				
[1:0]	RW	reg2mem_sel		存储器选择控制信号。 00: 配置 QAM 寄存器; 10: 配置 CRG 和硬件 IP 寄存器; 其他: 保留。				



2.26 系统控制寄存器概览

register_hard 寄存器概览如表 2-2 所示。

表2-2 系统控制寄存器概览（基址是 0x0000）

偏移地址	名称	描述	页码
0x00	crg_ctrl_0	CRG 控制寄存器 0	2-67
0x01	crg_ctrl_1	CRG 控制寄存器 1	2-68
0x02	crg_ctrl_2	CRG 控制寄存器 2	2-69
0x03	crg_ctrl_3	CRG 控制寄存器 3	2-71
0x04	crg_ctrl_4	CRG 控制寄存器 4	2-71
0x05	crg_ctrl_5	CRG 控制寄存器 5	2-72
0x10	hard_ctrl_0	AD 控制寄存器 0	2-72
0x11	hard_ctrl_1	AD 控制寄存器 1	2-72
0x12	hard_ctrl_2	AD 控制寄存器 2	2-73
0x13	hard_ctrl_3	AD 控制寄存器 3	2-73
0x14	hard_ctrl_4	AD 控制寄存器 4	2-73
0x15	hard_ctrl_5	AD 控制寄存器 5	2-74
0x16	hard_ctrl_6	AD 控制寄存器 6	2-74
0x17	hard_ctrl_7	PLL 控制寄存器 0	2-74
0x18	hard_ctrl_8	PLL 控制寄存器 1	2-75
0x19	hard_ctrl_9	PLL 控制寄存器 2	2-75
0x1A	hard_ctrl_10	PLL 控制寄存器 3	2-76
0x1B	hard_ctrl_11	PLL 控制寄存器 4	2-76
0x1C	hard_ctrl_12	PLL 控制寄存器 5	2-76
0x1D	hard_ctrl_13	PLL 控制寄存器 6	2-77
0x1E	hard_ctrl_14	PLL 控制寄存器 6	2-77
0x20	ioshare_ctrl_0	IOSHARE 控制寄存器 0	2-78
0x21	ioshare_ctrl_1	IOSHARE 控制寄存器 1	2-79
0x22	ioshare_ctrl_2	IOSHARE 控制寄存器 2	2-80
0x23	ioshare_ctrl_3	IOSHARE 控制寄存器 3	2-81



偏移地址	名称	描述	页码
0x24	ioshare_ctrl_4	IOSHARE 控制寄存器 4	2-83
0x25	ioshare_ctrl_5	IOSHARE 控制寄存器 5	2-84
0x26	ioshare_ctrl_6	IOSHARE 控制寄存器 6	2-85
0x27	ioshare_ctrl_7	IOSHARE 控制寄存器 7	2-86
0x28	ioshare_ctrl_8	IOSHARE 控制寄存器 8	2-87
0x29	ioshare_ctrl_9	IOSHARE 控制寄存器 9	2-88

2.27 系统控制器寄存器描述

crg_ctrl_0

crg_ctrl_0 为 CRG 控制寄存器 0。

Offset Address				Register Name		Total Reset Value		
0x00				crg_ctrl_0		0x2B		
Bit	7	6	5	4	3	2	1	0
Name	ad_out_clk_sel	qam_clk_out_sel	ext_ad_in_clk_sel	i2c_clk_sel	ads_clk_sel	adc_clk_sel	ts_clk_sel	ts_clk_out_sel
Reset	0	0	1	0	1	0	1	1
Bits	Access	Name		Description				
[7]	RW	ad_out_clk_sel		输出 ADC 数据的随路时钟。 0: 与 adc_clk 同相; 1: 与 adc_clk 反相。				
[6]	RW	qam_clk_out_sel		qam_clk 输出时钟控制信号。 0: 与 qam_clk 同相; 1: 与 qam_clk 反相。				



[5]	RW	ext_ad_in_clk_sel	外部 AD 输入时钟选择信号。 0: exd_ad_in_clk, 外部 AD 数据随路时钟; 1: adc_clk, 内部 AD 时钟。
[4]	RW	i2c_clk_sel	I2C 时钟选择信号。 0: xtal_clk; 1: ref_div2_clk。
[3]	RW	ads_clk_sel	AD 数据的伴随时钟, QAM 使用该时钟采样 AD 数据。 0: 与 AD 时钟同相; 1: 与 AD 时钟反相。
[2]	RW	adc_clk_sel	ADC 的时钟。 0: xtal_clk; 1: foutdiv_clk。
[1]	RW	ts_clk_sel	TS 时钟。 0: ts_clk_odd; 1: ts_clk_even。
[0]	RW	ts_clk_out_sel	输出 TS 随路时钟控制信号。 0: 与 ts_clk 同相; 1: 与 ts_clk 反相。

crg_ctrl_1

crg_ctrl_1 为 CRG 控制寄存器 1。



Offset Address			Register Name				Total Reset Value	
0x01			crg_ctrl_1				0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved		qam_j83ac_srst_req	qam_j83b_srst_req	chip_srst_req	qam_srst_req	i2c_srst_req	ts_srst_req
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:6]	-	reserved		保留。				
[5]	RW	qam_j83ac_srst_req		J83AC 软复位请求，高有效。				
[4]	RW	qam_j83b_srst_req		J83B 软复位请求，高有效。				
[3]	RW	chip_srst_req		整芯片复位请求，高有效。				
[2]	RW	qam_srst_req		QAM 部分复位请求，高有效。				
[1]	RW	i2c_srst_req		I2C 复位请求，高有效。				
[0]	RW	ts_srst_req		TS 复位请求，高有效。				

crg_ctrl_2

crg_ctrl_2 为 CRG 控制寄存器 2。



Offset Address			Register Name			Total Reset Value		
0x02			crg_ctrl_2			0xFF		
Bit	7	6	5	4	3	2	1	0
Name	ad_out_clk_en	qam_j83ac_clk_en	qam_j83b_clk_en	ts_clk_en	ads_clk_en	qam2x_clk_en	qam_clk_en	i2c_clk_en
Reset	1	1	1	1	1	1	1	1
Bits	Access	Name	Description					
[7]	RW	ad_out_clk_en	输出 ADC 数据的随路时钟 ad_out_clk 的门控信号。 0: 门控关闭; 1: 门控打开, 正常输出。					
[6]	RW	qam_j83ac_clk_en	qam_j83ac_clk 的门控信号。 0: 门控关闭; 1: 门控打开, 正常输出。					
[5]	RW	qam_j83b_clk_en	qam_j83b_clk 的门控信号。 0: 门控关闭; 1: 门控打开, 正常输出。					
[4]	RW	ts_clk_en	ts_clk 的门控信号。 0: 门控关闭; 1: 门控打开, 正常输出。					
[3]	RW	ads_clk_en	ads_clk 的门控信号。 0: 门控关闭; 1: 门控打开, 正常输出。					
[2]	RW	qam2x_clk_en	qam2x_clk 的门控信号。 0: 门控关闭; 1: 门控打开, 正常输出。					
[1]	RW	qam_clk_en	qam_clk 的门控信号。 0: 门控关闭; 1: 门控打开, 正常输出。					



[0]	RW	i2c_clk_en	i2c_clk 的门控信号。 0: 门控关闭; 1: 门控打开, 正常输出。
-----	----	------------	--

crg_ctrl_3

crg_ctrl_3 为 CRG 控制寄存器 3。

Offset Address				Register Name		Total Reset Value		
0x03				crg_ctrl_3		0x06		
Bit	7	6	5	4	3	2	1	0
Name	reserved				ts_clk_div_odd			
Reset	0	0	0	0	0	1	1	0
Bits	Access	Name		Description				
[7:4]	-	reserved		保留。				
[3:0]	RW	ts_clk_div_odd		TS 分频控制信号, 配置值即为分频比。 例如: ts_clk_div_odd 配置为 4'h6 表示对参考时钟 6 分频。				

crg_ctrl_4

crg_ctrl_4 为 CRG 控制寄存器 4。

Offset Address				Register Name		Total Reset Value		
0x04				crg_ctrl_4		0x05		
Bit	7	6	5	4	3	2	1	0
Name	reserved				ts_clk_div_even			
Reset	0	0	0	0	0	1	0	1
Bits	Access	Name		Description				
[7:4]	-	reserved		保留。				
[3:0]	RW	ts_clk_div_even		TS 偶数分频控制信号。 $ts_clk = 2 * (ts_clk_div_even + 1)$ 。 例如: ts_clk_div_even 配置为 4 'd1 表示对参考时钟 4 分频。				



crg_ctrl_5

crg_ctrl_5 为 CRG 控制寄存器 5。

Offset Address			Register Name			Total Reset Value		
0x05			crg_ctrl_5			0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved				dly_cell_ctrl			
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:4]	-	reserved		保留。				
[3:0]	RW	dly_cell_ctrl		参考时钟到 QAM 时钟增加的延迟。				

hard_ctrl_0

hard_ctrl_0 为 AD 控制寄存器 0。

Offset Address			Register Name			Total Reset Value		
0x10			hard_ctrl_0			0x23		
Bit	7	6	5	4	3	2	1	0
Name	ctrl0							
Reset	0	0	1	0	0	0	1	1
Bits	Access	Name		Description				
[7:0]	RW	ctrl0		AD 的控制寄存器 0。				

hard_ctrl_1

hard_ctrl_1 为 AD 控制寄存器 1。

Offset Address			Register Name			Total Reset Value		
0x11			hard_ctrl_1			0x00		
Bit	7	6	5	4	3	2	1	0
Name	ctrl1							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	ctrl1		AD 的控制寄存器 1。				



hard_ctrl_2

hard_ctrl_2 为 AD 控制寄存器 2。

	Offset Address			Register Name			Total Reset Value	
	0x12			hard_ctrl_2			0x00	
Bit	7	6	5	4	3	2	1	0
Name	ctrl2							
Reset	0	0	0	0	0	0	0	0
Bits	Access		Name		Description			
[7:0]	RW		ctrl2		AD 的控制寄存器 2。			

hard_ctrl_3

hard_ctrl_3 为 AD 控制寄存器 3。

	Offset Address			Register Name			Total Reset Value	
	0x13			hard_ctrl_3			0x00	
Bit	7	6	5	4	3	2	1	0
Name	ctrl3							
Reset	0	0	0	0	0	0	0	0
Bits	Access		Name		Description			
[7:0]	RW		ctrl3		AD 的控制寄存器 3。			

hard_ctrl_4

hard_ctrl_4 为 AD 控制寄存器 4。

	Offset Address			Register Name			Total Reset Value	
	0x14			hard_ctrl_4			0x00	
Bit	7	6	5	4	3	2	1	0
Name	ctrl4							
Reset	0	0	0	0	0	0	0	0
Bits	Access		Name		Description			
[7:0]	RW		ctrl4		AD 的控制寄存器 4。			



hard_ctrl_5

hard_ctrl_5 为 AD 控制寄存器 5。

Offset Address			Register Name			Total Reset Value		
0x15			hard_ctrl_5			0x00		
Bit	7	6	5	4	3	2	1	0
Name	ctrl5							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ctrl5	AD 的控制寄存器 5。					

hard_ctrl_6

hard_ctrl_6 为 AD 控制寄存器 6。

Offset Address			Register Name			Total Reset Value		
0x16			hard_ctrl_6			0x00		
Bit	7	6	5	4	3	2	1	0
Name	ctrl6							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	ctrl6		AD 的控制寄存器 6。				

hard_ctrl_7

hard_ctrl_7 为 PLL 控制寄存器 0。



Offset Address			Register Name				Total Reset Value	
0x17			hard_ctrl_7				0x08	
Bit	7	6	5	4	3	2	1	0
Name	reserved		ref_div					
Reset	0	0	0	0	1	0	0	0
Bits	Access	Name		Description				
[7:6]	-	reserved		保留。				
[5:0]	RW	ref_div		参考时钟的分频参数，1~63。				

hard_ctrl_8

hard_ctrl_8 为 PLL 控制寄存器 1。

Offset Address			Register Name				Total Reset Value	
0x18			hard_ctrl_8				0x20	
Bit	7	6	5	4	3	2	1	0
Name	fb_div							
Reset	0	0	1	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	fb_div		反馈分频低 8 位。				

hard_ctrl_9

hard_ctrl_9 为 PLL 控制寄存器 2。

Offset Address			Register Name				Total Reset Value	
0x19			hard_ctrl_9				0x01	
Bit	7	6	5	4	3	2	1	0
Name	reserved				fb_div			
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name		Description				
[7:4]	-	reserved		保留。				



[3:0]	RW	fb_div	反馈分频高 4 位。
-------	----	--------	------------

hard_ctrl_10

hard_ctrl_10 为 PLL 控制寄存器 3。

Offset Address				Register Name			Total Reset Value	
0x1A				hard_ctrl_10			0x00	
Bit	7	6	5	4	3	2	1	0
Name	frac							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	frac		小数分频值的最低 8 位。				

hard_ctrl_11

hard_ctrl_11 为 PLL 控制寄存器 4。

Offset Address				Register Name			Total Reset Value	
0x1B				hard_ctrl_11			0x00	
Bit	7	6	5	4	3	2	1	0
Name	frac							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	frac		小数分频值的中间位。				

hard_ctrl_12

hard_ctrl_12 为 PLL 控制寄存器 5。



Offset Address			Register Name			Total Reset Value		
0x1C			hard_ctrl_12			0x00		
Bit	7	6	5	4	3	2	1	0
Name	frac							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	frac	小数分频值的最高 8 位。					

hard_ctrl_13

hard_ctrl_13 为 PLL 控制寄存器 6。

Offset Address			Register Name			Total Reset Value		
0x1D			hard_ctrl_13			0x11		
Bit	7	6	5	4	3	2	1	0
Name	reserved		post_div1			post_div2		
Reset	0	0	0	1	0	0	0	1
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5:3]	RW	post_div1	第一级 post 分频值，1~7。					
[2:0]	RW	post_div2	第二级 post 分频值，1~7。 输出频率 = FVCO/post_div1/post_div2。					

hard_ctrl_14

hard_ctrl_14 为 PLL 控制寄存器 6。



Offset Address			Register Name			Total Reset Value		
0x1E			hard_ctrl_14			0x26		
Bit	7	6	5	4	3	2	1	0
Name	lock	pd	dac_pd	dsm_pd	foutpost_div_pd	fout4_phase_pd	fout_vco_pd	bypass
Reset	0	0	1	0	0	1	1	0
Bits	Access	Name	Description					
[7]	RO	lock	PLL 的锁定指示信号。					
[6]	RW	pd	全局时钟停止，高有效。					
[5]	RW	dac_pd	DAGC 时钟停止，高有效。					
[4]	RW	dsm_pd	delta sigma 调制器时钟停止，高有效。					
[3]	RW	foutpost_div_pd	除 VCO 时钟外所有输出停止，高有效。					
[2]	RW	fout4_phase_pd	停止 4 相位时钟，2x，3x 4x 时钟，高有效。					
[1]	RW	fout_vco_pd	停止 VCO 时钟，高有效。					
[0]	RW	bypass	锁相环 bypass。 0：无效； 1：bypass。					

ioshare_ctrl_0

ioshare_ctrl_0 为 IOSHARE 控制寄存器 0。



Offset Address				Register Name			Total Reset Value	
0x20				ioshare_ctrl_0			0x00	
Bit	7	6	5	4	3	2	1	0
Name	mode_sel							
Reset	0	0	0	0	0	0	0	0
Bits	Access		Name		Description			
[7:0]	RW		mode_sel		<p>IO 输出模式选择信号。</p> <p>mode_sel[0]: TS 输出数据高低位取反信号。</p> <p>0: 不取反;</p> <p>1: 取反。</p> <p>mode_sel[1]: IO 输出 AD 数据。</p> <p>0: 不使能;</p> <p>1: 使能。</p> <p>mode_sel[2]: IO 选择外部 AD 数据输入。</p> <p>0: 不使能;</p> <p>1: 使能。</p> <p>mode_sel[3]: IO 输出选择 IO 采数逻辑的输出。</p> <p>0: 不使能;</p> <p>1: 使能。</p> <p>mode_sel[4]: 在 mode_sel[2:1]=0 的情况下 AGC1 端口的输出。</p> <p>0: 输出 agc1;</p> <p>1: 输出 pwm。</p> <p>mode_sel[5]: 在 mode_sel[3:1]=0 的情况下 TS_ERR 端口的输出。</p> <p>0: 保留;</p> <p>1: 输出 init。</p> <p>mode_sel[7]: IO 选择 T 时的 S 输出使能 oen 控制信号。</p> <p>0: 使能;</p> <p>1: 不使能。</p>			

ioshare_ctrl_1

ioshare_ctrl_1 为 IOSHARE 控制寄存器 1。



Offset Address			Register Name			Total Reset Value		
0x21			ioshare_ctrl_1			0xFF		
Bit	7	6	5	4	3	2	1	0
Name	mode_ctrl0							
Reset	1	1	1	1	1	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	mode_ctrl0	TS_DAT 端口 OEN 的控制信号。 0: 输出 ts_dat_oen; 1: 输出 1。					

ioshare_ctrl_2

ioshare_ctrl_2 为 IOSHARE 控制寄存器 2。



Offset Address				Register Name			Total Reset Value	
0x22				ioshare_ctrl_2			0xFF	
Bit	7	6	5	4	3	2	1	0
Name	mode_ctrl1							
Reset	1	1	1	1	1	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	mode_ctrl1	<p>端口 OEN 的控制信号。</p> <p>mode_ctrl1[0]: io_ts_clk_oen 的控制信号。</p> <p>0: 输出 tio_ts_clk_oen 的反相;</p> <p>1: 输出 0。</p> <p>mode_ctrl1[1]: io_ts_err_oen 的控制信号。</p> <p>0: 输出 tio_ts_err_oen;</p> <p>1: 输出 1。</p> <p>mode_ctrl1[2]: io_ts_vld_oen 的控制信号。</p> <p>0: 输出 tio_ts_vld_oen;</p> <p>1: 输出 1。</p> <p>mode_ctrl1[3]: io_ts_synv_oen 的控制信号。</p> <p>0: 输出 tio_ts_synv_oen;</p> <p>1: 输出 1。</p> <p>mode_ctrl1[4]: io_agc1_oen 的控制信号。</p> <p>0: 输出 tio_agc1_oen;</p> <p>1: 输出 1。</p> <p>mode_ctrl1[5]: io_clk_out_oen 的控制信号。</p> <p>0: 输出 0;</p> <p>1: 输出 1。</p>					

ioshare_ctrl_3

ioshare_ctrl_3 为 IOSHARE 控制寄存器 3。



Offset Address			Register Name			Total Reset Value		
0x23			ioshare_ctrl_3			0x10		
Bit	7	6	5	4	3	2	1	0
Name	mode_ctrl2							
Reset	0	0	0	1	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	mode_ctrl2	IO 端口上 TS_CLK 的控制信号，控制三态的带 schmitt trigger 和上拉、下拉的 PAD。 mode_ctrl[0]: 控制 PAD 的 REU 端口。 0: 不起作用; 1: 在 OE 为 0 时表示 PAD pull-up。 mode_ctrl[1]: 控制 PAD 的 RED 端口。 0: 不起作用; 1: 在 OE 为 0 时置 1 表示 PAD pull-down。 mode_ctrl[2]: 控制 PAD 的 ST 端口。 0: 正常模式; 1: schmitt trigger。 mode_ctrl[3]: 控制 PAD 的 DS0 端口。 mode_ctrl[4]: 控制 PAD 的 DS1 端口。 mode_ctrl[5]: 控制 PAD 的 DS2 端口。 {DS2,DS1,DS0}支持 8 种驱动能力，以下列出 @TT, 25° C, 3.3V 条件下的值。 000: 3.35mA; 001: 6.7mA; 010: 10.19mA; 011: 13.56mA; 100: 17.04mA; 101: 20.42mA; 110: 23.88mA; 111: 27.24mA。 mode_ctrl[6]: 控制 PAD 的 SL 端口。 0: 高转换速率; 1: 低转换速率。					



ioshare_ctrl_4

ioshare_ctrl_4 为 IOSHARE 控制寄存器 4。

Offset Address			Register Name			Total Reset Value		
0x24			ioshare_ctrl_4			0x00		
Bit	7	6	5	4	3	2	1	0
Name	mode_ctrl3							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	mode_ctrl3		<p>mode_ctrl3[3:0]为端口 TS_DAT[0]输出时输出内容的选择信号。其中 ts_dat_tmp 为 ts_dat 在 mode_sel[0]控制后的信号。</p> <p>0000: ts_dat_tmp[0]; 0001: ts_dat_tmp[1]; 0010: ts_dat_tmp[2]; 0011: ts_dat_tmp[3]; 0100: ts_dat_tmp[4]; 0101: ts_dat_tmp[5]; 0110: ts_dat_tmp[6]; 0111: ts_dat_tmp[7]; 1000: ts_val; 1001: ts_sync; default: ts_err;</p> <p>mode_ctrl3[7:4]为端口 TS_DAT[1]输出时输出内容的选择信号。其中 ts_dat_tmp 为 ts_dat 在 mode_sel[0]控制后的信号。</p> <p>0000: ts_dat_tmp[1]; 0001: ts_dat_tmp[0]; 0010: ts_dat_tmp[2]; 0011: ts_dat_tmp[3]; 0100: ts_dat_tmp[4]; 0101: ts_dat_tmp[5]; 0110: ts_dat_tmp[6]; 0111: ts_dat_tmp[7]; 1000: ts_val; 1001: ts_sync; default: ts_err;</p>				



ioshare_ctrl_5

ioshare_ctrl_5 为 IOSHARE 控制寄存器 5。

Offset Address			Register Name			Total Reset Value		
0x25			ioshare_ctrl_5			0x00		
Bit	7	6	5	4	3	2	1	0
Name	mode_ctrl4							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	mode_ctrl4	<div>mode_ctrl4[3:0]为端口 TS_DAT[2]输出时输出内容的选择信号。其中 ts_dat_tmp 为 ts_dat 在 mode_sel[0]控制后的信号。</div> <div>0000: ts_dat_tmp[2];</div> <div>0001: ts_dat_tmp[0];</div> <div>0010: ts_dat_tmp[1];</div> <div>0011: ts_dat_tmp[3];</div> <div>0100: ts_dat_tmp[4];</div> <div>0101: ts_dat_tmp[5];</div> <div>0110: ts_dat_tmp[6];</div> <div>0111: ts_dat_tmp[7];</div> <div>1000: ts_val;</div> <div>1001: ts_sync;</div> <div>default: ts_err;</div> <div>mode_ctrl4[7:4]为端口 TS_DAT[3]输出时输出内容的选择信号。其中 ts_dat_tmp 为 ts_dat 在 mode_sel[0]控制后的信号。</div> <div>0000: ts_dat_tmp[3];</div> <div>0001: ts_dat_tmp[0];</div> <div>0010: ts_dat_tmp[1];</div> <div>0011: ts_dat_tmp[2];</div> <div>0100: ts_dat_tmp[4];</div> <div>0101: ts_dat_tmp[5];</div> <div>0110: ts_dat_tmp[6];</div> <div>0111: ts_dat_tmp[7];</div> <div>1000: ts_val;</div> <div>1001: ts_sync;</div> <div>default: ts_err;</div>					



ioshare_ctrl_6

ioshare_ctrl_6 为 IOSHARE 控制寄存器 6。

Offset Address			Register Name			Total Reset Value		
0x26			ioshare_ctrl_6			0x00		
Bit	7	6	5	4	3	2	1	0
Name	mode_ctrl5							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	mode_ctrl5		<p>mode_ctrl5[3:0]为端口 TS_DAT[4]输出时输出内容的选择信号。其中 ts_dat_tmp 为 ts_dat 在 mode_sel[0]控制后的信号。</p> <p>0000: ts_dat_tmp[4]; 0001: ts_dat_tmp[0]; 0010: ts_dat_tmp[1]; 0011: ts_dat_tmp[2]; 0100: ts_dat_tmp[3]; 0101: ts_dat_tmp[5]; 0110: ts_dat_tmp[6]; 0111: ts_dat_tmp[7]; 1000: ts_val; 1001: ts_sync; default: ts_err。</p> <p>mode_ctrl5[7:4]为端口 TS_DAT[5]输出时输出内容的选择信号。其中 ts_dat_tmp 为 ts_dat 在 mode_sel[0]控制后的信号。</p> <p>0000: ts_dat_tmp[5]; 0001: ts_dat_tmp[0]; 0010: ts_dat_tmp[1]; 0011: ts_dat_tmp[2]; 0100: ts_dat_tmp[3]; 0101: ts_dat_tmp[4]; 0110: ts_dat_tmp[6]; 0111: ts_dat_tmp[7]; 1000: ts_val; 1001: ts_sync; default: ts_err。</p>				



ioshare_ctrl_7

ioshare_ctrl_7 为 IOSHARE 控制寄存器 7。

Offset Address			Register Name			Total Reset Value		
0x27			ioshare_ctrl_7			0x00		
Bit	7	6	5	4	3	2	1	0
Name	mode_ctrl6							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	mode_ctrl6	mode_ctrl6[3:0]为端口 TS_DAT[6]输出时输出内容的选择信号。其中 ts_dat_tmp 为 ts_dat 在 mode_sel[0]控制后的信号。 0000: ts_dat_tmp[6]; 0001: ts_dat_tmp[0]; 0010: ts_dat_tmp[1]; 0011: ts_dat_tmp[2]; 0100: ts_dat_tmp[3]; 0101: ts_dat_tmp[4]; 0110: ts_dat_tmp[5]; 0111: ts_dat_tmp[7]; 1000: ts_val; 1001: ts_sync; default: ts_err。					
			mode_ctrl6[7:4]为端口 TS_DAT[7]输出时输出内容的选择信号。其中 ts_dat_tmp 为 ts_dat 在 mode_sel[0]控制后的信号。 0000: ts_dat_tmp[7]; 0001: ts_dat_tmp[0]; 0010: ts_dat_tmp[1]; 0011: ts_dat_tmp[2]; 0100: ts_dat_tmp[3]; 0101: ts_dat_tmp[4]; 0110: ts_dat_tmp[5]; 0111: ts_dat_tmp[6]; 1000: ts_val; 1001: ts_sync; default: ts_err。					



ioshare_ctrl_8

ioshare_ctrl_8 为 IOSHARE 控制寄存器 8。

Offset Address				Register Name			Total Reset Value	
0x28				ioshare_ctrl_8			0x00	
Bit	7	6	5	4	3	2	1	0
Name	mode_ctrl7							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name		Description				
[7:0]	RW	mode_ctrl7		<p>mode_ctrl7[3:0]为端口 TS_VAL 输出时输出内容的选择信号。其中 ts_dat_tmp 为 ts_dat 在 mode_sel[0]控制后的信号。</p> <p>0000: ts_val; 0001: ts_dat_tmp[0]; 0010: ts_dat_tmp[1]; 0011: ts_dat_tmp[2]; 0100: ts_dat_tmp[3]; 0101: ts_dat_tmp[4]; 0110: ts_dat_tmp[5]; 0111: ts_dat_tmp[6]; 1000: ts_dat_tmp[7]; 1001: ts_sync; default: ts_err。</p> <p>mode_ctrl7[7:4]为端口 TS_SYNC 输出时输出内容的选择信号。其中 ts_dat_tmp 为 ts_dat 在 mode_sel[0]控制后的信号。</p> <p>0000: ts_sync; 0001: ts_dat_tmp[0]; 0010: ts_dat_tmp[1]; 0011: ts_dat_tmp[2]; 0100: ts_dat_tmp[3]; 0101: ts_dat_tmp[4]; 0110: ts_dat_tmp[5]; 0111: ts_dat_tmp[6]; 1000: ts_dat_tmp[7]; 1001: ts_val; default: ts_err。</p>				



ioshare_ctrl_9

ioshare_ctrl_9 为 IOSHARE 控制寄存器 9。

Offset Address		Register Name				Total Reset Value		
0x29		ioshare_ctrl_9				0x00		
Bit	7	6	5	4	3	2	1	0
Name	mode_ctrl8							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	mode_ctrl8	mode_ctrl8[3:0]为端口 TS_ERR 输出时输出内容的选择信号。其中 ts_dat_tmp 为 ts_dat 在 mode_sel[0]控制后的信号。 0000: ts_err; 0001: ts_dat_tmp[0]; 0010: ts_dat_tmp[1]; 0011: ts_dat_tmp[2]; 0100: ts_dat_tmp[3]; 0101: ts_dat_tmp[4]; 0110: ts_dat_tmp[5]; 0111: ts_dat_tmp[6]; 1000: ts_dat_tmp[7]; 1001: ts_sync; default: ts_val; mode_ctrl8[7:4]保留。					



目 录

3 硬件.....	3-1
3.1 封装与管脚.....	3-1
3.1.1 封装与管脚分布.....	3-1
3.1.2 管脚描述	3-4
3.2 电性能参数.....	3-9
3.2.1 功耗分布	3-9
3.2.2 极限工作电压.....	3-10
3.2.3 推荐工作条件.....	3-10
3.2.4 DC/AC 电气参数	3-11
3.2.5 上下电要求	3-11
3.3 原理图设计建议.....	3-11
3.3.1 电源	3-11
3.3.2 时钟	3-12
3.3.3 复位	3-12
3.3.4 Tuner 接口	3-13
3.3.5 Decoder 接口	3-15
3.4 PCB 设计建议	3-18
3.4.1 层叠和布局	3-18
3.4.2 小系统 PCB 设计建议	3-20
3.4.3 数字、模拟接口 PCB 设计建议	3-21
3.5 热设计建议.....	3-23
3.5.1 极限工作环境.....	3-23
3.5.2 推荐工作环境.....	3-24
3.5.3 芯片结温要求.....	3-24
3.5.4 封装热阻	3-24
3.5.5 导热介质材料推荐.....	3-24
3.5.6 原理图设计	3-25
3.6 焊接工艺建议.....	3-26
3.6.1 概述	3-26
3.6.2 加工准备	3-27



3.7 潮敏参数.....	3-27
3.7.1 概述	3-27
3.7.2 海思产品防潮包装.....	3-28
3.7.3 存放与使用	3-29
3.7.4 重新烘烤	3-29
3.8 接口时序.....	3-30
3.8.1 TS 接口时序.....	3-30
3.8.2 I ² C 时序	3-31



插图目录

图 3-1 芯片详细封装图	3-2
图 3-2 封装参数说明	3-3
图 3-3 Hi3130V200 QPN 封装管脚分布示意图	3-4
图 3-4 推荐晶体连接方式及器件参数	3-12
图 3-5 推荐复位电路连接方式及器件参数	3-13
图 3-6 推荐 AGC 电路连接方式及器件参数	3-14
图 3-7 推荐 I2C 电路连接方式及器件参数	3-14
图 3-8 常用中频电路连接方式及器件参数	3-15
图 3-9 Hi3130V200 与 Decoder 串行 TS 流连接方式	3-16
图 3-10 Hi3130V200 与 Decoder 并行 TS 流连接方式	3-16
图 3-11 多层板设计中, TS_D[0:7]信号互联匹配拓扑结构	3-17
图 3-12 多层板设计中, TS_CLK/TS_SYNC/TS_VLD 信号互联匹配拓扑结构	3-18
图 3-13 两层板设计中, TS_D[0:7]信号互联匹配拓扑结构	3-18
图 3-14 两层板设计中, TS_CLK/TS_SYNC/TS_VLD 信号互联匹配拓扑结构	3-18
图 3-15 单板布局图	3-19
图 3-16 Hi3130V200 PCB Fanout 设计图	3-20
图 3-17 焊接温度曲线图	3-27
图 3-18 干燥真空包装材料示意图	3-28
图 3-19 TS 接口时序图	3-31
图 3-20 I ² C 传输时序图	3-31



表格目录

表 3-1 Hi3130V200 QFN 封装管脚数目统计表	3-3
表 3-2 管脚 I/O 类型说明	3-4
表 3-3 管脚排列表	3-5
表 3-4 时钟管脚	3-6
表 3-5 复位管脚	3-7
表 3-6 ADC 管脚	3-7
表 3-7 PLL 管脚	3-7
表 3-8 I2C 总线管脚	3-8
表 3-9 AGC 管脚	3-8
表 3-10 TS 流管脚	3-8
表 3-11 测试管脚	3-9
表 3-12 数字电源管脚	3-9
表 3-13 功耗参数	3-10
表 3-14 极限工作电压参数	3-10
表 3-15 推荐工作条件	3-10
表 3-16 DC 电气参数表	3-11
表 3-17 模拟接口各信号匹配设计推荐	3-22
表 3-18 极限工作环境参数	3-23
表 3-19 推荐工作环境参数	3-24
表 3-20 Hi3130V200 的封装热阻	3-24
表 3-21 导热介质材料推荐表	3-25
表 3-22 回流焊工艺参数表	3-27
表 3-23 floor life 参照表	3-29
表 3-24 重新烘烤参考表	3-30
表 3-25 TS 接口时序参数表	3-31



表 3-26 I²C 接口时序参数表3-32



3 硬件

3.1 封装与管脚

3.1.1 封装与管脚分布

3.1.1.1 封装

Hi3130V200 芯片采用 QFN（Quad Flat Non-leaded package）封装，封装尺寸为 5mm×5mm，管脚间距为 0.4mm，管脚总数为 40 个，详细封装参见图 3-1，封装尺寸参数说明参见图 3-2。



图3-1 芯片详细封装图

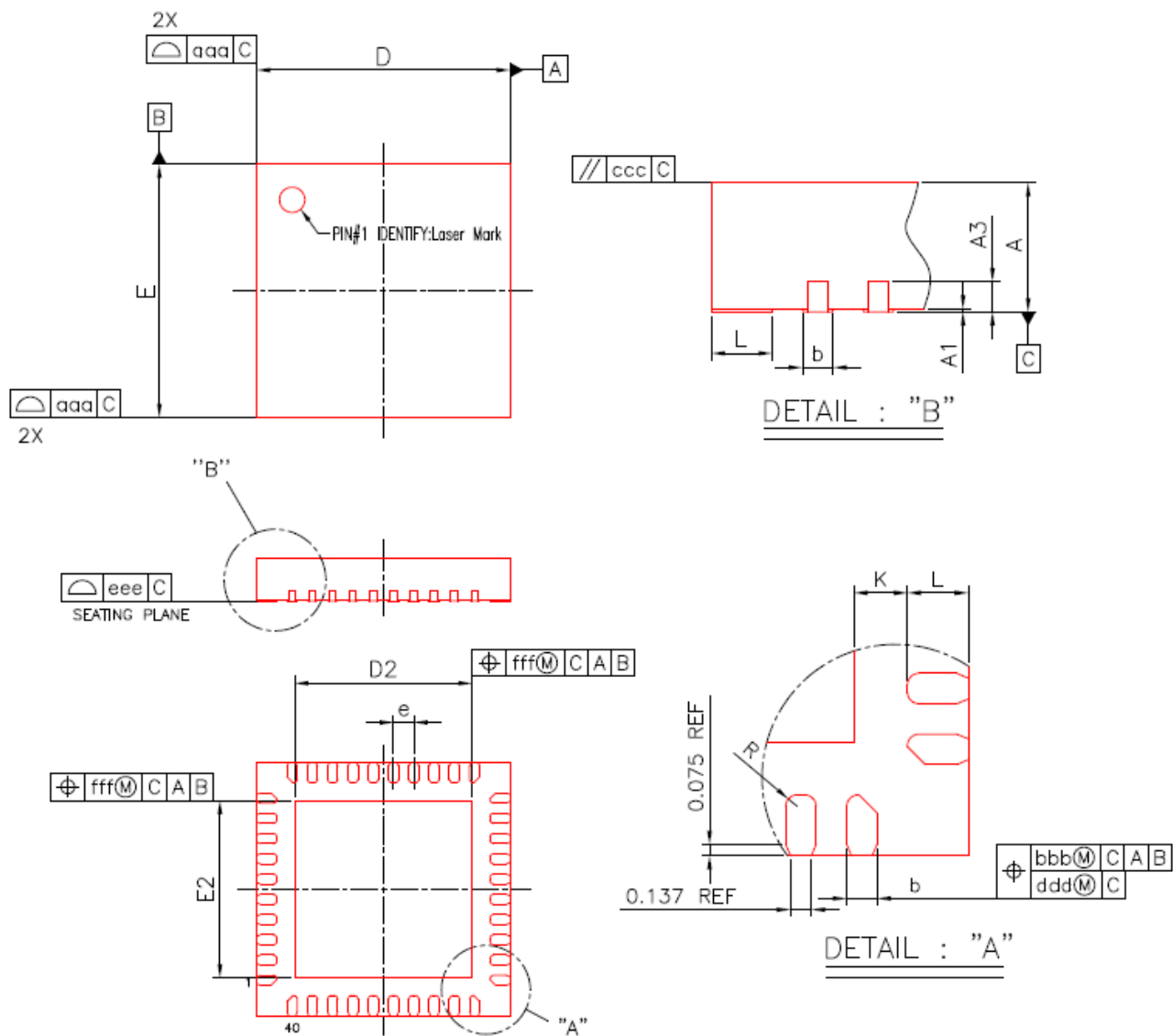




图3-2 封装参数说明

Symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.80	0.85	0.90	0.031	0.033	0.035
A1	0.00	0.02	0.05	0.000	0.001	0.002
A3	0.20 REF			0.008 REF		
b	0.15	0.20	0.25	0.006	0.008	0.010
D/E	4.90	5.00	5.10	0.193	0.197	0.201
e	0.40 BSC			0.016 BSC		
L	0.30	0.40	0.50	0.012	0.016	0.020
K	0.20	---	---	0.008	---	---
R	0.075	---	---	0.003	---	---
aaa	0.10			0.004		
bbb	0.07			0.003		
ccc	0.10			0.004		
ddd	0.05			0.002		
eee	0.08			0.003		
fff	0.10			0.004		

Exposed Pad Size						
L/F	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
D2/E2	3.55	3.70	3.85	0.140	0.146	0.152

3.1.1.2 管脚分布

管脚数目统计

Hi3130V200 QFN 封装共有管脚 40 个，管脚数目统计表如表 3-1 所示。

表3-1 Hi3130V200 QFN 封装管脚数目统计表

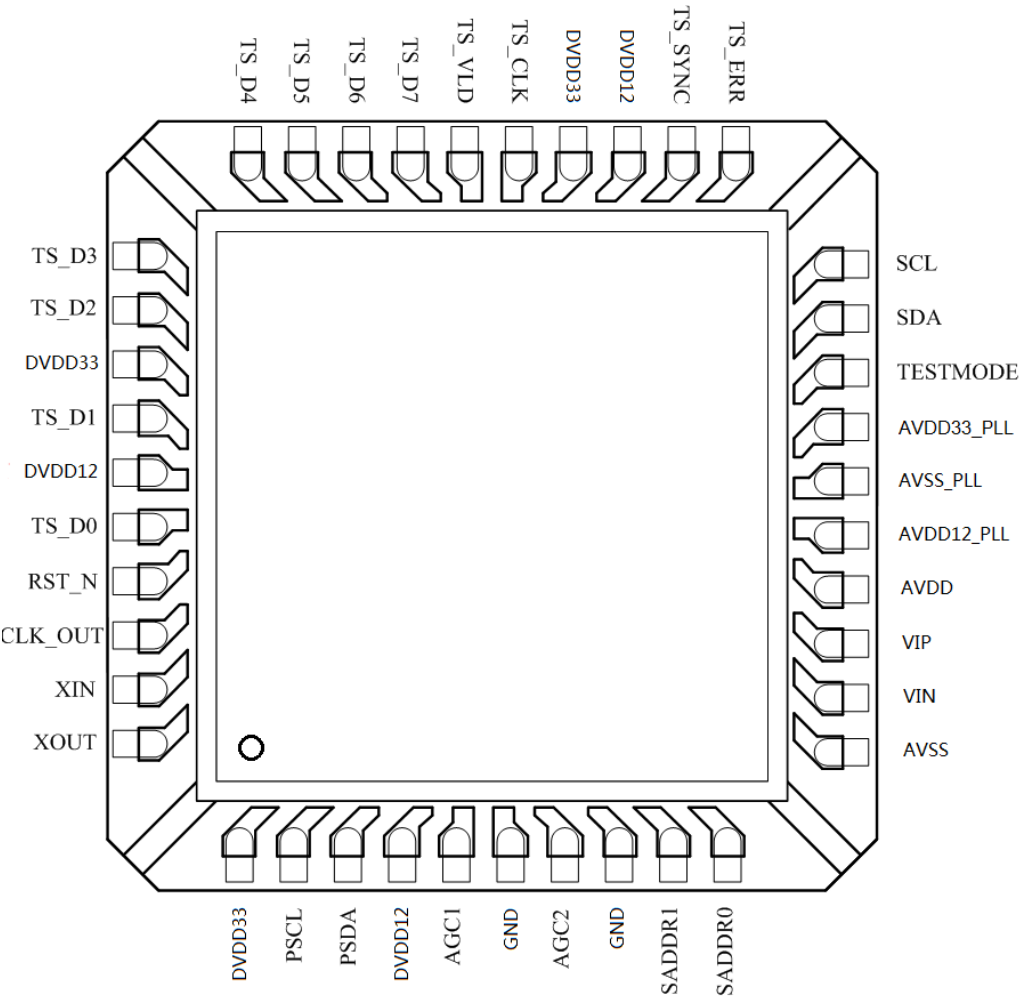
管脚类别	数量
I/O（信号）	27
数字电源	6
数字地	2
其它/模拟电源	3
其它/模拟地	2
总计	40



管脚分布图

Hi3130V200 QFN 封装管脚分布如图 3-3 所示。

图3-3 Hi3130V200 QFN 封装管脚分布示意图



3.1.2 管脚描述

管脚类型说明

管脚 I/O 类型说明如表 3-2 所示。

表3-2 管脚 I/O 类型说明

I/O	说明
I	输入信号。



I/O	说明
I _{PD}	输入信号，内部下拉。
I _{PU}	输入信号，内部上拉。
I _S	输入信号，带施密特触发器。
I _{SPD}	输入信号，带施密特触发器，内部下拉。
I _{SPU}	输入信号，带施密特触发器，内部上拉。
O	输出信号。
O _{OD}	输出，漏极开路。
I/O	双向输入/输出信号。
I _{PD} /O	双向，输入下拉。
I _{PU} /O	双向，输入上拉。
I _{SPU} /O	双向，输入上拉，带施密特触发器。
I _{PD} /O _{OD}	双向，输入下拉，输出漏极开路。
I _{PU} /O _{OD}	双向，输入上拉，输出漏极开路。
I _S /O	双向，输入带施密特触发器。
I _S /O _{OD}	双向，输入带施密特触发器，输出漏极开路。
CIN	Crystal Oscillator，晶振输入。
COUT	Crystal Oscillator，晶振输出。
P	电源。
G	地。

管脚排列表

Hi3130V200 的管脚按位置排列如表 3-3 所示。

表3-3 管脚排列表

位置	管脚名称	位置	管脚名称
1	DVDD33	21	TS_ERR
2	PSCL	22	TS_SYNC
3	PSDA	23	DVDD12
4	DVDD12	24	DVDD33



位置	管脚名称	位置	管脚名称
5	AGC1	25	TS_CLK
6	GND	26	TS_VLD
7	AGC2	27	TS_D7
8	GND	28	TS_D6
9	SADDR1	29	TS_D5
10	SADDR0	30	TS_D4
11	AVSS	31	TS_D3
12	VIN	32	TS_D2
13	VIP	33	DVDD33
14	AVDD	34	TS_D1
15	AVDD12_PLL	35	DVDD12
16	AVSS_PLL	36	TS_D0
17	AVDD33_PLL	37	RST_N
18	TESTMODE	38	CLK_OUT
19	SDA	39	XIN
20	SCL	40	XOUT

时钟管脚

时钟管脚如表 3-4 所示。

表3-4 时钟管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
40	XOUT	COUT	-	-	晶体振荡器输出（输出到晶体）。
39	XIN	CIN	-	-	晶体振荡器输入（来自晶体）或外部时钟输入。频率为28.8MHz。
38	CLK_OUT	O	4	3.3	辅助时钟输出，与晶体频率相同，可关闭。



复位管脚

复位管脚如表 3-5 所示。

表3-5 复位管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
37	RST_N	I _{SPU}	-	3.3	异步复位，低有效。

ADC 管脚

ADC 管脚如表 3-6 所示。

表3-6 ADC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
13	VIP	I	-	-	差分模拟输入信号，正极，典型值为单端0.5V _{pp} （正负差分1V _{pp} ）。
12	VIN	I	-	-	差分模拟输入信号，负极。
14	AVDD	P	-	1.2	ADC 模拟电源，1.2V。
11	AVSS	G	-	-	ADC 模拟电源地。

PLL 管脚

PLL 管脚如表 3-7 所示。

表3-7 PLL 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
15	AVDD12_PLL	P	-	1.2	PLL 模拟电源，1.2V。
17	AVDD33_PLL	P	-	3.3	PLL 模拟电源，3.3V。
16	AVSS_PLL	G	-	-	PLL 模拟电源地。



I2C 总线管脚

I2C 总线管脚如表 3-8 所示。

表3-8 I2C 总线管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
20	SCL	I _S	-	3.3	I2C总线时钟。 最高频率为400kHz。
19	SDA	I _S /O _{OD}	-	3.3	I2C 总线数据。
2	PSCL	O _{OD}	-	3.3/5	输出 I2C 总线时钟。 最高频率为 400kHz。
3	PSDA	I _S /O _{OD}	-	3.3/5	输出 I2C 总线数据。
9/10	SADDR1/0	I	-	3.3	SADDR[1:0]选择器件 I2C 总线地址，地址为： {10100,SADDR[1:0]}。

AGC 管脚

AGC 管脚如表 3-8 所示。

表3-9 AGC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
5	AGC1	O/ O _{OD}	8	3.3/5	射频 AGC 输出，在单 AGC 应用中无效。
7	AGC2	O/ O _{OD}	8	3.3/5	中频 AGC 输出。

TS 流管脚

TS 流管脚如表 3-10 所示。

表3-10 TS 流管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
36/34/ 32~27	TS_D0~ TS_D7	O	8	3.3	并行或串行（串行时默认使用 TS_D0）MPEG-TS 数据输出。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
25	TS_CLK	O	8	3.3	并行或串行MPEG-TS时钟输出。最高频率为86.6MHz。
26	TS_VLD	O	8	3.3	MPEG-TS 输出数据有效标志。
22	TS_SYNC	O	8	3.3	MPEG-TS 帧同步脉冲。
21	TS_ERR	O	8	3.3	RS 解码错误指示。

测试管脚

测试管脚如表 3-11 所示。

表3-11 测试管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
18	TESTMODE	I	-	-	测试管脚，正常工作时接地。

数字电源管脚

数字电源管脚如表 3-12 所示。

表3-12 数字电源管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
1/24/33	DVDD33	P	-	3.3	数字 IO 电源，3.3V
4/23/35	DVDD12	P	-	1.2	数字 CORE 电源，1.2V
6/8	GND	G	-	-	数字电源地

3.2 电性能参数

3.2.1 功耗分布

Hi3130V200 的功耗分布如表 3-13 所示。



表3-13 功耗参数

符号	描述	最小值	典型值	最大值	单位
DVDD33	数字 IO 电源	TBD	TBD	TBD	mA
DVDD12	数字 CORE 电源	TBD	TBD	TBD	mA
AVDD	ADC 模拟电源	TBD	TBD	TBD	mA
AVDD33_PLL	PLL 模拟电源	TBD	TBD	TBD	mA
AVDD12_PLL	PLL 模拟电源	TBD	TBD	TBD	mA

3.2.2 极限工作电压



警告

极限工作电压参数如表 3-14 所示，超过这些数值，可能导致芯片损坏和导致可靠性问题。

表3-14 极限工作电压参数

符号	参数	最小值	最大值	单位
DVDD33	数字 IO 电源	-0.5	4.6	V
DVDD12	数字 CORE 电源	-0.5	1.8	V
AVDD	ADC 模拟电源	-0.5	1.8	V
AVDD33_PLL	PLL 模拟电源	-0.5	4.6	V
AVDD12_PLL	PLL 模拟电源	-0.5	1.8	V

3.2.3 推荐工作条件

Hi3130V200 的推荐工作条件如表 3-15 所示。

表3-15 推荐工作条件

符号	描述	最小值	典型值	最大值	单位
T _{OPT}	操作环境温度	0	-	70	℃
DVDD12	数字 CORE 电源	1.08	1.2	1.32	V
DVDD33	数字 I/O 电源	2.97	3.3	3.63	V



符号	描述	最小值	典型值	最大值	单位
AVDD12_PLL	PLL 模拟电源	1.08	1.2	1.32	V
AVDD33_PLL	PLL 模拟电源	2.97	3.3	3.63	V
AVDD	ADC 模拟电源	1.08	1.2	1.32	V

3.2.4 DC/AC 电气参数

Hi3130V200 DC 电气参数如表 3-16 所示。

表3-16 DC 电气参数表

符号	参数	最小值	典型值	最大值	单位	说明
DVDD33	数字 IO 电压	2.97	3.3	3.63	V	-
V _{IH}	高电平输入电压	2.0	-	DVDD33+0.3	V	不支持 5V 输入
V _{IL}	低电平输入电压	-0.3	-	0.8	V	-
I _L	输入漏电流	-1	-	+1	μA	-
I _{OZ}	三态输出漏电流	-1	-	+1	μA	-
V _{OH}	高电平输出电压	2.4	-	-	V	-
V _{OL}	低电平输出电压	-	-	0.4	V	-

3.2.5 上下电要求

原则上先 IO 上电，后 CORE 上电。

3.3 原理图设计建议

3.3.1 电源



说明

系统电源的设计，详细请参见 Hi3130V200 DMO 板原理图。

芯片一共有五种电源：数字 IO 电源 DVDD33（3.3V），CORE 电源 DVDD12（1.2V），PLL 模拟电源 AVDD33（3.3V），PLL 模拟电源 AVDD12（1.2V），ADC 电源 AVDD（1.2V）

IO 电源 DVDD33，是数字电源。通常采用板上数字 3.3V 供给，直接和主芯片共用 IO 电源，也可以采用 5V 等其他电源经 LDO 或 DCDC 转换得到。每个 DVDD33 管脚处放置 100nF 去耦电容，并紧靠供电管脚摆放。



CORE 电源 DVDD12，是数字电源。如果主芯片的 CORE 电源是 1.2V，可以直接和主芯片共用，也可以采用 5V、3.3V 等其他电源经过 DCDC 或 LDO 转换得到。每个 DVDD12 管脚处放置 100nF 去耦电容，并紧靠供电管脚摆放。

PLL 电源 AVDD33，是模拟电源。通常采用 DVDD33 经过磁珠隔离和电容滤波后供给。磁珠后采用 10uF 和 100nF 电容对地滤波，并紧靠供电管脚摆放。

PLL 电源 AVDD12，是模拟电源。通常采用 DVDD12 经过磁珠隔离和电容滤波后供给。磁珠后采用 10uF 和 100nF 电容对地滤波，并紧靠供电管脚摆放。

ADC 电源 AVDD，是模拟电源。通常采用 DVDD12 经过磁珠隔离和电容滤波后供给。磁珠后采用 10uF 和 100nF 电容对地滤波，并紧靠供电管脚摆放。



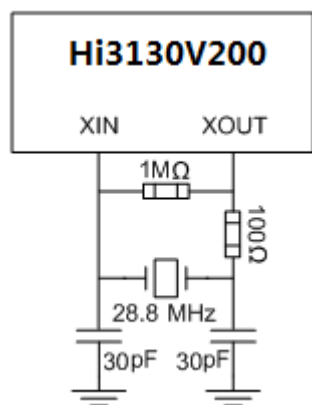
注意

- 模拟电源和数字电源要求采用磁珠隔离，模拟电源要特别防止数字噪声的干扰。
- 1.2V 电源不要通过 DDR3 使用的 1.5V 来产生。

3.3.2 时钟

通过芯片内部的反馈电路与外部的 28.8MHz 晶体振荡电路一起构成系统时钟。推荐晶体连接方式及器件参数如图 3-4 所示。

图3-4 推荐晶体连接方式及器件参数



另外，系统时钟还可以直接由外部的时钟电路产生，通过 XIN 脚输入；同时芯片提供的 CLK_OUT 管脚可以将 28.8MHz 时钟输出（3.3VCMOS），可用于为其他器件提供时钟，不用时该管脚悬空。

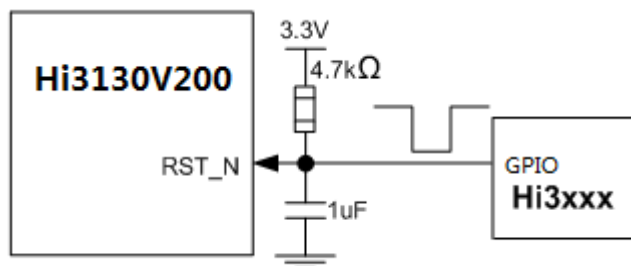
3.3.3 复位

Hi3130V200 的 RST_N 管脚为复位信号输入管脚，要求的复位有效信号为低电平脉冲。RST_N 管脚可以采用典型的 RC 上电复位电路，也可以连接到主芯片的 GPIO，通



过 GPIO 产生复位信号，后者控制复位较为灵活。推荐复位电路连接方式及器件参数如图 3-5 所示。

图3-5 推荐复位电路连接方式及器件参数



如果采用上电 RC 复位，**注意保证复位信号在电源上电之后有效**，低电平有效时间至少达到 2us 以上。特别是在低功耗待机的设计中，复位信号的电源须采用待机控制后的电源。

3.3.4 Tuner 接口

AGC 电路

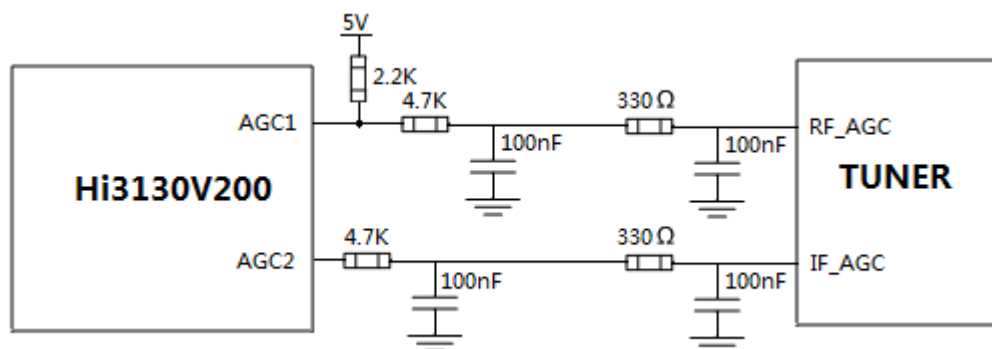
自动增益控制（AGC）电路的功能是根据输入信号的平均功率，动态调整放大增益，以得到动态范围很小的平稳的信号给接收部分。Hi3130V200 芯片主要通过 AGC 管脚输出的 PWM 信号，通过滤波产生模拟电压控制 Tuner 内部的放大器，以满足输入功率要求。AGC 电路采用两级 RC 滤波，建议第一级滤波电路靠近芯片端，第二级滤波电路靠近 Tuner 端。

早期的 Tuner 需要两路 AGC 控制：RF_AGC 和 IF_AGC。而 Tuner 射频放大器需要的控制电压大于 3.3V，因此设计了输出 OD 模式，通过外部 5V 上拉，或调整上下拉电阻，达到射频放大器的要求。同时，因为不同 Tuner 的放大器特性不同，更换不同 Tuner 时通常需要测量其放大器特性，并调整 AGC 参数，改变其最大值、最小值及阈值设定，以满足最小电平、最大电平及抗邻频特性的要求。

现在的 Tuner 绝大多数采用了“RF_AGC Internal Loop”的方式，只需要外部控制 Tuner 中频放大器即可，即只使用 IF_AGC，并采用 CMOS 模式输出，无需外部上拉。同时，AGC 参数满足最大值、最小值要求后，可以普遍适用于各种 Tuner。推荐 AGC 电路连接方式及器件参数如图 3-6 所示。



图3-6 推荐 AGC 电路连接方式及器件参数

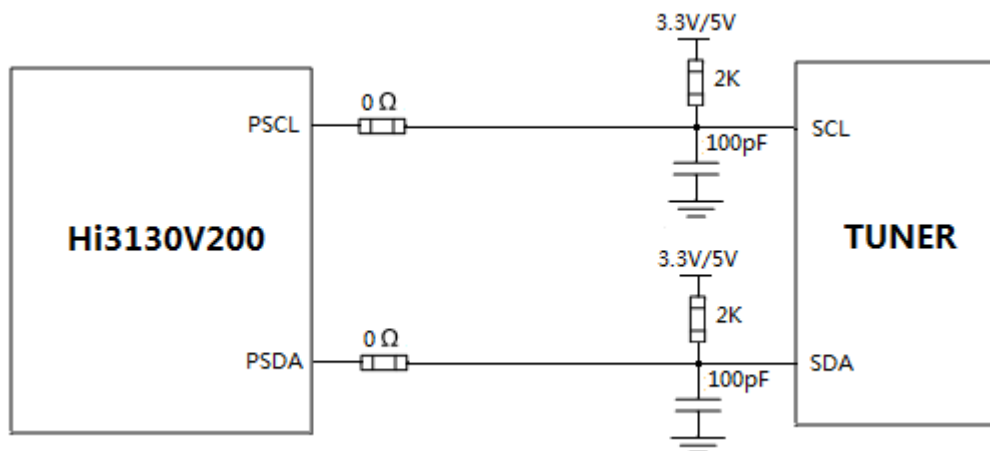


注：AGC1 即其电路只有在与需要外部控制 RF_AGC 的 tuner 匹配时需要，否则该管脚悬空即可。

I2C 电路

Hi3130V200 通过 I2C 总线访问和配置 Tuner 的寄存器，工作速率最高为 400KHz。该 I2C 电路根据 Tuner 的要求采用 3.3V 或 5V 上拉，同时需要串接电阻，并分别加旁路滤波电容（pF 级），电容靠近调谐器管脚放置，用于滤除 I2C 信号线上的干扰信号，防止对 Tuner 性能产生影响。推荐 I2C 电路连接方式及器件参数如图 3-7 所示。

图3-7 推荐 I2C 电路连接方式及器件参数

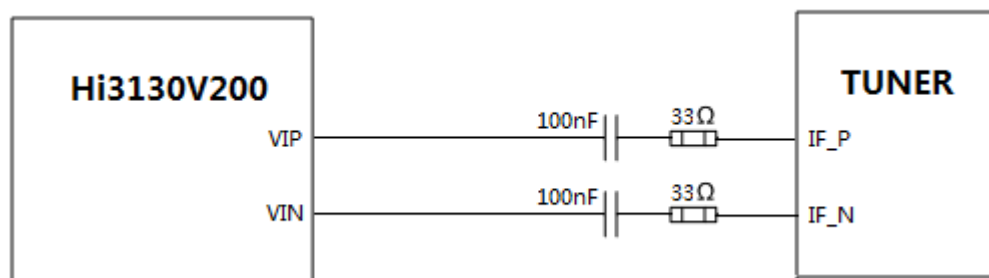


中频电路

中频接口是 Tuner 与 Hi3130V200 之间的业务通道，目前该接口都是使用差分信号以提高其抗干扰的能力，该差分信号“正”“负”可互换，这样在 PCB 设计时可以视情况连线，确保中频差分线对不交叉。不同的 Tuner 对于中频匹配电路有不同的要求，可以根据 Tuner 手册的描述进行电路连接，通常常用的中频电路如下图 3-8 所示，在中频信号上串入电容和电阻，电容实现信号的交流耦合，电阻用于调整信号的幅度。



图3-8 常用中频电路连接方式及器件参数



3.3.5 Decoder 接口

接口介绍

Hi3130V200 与 Decoder 芯片的接口为数字接口，电平标准为 LVCMOS (3.3V)，该数字接口组成和特点如下：

- 提供 1 个 TS 流串行/并行接口，串行工作时钟频率为 60MHz，并行工作时钟速率为 7.5MHz，并行位宽为 8bit、串行位宽为 1bit，串行和并行工作方式可配。另外，为了方便 PCB 走线，TS 流接口的管脚功能除了时钟管脚固定外，其余管脚可灵活配置成需要的 TS 流信号功能。
- 提供 1 个 I2C 接口，Decoder 通过 I2C 接口来对访问 Hi3130V200 以及 Tuner 的内部寄存器，I2C 工作速率最高为 400KHz。

接口连接方式

Hi3130V200 典型串行 TS 流外接 Decoder 芯片连接方式如[图 3-9](#)所示。典型并行 TS 流外接 Decoder 芯片连接方式如[图 3-10](#)所示。



图3-9 Hi3130V200 与 Decoder 串行 TS 流连接方式

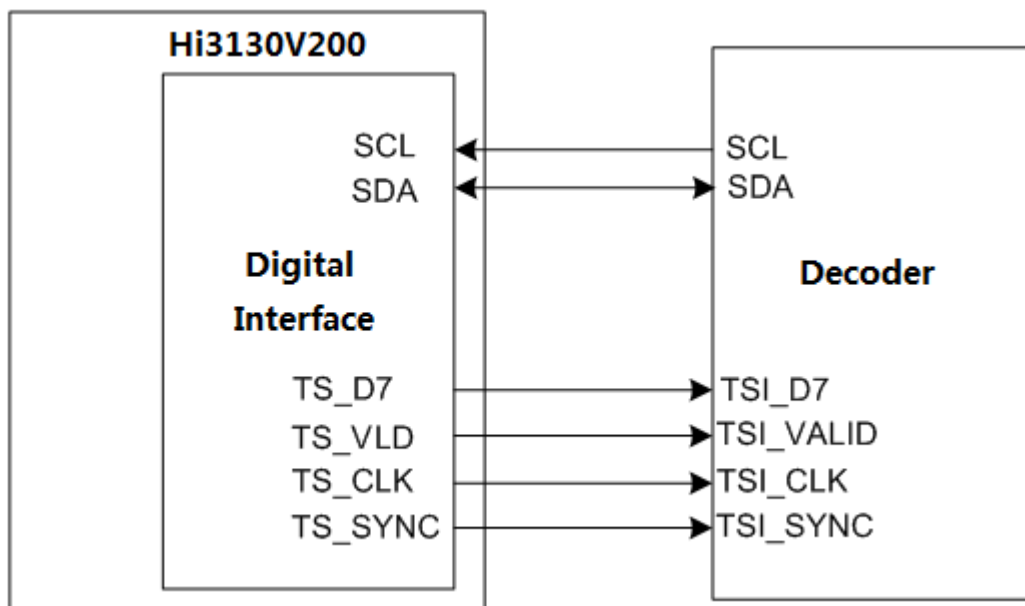
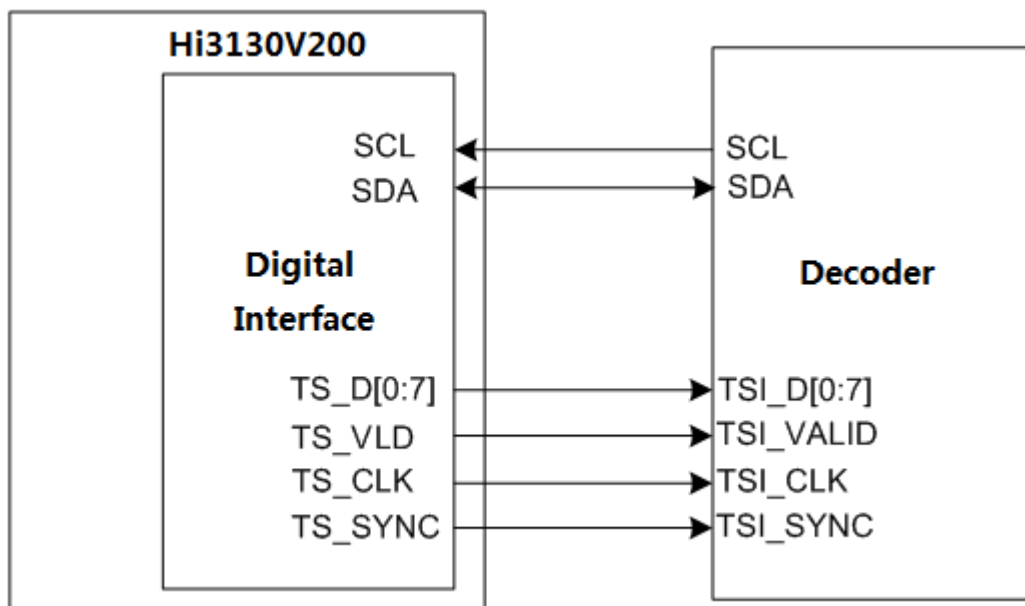


图3-10 Hi3130V200 与 Decoder 并行 TS 流连接方式



说明

若 Decoder 芯片 TS 流信号无 TS_ERR，互联时该管脚悬空即可。



I2C 设计建议

Hi3130V200 与 Decoder 芯片之间的 I2C 总线，需要串接电阻上拉到 3.3V，上拉电阻选 2K Ω ，具体可以根据 I2C 总线速率来确定。并分别加不大于 100pF 旁路滤波电容，靠近 Hi3130V200 管脚放置。

说明

- Hi3130V200 的 I2C 地址为 {10100, SADDR[1:0]}，其低 2bit 通过管脚 SADDR1/SADDR0 上下拉决定，因此同一个 I2C 总线上最多可以挂接 4 个 Hi3130V200。
- 在 Hi3130V200 配海思 Hi3XXXX Decoder 芯片的解决方案中，Hi3XXXX 主芯片可以用下述命令通过 I2C 读写 Hi3130V200 的寄存器。

高清芯片：echo A B C D >/proc/msp/i2c

标清芯片：echo A B C D >/proc/i2c

上述命令中字母代表的内容：

A：主芯片 I2C 通道，取决于硬件连接；

B：Hi3130V200 的 I2C 地址（前 7bit，最后 1bit 补 0），为 16 进制，当 SADDR1/SADDR0 均接地时 B 为 a0（该命令格式中不能写成 0xa）；

C：需要读写 Hi3130V200 的寄存器地址，为 16 进制，如 4a（该命令格式中不能写成 0x4a）；

D：需要写入 Hi3130V200 寄存器的值，为 16 进制，如 7f（该命令格式中不能写成 0x7f）。如果是读寄存器则没有 D 这项内容。

TS 流匹配设计建议

TS 流匹配设计分两种情况，多层板设计和两层板设计。

- 多层板设计时，走线特征阻抗为 50 Ω 。
 - TS_D[0:7] 采用源端串联匹配，匹配电阻为 33 Ω ，拓扑结构如图 3-11 所示。
 - TS_CLK, TS_SYNC, TS_VLD 也采用源端串联匹配，匹配电阻为 33 Ω ，拓扑结构如图 3-12 所示。
- 两层板设计时，走线特征阻抗为 140 Ω 。
 - TS_D[0:7] 采用源端串联匹配，匹配电阻为 75 Ω ，拓扑结构如图 3-13 所示。
 - TS_CLK, TS_SYNC, TS_VLD 也采用源端串联匹配，匹配电阻为 75 Ω ，拓扑结构如图 3-14 所示。

说明

- TS 流信号中未使用的管脚悬空处理。
- 匹配拓扑结构图中的 5000mil 长度为最长的走线长度，实际走线一般小于该长度值。

图3-11 多层板设计中，TS_D[0:7]信号互联匹配拓扑结构

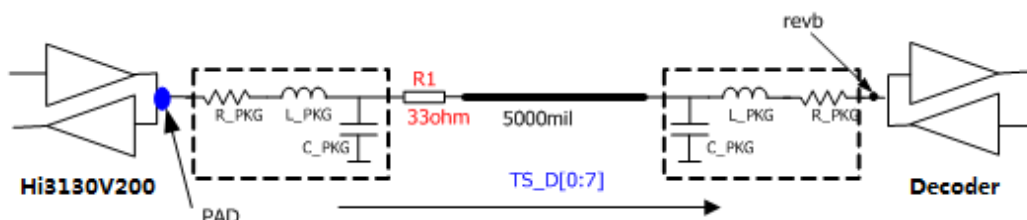




图3-12 多层板设计中，TS_CLK/TS_SYNC/TS_VLD 信号互联匹配拓扑结构

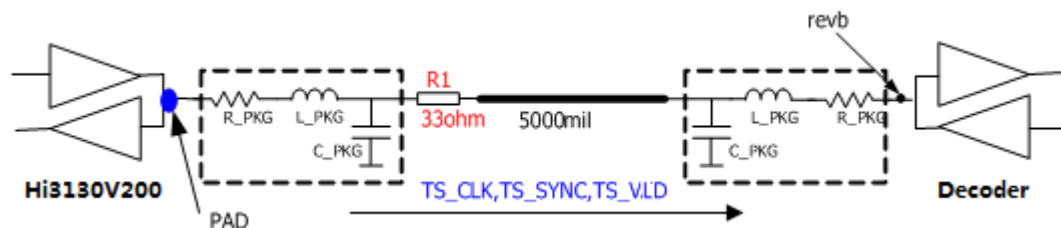


图3-13 两层板设计中，TS_D[0:7]信号互联匹配拓扑结构

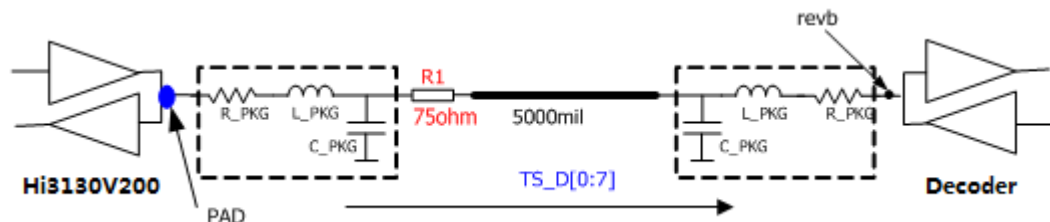
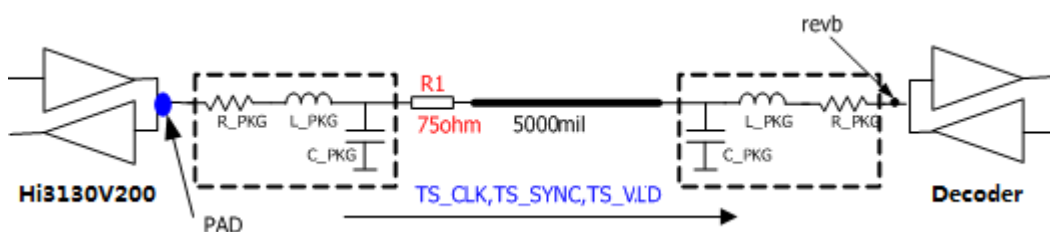


图3-14 两层板设计中，TS_CLK/TS_SYNC/TS_VLD 信号互联匹配拓扑结构



3.4 PCB 设计建议

3.4.1 层叠和布局

层叠

Hi3130V200 的封装为 QFN40，管脚间距 0.4mm。

在 PCB 设计时，可以采用四层 PCB 板的设计，建议如下分层：

- TOP 层：信号走线
- 内一层：地平面层
- 内二层：电源平面层
- BOTTOM 层：信号走线



在成本非常敏感的应用方案中，也可以采用二层 PCB 板的设计，PCB 分层建议如下：

- TOP 层：信号走线和部分电源走线
- BOTTOM 层：地平面层和部分电源走线

PCB 设计注意事项：

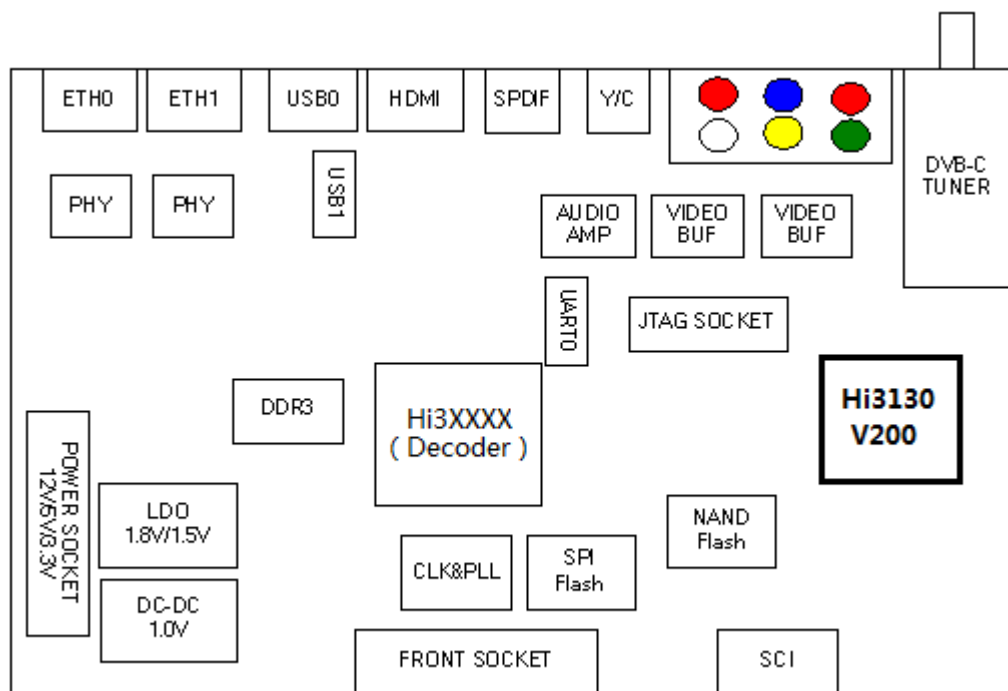
- 元器件布局在 TOP 层，信号线尽量走 TOP 层，滤波小电容可放在 BOTTOM 层。
- 电源管脚走粗线。
- 尽量保持 BOTTOM 层为一个完整的地平面层。
- 主芯片出线推荐过孔大小为 8mil，线宽为 5mil。

PCB 材料 FR-4，PCB 板厚度为 1.6 毫米，表层铜箔厚度为 1 盎司。

单板布局

Hi3130V200 解决方案参考设计的单板布局信息如图 3-15 所示。

图3-15 单板布局图

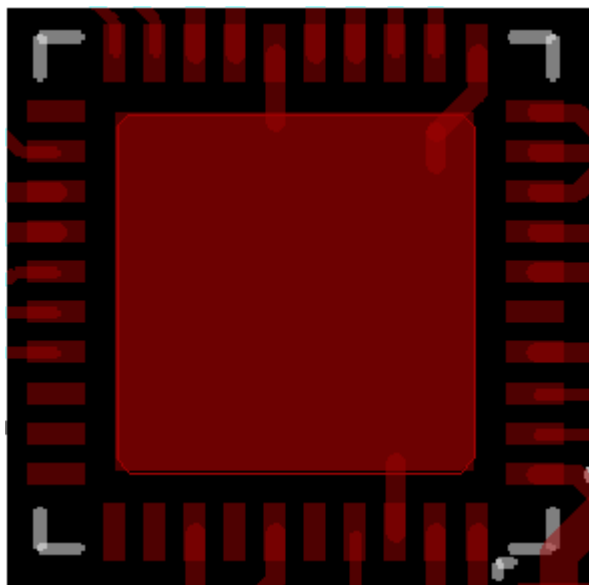


Fanout 封装设计建议

Hi3130V200 PCB Fanout 设计如图 3-16。



图3-16 Hi3130V200 PCB Fanout 设计图



3.4.2 小系统 PCB 设计建议

3.4.2.1 电源电路

数字电源

Hi3130V200 的数字电源包括：IO 电源 DVDD33（3.3V），CORE 电源 DVDD12（1.2V）可以与板上 Decoder 主芯片共用数字 3.3V 和 1.2V 电源，以 Hi3130V200 的 EPAD（exposed pad）为参考地。在保证通流能力的前提下，走线尽量宽。避免和模拟电源重叠。去藕电容靠近芯片放置。

模拟电源

除了上述的数字电源外，其他属于模拟电源，都必须和其他电源通过磁珠隔离或由其他电源通过 LDO 产生，均以 EPAD 为参考地，具体建议如下：

- 模拟电源区域禁止有数字信号走线，尤其是高速数字信号。
- 每个电源 pin 要加去耦电容且走线尽量宽，去藕电容靠近芯片放置。

地平面

由于 Tuner 和 QAM 的 ADC 部分都是模拟信号，在这种数模混合单板中，模拟电路极易受到干扰，会影响信噪比等指标。对于地平面的处理建议如下：

- 1、谨慎处理跨分割的情况，推荐采用统一的地，不进行地平面的分割。
- 2、电源和信号走线采取模拟区和数字区的分区布线的处理。



3.4.2.2 时钟和复位电路

时钟

Hi3130V200 的时钟电路主要包括外部晶体电路和 PLL 功能单元的供电电源和地 AVDD12_PLL、AVDD33_PLL、AVSS_PLL。建议 PCB 设计时采用如下原则：

- AVDD12_PLL 为 1.2V 的 PLL 电源，建议与单板数字 1.2V 电源用磁珠隔开，1.2V 电源电平偏差控制在 $\pm 5\%$ 以内。
- AVDD33_PLL 为 3.3V 的 PLL 电源，建议通过磁珠与数字 3.3V 电源隔离，3.3V 电源电平偏差控制在 $\pm 5\%$ 以内。
- AVSS_PLL 为 PLL 电路的参考地，AVDD12_PLL、AVDD33_PLL 和 AVDD33_PLL 电源的去耦电容要求以 AVSS_PLL 为参考地平面，AVSS_PLL 地平面与单板数字地通过单点连接。
- 晶体紧靠 Hi3130V200 放置，与板边缘至少保持 1000mil；晶体下面不要走线，电路走线长度尽量短，建议控制在晶振工作频率对应波长的 1/20 之内，须做包地处理。

复位

pin37 为复位管脚，复位信号线为关键信号，易受干扰。

- 多层板建议走内层，紧邻地层走线，双层板建议加保护地处理。
- 要求远离接口与电源输入，至少 1000mil。

3.4.3 数字、模拟接口 PCB 设计建议

3.4.3.1 数字接口设计

TS 流信号

TS 流信号的长度要求如下：

- 信号走线长度最长不能超过 5000mil。
- 所有以信号线的走线长度均以 TS_CLK 作为参考，允许偏差范围为 $\pm 100\text{mil}$ 。
- 串联匹配电阻应尽量靠近 Hi3130V200 放置。
- 双层板 TS 流信号线特性阻抗控制为 140Ω ，匹配电阻值建议为 75Ω 。
- 多层板 TS 流信号线特性阻抗控制为 50Ω ，匹配电阻值建议为 33Ω 。

I2C 总线

I2C 总线的长度建议如下：

- SCL 信号走线长度最长不能超过 5000mil。
- SDA 走线以 SCL 为参照进行走线，允许的偏差为 $\pm 100\text{mil}$ 。



PCB 布线建议

建议 PCB 布线设计采用以下原则：



注意

在单板的所有层中，数字信号原则上在电路板的数字部分布线。

信号走线尽量不要破坏 TS 流信号走线的参考地平面，并做好保护地处理，串联电阻尽量靠近 Hi3130V200 放置。详细设计请参见 demo 板 PCB 设计文件。

- 所有 TS 流信号走线必须分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，必须保证信号走线都有完整的参考平面。
- 信号走线及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径。
- 信号线尽量短，走线路径上尽量少打过孔，保证走线阻抗的连续性。多层板单端信号 PCB 走线特性阻抗 $50\Omega \pm 10\%$ ；双层板单端信号 PCB 走线特性阻抗 $140\Omega \pm 10\%$ 。串联匹配电阻靠近 hi3130V200 放置。
- 使用排阻时，尽量避免 TS_CLK 与 TS 流中的其他信号线在同一个排阻上。
- 相邻信号走线间距保持在 2~3 倍线宽，即满足“3W”原则。
- 避免时钟信号紧邻数据、地址总线。

3.4.3.2 模拟接口设计

建议 PCB 布线设计采用以下原则：



注意

在单板的所有层中，模拟信号原则上在电路板的模拟部分布线。

中频（ADC 输入）信号 VIP/VIN 按差分线的方式走线，阻抗无严格要求，走线长度越短越好，建议控制在 3inch 以内。建议中频信号包地处理。

模拟接口各信号匹配设计推荐如表 3-17 所示。

表3-17 模拟接口各信号匹配设计推荐

信号名称	2 层板 PCB 设计	4 层板 PCB 设计
VIP/ VIN	交流耦合，在 TUNER 端串接 33Ω 电阻和 $0.1\mu\text{F}$ 电容	交流耦合，在 TUNER 端串接 33Ω 电阻和 $0.1\mu\text{F}$ 电容
PSDA/ PSCL	在 Hi3130V200 处串接 33Ω 电阻，在 TUNER 处通过 $2\text{k}\Omega$ 电阻上拉	在 Hi3130V200 处串接 33Ω 电阻，在 TUNER 处通过 $2\text{k}\Omega$ 电阻上拉



信号名称	2 层板 PCB 设计	4 层板 PCB 设计
AGC1/ AGC2	第一级 RC 滤波靠近 Hi3130V200，第二级 RC 滤波 靠近 TUNER	第一级 RC 滤波靠近 Hi3130V200，第二级 RC 滤波 靠近 TUNER

3.4.3.3 其它

PCB 信号完整性仿真设计建议

PCB 设计人员可以使用板级仿真工具，根据 Hi3130V200 接口 IBIS 模型、对接器件 IBIS 模型、传输线模型以及板上拓扑结构完成信号完整性仿真分析。通过对仿真结果的分析，不断调整拓扑结构，以达到所需的信号质量要求，包括过冲、下冲、振铃、单调性等。

其它 PCB 设计注意事项

时钟信号无论频率高低，都需要特别注意其信号质量，应保证信号边沿单调。

3.5 热设计建议

3.5.1 极限工作环境

极限工作环境参数如表 3-18 所示。



说明

极限工作环境参数仅用于评估，不用于实际应用。



警告

超过极限工作环境参数数值，可能导致芯片物理损伤。

表3-18 极限工作环境参数

参数	符号	最小值	最大值	单位
环境温度	T_A	-20	70	°C
极限结温	T_{JMAX}	-	125	°C
管脚电压	V_{in}	-0.5	4.6	V



3.5.2 推荐工作环境

推荐工作环境参数如表 3-19 所示，热设计的降额标准以表 3-19 中的数据为准。

表3-19 推荐工作环境参数

参数	符号	最小值	典型值	最大值	单位
环境温度	T_A	0	25	55	°C
长期工作结温	T_{JMAX}	-	-	125	°C

3.5.3 芯片结温要求

3.5.4 封装热阻

Hi3130V200 的封装热阻如表 3-20 所示。



注意

热阻基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件作出分析。

表3-20 Hi3130V200 的封装热阻

参数	符号	数值	单位
Junction-to-ambient thermal resistance	θ_{JA}	40	°C/W
Junction-to-case thermal resistance	θ_{JC}	12	°C/W
Junction-to-top center of case thermal resistance	Ψ_{JT}	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	15	°C/W

3.5.5 导热介质材料推荐

导热介质材料推荐表如表 3-21 所示。



表3-21 导热介质材料推荐表

散热器固定方式	型号	导热系数 (w/m·k)	应用环境温度 (°C)	胶体类型	绝缘强度 (V/mil)	阻燃性	承重能力 (g)
需机械固定	GF2000	2	-60~+200	硅橡胶	500	UL9V0	-
无需机械固定	Locotite 315	0.808	-	丙烯酸树脂	6000	UL9V2	-

3.5.6 原理图设计

电源

整个单板电源树在保证稳定性的前提下效率较高，即要合理设计单板电源效率，少采用高压差 LDO 器件，减少电源自身在电源转换过程中所产生的热量。

例如 Hi3130V200 的 1.2V 电源尽量采用板上电源来实现。若板上没有 1.2V 电源，由 3V3 电源串接 DIODE 在经过 LDO 转换产生，保证效率，降低功耗。

闲置模块低功耗配置

在 Hi3130V200 产品形态应用中，CLK_OUT 时钟环出可能不会使用，此时应当将该模块配置为 Power Down 模式或者默认状态。



注意

为了降低功耗，请在软件中打开主芯片的时钟门控功能。

PCB 设计

器件布局

结合产品结构和热设计，器件布局建议如下：

- 单板上大功耗且易产生热量器件要均匀分布，避免局部过热，影响器件可靠性和效率，建议 Hi3130V200 和 Decoder 芯片及电源部分不要放置太近，保证单板利用 PCB 有效散热，在这些器件正下方和周边尽量增大铜皮面积以更好散热
- 合理设计结构，保证产品内部与外界有通畅的热交换途径。

PCB 热设计

PCB 热设计建议如下：

- 芯片底下的过孔采用 FULL 孔连接，而不是普通的花孔连接，以提高单板散热效率，并且 EPAD 对应的 PCB 底层的铜皮尽量开窗，以提高单板散热效率。



- Hi3130V200 的 1.2V/3.3V 电源和地信号在保证过流能力的前提下尽量走宽。
- Hi3130V200 周边避免放置发热量大的器件。
- 在热量大的器件正下方和周边尽量增大铜皮面积以保证单板利用 PCB 有效散热。特别是电源部分的电感和供电芯片，注意其摆放位置不要过于密集，周边尽量增加铺铜面积。

3.6 焊接工艺建议

3.6.1 概述

客户在使用本产品焊接时，参考所有的元器件/IC/PCB 单板所承受 reflow profile，依据锡膏的供应商推荐的 reflow profile 平衡制定合适的回流焊接温度，本章节仅仅是给出本产品能承受的回流焊接温度范围。

焊球材料

Hi3130V200 焊球材料如下：

- QFP 镀层成份：纯锡

元器件包装及存储

元器件包装及存储如下：

- 表贴元器件包装类型：tray or tape&reel
- 可存储期限（60%相对湿度以下）：12moths@40℃
- 包装材料：防静电材料

焊接工艺

可应用的焊接方法：reflow

本产品可以承受的 reflow profile 范围如下（客户也可以参考 JEDEC020D），并非推荐的实际焊接的 reflow profile。客户实际焊接时的 reflow profile 要参考锡膏的 reflow profile 并平衡 PCB/所有 IC/元器件而定。



图3-17 焊接温度曲线图

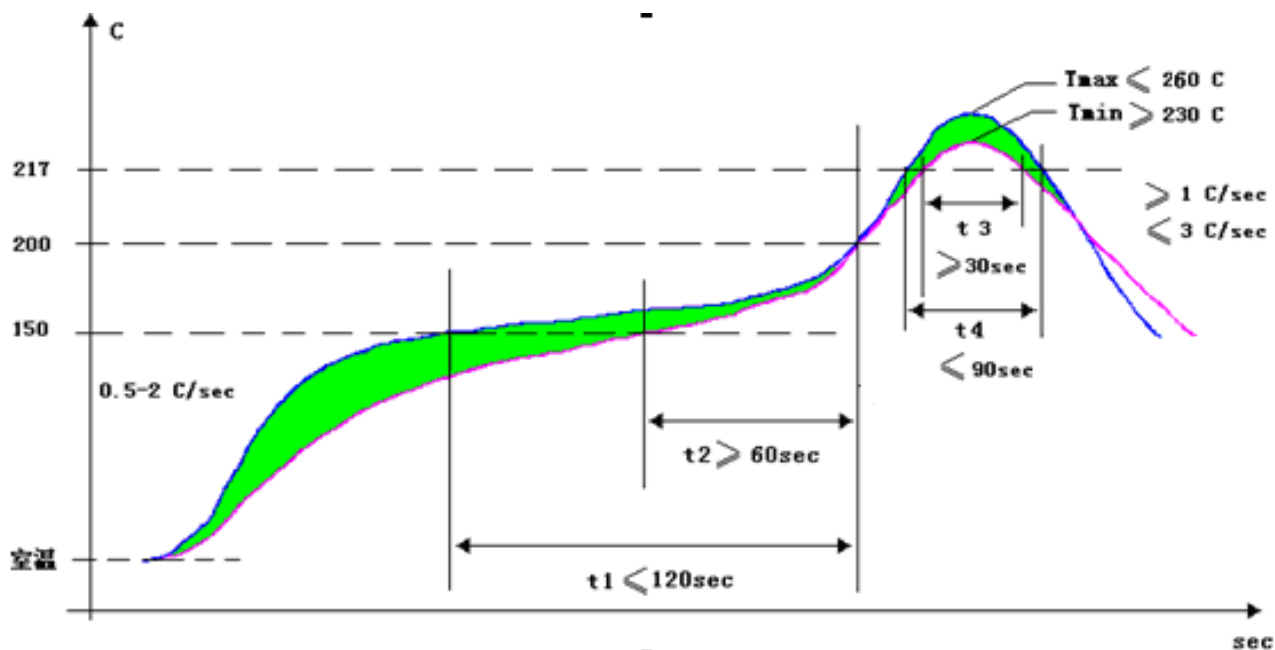


表3-22 回流焊工艺参数表

区域	时间	升温速率	峰值温度	降温速率
预热区（40-150℃）	60-150Sec	$\leq 2.0^{\circ}\text{C}/\text{Sec}$	-	-
均温区（150-200℃）	60-120Sec	$< 1.0^{\circ}\text{C}/\text{Sec}$	-	-
回流区（ $> 217^{\circ}\text{C}$ ）	30-90Sec	-	230-260℃	-
冷却区（ $T_{\text{max}} - 180^{\circ}\text{C}$ ）	-	-	-	$1.0^{\circ}\text{C}/\text{Sec} \leq \text{Slope} \leq 4.0^{\circ}\text{C}/\text{Sec}$

3.6.2 加工准备

客户在加工前，确认所使用的产品未受潮；原物料在有效周期内。

正式批量生产前，要做首样检验（比如要先首检锡膏厚度），首样检验结果通过，才能批量生产。

3.7 潮敏参数

3.7.1 概述

【目的】Objective

规定了 IC（潮敏产品）的使用原则，以确保产品使用规范。

**【使用范围】**

海思生产的所有外销类产品。

【术语解释】

- Floor life: 海思产品允许在车间保留的最长时间（环境 30℃/60% RH，在拆开防潮包装到 reflow 之前）
- Desiccant(干燥剂): 一种用于吸附潮气而保持干燥的材料
- Humidity Indicator Card (HIC): 湿度指示卡
- Moisture sensitivity level(MSL): 潮敏等级
- Moisture Barrier Bag (MBB): 防潮包装袋
- Solder Reflow: 回流焊
- Shelf Life: 存储期限

3.7.2 海思产品防潮包装

包装信息

干燥真空包装材料包含：

- 湿度指示卡（HIC）
- 防潮袋（MBB）
- 干燥剂

图3-18 干燥真空包装材料示意图



潮敏产品进料检验

客户或者外协厂在生产使用（SMT）之前，打开真空袋子后：



- 如果 HIC 的最大指示点已经变化（不是蓝色或土黄色），产品必须参照表 3-24 进行 rebake。
- 如果 HIC 中 10%RH dot 是蓝色或土黄色的，表示产品很干燥，可以仅仅更换防潮剂后真空封装。
- 如果 HIC 中 10%RH dot 不是蓝色或土黄色，5%RH dot 已经变红色或浅绿色，表示产品已经受潮，参考表 3-24 进行 rebake。

3.7.3 存放与使用

【存放环境】

建议产品真空包装存放，存放在<30°C/60% RH 下。

【shelf life】（存储期限）

存放环境<30°C/60% RH 下，真空包装存放，shelf life（存储期限）≥12 个月。

【floor life】

在环境条件<30°C/60%下，floor life 参照表 3-23 如下。

表3-23 floor life 参照表

MSL	Floor life(out of bag) at factory ambient≤30°C/60% RH or as stated
1	Unlimited at ≤30°C/85% RH
2	1 year
2a	4 weeks
3	168 hours
4	72 hours
5	48 hours
5a	24 hours
6	Mandatory bake before use, must be reflowed within the time limit specified on the label

【潮敏产品的使用】

- 产品在≤30°C/60%RH 下连续或累计暴露超过 2 个小时，建议进行 rebake 后再真空干燥包装。
- 产品在≤30°C/60%RH 下暴露累计没有超过 2 个小时，可以不用 rebake，但要更换新的干燥剂，进行真空干燥包装。

本文没有提到的存储及使用原则，请直接参考 JEDEC J-STD-033A 。

3.7.4 重新烘烤

【适用产品】



海思所有 IC（潮敏产品）

【使用范围】

需要重新烘烤的 IC（潮敏产品）

【重新烘烤参考表】

表3-24 重新烘烤参考表

Body thickness	level	bake@125℃	bake@90℃≤5% RH	bake@40℃≤5% RH
≦1.4mm	2a	3 hours	11 hours	5 days
	3	7hours	23 hours	9 days
	4	7 hours	23 hours	9 days
	5	7 hours	24 hours	10 days
	5a	10 hours	24 hours	10 days
≦2.0mm	2a	16 hours	2 days	22 days
	3	17 hours	2 days	23 days
	4	20 hours	3 days	28 days
	5	25 hours	4 days	35 days
	5a	40 hours	6 days	56 days
≦4.5mm	2a	48 hours	7 days	67 days
	3	48 hours	8 days	67 days
	4	48 hours	10 days	67 days
	5	48 hours	10 days	67 days
	5a	48 hours	10 days	67 days

说明：

- 此表中显示的均是受潮后，必须的最小的烘烤时间。
- 重新烘烤优先选择低温烘烤。
- 详细情况请参考 JEDEC。

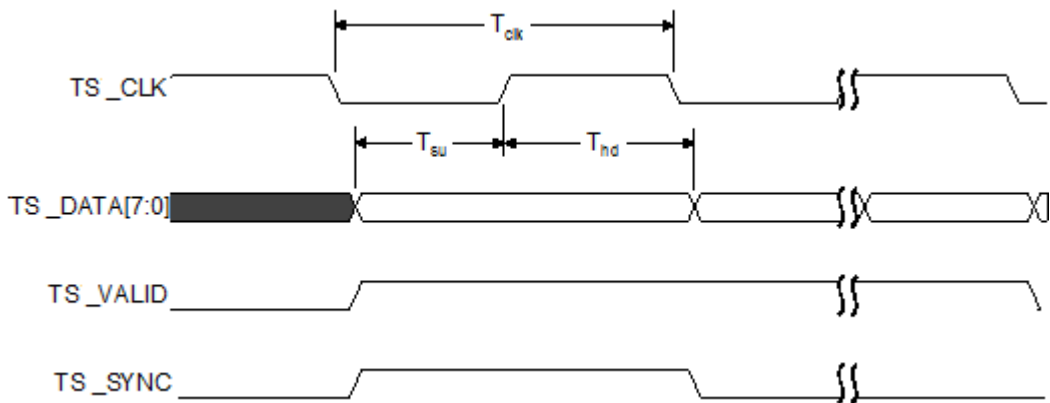
3.8 接口时序

3.8.1 TS 接口时序

TS 接口时序图如图 3-19 所示。



图3-19 TS 接口时序图



TS 接口时序参数如表 3-25 所示。

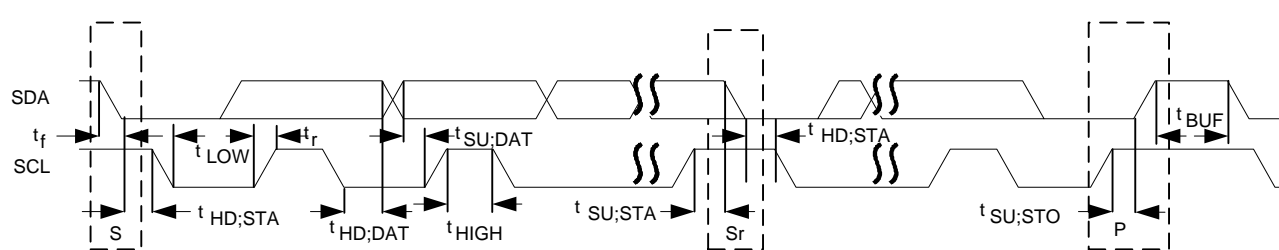
表3-25 TS 接口时序参数表

参数	符号	最小值	典型值	最大值	单位	说明
TS_CLK 时钟周期	T_{clk}	76.8	-	-	ns	并行
		11.52	-	-	ns	串行
输入信号建立时间要求	T_{su}	67	-	-	ns	并行
		5.52	-	-	ns	串行
输入信号保持时间要求	T_{hd}	2.5	-	-	ns	并行
		1.1	-	-	ns	串行

3.8.2 I²C 时序

I²C 传输时序如图 3-20 所示。

图3-20 I²C 传输时序图



I²C 接口时序参数如表 3-26 所示。

表3-26 I²C 接口时序参数表

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f_{SCL}	0	100	0	400	KHz
启动保持时间	$t_{HD;STA}$	4.0	-	0.6	-	μs
SCL 低电平周期	t_{LOW}	4.7	-	1.3	-	μs
SCL 高电平周期	t_{HIGH}	4.0	-	0.6	-	μs
启动建立时间	$t_{SU;STA}$	4.7	-	0.6	-	μs
数据保持时间	$t_{HD;DAT}$	0	3.45	0	0.9	μs
数据建立时间	$t_{SU;DAT}$	250	-	100	-	ns
SDA、SCL 上升时间	t_r	-	1000	$20+0.1C_b$	300	ns
SDA、SCL 下降时间	t_f	-	300	$20+0.1C_b$	300	ns
结束建立时间	$t_{SU;STO}$	4.0	-	0.6	-	μs
开始与结束之间的总线释放时间	t_{BUF}	4.7	-	1.3	-	μs
总线负载	C_b	-	400	-	400	pF
低电平噪声容限	V_{nL}	$0.1V_{DD}$	-	$0.1V_{DD}$	-	V
高电平噪声容限	V_{nH}	$0.2V_{DD}$	-	$0.2V_{DD}$	-	V



目 录

A 缩略语.....	A-1
------------	-----



A 缩略语

A

AC	Alternating Current	交流（电）
AAF	Anti-aliasing digital Filter	抗镜像滤波器
ADC	Analog Digital Converter	模数转换器
AGC	Automatic Gain Control	自动增益控制
ALE	Address Latch Enable	地址锁存使能
AO	Audio Output	音频输出
ARM	Advanced RISC Machine	高级精简指令集处理器

B

BER	Bit Error Rate	误码率
-----	----------------	-----

C

CMA	Constant Module Arithmetic	常模量算法
CODEC	Coder Decoder	编码解码器
CPU	Central Processing Unit	中央处理单元
CS	Chip Select	片选

D

DVB	Digital Video Broadcasting	数字电视广播
-----	----------------------------	--------

**E**

EBI	External Bus Interface	外部总线接口
ECC	Error Checking and Correction	差错校验纠正
ETH	Ethernet	以太网

F

FLASH	FLASH memory	闪速存储器
-------	--------------	-------

I

I2C	The Inter-Integrated Circuit	一种串行总线协议标准
I2S	Inter-IC Sound	一种音频数据传输总线标准
IO	Input Output	输入输出
IPU	Internal Pull-Up	内部上拉
IR	Infrared Ray	红外线
ITU	International Telecommunication Union	国际电信联盟

J

JEDEC	Joint Electron Device Engineering Council	电子元件工业联合会
JTAG	Joint Test Action Group	联合测试行动小组

L

LMS	Linear Mean Square	线性最小均方算法
-----	--------------------	----------

M

MDC	Message Distribution Center	消息分发中心
MDIO	Management Data Input/Output	管理数据输入输出接口
MDX	Multidimensional Expressions	多维表达式
MII	Media Independent Interface	媒质独立接口
MLC	Multi-Level Cell	多 bit 存储单元
MPEG	Moving Pictures Experts Group	动态图像专家组



MSB	Most Significant Bit	最高位
N		
NC	No Connection	未连接
NF	NAND Flash	NAND Flash 存储器
O		
OD	Open Drain	漏极开路门
OOD	Object-Oriented Database	面向对象数据库
OTP	One Time Programming	一次性编程
P		
PBGA	Plastic Ball Grid Array	塑封球栅阵列
PCB	Physical Control Block	物理控制块
PCI	Peripheral Component Interconnect	外设部件互连
PCM	Pulse Code Modulation	脉冲编码调制
PHY	Physical Sublayer & Physical Layer	物理子层,物理层
PLL	Phase-Locked Loop	锁相环
PWM	Pulse Width Modulation	脉宽调制
Q		
QAM	Quadrature Amplitude Modulation	正交幅度调制
R		
RAM	Random Access Memory	随机存取存储器
RC	Readable Only and Self Cleaning after Reading	读清
RMII	Reduced Media Independent Interface	简化的介质无关接口
RNG	Random Number Generation	随机数据管理
RO	Read Only	只读
ROM	Read Only Memory	只读存储器



A 缩略语

RPU	Routing Process Unit	路由协议处理模块
RS	Reed Solomon	里德所罗门，一种信道编码方式。
RST	Reset	复位
RTT	Radio Transmission Technology	无线传输技术
RX	Reception	接收

S

SATA	Serial Advanced Technology Attachment	串行高级连接器
SCI	Smart Card Interface	智能卡接口
SCL	Serial Clock Line	串行时钟线
SDA	Serial Data and Address	串行数据地址线
SDH	Synchronous Digital Hierarchy	同步数字体系
SDI	Service Defect Indication	服务缺陷指示
SDRAM	Synchronous Dynamic Random Access Memory	同步动态随机存储器
SF	Spreading Factor	扩频因子
SIM	Subscriber Identity Module	用户标识模块
SIO	Serial Input / Output	串行输入输出接口
SLC	Single level cell	单 bit 存储单元
SMI	Short Message Identifier	短消息标识
SPDIF	Sony Philips Digital Interface	索尼/飞利浦数字音频接口
SPI	SDH Physical Interface	SDH 物理接口
SSTL	Stub Series Terminated Logic	残余连续终结逻辑
STA	Static Timing Analysis	静态时序分析
STR	System Test Report	系统测试报告
SYNC	Synchronization (network)	同步（网）

T

TAP	Test Access Port	测试存取通路
TCM	Trellis Coded Modulation	网格编码调制
TEI	Transmit Error Indicator	传输错误标示



TFT	Thin Film Transistor	薄膜晶体管
TSI	Time Slot Interchange	时隙交换

U

UART	Universal Asynchronous Receiver & Transmitter	通用异步收发器
USB	Universal Serial Bus	通用串行总线

V

VI	Video Input	视频输入
VO	Video Output	视频输出
VOU	Video Output Unit	视频输出单元

W

WDG	Watch Dog	看门狗
WE	Wrap Enable	倒换使能
WP	Wireless Profile	无线适配的