

本章节对 HPS 复位管理器进行概述。复位管理器根据 HPS 和 FPGA 架构的各种资源的复位请求以及写入到模块复位控制寄存器的软件生成模块复位信号。复位管理器确保只有在芯片系统 (SoC) 器件的 FPGA 部分配置之后，FPGA 架构的复位请求才发生。

HPS 包含三个复位域。每个复位域可以被独立地复位。每个可以被复位的 HPS 中的寄存器属于一个特定的复位域。

表 3-1 显示了 HPS 复位域。

表 3-1. HPS 复位域

域名称	域逻辑
TAP	JTAG 测试访问端口 (TAP) 控制器，由调试访问端口 (DAP) 使用。
调试	所有调试逻辑，包括大部分的 DAP、连接到调试外设总线的 CoreSight™组件、跟踪模块、微处理器单元 (MPU) 子系统和 FPGA 架构。
系统	所有 HPS 逻辑，但除了 TAP 和调试复位域中的以外。包括 FPGA 架构中连接到 HPS 复位信号的非调试逻辑。

HPS 支持以下的复位类型：

- 冷复位（上电复位）
  - 用于确保 HPS 处于默认状态，以便可以引导软件
  - 由上电复位和其它的资源触发
  - 复位可以被复位的所有 HPS 逻辑
  - 影响所有的复位域
- 暖复位
  - 发生在 HPS 已经过一个冷复位之后
  - 用于从无响应情况恢复系统
  - 复位经过冷复位后的 HPS 的一个子系统
  - 只影响系统复位域，支持调试（包括走线）在暖复位中进行操作
- 调试复位
  - 发生在 HPS 已经通过冷复位之后
  - 用于从无响应情况恢复调试逻辑
  - 只影响调试复位域

# 复位管理器结构图和系统集成

图 3 - 1 显示了 SoC 器件中复位管理器的结构图。

图 3 - 1. 复位管理器结构图

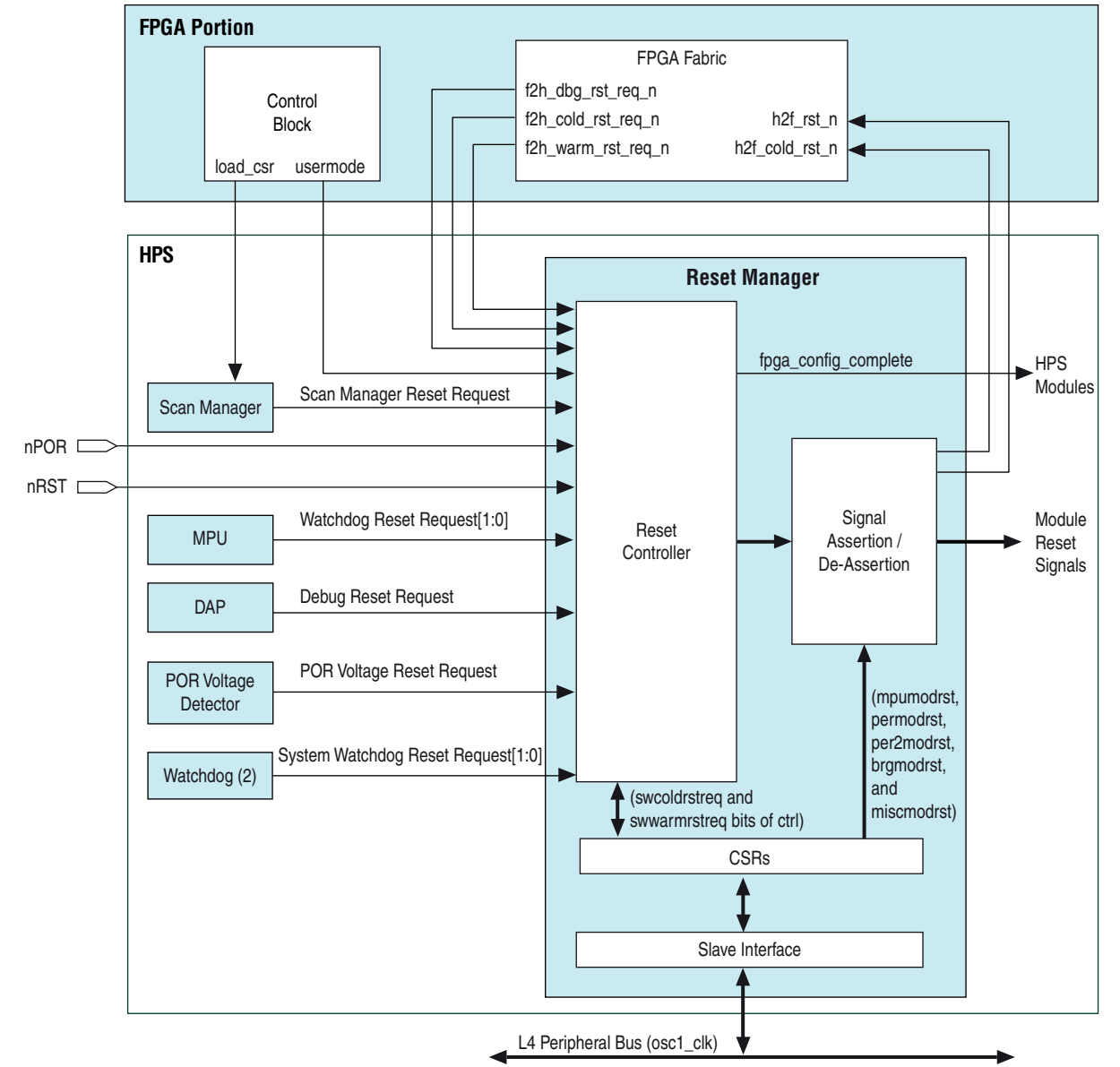


图 3 - 1 注释：


(1) 其它 HPS 模块和时钟管理器模块的复位相关的 handshaking 信号从该图中省略，以便使说明更加明确。

## HPS 外部复位源

表 3-2 介绍了 HPS 外部的复位源。所有信号都同步于 osc1\_clk 时钟。

表 3-2. HPS 外部复位源

源	说明
f2h_cold_rst_req_n	FPGA 架构的冷复位请求（有效低电平）
f2h_warm_rst_req_n	FPGA 架构的暖复位请求（有效低电平）
f2h_dbg_rst_req_n	FPGA 架构的调试复位请求（有效低电平）
h2f_cold_rst_n	FPGA 架构的 Cold-only 复位（有效低电平）
h2f_rst_n	FPGA 架构的冷或暖复位（有效低电平）
load_csr	FPGA 控制模块（CB）和扫描管理器的 Cold-only 复位
nPOR	上电复位管脚（有效低电平）
nRST	暖复位管脚（有效低电平）

 从 HPS 到 FPGA 架构的复位信号必须同步到用户逻辑时钟域。

## 复位控制器

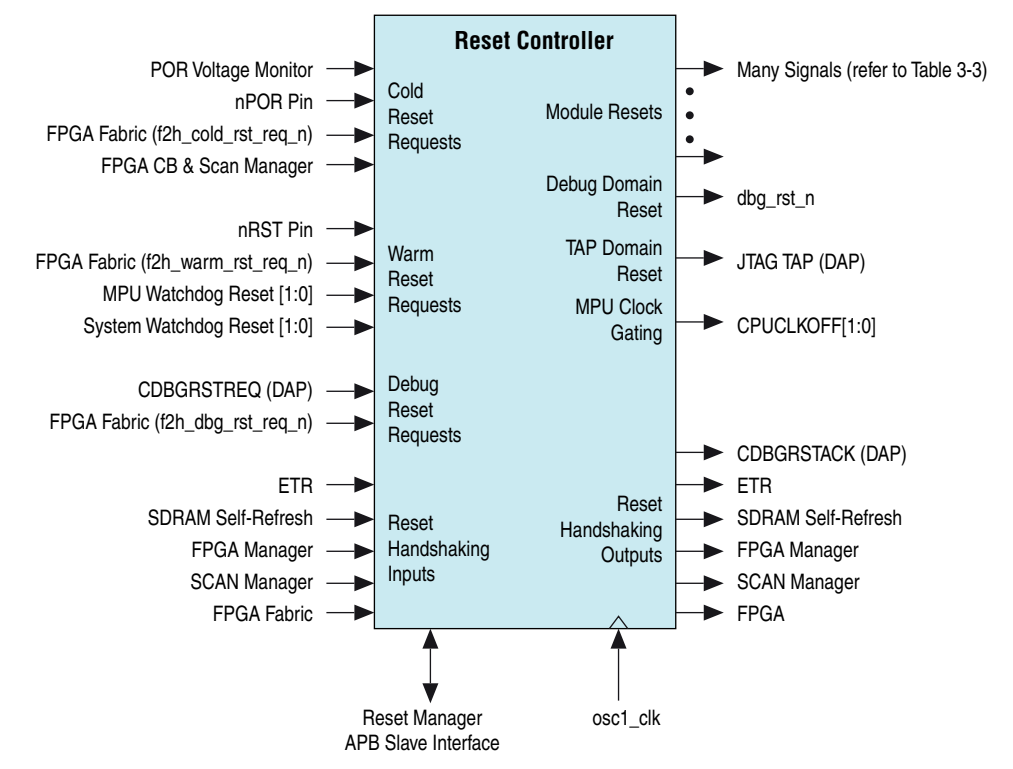
复位控制器执行以下功能：

- 接受 FPGA CB、FPGA 架构、HPS 中模块和复位管脚的复位请求
- 对 HPS 中所有的模块的每个模块实例生成一个单独的复位信号
- 提供复位握手 (handshaking) 信号以支持系统复位行为

复位控制器从外部复位请求和内部复位请求生成模块复位信号。外部复位请求产生于复位管理器外部的资源。内部复位请求产生于复位管理器中的控制寄存器。

图 3-2 显示了复位控制器信号。

图 3-2. 复位控制器信号



复位控制器支持以下冷复位请求：

- 上电复位 (POR) 电压监控
- 冷复位请求管脚 (nPOR)
- FPGA 架构
- FPGA CB 和扫描管理器
- 控制寄存器 (ctrl) 的软件冷复位请求位 (swcoldrstreq)

复位控制器支持以下暖复位请求：

- 暖复位请求管脚 (nRST)
- FPGA 架构
- ctrl 寄存器的软件暖复位请求位 (swwarmrstreq)
- CPU0 和 CPU1 的 MPU 看门狗复位请求
- 系统看门狗计时器 0 和 1 复位请求

复位控制器支持以下调试复位请求：

- 来自 DAP 的 CDBGIRSTREQ
- FPGA 架构

模块复位信号

表 3-3 列出了模块复位信号。模块复位信号被划分在 MPU、外设、桥接、level 3 (L3) 互联和其它项目的各个组中。

冷复位、暖复位和调试复位列中的钩形符号代表该类型的复位信号。例如，将 1 写入 ctrl 寄存器中的 swwarmrstreq 位会复位暖复位列中打勾的所有模块。

软件置低列中打勾的代表复位管理器没有置位的复位信号。要激活相关模块，软件可以通过写入到下列复位管理器寄存器置低这些所需的复位信号：

- MPU 模块复位寄存器 (mpumodrst)
- 外设模块复位寄存器 (permodrst)
- 外设 2 模块复位寄存器 (per2modrst)
- 桥接模块复位寄存器 (brgmodrst)

表 3-3. 生成的模块复位 (1/2)

组	模块复位信号	说明	复位域	冷复位	暖复位	调试复位	软件置低
MPU	mpu_cpu_rst_n[0]	复位 MPU 中的每个处理器	系统	v	v		
	mpu_cpu_rst_n[1]	复位 MPU 中的每个处理器	系统	v	v		v
	mpu_wd_rst_n	复位 MPU 中的两个每处理器看门狗	系统	v	v		
	mpu_scu_periph_rst_n	复位 Snoop Control Unit (SCU) 和外设	系统	v	v		
	mpu_l2_rst_n	Level 2 (L2) 缓冲复位	系统	v	v		
PER	emac_rst_n[1:0]	复位每个 EMAC	系统	v	v		v
	usb_rst_n[1:0]	复位每个 USB	系统	v	v		v
	nand_flash_rst_n	复位 NAND 闪存控制器	系统	v	v		v
	qspi_flash_rst_n	复位 quad SPI 闪存控制器	系统	v	v		v
	watchdog_rst_n[1:0]	复位每个系统看门狗计时器	系统	v	v		v
	oscl_timer_rst_n[1:0]	复位每个 OSC1 计时器	系统	v	v		v
	sp_timer_rst_n[1:0]	复位每个 SP 计时器	系统	v	v		v
	i2c_rst_n[3:0]	复位每个 I <sup>2</sup> C 控制器	系统	v	v		v
	uart_rst_n[1:0]	复位每个 UART	系统	v	v		v
	spim_rst_n[1:0]	复位 SPI 主控制器	系统	v	v		v
	spis_rst_n[1:0]	复位 SPI 从控制器	系统	v	v		v
	sdmmc_rst_n	复位 SD/MMC 控制器	系统	v	v		v
	can_rst_n[1:0]	复位每个 CAN 控制器	系统	v	v		v
	gpio_rst_n[2:0]	复位每个 GPIO 接口	系统	v	v		v
	dma_rst_n	复位 DMA 控制器	系统	v	v		v
	sdram_rst_n	复位 SDRAM 子系统（复位与冷或暖复位相关的逻辑）	系统	v	v		v
PER2	dma_periph_if_rst_n[7:0]	从 FPGA 架构到 DMA 控制器的 DMA 控制器请求接口	系统	v	v		v

表 3-3. 生成的模块复位 (2/2)

组	模块复位信号	说明	复位域	冷复位	暖复位	调试复位	软件置低
桥接	hps2fpga_bridge_rst_n	复位 HPS-to-FPGA AMBA® 高级可扩展接口 (AXI™) 桥接	系统	v	v		v
	fpga2hps_bridge_rst_n	复位 FPGA-to-HPS AXI 桥接	系统	v	v		v
	lwhps2fpga_bridge_rst_n	复位轻型 HPS-to-FPGA AXI 桥接	系统	v	v		v
MISC	boot_rom_rst_n	复位引导 ROM	系统	v	v		
	onchip_ram_rst_n	复位片上 RAM	系统	v	v		
	sys_manager_rst_n	复位系统管理器（复位与冷或暖复位相关的逻辑）	系统	v	v		
	sys_manager_cold_rst_n	复位系统管理器（只复位与冷复位相关的逻辑）	系统	v			
	fpga_manager_rst_n	复位 FPGA 管理器	系统	v	v		
	acp_id_mapper_rst_n	复位 ACP ID 映射器	系统	v	v		
	h2f_rst_n	复位 FPGA 架构中的用户逻辑（复位与冷或暖复位相关的逻辑）	系统	v	v		
	h2f_cold_rst_n	复位 FPGA 架构中的用户逻辑（只复位与冷复位相关的逻辑）	系统	v			
	rst_pin_rst_n	拉低 nRST 管脚	系统	v	v		
	timestamp_cold_rst_n	复位调试时间戳为 0x0	系统	v			
	clk_manager_cold_rst_n	复位时钟管理器（只复位与冷复位相关的逻辑）	系统	v			
	scan_manager_rst_n	复位扫描管理器	系统	v	v		
	frz_ctrl_cold_rst_n	复位冻结控制器（只复位与冷复位相关的逻辑）	系统	v			
	sys_dbg_rst_n	复位与 L3 互联和 level 4 (L4) 总线相连接的调试主器件和从器件	系统	v	v		
	dbg_rst_n	复位调试组件，包含 DAP、走线、MPU 调试逻辑和 FPGA 架构中的任何用户调试逻辑	调试	v		v	
L3	tap_cold_rst_n	复位必须在冷复位上被复位的 DAP 中的 TAP 控制器部分	TAP	v			
	sdram_cold_rst_n	复位 SDRAM 子系统（只复位与冷复位相关的逻辑）	系统	v			
	l3_rst_n	复位 L3 互联和 L4 总线	系统	v	v		

## 从接口和状态寄存器


复位管理器从接口用于控制和监控复位状态。

复位管理器中的状态寄存器 (stat) 包含复位请求器的状态。寄存器对每个复位请求包含一个位。stat 寄存器采集所有已经发生的复位请求。软件负责清除位。

## 复位管理器的功能说明

复位管理器生成 HPS 的模块和 FPGA 架构的复位信号。以下操作生成复位信号：

- 软件写入 1 到 ctrl 寄存器中 swcoldrstreq 或 swwarmrstreq 位。写入其中任何一个位都会导致复位控制器执行一个复位序列。
- 软件写入 mpumodrst、permodrst、per2modrst、brgmodrst 或 miscmodrst 模块会复位控制寄存器。
- 置位复位请求信号触发复位控制器。所有外部复位请求导致复位控制器执行一个复位序列。

 要了解关于复位请求信号置位所需持续时间的更多信息，请参考 *Cyclone V Device Datasheet*。

多个复位请求可以同时被驱动到复位管理器。冷复位请求优先于暖和调试复位请求。较高优先权复位请求优先于较低优先权复位请求。相同域内的复位请求中没有优先权区别。

如果在处理一个冷复位的同时发出另一个冷复位请求，那么复位管理器对所有模块复位输出扩展复位周期直到移除了所有冷复位请求。如果复位管理器移除其它模块的复位状态时发出一个冷复位请求，那么复位管理器将那些模块返回到复位状态。


如果在处理一个暖复位的同时发出另一个暖复位请求，那么第一个暖复位在第二个暖复位开始之前完成。如果第二个暖复位请求在第一个暖复位完成之前被移除，那么第一个暖复位被扩展以满足第二个暖复位请求的时序要求。

nPOR 管脚可以用于扩展超出 POR 电压监控自动提供的冷复位。nPOR 管脚的使用是可选的并且 不需要它时可以使变高。

## 复位序列

复位控制器在没有软件协助的情况下可以顺序控制复位信号。模块复位信号同时被异步置位。复位管理器置低同步于 osc1\_clk 时钟的模块复位信号。模块复位信号在组中以固定的序列被置低。所有组中的模块复位信号在同时被置低。

复位管理器发送一个安全模式请求到时钟管理器以使时钟管理器处于安全模式，从而创建了 osc1\_clk 时钟和时钟管理器生成的所有其它时钟之间的固定和已知关系。

 要了解关于安全模式选项的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Clock Manager* 章节。

复位管理器解复位释放 MPU 子系统之后，CPU1 处于复位并且 CPU0 开始执行复位向量地址的代码。软件负责置低 CPU1 和其它复位，如表 3-3 所示。通过写入 mpumodrst、permodrst、per2modrst、brgmodrst 和 miscmodrst 模块复位控制寄存器，软件置低复位。

软件也可以通过模块复位控制寄存器直接旁路复位控制器和生成复位信号。在这种情况下，软件负责置位模块复位信号，在相应的持续时间驱动它们，并且使用正确的序列置低它们。时钟管理器在这个时间中不通常是安全模式，所以软件负责了解时钟管理器生成的时钟之间的关系。软件不能置位阻止软件置低模块复位信号的模块复位信号。例如，软件不可以置位复位信号以至于软件不能运行。

图 3-3 显示了冷复位的时序图。

图 3-3. 冷复位时序图

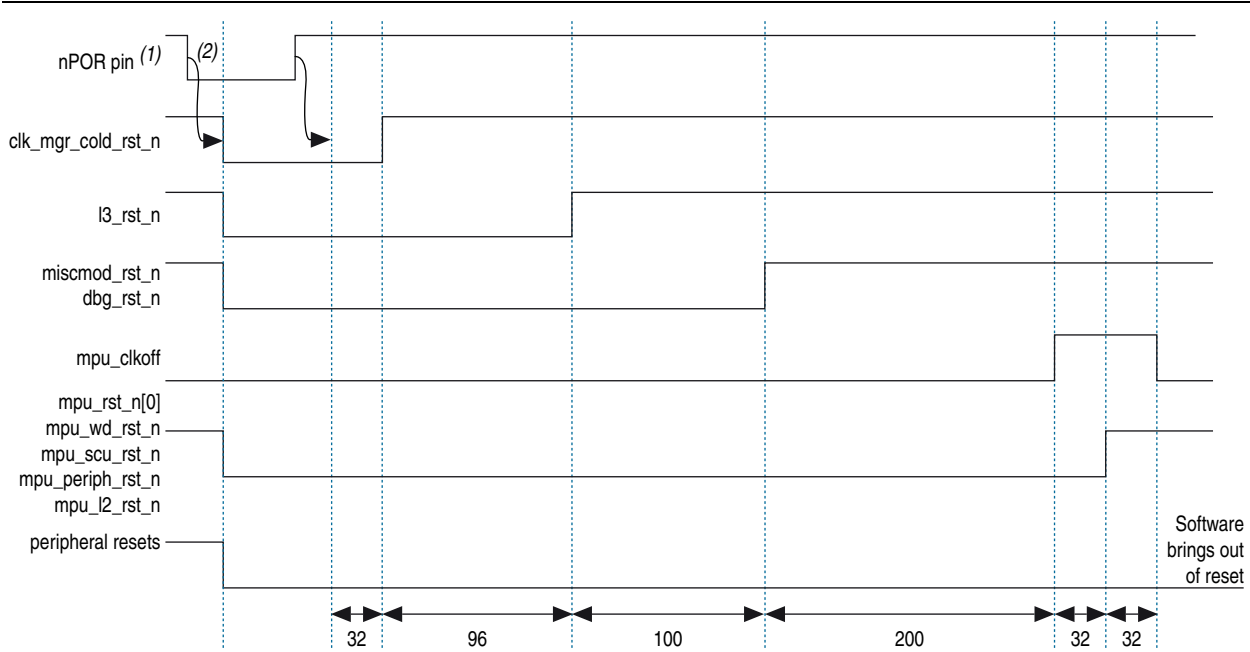


图 3-3 注释：

- (1) 冷复位可以从几个其它的资源启动。要了解完整列表，请参考 第 3-3 页面的 “复位控制器”。
- (2) 这一相依性应用于所有复位信号。



图 3-4 显示了暖复位的时序图。

图 3-4. 暖复位时序图

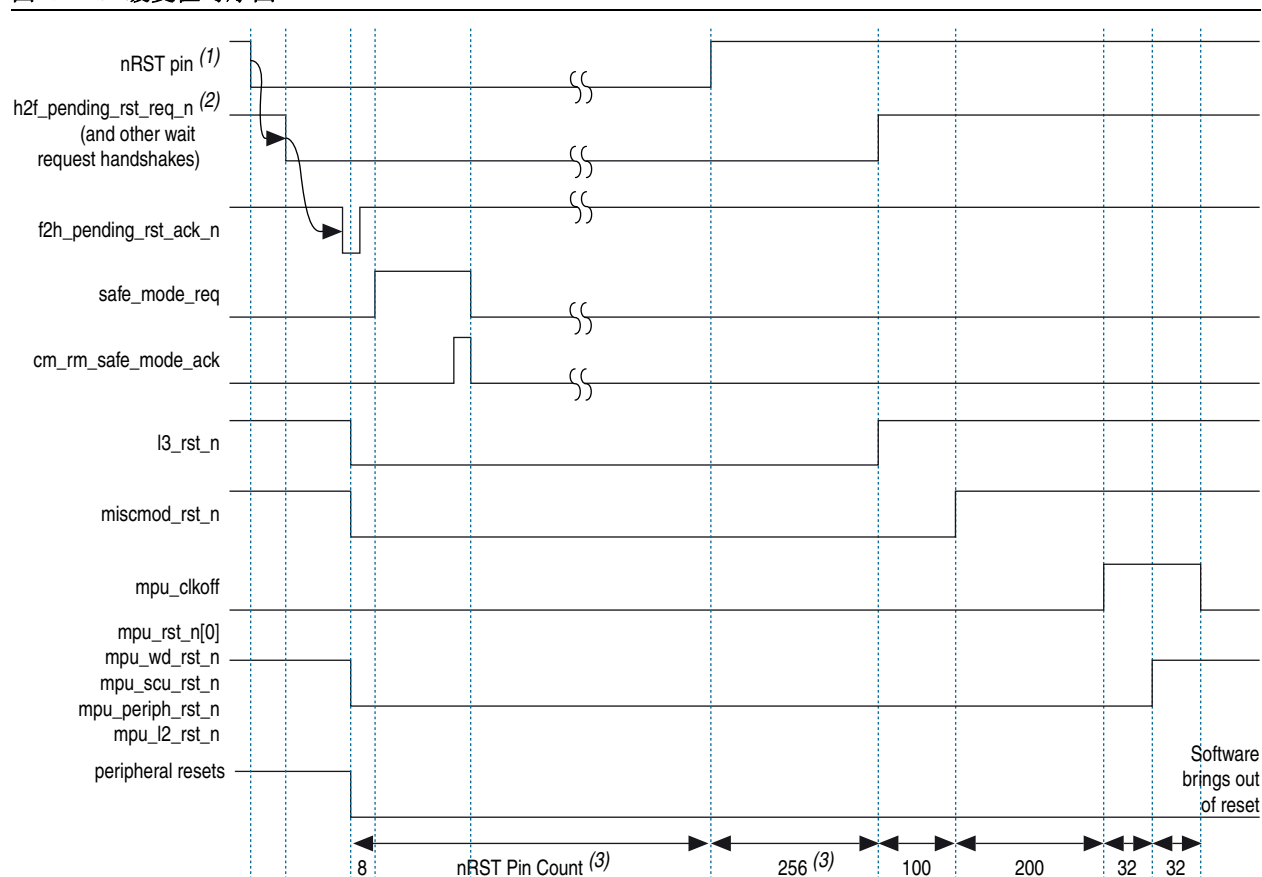


图 3-4 注释：

- (1) 暖复位可以从几个其它的资源启动。要了解完整列表，请参考 第 3-3 页面的“复位控制器”。
- (2) 要了解关于等待请求复位 handshaking 的更多信息，请参考 第 3-12 页面的“复位握手 (Handshaking)”。
- (3) 当 nRST Pin Count 是 0 时，256 个周期延伸数被跳过并且置低序列的开始由安全模式确认信号或释放暖复位按钮的用户决定（无论哪个先发生）。

冷和暖复位序列包含不同的复位置位序列和相同的置低序列。以下部分介绍序列。

## 冷复位置位序列

以下列表介绍图 3-3 中所示的冷复位的置位步骤：

1. 置位模块复位。
2. 等待 32 个周期。置低时钟管理器冷复位。
3. 等待 96 个周期（以便时钟可以稳定）。
4. 参考“冷和暖复位置低序列”。

## 暖复位置位序列

以下列表介绍了图 3-4 中所示的暖复位的置位步骤：

1. 选择性地，与嵌入式跟踪路由 (ETR) 握手并且等待确认信号 (acknowledge)。

2. 选择性地，与 FPGA 架构握手并且等待确认信号。
3. 选择性地，与 SDRAM 控制器、扫描管理器和 FPGA 管理器握手，并且等待确认信号。
4. 置位模块复位（除了 MPU 看门狗计时器是唯一请求资源时的 MPU 看门狗计时器复位以外）。
5. 等待 8 个周期并且发送一个安全模式请求到时钟管理器。
6. 等待超过 nRST Pin Count+ 256 个周期延伸数、或暖复位计数器、或时钟管理器安全模式确认信号，然后置低除暖复位 ETR 握手（由软件置低）以外的所有握手。
7. 请参考“冷和暖复位置低序列”。

### 冷和暖复位置低序列

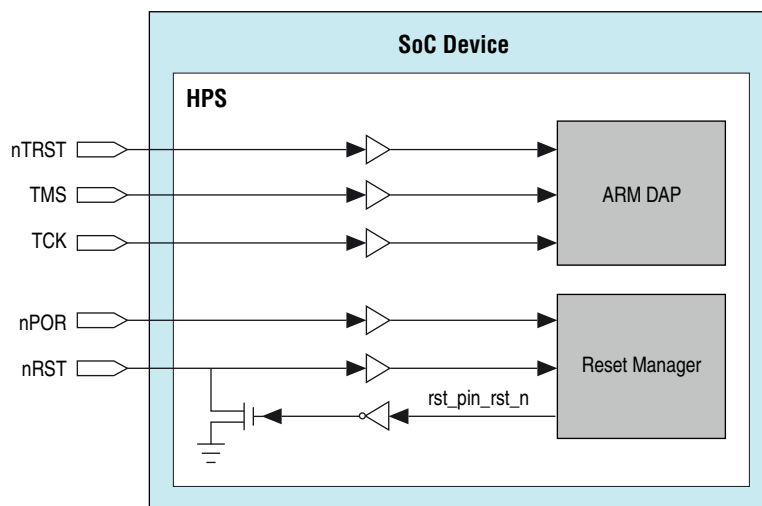
以下列表介绍图 3-3 和图 3-4 所示的冷和暖复位的置低步骤：

1. 置低 L3 复位。
2. 等待 100 个周期。对各种类型和调试（仅为冷）模块置低复位。
3. 等待 200 个周期。置位 CPU0 和 CPU1 的 mpu\_clkoff。
4. 等待 32 个周期。置低 MPU 模块的复位。
5. 等待 32 个周期。置低 CPU0 和 CPU1 的 mpu\_clkoff。
6. 外设仍保持复位直到软件使它们退出复位。

## 复位管脚

图 3-5 显示了与复位相关的所有 HPS 管脚。

图 3-5. 复位管脚



测试复位（nTRST）、测试模式选择（TMS）和测试时钟（TCK）管脚与 TAP 复位域相关联并且用于复位 DAP 中的 TAP 控制器。这些管脚没有连接到复位管理器。

nPOR 和 nRST 管脚分别用于请求冷和暖复位。nRST 管脚也是一个开漏输出。所有暖复位请求导致复位管理器驱动 rst\_pin\_rst\_n 信号输出为低电平，从而驱动 nRST 管脚为低电平。复位管理器拉低 nRST 所用时间由复位周期计数寄存器 (counts) 的 nRST 管脚数域 (pin count field)(nrstcnt) 控制。这一技术可以用于复位与 HPS 连接的外部器件（例如外部存储器）。

## 复位影响

以下列表介绍了复位如何影响 HPS 逻辑：

- TAP 复位域忽略暖复位。
- 调试复位域忽略暖复位。
- 系统复位域冷复位忽略暖复位。
- 每个模块单独地定义复位行为。



要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的单独章节。

## 改变暖复位系统响应

时钟管理器、系统管理器和复位管理器中的寄存器控制暖复位如何影响 HPS。您可以控制暖复位对时钟和 I/O 单元的影响。



Altera 强烈建议使用 Altera 提供的库来配置和控制该功能性。

默认的暖复位行为使所有时钟和 I/O 单元通过一个冷复位响应。如果软件变得更稳定或为了进行调试，那么可以改变暖复位的系统响应。以下建议提供改变暖复位系统响应的方法。控制这些项目的寄存器位都不受暖复位影响。

- 从片上 RAM 启动—从片上 RAM 而不是 boot ROM 使能暖启动。当使能时，boot ROM 代码验证 RAM 代码并且跳转到它，执行片上 RAM 用户代码之前对时钟或任何其它系统设置没有进行更改。
- 禁用暖复位的安全模式—支持软件在暖复位中跳转而无需影响时钟。因为 boot ROM 代码在暖复位后不直接配置时钟设置，当 HPS 没有从闪存器件启动时，Altera 建议仅禁用安全模式。
- 对于调试时钟，禁用暖复位的安全模式—防止调试时钟受到暖复位的安全模式请求的置位的影响。这一技术支持快速调试时钟（例如跟踪）继续在暖复位中运行。当使能时，时钟管理器使调试时钟处于安全频率以对暖复位的复位管理器的安全模式请求做出响应。只有当运行主 PLL VCO 的调试时钟并且确定主 PLL 不会受导致暖复位的事件影响时，才对调试时钟禁用暖复位的安全模式。
- 将 osc1\_clk 时钟用于调试控制—保持调试基时钟（主 PLL C2 输出）总是旁路到 osc1\_clk 外部时钟，与其它时钟管理器设置无关。当执行时，禁用调试时钟暖复位的安全模式不会产生影响。



要了解关于安全模式的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Clock Manager* 章节。

## 复位握手 (Handshaking)


复位管理器参加几个复位握手协议以确保其它的模块被安全地复位。

发出一个暖复位之前，复位管理器执行与几个模块的握手，以使它们能够准备暖复位。握手逻辑确保以下情况发生：

- ETR 主器件没有到 L3 互联的待定主传输
- 通过发出自刷新模式请求选择性地保留暖复位期间的 SDRAM 内容
- FPGA 管理器停止生成配置时钟
- 扫描管理器停止生成 JTAG 和 I/O 配置时钟
- 警告 FPGA 架构即将发生的暖复位

同样，与 ETR 相关联的握手逻辑也在调试复位期间发生以确保发出调试复位之前，ETR 主器件没有到 L3 互联的待定主传输。这一操作确保 ETR 处于调试复位时，复位对 ETR 的系统域部分没有负面影响。


## 复位管理器地址映射和寄存器定义

 地址映射和寄存器定义位于该器件手册卷附带的 [hps.html](#) 文件中。点击链接以打开文件。

要查看模块说明和基地址，请找到并点击以下任何模块实例的链接：

- **rstmgr**

要查看寄存器和域说明，请找到并点击寄存器名称。相对于每个模块实例的基地址，寄存器地址为偏移。

 所有模块的基地址也在 *Cyclone V 器件手册* 第 3 卷的 *Introduction to the Hard Processor System* 章节列出。

# 文档修订历史

表 3-4 显示了该文档的修订历史。

表 3-4. 文档修订历史

日期	版本	修订内容
2012 年 11 月	1.2	<ul style="list-style-type: none"><li>■ 添加了冷和暖复位时序机构图。</li><li>■ 少量文本修改。</li></ul>
2012 年 5 月	1.1	添加了复位控制器、功能说明、地址映射和寄存器定义部分。
2012 年 1 月	1.0	首次发布。

