

2013.05.06

CV-53003

✉ 订阅

💬 反馈

Altera所建议的复位流程确保每个收发器通道中的物理编码子层(PCS)和物理介质附加子层(PMA)均被初始化，并且能够正常运行。

相关链接

[Cyclone V器件手册: 已知问题](#)

列出了对Cyclone V器件手册章节规划的更新。

PHY IP嵌入式复位控制器

PHY IP中的嵌入式复位控制器确保能够对收发器物理编码子层(PCS)和物理介质附加子层(PMA)模块进行初始化。

要简化基于收发器的设计，嵌入式复位控制器提供了一个选择，它仅要求一个控制输入来实现自动复位流程。只有一个嵌入式复位控制器可用于PHY IP实例中的所有通道。

无论何时触发phy_mgmt_clk_reset信号，嵌入式复位控制器都将自动执行整个收发器的复位流程。如果是loss-of-link或者loss-of-data，那么嵌入式复位控制器置位相应的复位信号。您必须监控tx_ready和rx_ready信号。这两个状态信号高电平表明收发器不处于复位状态，并且为数据的传输和接收做好准备。

注意：在置低phy_mgmt_clk_reset以前或者置低phy_mgmt_clk_reset的同时，置低收发器重配置控制器的mgmt_rst_reset信号会启动校准。

注意：除了Native PHY IP核外，PHY IP嵌入式复位控制器信号在所有收发器PHY IP核中默认是使能的。

嵌入式复位控制器信号

下图显示了PHY IP实例中的嵌入式复位控制器和信号。使用嵌入式复位控制器时，这些信号对您的收发器进行复位。

© 2013 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008
Registered



图3-1: 嵌入式复位控制器

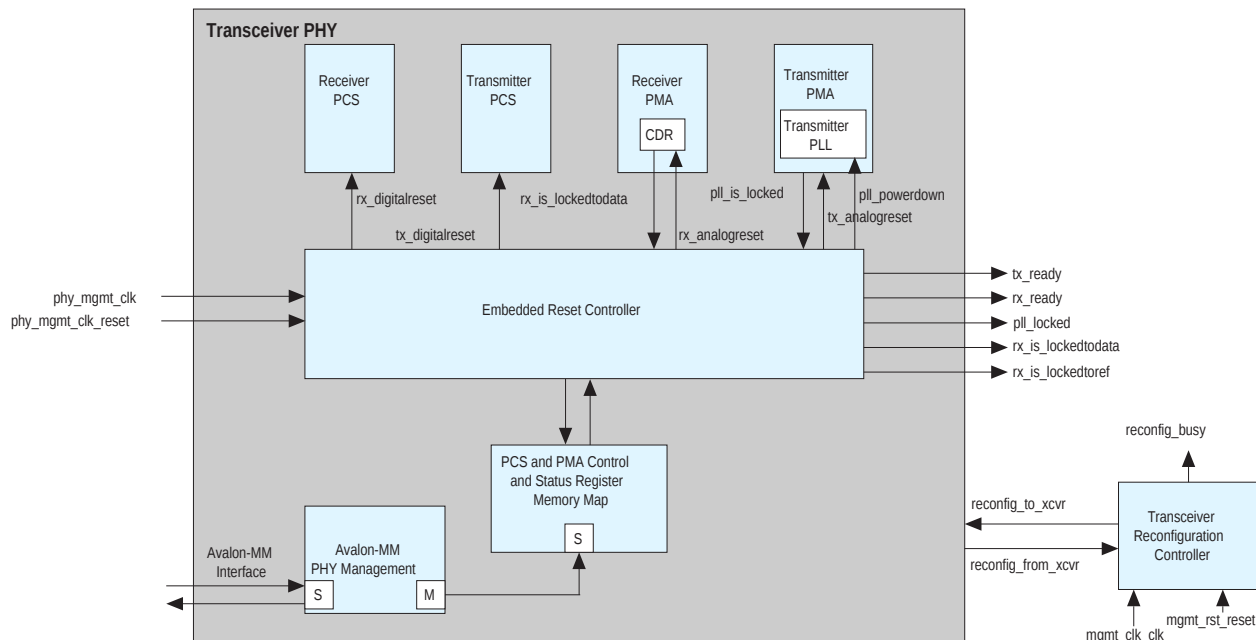


表3-1: 嵌入式复位控制器复位控制和状态信号

| 信号名称 | 信号 | 说明 |
|--------------------|------|--|
| phy_mgmt_clk | 控制输入 | 嵌入式复位控制器的时钟。 |
| phy_mgmt_clk_reset | 控制输入 | 这个异步复位信号一个高到低的跳变启动了自动复位流程控制。保持该信号的高电平以保持置位复位信号。 |
| tx_ready | 状态输出 | 该信号持续高电平表明发送器(TX)通道不处于复位状态, 并且准备好数据的传输。该信号同步于 phy_mgmt_clk。 |
| rx_ready | 状态输出 | 该信号持续高电平表明接收器(RX)通道不处于复位状态, 并且准备好数据的接收。该信号同步于 phy_mgmt_clk。 |
| reconfig_busy | 状态输出 | 收发器重配置控制器模块中的一个输出表明了动态重配置控制器的状态。上电后的第一个 mgmt_clk_clk 时钟周期, reconfig_busy 保持低电平。 该信号在第二个 mgmt_clk_clk 时钟周期中被置位, 以表明校准过程正在进行中。完成校准过程后, reconfig_busy 信号被置低。 在 Quartus® II 软件中, 通过 PHY IP 和收发器重配置控制器之间的 reconfig_to_xcvr 总线中嵌入信号, 该信号也被布线到嵌入式复位控制器。 |

| 信号名称 | 信号 | 说明 |
|--------------------|------|---|
| pll_locked | 状态输出 | 当TXPLL完成锁定到输入参考时钟时，该信号被置位。当此信号被置高时，嵌入式复位控制器置低tx_digitalreset信号。 |
| rx_is_lockedtodata | 状态输出 | 该信号是一个可选的输出状态信。置位信号时，此信号表明CDR被锁定到RX数据，并且CDR已经从lock-to-reference (LTR)修改为lock-to-data (LTD)模式。 |
| rx_is_lockedtoref | 状态输出 | 该信号是一个可选的输出状态信。置位信号时，此信号表明CDR被锁定到参考时钟。 |
| mgmt_clk_clk | 时钟 | 收发器重配置控制器的时钟。该时钟在释放mgmt_rst_reset之前必须是稳定的。 |
| mgmt_rst_reset | 复位 | 收发器重配置控制器的复位 |

在器件上电期间，使用PHY IP嵌入式复位控制器复位收发器

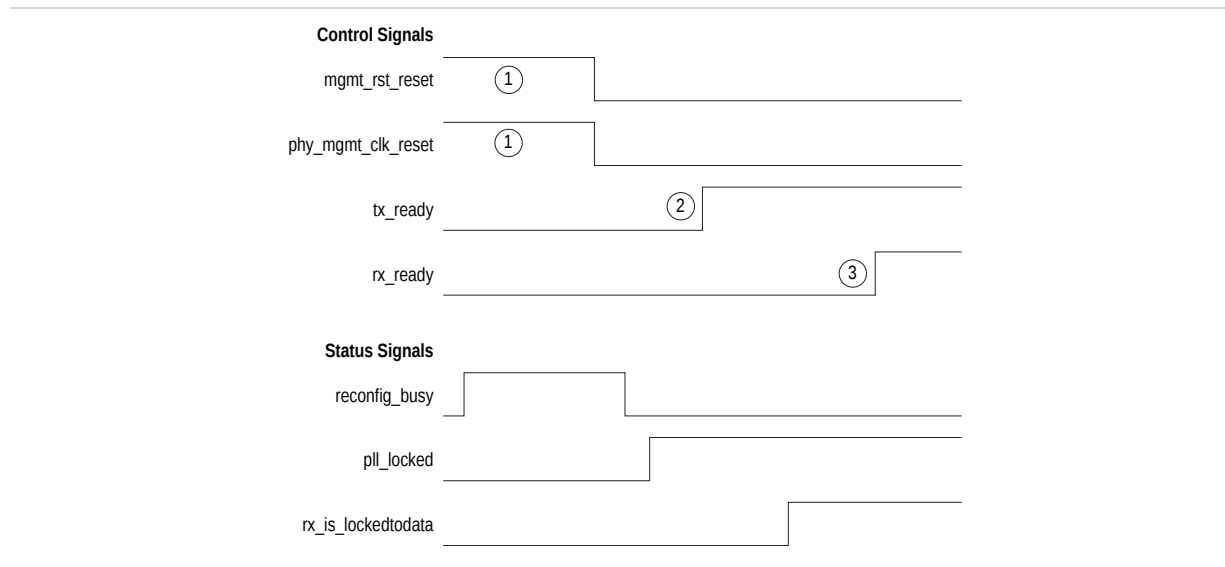
遵循这个复位流程以确保在初始上电后，可进行可靠的链路初始化。

下图中的数字编号与下列的编号列表相对应，它在器件上电期间将指导您的收发器复位流程。

1. 在器件上电期间， mgmt_rst_reset和 phy_mgmt_clk_reset必须被置位来初始化复位流程。phy_mgmt_clk_reset保持收发器模块处于复位状态，需要mgmt_rst_reset启动校准IP。这两个信号应该保持置位至少两个phy_mgmt_clk时钟周期。与mgmt_rst_reset同时，置低phy_mgmt_clk_reset。
2. 发送器校准和复位流程完成后， tx_ready状态信号被置位，并保持置位以表明发送器准备好发送数据。
3. 接收器校准和复位流程完成后， rx_ready状态信号被置位，并保持置位以表明接收器准备好接收数据。

注意： 如果tx_ready和rx_ready信号没有保持置位，那么无法成功地完成复位流程，并且链路将无法使用。

图3-2: 在器件上电期间，使用嵌入式复位控制器的复位流程时序图



在器件操作过程中，使用PHY IP嵌入式复位控制器复位收发器

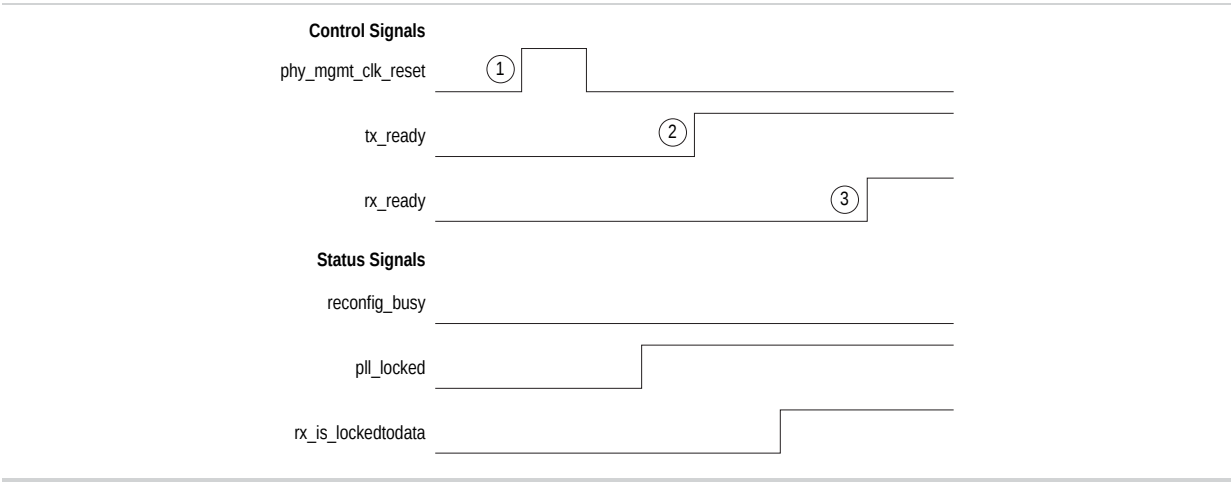
遵循这个复位流程以便在器件操作过程中复位整个收发器，或者经过一些动态重配置后，重新建立一个链路。

下图中的数字编号与下列的编号列表相对应，它在器件操作期间将指导您的收发器复位流程。

1. 置位 `phy_mgmt_clk_reset` 两个 `phy_mgmt_clk` 时钟周期以重新启动整个收发器复位流程。
2. 完成发送器复位流程后，`tx_ready` 状态信号被置位，并保持置位以表明发送器准备好发送数据。
3. 完成接收器复位流程后，`rx_ready` 状态信号被置位，并保持置位来表明接收器准备好接收数据。

注意：如果 `tx_ready` 和 `rx_ready` 信号没有保持置位，那么无法成功地完成复位流程，并且链路将无法使用。

图3-3: 器件操作期间使用嵌入式复位控制器的复位流程时序图



注意：在不重复整个复位流程的情况下，要分别复位发送器和接收器的模拟和数字模块，请使用Avalon存储器映射寄存器。

用户控制的复位控制器

如果禁用嵌入式复位控制器，那么必须实现外部的复位控制器逻辑(用户控制的复位控制器)来初始化收发器物理编码子层(PCS)和物理介质附加子层(PMA)模块。

可以使用下面其中一个方法来实现用户控制的复位控制器：

- 使用自身的verilog/vhdl代码来实现复位流程
- 使用Quartus II MegaWizard Plug-In Manager，它提供一个现成的复位控制器IP来放置您设计的verilog/vhdl代码

注意：在使用用户控制的复位控制器之前，必须禁用嵌入式复位控制器。

注意：嵌入式复位控制器仅能在非协议收发器PHY IP中被禁用，例如，custom PHY、low latency PHY和determinstic latency PHY。Native PHY IP没有嵌入式复位控制器，因此必须实现您自身的复位逻辑。

如果实现自己的复位控制器，请考虑下面几点：

- 用户控制的复位控制器必须为电平敏感(高电平有效)
- 用户控制的复位控制器不依赖`phy_mgmt_clk_reset`
- 必须对复位控制器逻辑提供一个时钟和复位
- PHY IP嵌入式复位控制器的内部信号被配置成端口
- 通过置位相应的复位控制信号，可保持收发器通道处于复位状态

相关链接

[Altera Transceiver PHY IP Core User Guide](#)中的"[Transceiver PHY Reset Controller IP Core](#)"章节。

有关收发器PHY复位控制器的信息。

用户控制的复位控制器信号

将下列图表中的信号与用户控制的复位控制器一起使用。

图3-4: 收发器PHY实例、收发器重配置控制器和用户控制的复位控制器之间的相互作用

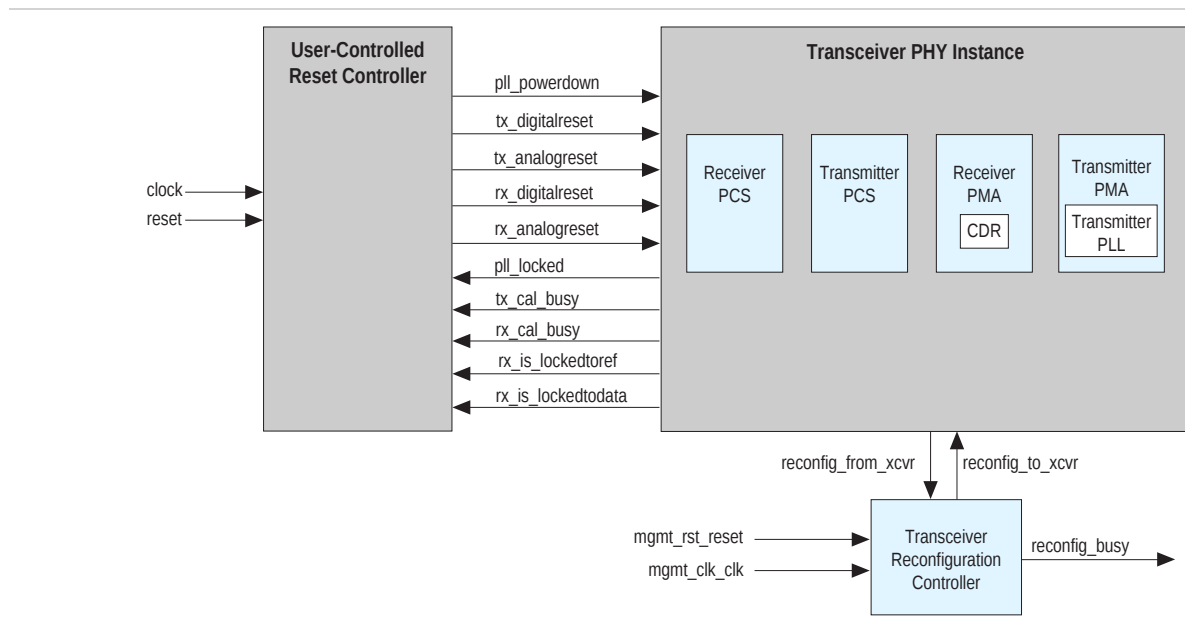


表3-2: 收发器PHY实例、收发器重配置控制器和用户控制的复位控制器使用的信号

| 信号名称 | 信号类型 | 说明 |
|-----------------|------|--|
| mgmt_clk_clk | 时钟 | 对收发器重配置控制器提供时钟。该时钟在释放 mgmt_rst_reset 之前必须稳定。 |
| mgmt_rst_reset | 复位 | 对收发器重配置控制器进行复位 |
| pll_powerdown | 控制 | 当置位高电平时，复位TX PLL |
| tx_analogreset | 控制 | 当置位高电平时，复位TX PMA |
| tx_digitalreset | 控制 | 当置位高电平时，复位TX PCS |
| rx_analogreset | 控制 | 当置位高电平时，复位RX PMA |
| rx_digitalreset | 控制 | 当置位高电平时，复位RX PCS |
| reconfig_busy | 状态 | 该信号高电平表明重配置是有效的 |
| tx_cal_busy | 状态 | 该信号高电平表明TX校准是有效的 |
| rx_cal_busy | 状态 | 该信号高电平表明RX校准是有效的 |

| 信号名称 | 信号类型 | 说明 |
|--------------------|------|-------------------------------|
| pll_locked | 状态 | 该信号高电平表明TX PLL被锁定 |
| rx_is_lockedtoref | 状态 | 该信号高电平表明RX CDR处在锁定到参考(LTR)模式中 |
| rx_is_lockedtodata | 状态 | 该信号高电平表明RXCDR处在锁定到数据(LTD)模式中 |

在器件上电期间，使用用户控制的复位控制器复位发送器

当设计用户控制的复位控制器以确保在初始上电后，可进行可靠的发送器初始化时，请遵照下面的复位流程。

图中的数字编号与下列的编号列表相对应，它在器件上电期间将指导您的发送器复位流程。

1. 要复位发送器，首先：
- 在初始上电时，置位mgmt_rst_reset来启动校准IP。保持mgmt_rst_reset有效至少两个复位控制器时钟周期。

• 在上电时置位并保持pll_powerdown、tx_analogreset和tx_digitalreset来复位发送器。可以与pll_powerdown同时置低tx_analogreset。
2. 发送器PLL锁定之后，pll_locked状态置位在t_{pll_lock}之后。
3. 完成发送器校准后，tx_cal_busy状态被置低。根据发送器的校准，这可能在置位pll_locked之前或之后发生。
4. 选通条件发生至少t_{tx_digitalreset}周期后，置低tx_digitalreset。选通条件如下：
- pll_powerdown被置低

• pll_locked被置位

• tx_cal_busy被置低

发送器不处于复位状态，并且准备好操作。

注意：在校准期间，当校准IP运行时，pll_locked可能置位或置低。

图3-5: 在器件上电期间，使用用户控制的复位控制器的发送器的复位流程时序图

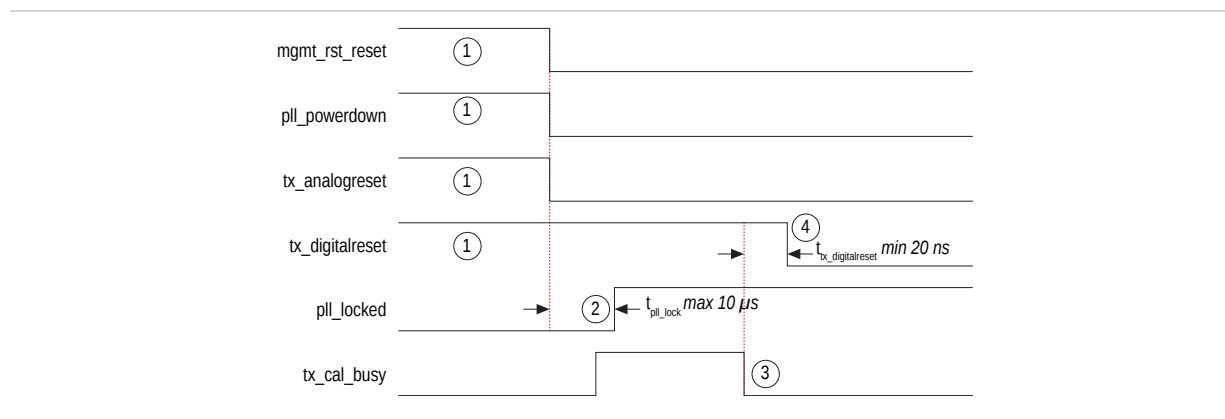


表3-3: 复位PLL、TX PMA和TX PCS的指南

| 要进行复位 | 必须复位 |
|--------|--|
| PLL | pll_powerdown tx_analogreset tx_digitalreset |
| TX PMA | tx_analogreset tx_digitalreset |
| TX PCS | tx_digitalreset |

在器件操作期间，使用用户控制的复位控制器复位发送器

如果想要在器件操作期间的任何时候，复位PLL，或者发送器的模拟或数字模块，请遵照这个复位流程。这对于重新建立一个链接或者完成某些动态重配置可能是必要的。

下图中的数字编号与下列的编号列表相对应，它在器件操作期间将指导您的发送器复位流程。

1. 复位发送器。

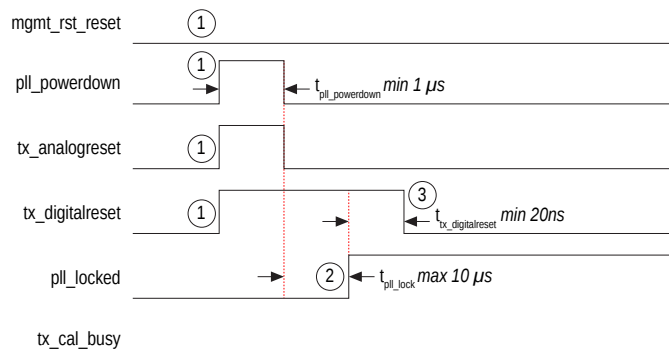
- 置位pll_powerdown、tx_analogreset和tx_digitalreset。每次pll_powerdown和tx_analogreset都必须被置位以复位PCS模块时，tx_digitalreset都必须被置位。
- 保持 pll_powerdown置位至少 $t_{\text{pll_powerdown}}$ 周期。
- 置低pll_powerdown的同时或之后，置低tx_analogreset。

2. 发送器PLL锁定后，pll_locked状态被置位在 $t_{\text{pll_lock}}$ 之后。锁定TX PLL时，pll_locked状态信号可能会翻转。它被置位在 $t_{\text{pll_lock}}$ 之后。

3. 在所有选通条件被移除后最低持续时间 $t_{\text{tx_digitalreset}}$ ，置低tx_digitalreset:

- pll_powerdown被置低
- pll_locked被置低

图3-6: 在器件操作期间，使用用户控制的复位控制器的发送器的复位流程时序图



在器件上电配置期间，使用用户控制的复位控制器复位收发器

遵照这个复位流程以确保在初始上电后，可进行可靠的接收器初始化。

下图中的数字编号与下列的编号列表相对应，它在器件上电期间将指导您的接收器复位流程。

1. 在上电置位mgmt_rst_reset启动校准IP。保持mgmt_rst_reset有效至少两个mgmt_clk_clock周期。在上电时保持rx_analogreset和rx_digitalreset有效以保持接收器处于复位状态。您可以在移除所有选通条件后置低它们。
2. 接收器校准完成后，rx_cal_busy状态被置低。
3. 置低rx_cal_busy后至少 $t_{rx_analogreset}$ 周期，置低rx_analogreset。
4. rx_is_lockedtodata是接收器CDR中的一个状态信号，表明CDR处于锁定到数据(LTD)模式。确保rx_is_lockedtodata被置位并且在置低rx_digitalreset之前，保持置位至少 t_{LTD} 周期。如果rx_is_lockedtodata被置位并发生翻转，那么在置低rx_digitalreset之前，必须等待另一个额外的 t_{LTD} 周期。
5. rx_is_lockedtodata保持置位至少 t_{LTD} 周期，置低rx_digitalreset。在置低rx_digitalreset之前，确保rx_analogreset和rx_cal_busy被置低。

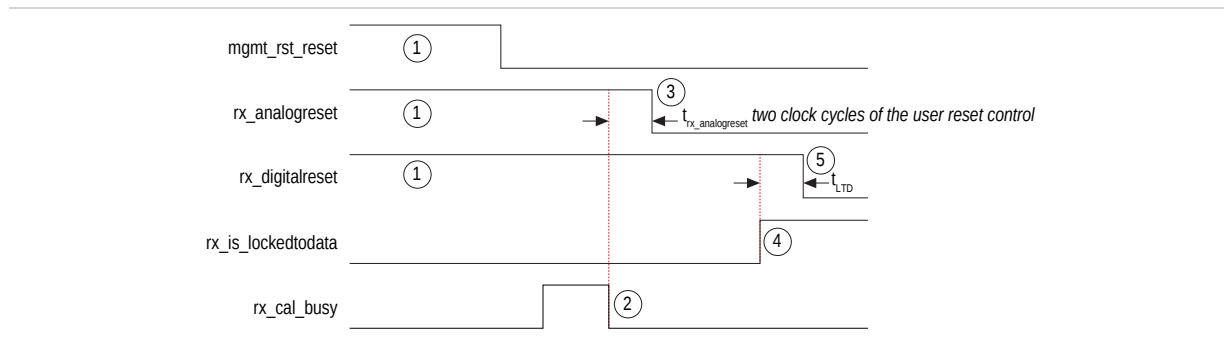
接收器现在不处于复位状态，并且准备好操作。

注意：在接收器输入中没有数据时，rx_is_lockedtodata可能会翻转。

注意：置位rx_is_lockedtodata时，不需要关心rx_is_lockedtoref。

注意：rx_digitalreset始终必须跟随rx_analogreset。

图3-7: 在器件上电期间，使用用户控制的复位控制器的接收器的复位流程时序图



相关链接

[Cyclone V器件中的收发器体系结构](#)

有关CDR锁定模式的信息。

在器件操作期间，使用用户控制的复位控制器复位接收器

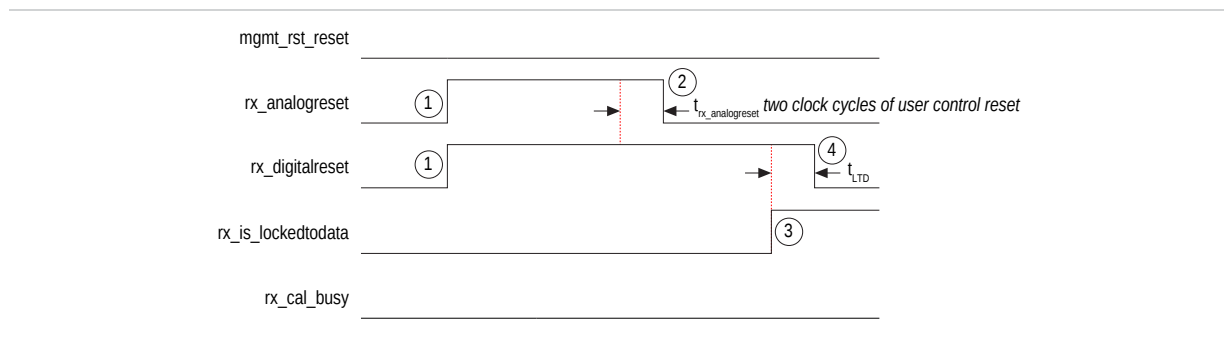
遵照这个复位流程在器件操作期间复位接收器的模拟或数字模块。这对于重新建立一个链接或者完成某些动态重配置后可能是必要的。

下图中的数字编号与下列的编号列表相对应，它在器件操作期间将指导您的接收器复位流程。

1. 单独置位`rx_analogreset`和`rx_digitalreset`。不过，每次`rx_analogreset`被置位后，必须置位`rx_digitalreset`以复位PCS模块。
2. 在40 ns ($t_{rx_analogreset}$)的最低时间后置低`rx_analogreset`。
3. `rx_is_lockedto data`是接收器CDR中的一个状态信号，表明CDR处于锁定到数据(LTD)模式。确保`rx_is_lockedto data`被置位，并且在置低`rx_digitalreset`之前保持置位状态。
4. 在`rx_is_lockedto data`保持置位后，至少 t_{LTD} 时间后，置低`rx_digitalreset`。确保`rx_analogreset`被置低。

注意：在接收器输入上没有数据时，`rx_is_lockedto data`可能会翻转。当置位`rx_is_lockedto data`时，不需要关心`rx_is_lockedto ref`。

图3-8: 在器件操作期间，使用用户控制的复位控制器复位接收器的流程时序图



相关链接
[Cyclone V器件中的收发器体系结构](#)
有关CDR锁定模式的信息。

使用Avalon存储器映射寄存器的收发器复位

可以使用PHY IP实例中的存储器映射寄存器来控制Avalon存储器映射接口的复位信号。
这分别为PLL、发送器和接收器的模拟和数字模块的复位提供了灵活性，而无需重复整个复位流程。

使用Avalon存储器映射寄存器的收发器复位控制信号

下表列出了CDR锁定模式和通道复位的存储器映射寄存器。 在PHY IP中使用存储器映射寄存器时，这些信号帮助您复位收发器。

表3-4: 使用存储器映射寄存器的收发器复位控制

| 寄存器名称 | 说明 |
|-----------------------|--|
| pma_rx_set_locktodata | 这个寄存器仅用于CDR手动锁定模式。将寄存器设置为高电平时，RX CDR PLL处于锁定到数据(LTD)模式。当两个寄存器使得CDR处于自动锁定模式时，此寄存器默认为低电平。 |
| pma_rx_set_locktoref | 该寄存器仅用于CDR手动锁定模式。将寄存器设置为高电平时，在没有置位pma_rx_set_lockedtodata的情况下，RX CDR PLL处于锁定到参考(LTR)模式。当两个寄存器使得CDR处于自动锁定模式时，此寄存器默认为低电平。 |
| reset_tx_digital | 将该寄存器设置为高电平时，每个通道的复位控制通过reset_ch_bitmask寄存器被使能后，tx_digitalreset信号在每个通道被置位。要置低tx_digitalreset信号，将reset_tx_digital寄存器设置为0。 |
| reset_rx_analog | 将该寄存器设置为高电平时，每个通道的复位控制通过reset_ch_bitmask寄存器被使能后，rx_analogreset信号在每个通道被置位。要置低rx_analogreset信号，将reset_rx_analog寄存器设置为0。 |
| reset_rx_digital | 将该寄存器设置为高电平时，每个通道的复位控制通过reset_ch_bitmask寄存器被使能后，rx_digitalreset信号在每个通道被置位。要置低rx_digitalreset信号，将reset_rx_digital寄存器设置为0。 |

| 寄存器名称 | 说明 |
|------------------|--|
| reset_ch_bitmask | 寄存器提供选项来使能或禁用PHYIP实例中的一些通道的复位控制。默认情况下，PHY IP实例中的所有通道的复位控制都被使能。 |
| pll_powerdown | 置位时，关闭TX锁相环(PLL)。 |

相关链接

[Altera Transceiver PHY IP Core User Guide](#)

有关寄存器地址的信息。

CDR在手动锁定模式中的复位流程

使用该模式来覆盖自动锁定模式中CDR操作默认的时序。默认情况下，CDR处于自动锁定模式中。

使能和控制手动锁定模式中的CDR的两个控制信号分别是rx_set_locktoref和rx_set_locktodata。

CDR在手动锁定模式中的控制设置

下面的控制信号在CDR处于手动锁定模式时，将帮助您复位收发器。

表3-5: CDR在手动锁定模式中的控制设置

| rx_set_locktoref | rx_set_locktodata | CDR锁定模式 |
|------------------|-------------------|--------------|
| 0 | 0 | 自动 |
| 1 | 0 | 手动RX CDR LTR |
| X | 1 | 手动RX CDR LTD |

CDR处于手动锁定模式时，复位收发器

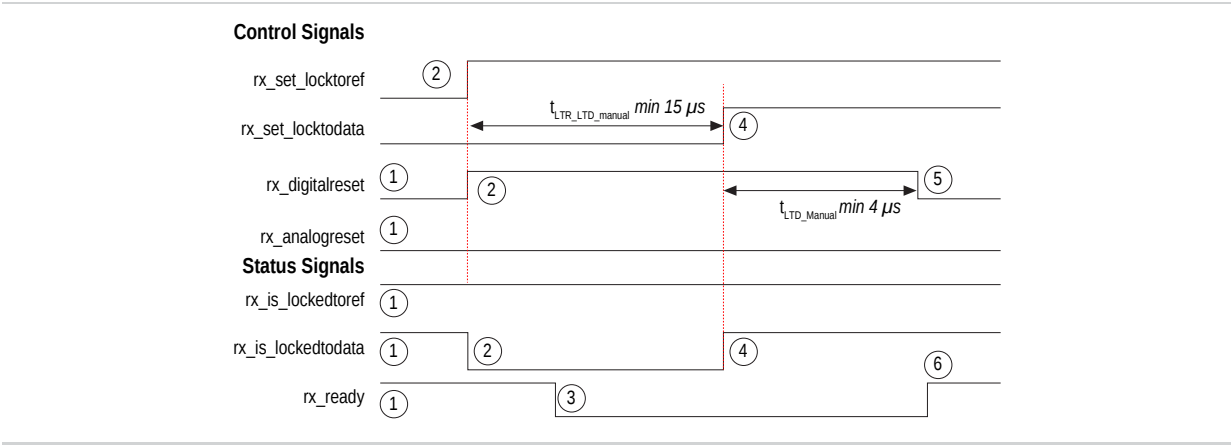
CDR处于手动锁定模式时，可按照这个流程来复位收发器。

下图中的数字编号与下列的编号列表相对应，它将指导完成以下步骤以便将CDR放置在手动锁定模式中。

1. 确保已经完成校准(rx_cal_busy处于低电平)，并且收发器遍历整个初始复位流程。
rx_digitalreset和rx_analogreset信号应该是低电平。不需要关心rx_is_lockedtoref，可以是高电平或者是低电平。rx_is_lockedtodata和rx_ready信号应该是高电平，表明收发器不处于复位状态。或者，完成校准后，可以使用手动锁定模式中的CDR直接开始。
2. 置位rx_set_locktoref信号为高电平，将CDR切换到lock-to-reference模式。
rx_is_lockedtodata状态信号被置低。如果使用用户控制的复位，那么与rx_set_lockedtoref被置位同时或之后，置位rx_digitalreset信号为高电平。当嵌入式复位控制器被使用时，rx_digitalreset被自动置位。
3. 置位rx_digitalreset信号后，rx_ready状态信号被置低。

- 4. 在 t_{LTD_manual} 后，置高`rx_set_locktodata`信号，将CDR切换到lock-to-data模式。
`rx_is_lockedtodata`状态信号被置位。`rx_is_lockedtoref`状态信号可以是高电平或是低电平，也可以被忽略。
- 5. t_{LTD_Manual} 后，置低`rx_digitalreset`信号。
- 6. 置低`rx_digitalreset`信号后，如果使用嵌入式复位控制器，那么`rx_ready`状态信号被置位，表明接收器已准备好使用手动模式中的CDR接收数据。

图3-9: CDR处在手动锁定模式时，收发器的复位流程时序图



在动态重配置期间复位收发器

在动态重配置期间，收发器要求复位，除了在PMA模拟控制重配置模式中。

一般来说，动态重配置收发器时，可按照这些指南：

- 1. 动态重配置开始之前，保持目标通道和PLL处在复位状态。
- 2. 完成动态重配置后，根据需要重复该流程，这由`reconfig_busy`、`tx_cal_busy`、`rx_cal_busy`信号的置低来指示。

在器件操作期间要求发送器占空比失真校准的动态重配置的指南

如果在器件操作期间，要求发送器占空比失真校准，请确保遵照收发器动态重配置的通用指南。此外，使用下面的建议：

- 1. 不要将`tx_cal_busy`连接到收发器复位控制器IP。
- 2. 禁用嵌入式复位控制器，并使用一个外部复位控制器。

注意：如果在TX DCD校准之前要求通道重配置，请确保下面的条件：

- TX PLL、TX通道和收发器重配置控制器模块在TX DCD校准期间必须不能处于复位状态。确保在TX DCD校准期间，下面的信号没有被置位：
 - pll_powerdown
 - tx_digitalreset
 - tx_analogreset
 - mgmt_rst_reset

完成TX DCD校准时，请重复该复位流程。

受复位和关电信号影响的收发器模块

下表列出了被指定的复位和关电信号所影响的模块。

表3-6: 受影响的收发器模块

| 收发器模块 | pll_powerdown | rx_digitalreset | rx_analogreset | tx_digitalreset | tx_analogreset |
|--------------|---------------|-----------------|----------------|-----------------|----------------|
| PLL | | | | | |
| CMU PLL | Yes | — | — | — | — |
| 接收器标准PCS | | | | | |
| 接收字对齐器 | — | Yes | — | — | — |
| 接收器去偏斜FIFO | — | Yes | — | — | — |
| 接收器速率匹配FIFO | — | Yes | — | — | — |
| 接收器8B/10B解码器 | — | Yes | — | — | — |
| 接收器字节解串器 | — | Yes | — | — | — |
| 接收器字节排序 | — | Yes | — | — | — |
| 接收器相位补偿FIFO | — | Yes | — | — | — |
| 接收器PMA | | | | | |
| 接收缓冲器 | — | — | Yes | — | — |

| 收发器模块 | pll_powerdown | rx_digitalreset | rx_analogreset | tx_digitalreset | tx_analogreset |
|-------------|---------------|-----------------|----------------|-----------------|----------------|
| 接收器CDR | — | — | Yes | — | — |
| 接收解串器 | — | — | Yes | — | — |
| 发送器标准PCS | | | | | |
| 发送器相位补偿FIFO | — | — | — | Yes | — |
| 字节串化器 | — | — | — | Yes | — |
| 8B/10B编码器 | — | — | — | Yes | — |
| 发送器Bit-Slip | — | — | — | Yes | — |
| 发送器PMA | | | | | |
| 发送器CGB | — | — | — | — | Yes |
| 串化器 | — | — | — | — | Yes |
| 发送缓冲器 | — | — | — | — | Yes |

收发器断电

要最大化节省功耗，可在不使用收发器的器件侧上的所有通道中使能PMA硬核断电。

收发器PMA的硬核断电粒度控制是以侧为单位。要在器件的左右侧使能PMA硬核断电，可将相应侧的收发器电源单独接地。

相关链接

[Cyclone V器件手册](#)

有关Cyclone V器件左右侧的收发器电源操作条件的信息。

文档修订历史

| 日期 | 版本 | 修订内容 |
|---------|------------|--|
| 2013年5月 | 2013.05.06 | <ul style="list-style-type: none"> 对器件操作过程中，需要TXDCD校准的动态重配置(Dynamic Reconfiguration)的指南进行了更新。 在知识库中添加了已知文档问题的链接。 |

| 日期 | 版本 | 修订内容 |
|----------|------------|--|
| 2012年11月 | 2012.11.19 | <ul style="list-style-type: none">• 重写和重组内容并更新模板。• 更新了复位流程。• 包括了器件操作过程中复位收发器的流程。 |
| 2011年11月 | 1.1 | <ul style="list-style-type: none">• 添加了“用户控制的复位控制器”部分。• 更新了图3 - 1和表3-1。 |
| 2011年8月 | 1.0 | 首次发布。 |