

2013.05.06

CV-53001



订阅



反馈

本章节介绍了 Cyclone® V收发器体系结构、时钟、通道、通道绑定以及发送器和接收器通道数据通路。

Altera® 28-nm Cyclone V器件提供了速率为3.125Gbps和6.144Gbps的最低功耗的收发器。这些收发器符合广泛的协议和数据速率标准；不过，6.144 Gbps仅支持公共无线电接口(CPRI)协议。

Cyclone V器件有多达12个串行数据速率在每秒614兆位(Mbps)和6.144 Gbps之间的收发器通道，并且含有背板兼容的收发器支持PCI Express® (PCIe®) Base Specification 2.0 Gen1和Gen2多达x4 bonded通道。

Cyclone V收发器通道是全双工和基于时钟数据恢复(CDR)，带有物理编码子层((PCS)以及物理介质附加子层((PMA)。

© 2014 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, ENPIRION, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

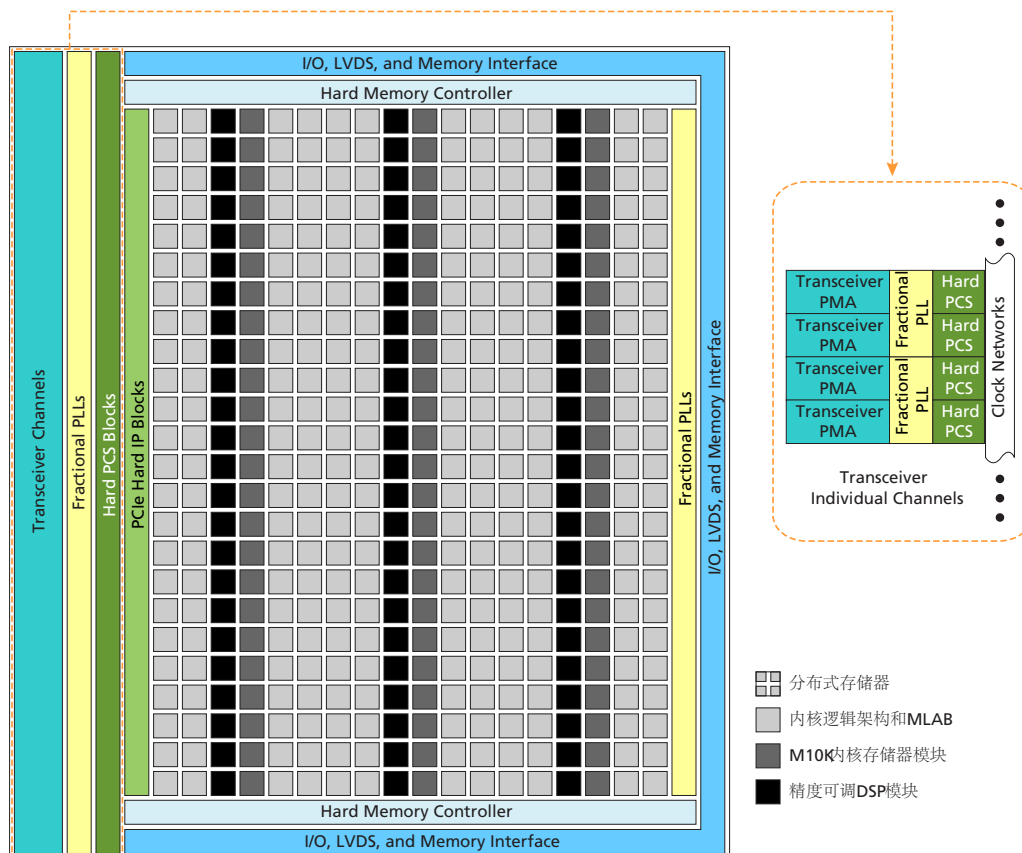
ISO
9001:2008
Registered



体系结构概述

图1-1: Cyclone V器件中收发器的基本布局

该图显示了Cyclone V器件的收发器。其它的Cyclone V器件可能有不同于这里显示的平面图。



Cyclone V器件中嵌入式高速时钟网络对收发器提供专用的时钟连接性。您也可以使用PMA和PCS之间的小数锁相环(fPLL)为收发器提供时钟。

Cyclone V器件的嵌入式PCIe硬核知识产权(IP)实现下面的PCIe协议栈:

- 物理层/介质访问控制(PHY/MAC)层
- 数据链路层
- 传输层

嵌入式硬核IP节约大量的FPGA资源、降低设计风险和节省完成时序收敛所需的时间。硬核IP符合Gen1和Gen2信号数据速率的PCIe Base Specification 2.0。

相关链接

- [Cyclone V器件手册: 已知问题](#)
列出了Cyclone V器件手册章节计划的更新。

- Cyclone V器件中的收发器时钟
- IP Compiler for PCI Express用户指南

收发器Bank

Cyclone V收发器每3个通道一个BANK。一些Cyclone V器件支持4个或5个收发器通道。

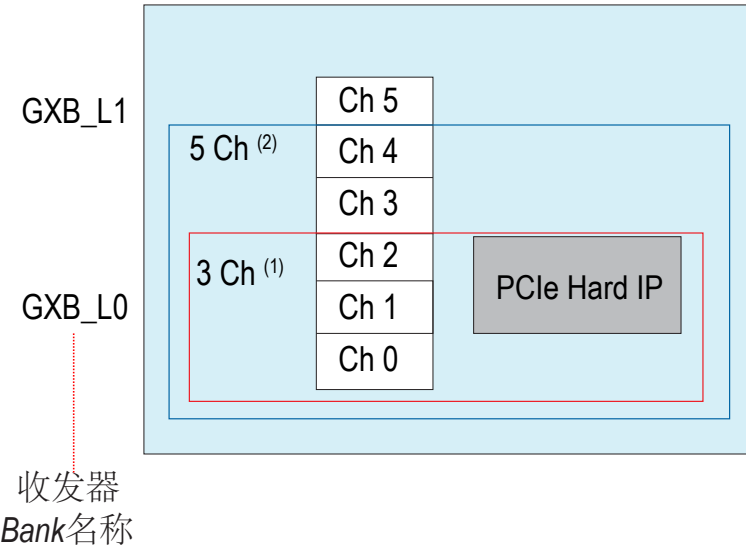
每个收发器bank由3个通道组成(ch 0、ch 1和ch 2， 或者ch 3、ch 4和ch 5)。Cyclone V器件系列总共有4个收发器bank (对于容量最大的系列)即名为: GXB_L0、GXB_L1、GXB_L2和GXB_L3。

收发器bank边界对于时钟资源、bonding通道和布线是很重要的。

在一些封装类型中，总收发器的数量减少了。

图1-2: 含有3个或5个收发器通道，以及1个PCIe HIP模块的GX/GT器件

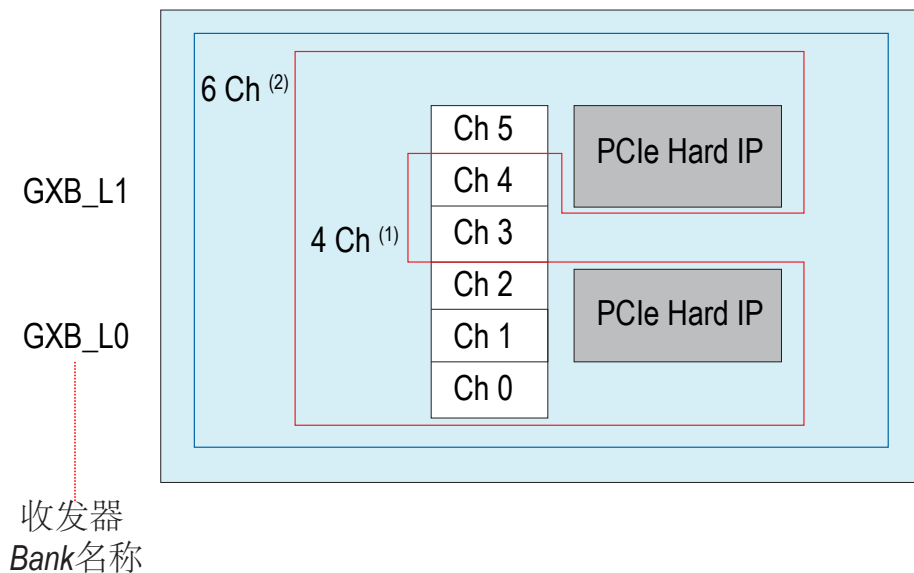
PCIe HIP模块位于bank GXB_L0的Ch 1和Ch 2中。



- 注释:
1. 3通道器件收发器通道位于bank L0。
 2. 5通道器件收发器通道位于bank L0以及bank L1的Ch 3和Ch 4上。

图1-3: 含有4个或6个收发器通道, 以及2个PCIe HIP模块的GX/GT器件

PCIe HIP模块位于bank GXB_L0的Ch 1和Ch 2, 以及bank GXB_L1的Ch 4和Ch 5中。

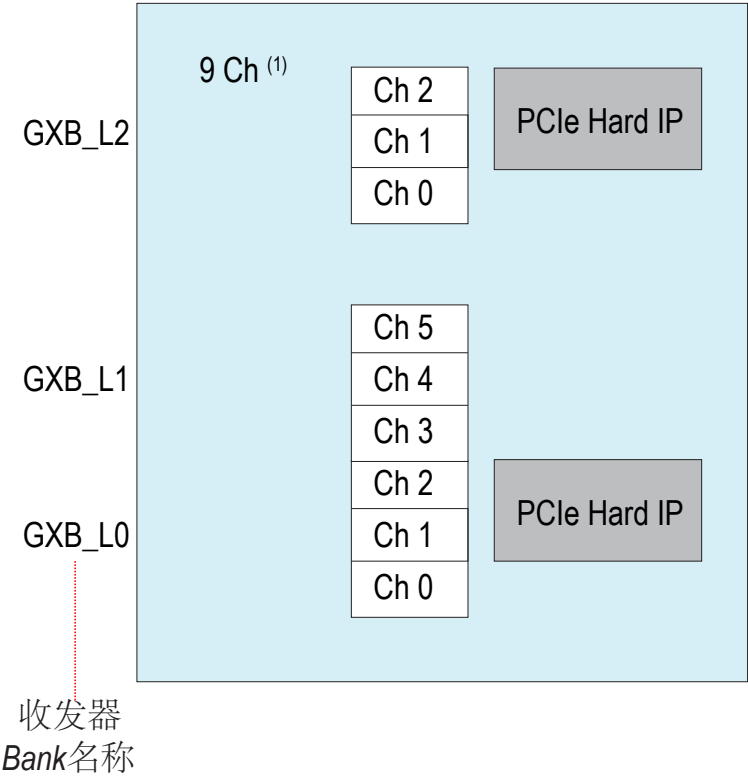


注释:

1. 4通道器件收发器通道位于bank L0和bank L1的Ch 5上。
2. 6通道器件收发器通道位于banks L0和L1上。

图1-4: 含有9个收发器通道和2个PCIe HIP模块的GX/GT/SX/ST器件

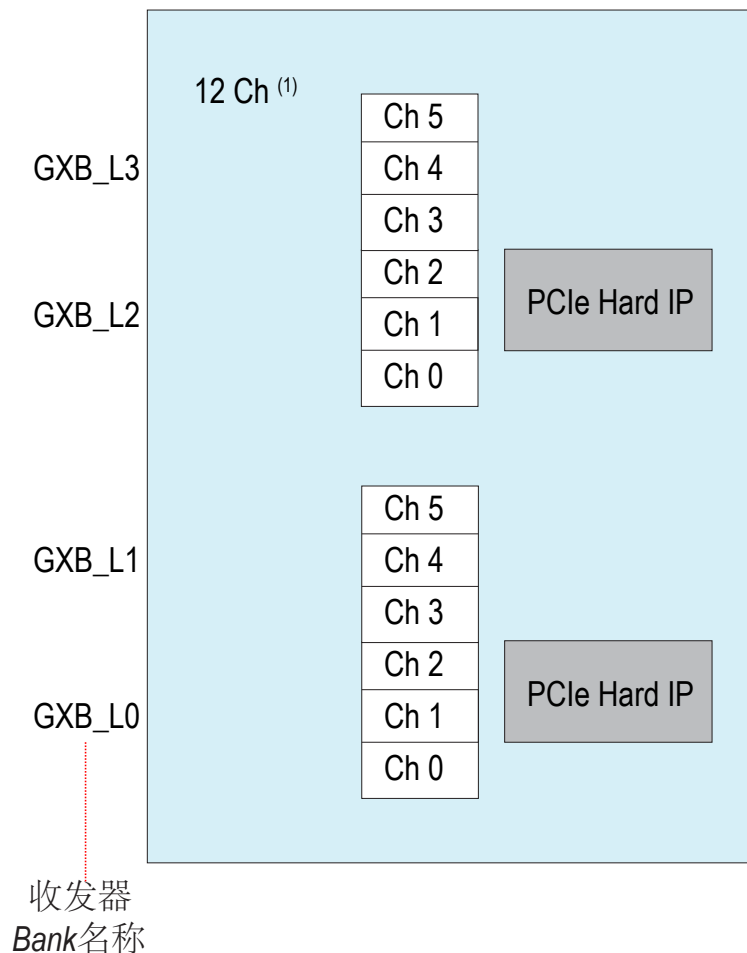
PCIe HIP模块位于bank GXB_L0的Ch 1和Ch 2，以及bank GXB_L2的Ch 1和Ch 2中。



注释：
1. 9通道器件收发器通道位于bank L0、L1和L2上。

图1-5: 含有12个收发器通道和2个Ple HIP模块的GX/GT器件

PCIe HIP模块位于bank GXB_L0的Ch 1和Ch 2, 以及bank GXB_L2的Ch 1和Ch 2中。

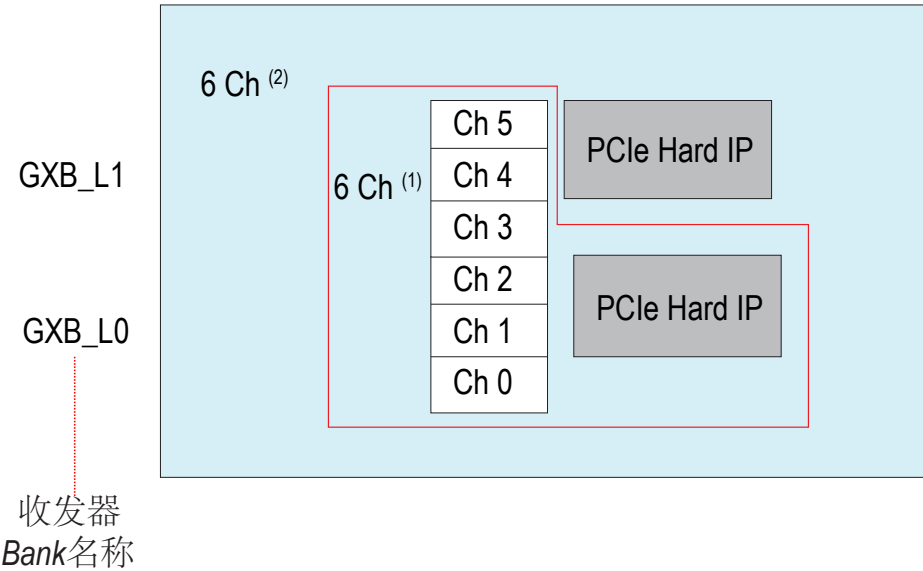


注释:

1. 12通道器件收发器通道位于bank L0、L1、L2和L3上。

图1-6: 6个收发器通道和2个PCIe HIP模块的SX器件

PCIe HIP模块位于GXB_L0的Ch 1和Ch 2，以及bank GXB_L1的Ch 4和Ch 5中。



注释：
1. 6个收发器通道和一个PCIe HIP模块。
2. 6个收发器通道和两个PCIe HIP 模块。

特定通道的使用限制

PCIe Hard IP模块旁边的通道用作6.144Gbps CPRI接口时时序不是最优的。避免将6.144 Gbps CPRI通道布局在受影响的通道。受影响的通道仍然可作为CMU用于提供CPRI通道的时钟。

表1-1: 器件系列中特定通道的使用限制

通道	通道Bank的位置	使用限制
Ch 1, Ch 2	GXB_L0	<ul style="list-style-type: none">不支持6.144Gbps CPRI接口不支持带寄存器模式FIFO的PCS
Ch 4, Ch 5	GXB_L1 ⁽¹⁾	
Ch 1, Ch 2	GXB_L2 ⁽¹⁾	

CycloneV GX收发器通道包含发送器和接收器，可以同时或者单独地进行操作—对高速串行接口提供全双工物理层的实现。

通道中的发送器和接收器被划分为PMA和PCS部分：

- PMA—将FPGA连接到串行传输介质，并将串行数据转换成并行数据，反之亦然。

⁽¹⁾ 仅在器件含有PCIe HIP模块位于该bank旁边时才会受到影响。

- PCS—为物理介质的传输准备并行数据或者使用硬核数字逻辑实现恢复原始数据。

6.144 Gbps CPRI在GT器件中支持的性能

可将Cyclone V GT器件配置成6.144 Gbps，仅支持CPRI协议。Cyclone V GT器件在每两个收发器bank中，可支持多达3个符合6.144 Gbps CPRI协议的全双工通道。收发器每3个通道一个BANK。

Altera建议将VCCE_GXBL和VCCL_GXBL增加至1.2 V的额定值，以符合6.144Gbps CPRI协议。

相关链接

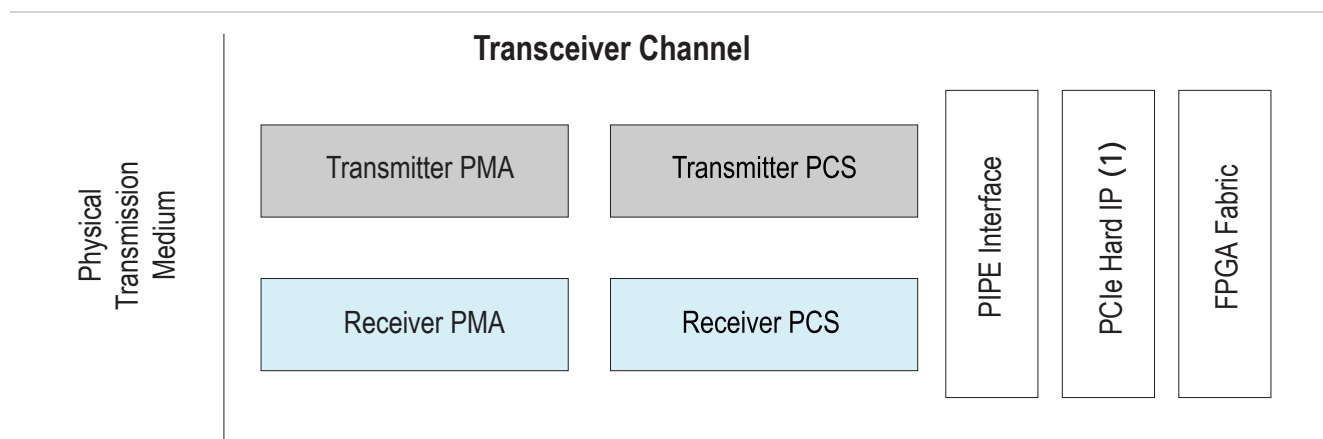
[Cyclone V器件中的收发器协议配置](#)

收发器通道体系结构

Cyclone V收发器通道支持用下面的方法来连接FPGA体系结构：

- 直接—旁路PCIe接口的PIPE接口和PCIe硬核IP模块
- 通过PIPE接口和PCIe硬核IP模块—用于PCIe协议堆栈的硬核IP实现(PHY/MAC、数据链路层和传输层)

图1-7: Cyclone V器件中的收发器通道模块结构图



注释：

1. 仅有某些收发器通道支持连接PCIe hard IP模块。

您可以绑定多个通道来实现多通道链接。

相关链接

[收发器Bank](#) (第1-3页)

PMA体系结构

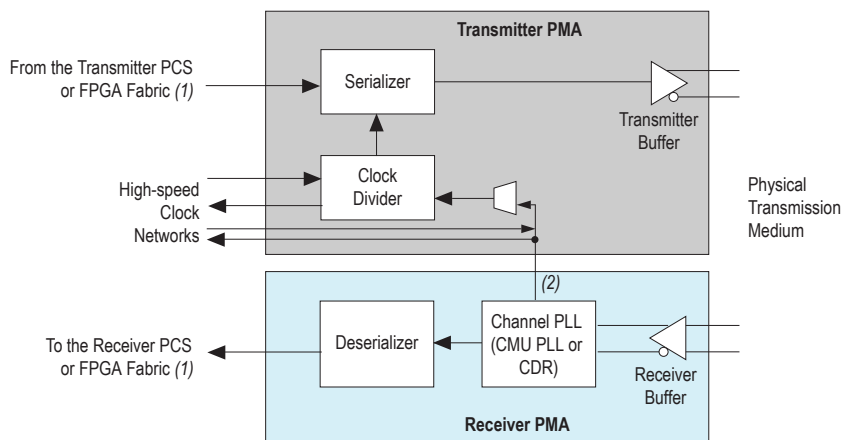
PMA包括发送器和收发器数据通路，时钟乘法器单元(CMU) PLL—在通道PLL中进行配置—以及时钟分频。PMA中的模拟电路和差分片上匹配(OCT)需要校准模块以补偿工艺、电压以及温度(PVT)的变化。

每个发送器通道含有一个时钟分频器。有两种类型的时钟分频，这取决于收发器bank中的通道位置：

- 通道0、2、3和5—本地时钟分频器
- 通道1和4—中央时钟分频器

使用时钟线和CMU PLL中的时钟，时钟分频器生成用于发送器的并行和串行时钟源，以及可选择用于接收器PCS的时钟。与本地时钟分频器相比，中央时钟分频器可以额外地连接用于绑定通道的时钟线。

图1-8: Cyclone V器件中的收发器通道的PMA结构图



注释：

1. 配置成CMU PLL时，通道PLL提供串行时钟。
2. 配置成CDR时，通道PLL恢复时钟和串行数据流。

相关链接

- [Altera收发器PHY IP Core用户指南](#)
- [IP Compiler for PCI Express用户指南](#)

发送器PMA数据通路

表1-2: 发送器PMA数据通路中的功能模块

模块	功能性
串化器	<ul style="list-style-type: none"> 将发送器PCS上的输入低速并行数据转换成高速串行数据，并首先将数据LSB发送到发送器缓存。 支持8-、10-、16-和20位的解串因子。 支持可选的极性倒转和位逆转功能。
发送器缓存	<ul style="list-style-type: none"> 1.5-V PCML输出缓冲器将高速串行数据作为传输到物理介质的条件。 可编程差分输出电压(VOD) 可编程预加重 可编程V_{CM}电流强度 可编程摆率 共模电压(TX V_{CM})的片上偏置 差分OCT (85、100、120和150 Ω) 发送器输出三态 接收器检测(用于PCIe接收器检测功能)

相关链接

[发送器缓存特性和性能](#) (第1-13页)

串化器

串化器将发送器PCS上的输入低速并行数据转换成高速串行数据，并将数据发送到发送器缓存。

串化器支持8、10、16和20位的串化因子。串化器模块首先发送输入数据的LSB。发送串行器也具有极性倒转和位逆转功能。

发送器极性倒转

串行差分链路的正负信号可能在电路板布局期间意外地进行交换。提供发送器极性倒转功能可以纠正这一情况，而无需要求电路板重新开发(e-spin)或者FPGA架构设计的更新。

tx_invpolarity端口上一个高电平对发送器数据通路中的串化器的输入数据字节的每个bit的极性进行倒转。因为对每个bit的极性进行倒转，与差分链的正负信号的交换有同样的效果，这样正确的数据才能被发送到接收器。动态tx_invpolarity信号可能会在8B/10B编码链的接收端导致初始差异错误。下游系统必须能够承受这些差异错误。

警告：如果在通过串化器字节的中间将极性倒转功能使能，那么可能损坏字节。

位逆转

您可以使用发送器上的位序逆转功能来逆转传输位排序以实现MSB-to-LSB排序。

表1-3: 位逆转功能

位逆转选项	传输位序	
	8-或者10位串化因子	16-或者20位串化因子
禁用(默认)	LSB到MSB	LSB到MSB
使能	MSB到LSB 例如: 8位—D[7:0]重连接成D[0:7] 10位—D[9:0]重连接成D[0:9]	MSB到LSB 例如: 16位—D[15:0]重连接成D[0:15] 20位—D[19:0]重连接成D[0:19]

发送器缓存

发送器缓存支持可编程模拟设置(差分输出电压和预加重)、共模电压(TX V_{CM})和OCT。

发送器缓存包括额外的电路来提高完整性，例如可编程差分输出电压(VOD)、可编程三阶预加重电路、内部匹配电路和PCIe接收器检测功能以支持PCIe配置。

修改发送输出缓冲器中的可编程值可以由整个FPGA的单一重配置控制器，或者多个重配置控制器(如果需要)来执行。在每个收发器bank(三收发器通道)中，最多可以支持一个重配置控制器。在每个收发器bank中，仅有一个从接口到所有PLL和PMA。因此，许多收发器bank可连接到单一重配置控制器中，但仅有一个重配置控制器可连接到收发器bank(三收发器通道)。

注意：每个收发器bank最多可以支持一个重配置控制器

图1-9: Cyclone V器件中的发送器缓存结构图

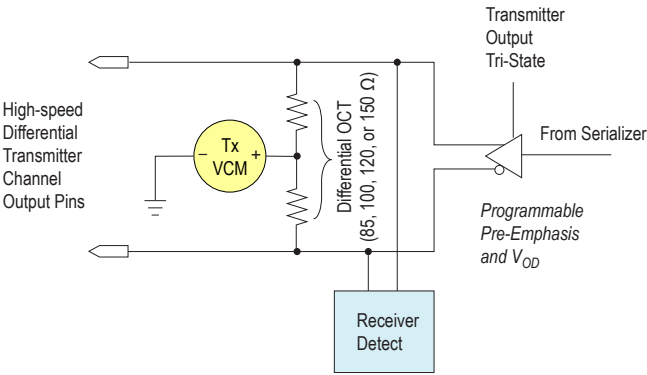


表1-4: 发送器缓存特性的说明

由伪电流模式逻辑(PCML)输出缓冲器提供的集成电路的特性。

种类	特性	说明
提高信号完整性	可编程差分输出电压(V_{OD})	控制信号振幅的电流模式驱动器，来处理不同的走线长度、各种背板和接收器要求。实际的 V_{OD} 电平是电流设置和发送器匹配值的函数。
	可编程预加重	提升了发送信号的高频分量，通过传输介质传播时，可能会有所衰减。物理传输介质在频率域中可被表示为低通滤波。信号频率响应的变化是由于衰减在接收端上显著地增加了数据相关抖动以及其它码间干扰(ISI)效应造成的。使用预加重功能以最大化远端接收器上的数据眼高。
	可编程摆率	对信号跳变的变化率进行控制。
节省电路板空间和成本	片上偏置	建立发送输出上所需的发送器共模电压($TX V_{CM}$)电平。只有使能了OCT，才能使用该电路。禁用OCT时，您必须实现片外偏置电路来建立所需的 $TX V_{CM}$ 电平。
	差分OCT	匹配阻值由校准电路来调整，它对PVT进行补偿。 可以禁用OCT，并使用外部匹配电阻。不过，您必须实现片外偏置电路来建立所需的 $TX V_{CM}$ 电平。使用外部匹配时， $TX V_{CM}$ 处于三态。
降低功耗	可编程 V_{CM} 电流强度	控制 V_{CM} 的阻抗。较高的阻抗设置降低了片上偏置电路中的电流消耗。
协议专用功能	发送器输出三态	使能发送器的差分对电压，使其保持在恒定电压状态(在 $TX V_{CM}$ 电平确定的相同值，其中发送器处于高阻抗状态)。 如Gen1和Gen2信号速率的PCI Express Base Specification 2.0所指定，该功能兼容于差分 and 共模电压电平以及发送器电路空闲中的操作时间要求。
	接收器检测	通过在PCIe链路训练与状态机(LTSSM)状态的检测状态的链路初始化期间，将一种模拟机制用于接收器检测序列，在发送器端上提供了对端链路检测功能。这一电路通过修改发送器共模电压来创建一个阶跃电压，并且测量电压上升时间来检测是否有一个接收器下游。 为了正常的功能，串行电容器(AC耦合链路)和接收器匹配值必须符合Gen1和Gen2信号速率的PCI Express Base Specification 2.0。电路通过fixedclk来提供时钟，并要求一个使能的发送器OCT，并且输出处于三态。

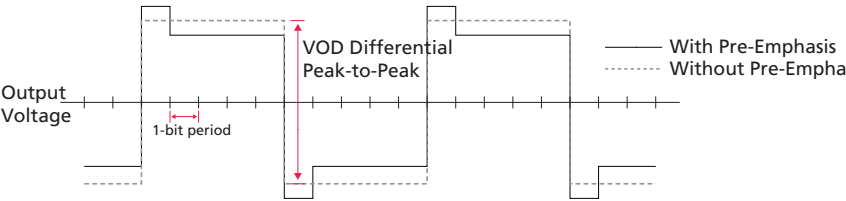
发送器缓存特性和性能

表1-5: 发送器缓存特性

特性	性能
可编程差分输出电压 (V _{OD})	高达1200 mV的差分峰-峰(peak-to-peak)输出电压
可编程预加重	支持第一个Updated the Post Tap Pre-emphasis的设置
共模电压(TXV _{CM})的片上偏置	0.65 V
差分OCT	85、100、120和150 Ω
发送器输出三态	如Gen1和Gen2信号速率的PCIe Base Specification 2.0的要求，支持发送器上的电路空闲功能
接收器检测	如Gen1和Gen2信号速率的PCIe Base Specification 2.0的要求，支持接收器检测功能

图1-10: 在发送器输出的信号上的预加重效应的实例

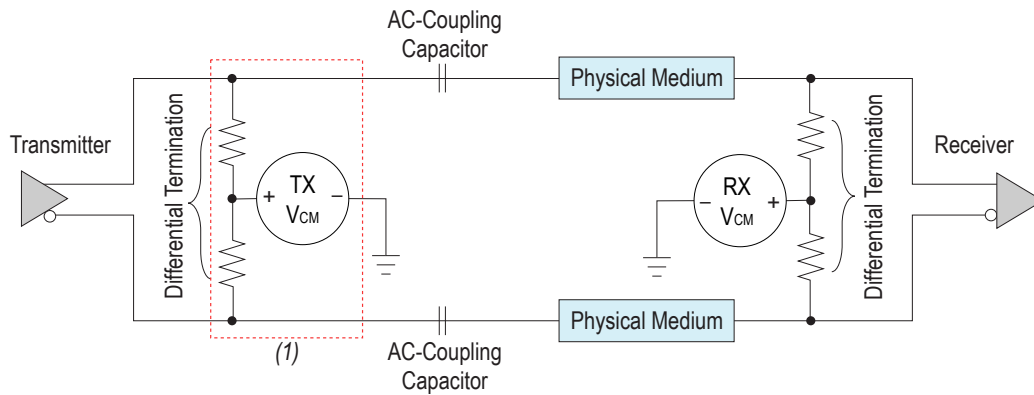
对于5个1和5个0的变化数据的3.125 Gbpd信号发送器输出上运用预加重和不运用预加重后抽头 (post-tap)的数据码型。



您可以AC耦合发送器到接收器。在AC耦合链路中，AC耦合电容阻挡发送器共模电压。在接收端，匹配和偏置电路恢复接收器要求的共模电压水平。

图1-11: 带有Cyclone V发送器的AC耦合链路

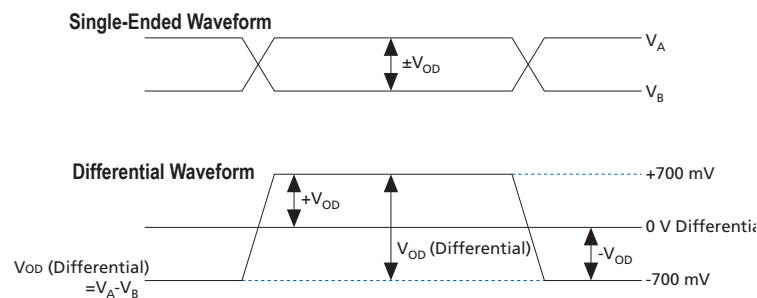
PCIe规范要求使能发送器OCT用于接收器检测操作。



注释:

1. 禁用OCT时，必须实现外部匹配和片外偏置电路来建立所需的TX V_{CM} 电平。

可编程发送器模拟设置

图1-12: V_{OD} (差分)信号电平

每个发送器缓存具有可编程预加重电路，它提升了发送数据信号中的高频分量，这在传输介质中可能会有所衰减。使用预加重可以最大限度地张开远端接收器的数据眼图。预加重电路提供了高达6 dB高频提升的一阶(post-tap)设置。

可编程发送器 V_{CM}

发送器缓存含有片上偏置电路，来建立发送器输出上所需的 V_{CM} 。该电路支持0.65 V的 V_{CM} 设置。

注意：片上偏置电路仅在选择其中一个匹配逻辑选项以便配置OCT才适用。如果选择外部匹配，则必须实现片外偏置电路来建立发送器输出缓冲上的 V_{CM} 。

可编程发送器差分OCT

发送器缓存支持可选的85、100、120和150 Ω 的差分OCT电阻。该电阻在校准期间由片上校准电路进行调整，以补偿PVT的变化。发送器缓存是电流模式驱动程序。因此，产生的 V_{OD} 是发送器匹配值的一个函数。

发送器协议指定

在发送器PMA部分中有两个PCIe功能—接收器检测和电路空闲。

- PCIe接收器检测—发送器缓存含有一个内置接收器检测电路用于Gen1和Gen2数据速率的PCIe配置。该电路通过在发送器的共模上发出一个脉冲，并且监控反射来检测是否有一个接收器下游。
- PCIe电路空闲—发送器输出缓冲器支持PCIe电路空闲的传输(或者单独的发送器三态)。

相关链接

[Altera收发器PHY IP Core用户指南](#)

接收器PMA数据通路

接收器PMA数据通路中有三个模块—接收器缓存、配置为时钟数据恢复(CDR)的通道PLL以及解串器。

表1-6: 接收器PMA数据通路中的功能模块

模块	功能性
接收器缓存	<ul style="list-style-type: none">• 接收串行数据流，并且在通道PLL配置为CDR时，将该数据流连接到通道PLL• 支持下面的特性：<ul style="list-style-type: none">• 可编程CTLE(连续时间线性均衡)• 可编程DC增益• 可编程V_{CM} 电流强度• 共模电压(RX V_{CM})的片上偏置• I/O标准 (1.5 V PCML、2.5 V PCML、LVDS、LVPECL)• 差分OCT (85、100、120和150 Ω)• 信号检测
通道PLL	<ul style="list-style-type: none">• 如果将通道PLL配置为CDR时，则恢复时钟和串行数据流。• 需要偏移校准来校准模拟偏移电压。• 如果没有将通道PLL用作CDR，那么可将通道PLL配置为CMU PLL用于提供收发器的时钟。
解串器	<ul style="list-style-type: none">• 将接收器缓存中的输入高速串行数据转换成低速并行数据用于接收器PCS。• LSB-to-MSB序列的接收串行数据。• 支持8-、10-、16-和20位的解串因子。• 支持可选的clock-slip功能，用于具要求严格的延迟不确定性的应用。

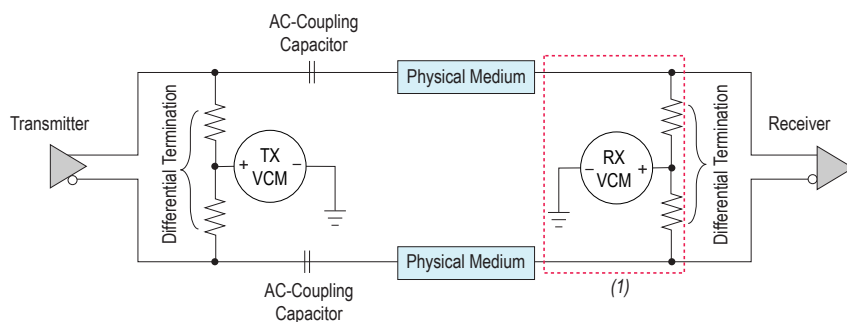
接收器缓存

表1-7: Cyclone接收器缓存特性

类别	特性	说明
提高信号完整性	可编程连续时间线性均衡(CTLE)	提升了接收信号的高频分量，通过传输介质传播时，可能会有所衰减。物理传输介质在频率域中可被表示为低通滤波。衰减引起的频率响应的变化导致了数据相关抖动以及其它的ISI效应—造成对接收器上输入数据的错误采样。接收器上所需的高频提升分量来克服信号衰减取决于物理介质的损耗特性。
	可编程DC增益	对整个频谱中的接收信号提供均等提升。
节省电路板空间和成本	片上偏置	建立接收器输入上所需的接收器共模电压($RX V_{CM}$)电平。只有使能了OCT，才能使用电路。禁用OCT时，您必须实现片外偏置电路来建立所需的 $RX V_{CM}$ 电平。
	差分OCT	匹配电阻由校准电路进行调整，以补偿PVT的变化。您可以禁用OCT并使用外部匹配。不过，您必须实现片外偏置电路来建立所需的 $RX V_{CM}$ 电平。使用外部匹配时， $RX V_{CM}$ 处于三态。
降低功耗	可编程 V_{CM} 电流强度	控制 V_{CM} 的阻抗。较高的阻抗设置降低了片上偏置电路中的电流消耗。
协议专用功能	信号检测	<p>检测接收器输入上出现的信号电平是否高于或低于指定的阈值电压。检测电路有一个滞后响应，它仅在检测到数据脉冲的数量超过阈值电压时，才置位状态信号，并且在检测到数个恢复并行时钟周期数量的低于阈值电压的信号时，才置低状态信号。该电路要求输入数据流为8B/10B编码。</p> <p>信号检测符合阈值电压以及Gen1和Gen2信号速率的PCI Express Base Specification 2.0电路空闲检测条件的检测时间要求。信号检测也符合支持高达3 Gbps的SATA/SAS协议。</p>

您可以AC耦合接收器到发送器。在AC耦合链路中，AC耦合电容器会阻挡发送器共模电压。在接收端，匹配和偏置电路恢复接收器所需的共模电压。

图1-13: 带有Cyclone V接收器的AC耦合链路



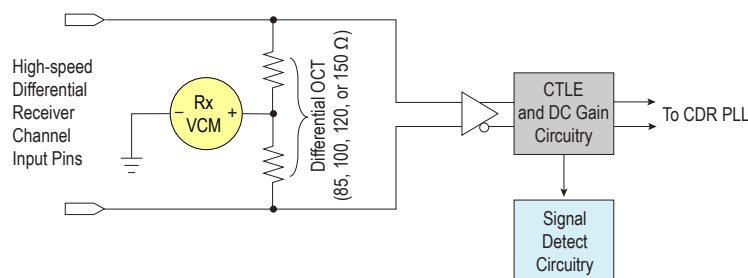
注释:

1. 禁用OCT时，必须实现外部匹配和片外偏置电路来建立所需的RX V_{CM} 电平。

接收器缓存支持可编程模拟设置(CTLE和DC增益)、可编程共模电压(RX V_{CM})、OCT和信号检测功能。

接收器输入缓冲接收来自高速差分接收通道输入管脚的串行数据，并将其连接到配置为CDR的通道PLL。

图1-14: Cyclone V器件中的接收器缓存结构图



修改接收器输入缓冲中可编程的值，可由整个FPGA的一个重配置控制器或者多个重配置控制器(如是需要)来执行。在每个收发器bank中(三收发器通道)最多支持一个重配置控制器。在每个收发器bank中，仅有一个从接口到所有的PLL和PMA。因此，多个收发器bank可以连接到一个重配置控制器，但仅有一个重配置控制器可以连接到收发器bank (三收发器通道)。

注意：每个收发器bank中最多支持一个重配置控制器。

可编程CTLE和DC增益

每个接收器缓存具有一阶(single-tap)可编程均衡电路，它提升输入信号的高频增益，从而对物理介质的低通滤波效应进行补偿。所要求的高频增益量取决于物理介质的损耗特性。均衡电路提供高达4 dB的高频增益提升。

每个接收器缓存也支持可编程DC增益电路，它对整个频谱中的输入信号提供均等提升。DC增益电路提供高达3 dB的增益设置。

可编程接收器 V_{CM}

接收器缓存含有片上偏置电路来建立接收器输入上所需的 V_{CM} 。该电路支持0.8 V的 V_{CM} 设置。

片上偏置电路仅在选择其中一个匹配逻辑选项以便配置OCT才适用。如果选择外部匹配，则必须实现片外偏置电路来建立接收器输入缓冲上的 V_{CM} 。

可编程接收器差分片上匹配

接收器缓存支持可选的85、100、120和150 Ω 的差分OCT电阻。该电阻在校准期间由片上校准电路进行调整，以补偿PVT的变化。

信号阈值检测电路

在PCIe和SATA/SAS配置中，将会使能信号阈值检测电路以便检测出现的输入信号。

该信号阈值感检测电路感测接收器输入缓冲上出现的信号电平是否高于指定的信号检测阈值电压。

解串器

解串器模块使用高速恢复时钟同步接收器缓存中的串行输入数据，并且使用低速并行恢复时钟解串数据。该解串器将解串的数据发送到接收器PCS。

解串器支持8、10、16和20位的解串因子。

图1-15: 使用一个10位解串因子的解串器

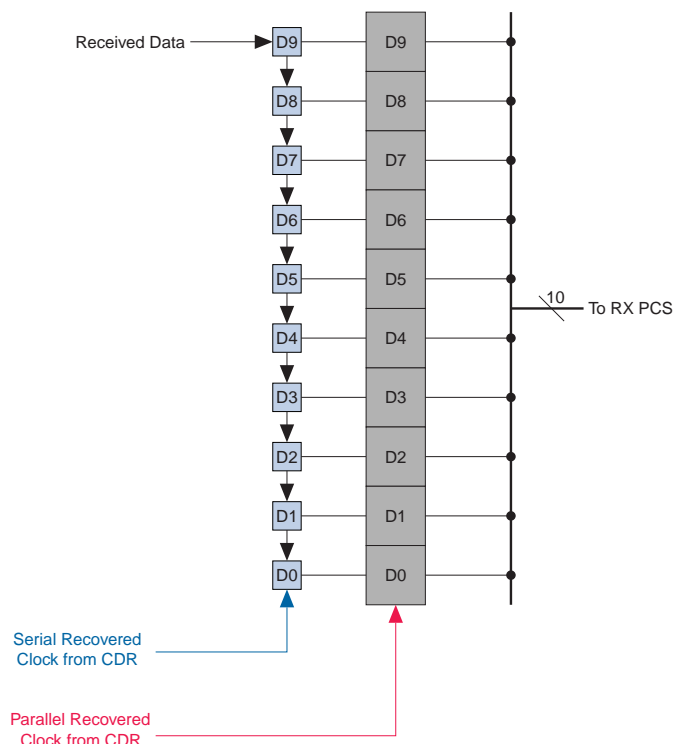
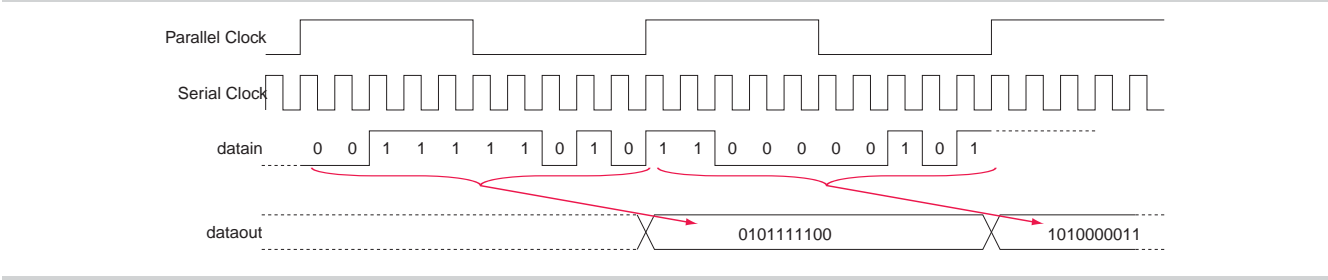


图1-16: 使用一个10位解串因子的解串器位序

串行流(0101111100)被解串成10'h17C值。串行数据从LSB到MSB进行接收。



Clock-slip

PCS中的字节对齐可能产生多达一个并行时钟周期的延迟不确定性。该clock-slip功能通过执行解串器中的字节对齐功能，支持降低的延迟不确定性的字节对齐操作。将clockslip功能用于要求确定性延迟的应用中。

PCS中的字对齐器的确定性延迟状态机自动控制clock-slip操作。完成clock-slip操作后，解串的数据字被字节对齐到接收器PCS。

发送器PLL

在Cyclone VGX/GT/SX/ST器件中，有两种发送器PLL资源：CMU PLL (通道PLL)和fPLL。通道PLL可作为CMU PLL使用，或者作为时钟数据恢复(CDR) PLL使用，为收发器提供时钟。

注意：Cyclone V收发器通道支持全双工操作。CMU PLL由通道PLL的通道1或4提供。

表1-8: 发送器PLL性能和可用性

发送器PLL	串行数据范围	可用性
CMU PLL	0.611 Gbps到6.144 Gbps	不作为接收器CDR使用时每个通道均可用
fPLL	0.611 Gbps到3.125 Gbps	每个收发器bank可以使用两个

相关链接
[Cyclone V器件中的收发器时钟](#)

通道PLL体系结构

在LTR模式中，通道PLL跟踪输入参考时钟。PFD对压控振荡器(VCO)的输出和输入参考时钟的相位和频率进行比较。产生的PFD输出使用给定的输入参考时钟频率计算响应的M或者L，将VCO输出频率控制为半倍数据速率。锁定检测确定PLL是否已经实现对输入参考时钟的相位和频率的锁定。

在LTD模式中，通道PLL跟踪输入串行数据。相位检测器对VCO输出和输入串行数据的相位进行比较。产生的相位检测器输出控制VCO的输出以便持续地匹配输入串行数据的相位。

通道PLL支持LTR或者LTD模式中的操作。

注意：只有在通道PLL配置成CDR PLL时，才使用LTR/LTD控制器。

表1-9: 通道PLL计数器

Quartus® II软件对每种收发器配置自动选择相应的计数器值。

计数器	说明	值
N	预缩放计数器使用因数N对PFD的输入参考时钟频率进行分频	1, 2, 4, 8
M	反馈环路计数器使用因数M对PFD的输入参考频率以上的VCO频率进行倍频	1, 4, 5, 8, 10, 12, 16, 20, 25
L (PFD)	VCO后端缩放计数器在LTR环路中使用因数L对VCO输出频率进行分频	1, 2, 4, 8
L (PD)	VCO后端缩放计数器在LTD环路中使用因数L对VCO输出频率进行分频	1, 2, 4, 8

通道PLL作为CDR PLL

当配置成接收器CDR时，每个通道PLL独立地从输入串行数据中恢复时钟。恢复的串行和并行时钟用于对接收器PMA和PCS模块提供时钟。

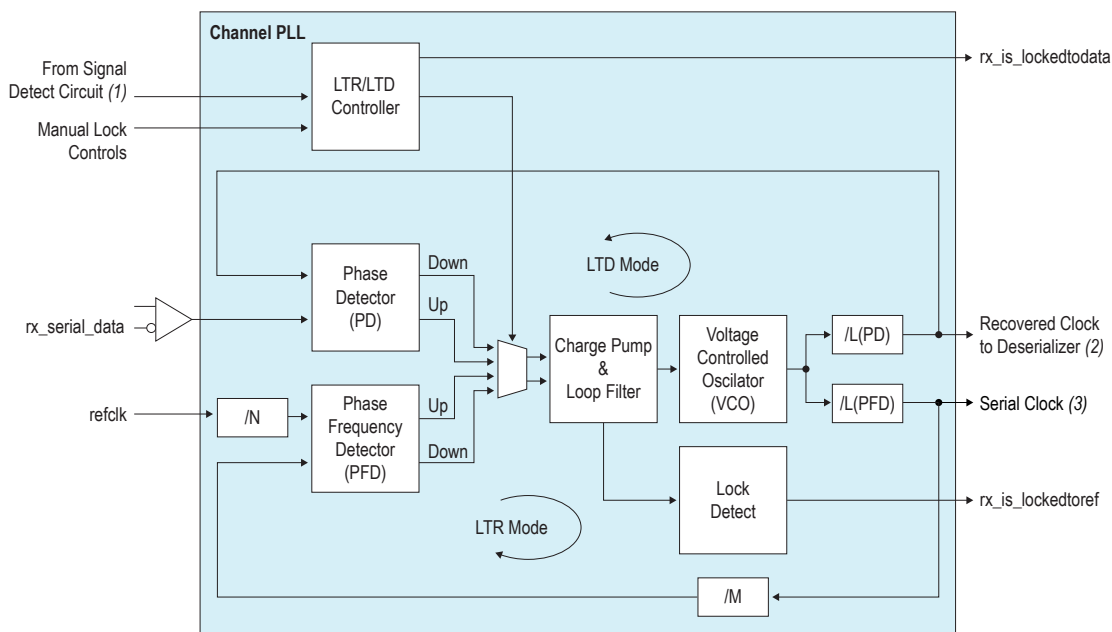
CDR支持全部范围的数据速率。压控振荡器(VCO)在半倍速率上运行。L-counter分频(PD)在VCO之后扩展CDR数据速率范围。Quartus II软件自动选择这些设置。

CDR在lock-to-reference (LTR)或者lock-to-data (LTD)模式中运行。在LTR模式中，CDR跟踪输入参考时钟。在LTD模式中，CDR跟踪输入串行数据。

CDRPLL锁定数据需要的时间取决于输入数据的跳变密度和抖动以及接收器输入参考时钟与上游发送器参考时钟之间的PPM差异。您必须保持接收器PCS在复位状态，直到CDR PLL锁定数据，并产生一个稳定的恢复时钟。

接收器上电和复位后，必须保持CDR在LTR模式中，直到CDR锁定到输入参考时钟。当锁定到输入参考时钟后，CDR输出时钟被训练为配置的数据速率，然后切换到LTD模式来恢复输入数据中的时钟。LTR/LTD控制器控制LTR和LTD模式之间的切换。

图1-17: 通道PLL结构图



注释：

1. 适用于PCIe配置和定制模式配置，例如：SATA/SAS。
2. 配置成CDR PLL，才适用。
3. 配置成CMU PLL，才适用。

Lock-to-Reference模式

在LTR模式中，CDR中的鉴频鉴相器(PFD)跟踪接收器输入参考时钟。PFD控制充电泵，从而调整CDR中的VCO。根据数据速率和所选的输入参考时钟频率，Quartus II软件自动选择相应的/M和/L分频值，这样CDR输出时钟频率是数据速率的一半。置位`rx_is_lockedtoref`状态信号，以表明CDR已锁定到接收器输入参考时钟的相位和频率上。

相位检测器在LTR模式中是无效的，`rx_is_lockedtodata`被忽略。

Lock-to-Data模式

在正常操作期间，CDR必须在LTD模式，以恢复输入串行数据中的时钟。在LTD模式中，CDR中的相位检测器跟踪接收器缓存上的输入串行数据。根据输入数据和CDR输出时钟之间的相位差分，相位检测器控制CDR充电泵，从而调整VCO。

注意：PFD输出在LTD模式中是无效的。`rx_is_lockedtoref`信号可能随机翻转，并且在LTD模式中无效。

切换到LTD模式后，置位`rx_is_lockedtodata`状态信号。CDR最多需要1ms来锁定输入数据，并产生一个稳定的恢复时钟。实际锁定时间取决于输入数据的跳变密度以及接收器输入参考时钟与上游发送器参考时钟之间的百万分率(PPM)差异。接收器PCS逻辑必须保持在复位状态，直到CDR产生一个稳定的恢复时钟。

自动锁定(Automatic Lock)模式中的CDR PLL

在自动锁定模式中，当满足一组条件以确保正常的CDR PLL操作时，LTR/LTD控制器控制LTR和LTD模式之间的跳变。模式跳变由`rx_is_lockedtodata`状态信号来指示。

上电或复位接收器PMA后，CDR PLL被引导到LTR模式。以下所有条件都满足时，控制器将CDR PLL从LTR转换到LTD模式：

- CDR PLL输出时钟和输入参考时钟的频率在已配置的ppm频率阈值设置的范围内
- CDR PLL输出时钟和输入参考时钟的相位大约在0.08单位间隔(UI)的差异范围内
- 只用于PCIe configurations中一信号检测电路必须也检测到接收器输出中存在PCI Express Base Specification 2.0所指定的阈值电压以上电平信号。(信号检测在Custom或者Native PHY IP是一个可选的信号。请使用Assignment Editor来选择阈值电压。)

满足以下任何一个条件时，控制器将CDR PLL从LTD转换到LTR模式

- CDR PLL输出时钟和输入参考时钟的频率之间的差异超过了已配置的ppm频率阈值设置
- 只用于PCIe configurations中一信号检测到接收器中输入的信号在电路检测PCI Express Base Specification 2.0所指定的阈值电压以下。

切换到LTD模式后，置位`rx_is_lockedtodata`状态信号。锁定到数据至少需要4 μ s，不过，实际锁定时间取决于输入数据的跳变密度以及接收器输入参考时钟与上游发送器参考时钟之间的百万分率(PPM)差异。接收器PCS逻辑必须保持在复位状态，直到CDR产生一个稳定的恢复时钟。

如果在一段时间内输入串行数据没有跳变，与输入参考时钟进行比较时，CDR输出时钟可能漂移至超过已配置的PPM阈值的频率。在这种情况下，LTR/LTD控制器将CDR PLL从LTD转换到LTR模式。

手动锁定模式中的CDR PLL

在手动锁定模式中，基于`pma_rx_set_locktodata`和`pma_rx_set_locktoref`寄存器中用户控制的设置，LTR/LTD控制器控制LTR和LTD模式之间的跳变。或者，您可以通过收发器PHY IP中可用的`rx_set_locktodata`和`rx_set_locktoref`端口来控制它。

在LTR模式中，相位检测器是无效的。当CDR PLL锁定到输入参考时钟时，可以将CDR PLL切换到LTD模式来恢复输入串行数据中的时钟和数据。

在LTD模式中，PFD输出是无效的，并且可能导致锁定检测状态指示器随即翻转。在一段时间内输入串行数据没有跳变时，必须将CDR PLL切换到LTR模式，以便等待读取串行数据。

手动锁定模式通过旁路PPM检测、手动灵活的控制CDRPLL的工作模式(如某些应用程序所需要的)，但不限于以下方面：

- 上游发送器和本地接收器时钟之间超过CDR PLL ppm阈值检测功能的频率差异的链路。例如，具有异步扩频时钟(SSC)向下扩展 - 0.5%的系统，其中SSC调制导致高达5000的PPM差异。
- 要求较快的CDR PLL跳变到LTD模式的链路，避免PPM检测在自动锁定模式中所产生的持续时间。

在手动锁定模式中，您的设计必须包括一种机制—与PPM检测器相类似—以确保CDRPLL输出时钟在恢复时钟和数据之前保持接近最佳的恢复时钟速率。否则，CDRPLL可能无法实现锁定数据。如

果检测到CDR PLL输出时钟频率不接近LTD模式中最佳的恢复时钟速率，那么指示CDR PLL到LTR模式中。

相关链接

[Cyclone V器件中的收发器复位控制和下电](#)

Channel PLL作为CMU PLL

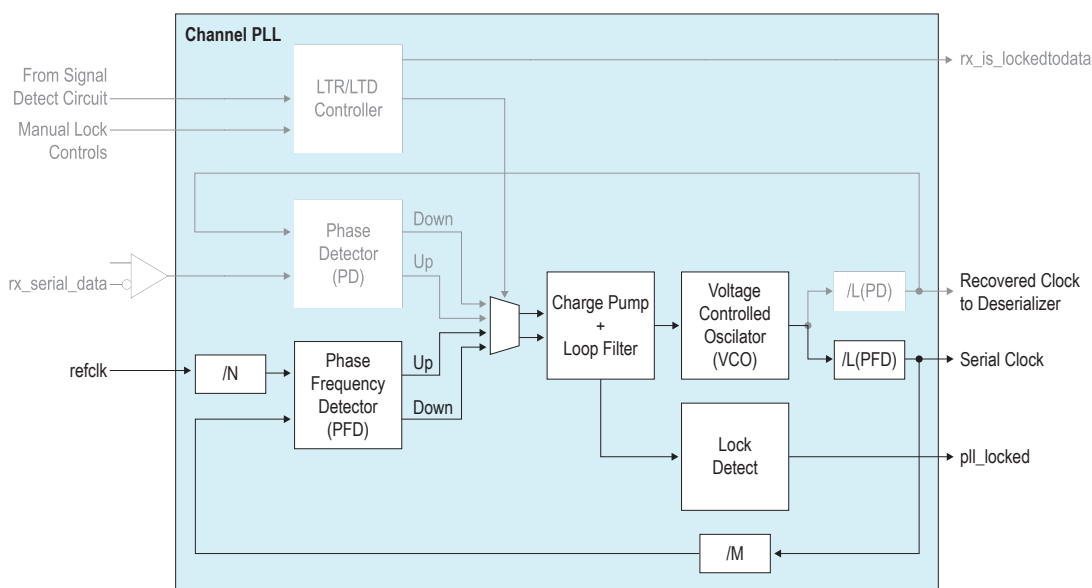
将通道PLL作为CMU PLL使用时，只能将transceiver channel配置成发送器。

CMU PLL仅运行在LTR模式，并支持全系列的数据速率。

PLL的VCO工作在半速率和VCO之后的L-counter分频器(PFD)，扩展了PLL数据速率的范围。

注意：将通道PLL配置成CMU PLL时，接收器的CDR功能性是不能使用的一您只可以将transceiver channel作为发送器使用。

图1-18: Cyclone V器件中的CMU PLL



CMU PLL输出串行时钟，频率等于数据速率的一半，输出到位于同一收发器通道的发送器中的时钟分频器。通道1和4中的CMU PLL连接到x1和x6时钟线。

相关链接

[Cyclone V器件中的收发器时钟](#)

fPLL作为发送器PLL

除了CMU PLL，位于收发器bank相邻的fPLL可提供时钟给高达3.125 Gbps串行数据速率的发送器。

相关链接

[Cyclone IV器件中的时钟网络与PLL](#)

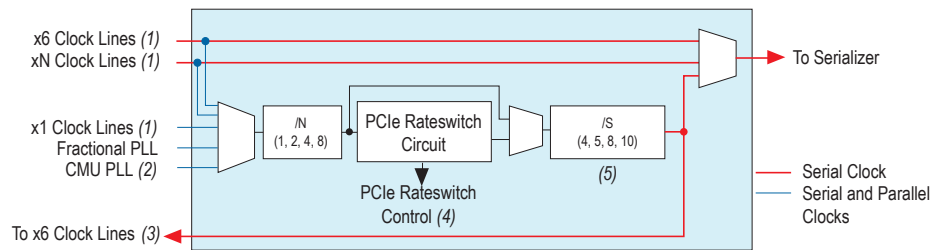
时钟分频器

每个发送器通道都有一个本地时钟分频器。

有两种类型的时钟分频器，这取决于收发器bank中的通道位置：

- 本地时钟分频器—通道0、2、3和5为PMA提供串行和并行时钟
- 中央时钟分频器—通道1和4可以驱动x6和xN时钟线

图1-19: Cyclone V器件中的收发器通道的时钟分频器



注释：

1. 有关x1、x6和xN时钟线的信息，请参考Cyclone V器件中的收发器时钟。
2. 仅有同一收发器通道中的通道PLL配置成CMU PLL。
3. 仅适用于中央时钟分频器(通道1和4中的时钟分频器)。
4. PCIe rateswitch电路在PCIe Gen2设计的Gen2和Gen1线率之间是动态切换的。
5. 自动配置分频器设置，这取决于串化因子。所选定的分频器设置是串化因子的一半。

使用时钟线或者发送PLL中的时钟时，两种类型的分频器都可以输出串行时钟输入，以便在通道中对串行器提供串行和并行时钟。中央时钟分频器可以另外驱动x6时钟线用于绑定多个通道。

在绑定的通道配置中，两种类型的时钟分频器都可以直接给串行器提供串行和并行时钟，而无需从x6或者xN时钟线中驱动它们。

相关链接

[Cyclone V器件中的收发器时钟](#)

校准模块

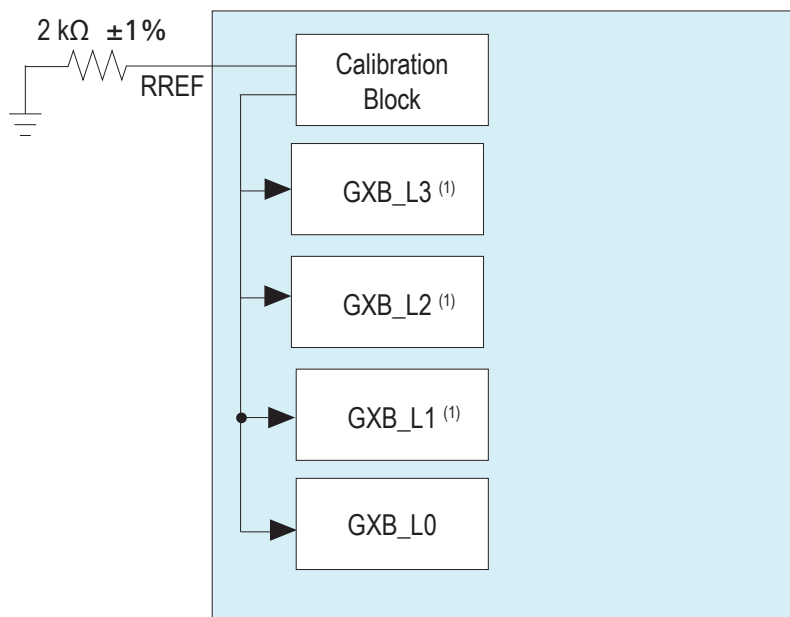
对模块校准差分OCT电阻以及收发器PMA的模拟电路进行校准，以确保功能性不依赖于PVT。

它也用于串行数据速率 ≥ 4.9152 Gbps的时钟线的占空比校准。

仅有一个校准模块可用于Cyclone V收发器PMA。它位于器件的左上方(和收发器通道相同侧)。

图1-20: Cyclone V器件中的校准模块位置和连接

收发器仅在器件的左侧。



注释:

1. GXB_L1、GXB_L2和GXB_L3 bank仅可用于某些器件种类中。

校准模块在内部生成一个独立于PVT变化的稳定内部参考电压，并且使用此电压与RREF管脚上的外部参考电阻来生成恒定的参考电流。

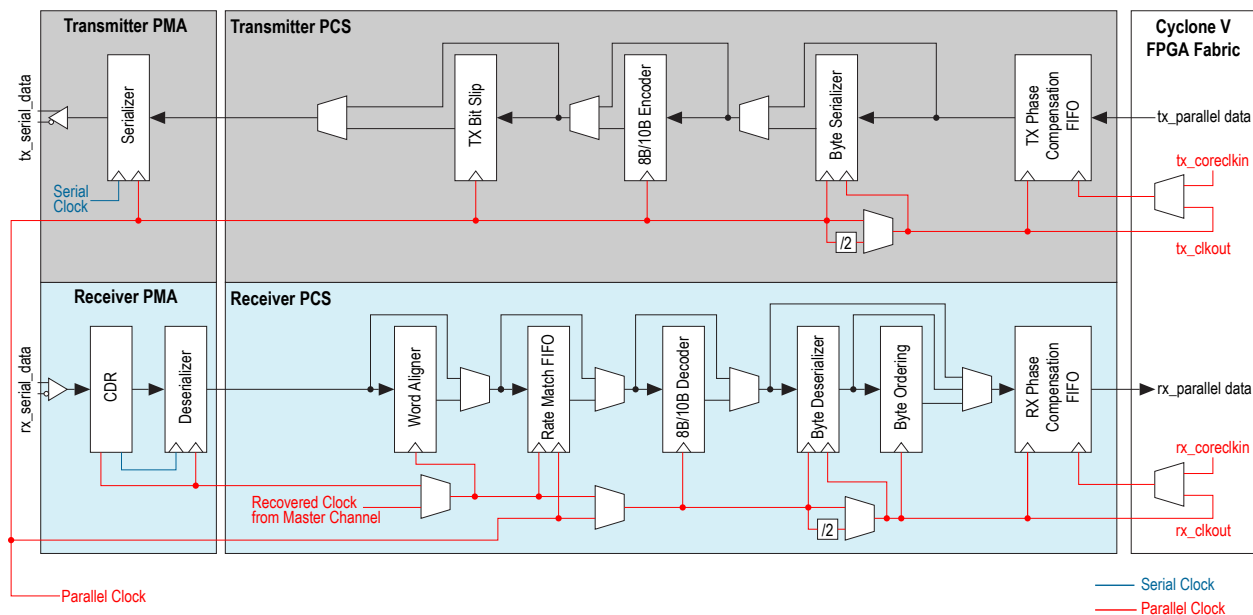
注意：必须将外部参考电阻连接到RREF管脚。

这些参考电流用于模拟模块校准电路以校准收发器bank。必须在每个RREF管脚上将一个独立的2kΩ (最大公差±1%)外部电阻连接到接地。为了确保校准模块正常操作，电路板上的RREF电阻连接必须不能受到任何外部噪声的干扰。

PCS体系结构

图1-21: Cyclone V器件中收发器通道的PCS结构图

来自时钟分频器的串行和并行时钟。



收发器通道PCS数据通路分成两种配置—单宽和双宽，基于收发器通道PMA-PCS宽度的配置(或者串化/解串因子)。

表1-10: PCS数据通路配置

参数	单宽	双宽
PMA-PCS接口宽度	8或10位	16或20位
FPGA架构 - 收发器接口宽度	8 或10位 16或20位 ⁽²⁾	16或20位 32或40位

⁽²⁾ 使能字节串行器和解串器。

发送器PCS数据通路

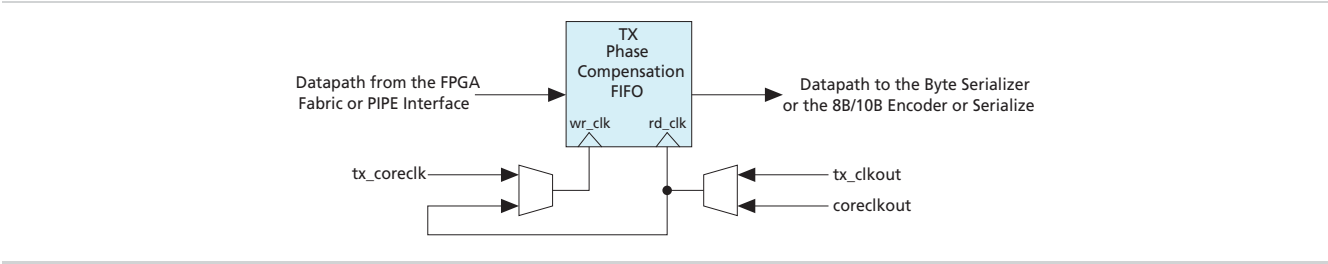
表1-11: 发送器PCS数据通路中的模块

模块	功能性
发送器相位补偿FIFO	<ul style="list-style-type: none">通过PCIe硬核IP或者直接连接发送器PCS和FPGA架构时，对低速并行时钟与FPGA架构接口时钟之间的相位差异进行补偿支持相位补偿和寄存模式操作
字节串化器	<ul style="list-style-type: none">在发送器通道上通过增加双倍发送器输入数据位宽，将FPGA架构收发器接口频率减少一半FPGA架构收发器接口频率在最大限制之内，实现发送器通道在较高的数据速率下运行支持在单宽和双宽模式中的操作
8B/10B编码器	<ul style="list-style-type: none">根据8位数据以及1位控制标识符生成10位代码组符合IEEE 802.3规范第36条支持单宽和双宽模式操作和运行极性控制
发送器Bit-Slip	<ul style="list-style-type: none">串化串行传输前，在数据中使能用户控制(ser-controlled)、位级延迟(bit-level)支持单宽和双宽模式操作

发送器相位补偿FIFO

发送器相位补偿FIFO为4字节深度，并且连接发送通道PCS和FPGA架构或PCIe硬核IP模块。发送器相位补偿FIFO对低速并行时钟与FPGA架构接口时钟之间的相位差异进行补偿。

图1-22: 发送器相位补偿FIFO



- 发送器相位补偿FIFO支持两种操作：
- 读时钟和写时钟工作在不同模式下的相位补偿模式
 - 对数据路径带来一个时钟周期延迟的寄存器模式

寄存器模式

对于那些对数据通路延迟不确定性有着严格要求的应用，为了消除FIFO延迟的不确定性，当连接发送通道到FPGA架构时，旁路FIFO功能使用寄存器模式时仅产生一个时钟周期的数据通路延迟。

当连接发送通道到FPGA架构或者PCIe硬核IP模式时，将FIFO配置成寄存器模式以减少数据通路的延迟。在寄存器模式中，用发送器PCS的低速并行时钟给FIFO提供时钟。

相位补偿模式

发送器相位补偿FIFO对发送器控制及数据信号的读写时钟之间的任何相位差异进行补偿。低速并行时钟驱动读时钟，FPGA架构接口时钟驱动写时钟。这两个时钟必须具有0 ppm频率差否则可能导致FIFO下溢或上溢的情况。

FIFO支持读写时钟上的各种时钟模式，这取决于收发器配置。

相关链接

[Cyclone V件中的收发器时钟](#)

字节串行器

字节串行器平分输入数据位宽，使其在保持最大FPGA架构接口频率限制的同时，在更高的数据速率下运行发送器通道。

字节串行器支持在单宽和双宽模式中的操作。字节串行器的输出上的数据通道时钟速率是FPGA架构发送器接口时钟频率的两倍。字节串行器首先转发最低有效字，然后转发最高有效字。

注意：在超过最大FPGA架构收发器接口频率限制的配置中必须使用字节串行器。

单宽模式中的字节串行器

字节串行器首先转发LSByte，然后转发MSByte。字节串行器的输入数据宽度取决于通道宽度选项。例如，在20位通道宽度的单宽模式中，字节串行器从FPGA架构发出并行数据的最低有效字节tx_parallel_data[9:0]，然后是tx_parallel_data[19:10]。

表1-12: Cyclone V器件的单宽模式中字节串行器的输入和输出数据宽度

模式	输入数据宽度到字节串行器	字节串行器中的输出数据宽度	字节串行器输出排序
单宽	16	8	发送16位输出的8位最低有效位
	20	10	发送20位输出的10位最低有效位

双宽模式中的字节串行器

双宽模式中的操作与单宽模式相类似。例如，在32位通道宽度的双宽模式中，字节串行器首先转发tx_parallel_data[15:0]，然后转发tx_parallel_data[31:16]。

表1-13: Cyclone V器件的双宽模式中字节串行器的输入和输出数据宽度

模式	输入数据宽度到字节串行器	字节串行器中的输出数据宽度	字节串行器输出排序
双宽	32	16	先发送32位输出的16位最低有效位
	40	20	先发送40位输出的20位最低有效位

如果选择**8B/10B Encoder**选项，那么8B/10B编码器使用字节串行器中的输出。否则，字节串行器输出被转送至串行器。

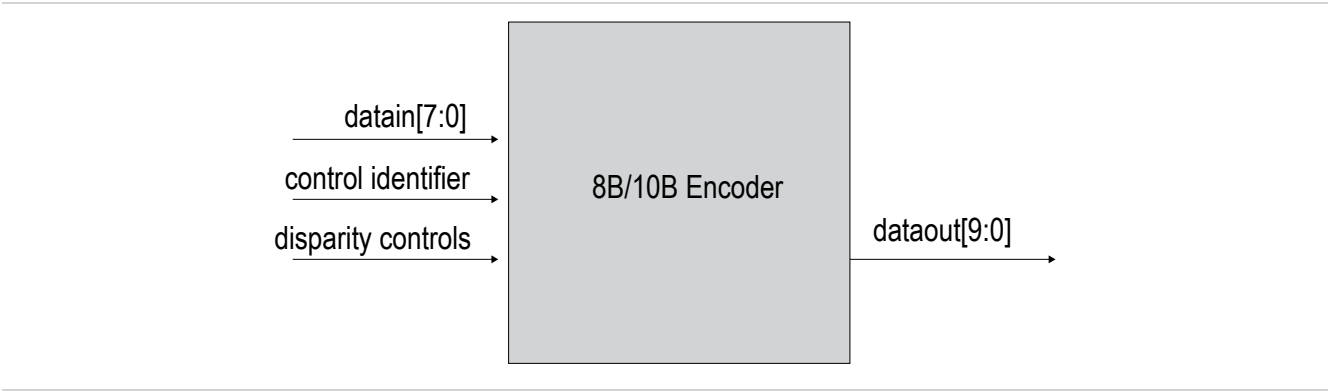
8B/10B编码器

8B/10B编码器支持运行极性控制功能支持单宽和双宽的工作模式。

单宽模式中的8B/10B编码器

在单宽模式中，根据IEEE 802.3规范第36条中指定的PCS参考结构图，8B/10B编码器根据8位数据以及1位控制标识符中生成具有正确极性的10位代码组。10位代码组生成有效数据代码组(/Dx.y/)或者特定的控制代码组(/Kx.y/)，这取决于1位控制标识符。

图1-23: 单位模式中的8B/10B编码器

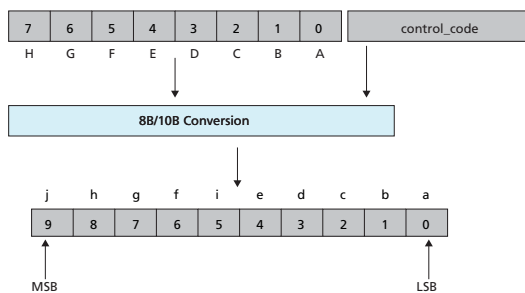


IEEE 802.3规范仅识别12组8位字符作为/Kx.y/。如果其它组的8位字符被设置编码作为指定的控制代码组，那么根据输入的值，8B/10B编码器可能会对作为无效代码或者一个意外有效/Dx.y/代码的输出10位代码进行编码(它不会映射到一个有效的/Dx.y/或/Kx.y/代码)。

在单宽模式中，8B/10B编码器将8位数据转换至具有正确极性的10位代码组(控制字或数据字)。如果tx_dataak输入是高电平，那么8B/10B编码器将输入data[7:0]转换至10位控制字。如果tx_dataak输入是低电平，那么8B/10B编码器将输入data[7:0]转换至10位数据字。

图1-24: 8B/10B转换格式

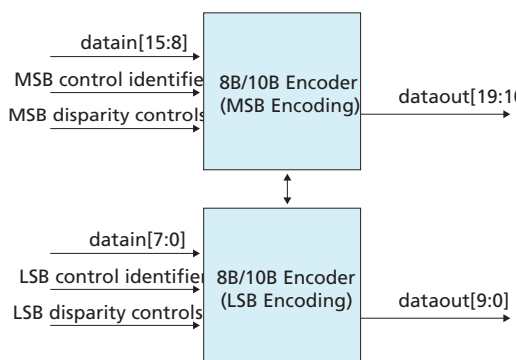
LSB首先被发送。



双宽模式中的8B/10B编码器

在双宽模式中，级联两个8B/10B编码器，从16位数据和两个1位控制标识符中生成两组10位代码组。当接收16位数据时，8位LSByte首先被编码，然后编码8位MSByte。

图1-25: 双宽模式中的8B/10B编码器



运行极性控制

8B/10B编码器自动执行计算，当生成10位代码组时，符合运行极性准则。运行极性控制功能提供用户控制的信号(tx_dispvai和tx_forcedisp)手动强制编码成正向或负向的当前运行极性代码组。当使能运行极性控制时，该控制根据用户控制的信号覆盖编码器中的当前运行极性值，不管该周期中内部计算的当前运行极性。

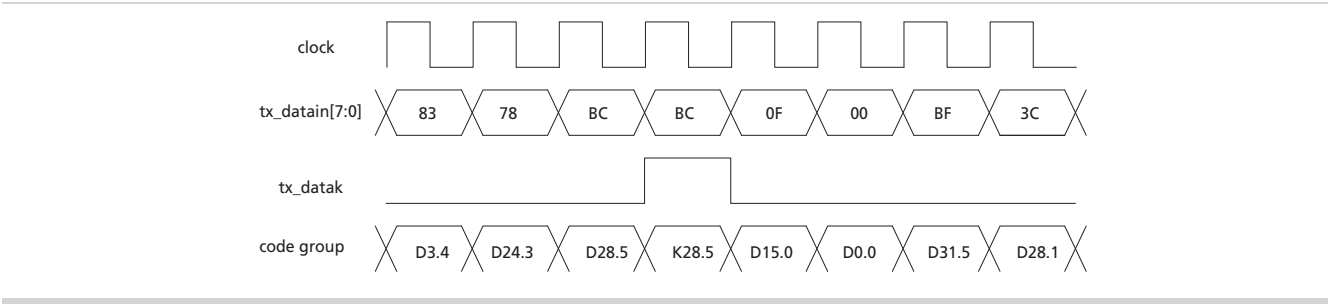
注意：使用运行极性控制可能暂时会在接收器上导致运行差异错误。

控制代码编码

8B/10B模块提供tx_dataak信号来指示在tx_parallel_data信号上的8位数据是否应该作为一个控制字(Kx.y)或者一个数据字(Dx.y)进行编码。当tx_dataak是低电平时，8B/10B编码器模块将tx_parallel_data信号作为数据(Dx.y)编码字节。当tx_dataak是高电平时，8B/10B编码器将输入数据作为Kx.y进行编码。其余的tx_parallel_data字节作为数据字(Dx.y)进行编码。

图1-26: 控制字与数据字传输

第二个0xBC被编码为控制字(K28.5)。



注意: IEEE802.3 8B/10B编码规范仅识别一组8位字符, 您需要置位tx_datak。如果对其它组的字节置位tx_datak, 那么根据输入的值, 8B/10B编码器可能会对作为无效代码或者一个意外有效D_{x.y} 代码的输出10位代码进行编码(它不会映射到一个有效的D_{x.y}或K_{x.y}代码)。一个下游的8B/10B解码器在没有置位任何代码错误标志信号的情况下, 可能会将无效的控制字解码成有效的D_{x.y}代码。

复位条件

reset_tx_digital信号复位8B/10B编码器。在复位期间, 运行差异和数据寄存器均被清零。同时, 8B/10B编码器连续输出RD - 列中的K28.5码型, 直到reset_tx_digital端口被置低。来自FPGA架构的输入数据和控制数据在复位状态中被忽略。复位后, 8B/10B编码器从负差异(RD-)开始编码, 并在它的输出端开始编码和发送数据之前, 发送三个K28.5代码组, 以实现同步。

注意: 当tx_digitalreset被置位时, 接收数据的下游8B/10B解码器可能会观察同步或极性错误。

复位流程期间的编码器输出

在复位状态时(reset_tx_digital是高电平), 连续地发送K28.5-(RD - 列中的K28.5 10位代码组), 直到reset_tx_digital为低信号。发送器PCS的流水线数据处理导致了一些“don't cares”(10' hxxx)在三个同步的K28.5代码组之前被发送。用户数据跟随第三个K28.5代码组。

图1-27: 复位条件期间和之后的8B/10B编码器输出

单宽和双宽模式中的复位条件期间和之后的8B/10B编码器输出

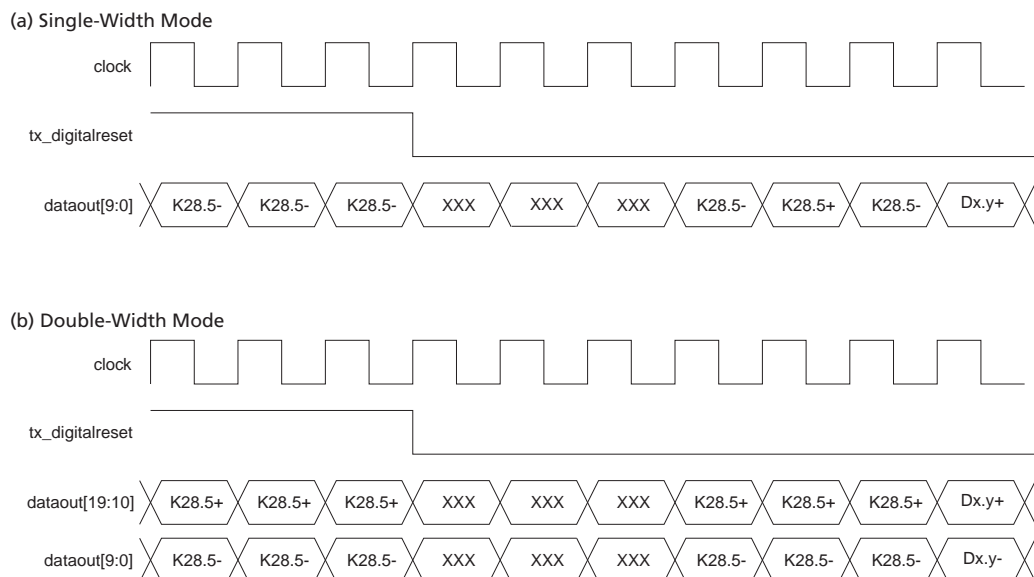


表1-14: 复位条件期间和之后的8B/10B编码器输出

操作模式	8B/10B复位期间	8B/10B复位释放之后
单宽	连续地从RD - 列中发送/K28.5/代码	发送器通道的流水线数据处理导致了一些“don't cares”被发送，然后是具有正确极性的三个/K28.5/代码—从负差异开始—在其输出上发送所编码的8位数据之前。
双宽	在LSByte中连续地从RD - 列中发送/K28.5/代码，并且在MSByte中连续地从RD+列中发送/K28.5/代码	发送器通道的流水线数据处理导致了一些“don't cares”被发送，紧接： <ul style="list-style-type: none"> RD - 列中的三个/K28.5/代码在LSByte中的输出上发送所编码的8位数据之前。 RD+列中的三个/K28.5/代码在MSByte中的输出上发送所编码的8位数据之前。

发送器Bit-Slip

通过滑位数据发送到PMA，发送器bit-slip可以对多个发送器通道之间的通道与通道偏移进行补偿。滑掉的位最大的数量从FPGA架构中控制，并且等于PMA-PCS的宽度减去1。

表1-15: 具有tx_bitslipboundaryselect信号的Bits Slip支持

操作模式	最大化Bit-Slip设置
单宽(8或者10位)	9

操作模式	最大化Bit-Slip设置
双宽(16或者20位)	19

接收器PCS数据通路

有序地对从字对齐器到接收器相位补偿FIFO模块的接收器PCS数据通路中的子模块进行介绍。

表1-16: 接收器PCS数据通路中的模块

模块	功能性
字对齐器	<ul style="list-style-type: none">在解串数据中搜索预定义对齐码型以便在链路同步期间中确定正确的边界并还原字边界支持7、8、10、16、20或者32位的对齐码型长度支持四种操作模式—手动对齐、bit-slip、自动同步状态机和确定性延迟状态机—在单宽和双宽配置中支持可选的可编程运行长度违规检测、极性倒转、位逆转和字节逆转功能
速率匹配FIFO	<ul style="list-style-type: none">对小的时钟频率差异补偿高达±300百万分率(ppm)—总共600 ppm—上游发送器时钟与本地接收器时钟之间，在必要时通过插入或移除skip符号在所支持的协议中符合时钟速率补偿功能的操作受到支持
8B/10B解码器	<ul style="list-style-type: none">接收10位数据，并将其解码成一个8位数据和一个1位控制标识符—符合IEEE 802.3规范第36条支持在单宽和双宽模式中的操作
字节解串器	<ul style="list-style-type: none">在接收器通道上通过增加双倍接收器输出数据位宽，将FPGA架构收发器接口频率减少一半FPGA架构收发器接口频率在最大限制之内，实现接收器通道在较高的数据速率下运行支持在单宽和双宽模式中的操作
字节排序	<ul style="list-style-type: none">搜索预定义码型，该预定义码型在使能字节解串器时，在并行数据进入FPGA架构中必须放在LSB byte的位置
接收器相位补偿FIFO	<ul style="list-style-type: none">当直接地或通过PCIe硬核IP模块连接接收器PCS和FPGA架构时，对低速并行时钟和FPGA架构接口时钟之间的相位差异进行补偿支持在相位补偿和寄存器模式

字对齐器

接收器PCS输入的并行数据丢失上游发送器的字节边界(在解串器中从串行到并行的转换)。字对齐器接收解串器中的并行数据，并根据链路同步期间接收到的预定义对齐码型来还原字边界。

字对齐器在解串的数据中搜索预定义码型来识别正确的边界，并在链路同步期间还原字边界。根据各自的协议规范实现同步，对齐码型被预定义用于标准的串行协议。对于专有协议的实现，特定的应用可以指定一个定制的字对齐码型。

除了还原字边界功能，字对齐器能够实现以下功能：

- 同步状态机
- 可编程运行长度违规检测(所有的收发器配置)
- 接收器极性倒转(除了PCIe的所有收发器配置)
- 接收器位逆转(仅定制的单宽和双宽配置)
- 接收器字节逆转(仅定制双配置)

字对齐器在以下三种模式中运行：

- 手动对齐
- 自动同步状态机
- Bit-Slip
- 确定性延迟状态机

除了bit-slip模式，完成字对齐后，解串的数据被同步，以便在对齐数据的LSB位上含有字对齐码型。

字对齐器选项和行为

根据字对齐器的配置，对操作模式和对齐码型长度的支持会有所不同。

表1-17: 字对齐器选项和行为

PMA-PCS接口宽度 (位)	字对齐模式	字对齐码型长度(位)	字对齐行为
8	手动对齐	16	用户控制的信号开始对齐过程。对齐只执行一次(除非信号被重新置位)。
	Bit-Slip	16	用户控制的信号一次一位地移位数据。
10	手动对齐	7个和10个	用户控制的信号开始对齐过程。对齐只执行一次(除非信号被重新置位)。
	Bit-Slip	7位和10位	用户控制的信号一次一位地移位数据。
	自动同步状态机	7位和10位	数据需要进行8B/10B编码。满足预定义条件时，对齐到所选的字对齐码型。
	确定性延迟状态机	10	用户控制的信号开始对齐过程。找到码型和标识字边界后，状态机控制解串器来clock-slip串行位的边界指示数量。
16	手动对齐	8、16和32位	RX PCS复位后自动发生对齐。用户控制的信号其后开始对齐过程。对齐只执行一次(除非信号被重新置位)。
	Bit-Slip	8、16和32位	用户控制的信号一次一位地移位数据。

PMA-PCS接口宽度 (位)	字对齐模式	字对齐码型长度(位)	字对齐行为
20	手动对齐	7、10和20位	RX PCS复位后自动发生对齐。用户控制的信号其后开始对齐过程。对齐只执行一次(除非信号被重新置位)。
	Bit-Slip	7、10和20位	用户控制的信号一次一位地移位数据。
	确定性延迟状态机	10和20位	用户控制的信号开始对齐过程。找到码型和标识字边界后，状态机控制解串器来clock-slip串行位的边界指示数量。

手动对齐模式下的字对齐器

在手动对齐模式中，字对齐通过rx_enapatternalign寄存器进行手动控制。根据不同的配置，控制rx_enapatternalign寄存器使能字对齐器，搜索接收数据流中的预定义字对齐码型，并自动同步到新的字边界中。

表1-18: 手动对齐模式中的字对齐器操作

PCS模式	PMA – PCS接口宽度 (位)	字对齐操作
单宽	8	<ol style="list-style-type: none"> 1. 置低rx_digitalreset信号后，rx_enapatternalign寄存器上的一个0-to-1跳变触发字对齐，搜索接收数据流中的预定义字对齐码型，并自动同步到新的字边界中。 2. 后面找到的不同的字节边界不会导致字对齐器重新同步到这个新的字边界中，因为在rx_enapatternalign寄存器上缺少之前的0-to-1跳变。 3. 要重对齐到新的字边界，可在rx_enapatternalign寄存器上创建0-to-1的跳变。 4. 如果在置低 rx_digitalreset信号之前将 rx_enapatternalign寄存器设置成1，那么在找到第一个对齐码型时，字对齐器更新字边界，即使没有生成一个0-to-1跳变。 5. 要重新对齐到新的字边界，可创建一个0-to-1跳变到rx_enapatternalign寄存器。 6. 当字对齐重对齐到新字边界时，rx_patterndetect和rx_syncstatus信号将会置位一个并行时钟周期。
	10	<ol style="list-style-type: none"> 1. rx_digitalreset信号置低后，将rx_enapatternalign寄存器设置成1，触发字对齐器，搜索预定义字对齐码型，或者在已接收的数据流中搜索它的补码，并且自动重同步到新的字边界中。 2. 如果rx_enapatternalign寄存器依然设置成1，在不同的字边界中找到的任意字对齐码型会导致字对齐器重新同步到新的字边界中。 3. 如果将rx_enapatternalign寄存器设置成0，即使当字对齐器在新的字边界中找到对齐码型时，字对齐器也将保持当前的字边界。 4. 当字对齐重新同步到新的字边界时，rx_patterndetect和rx_syncstatus信号将置位一个并行时钟周期。
双宽	16	<ol style="list-style-type: none"> 1. rx_digitalreset信号置低后，不管在rx_enapatternalign寄存器中的设置如何，字对齐器同步到第一个找到的预定义对齐码型中。 2. 在不同的字边界中找到的任意字对齐码型不会导致字对齐重新同步到新的字边界中。 3. 要重新同步到新的字边界中，可在rx_enapatternalign寄存器中创建一个0-to-1跳变。 4. 当字对齐同步到新的字边界时，rx_patterndetect和rx_syncstatus信号将会置位一个并行时钟周期。如果rx_enapatternalign的下一个上升沿被检测到，那么 rx_syncstatus信号将会置低。
	20	

Bit-Slip模式中的字对齐器

在bit-slip模式中，字对齐器由pcs8g_rx_wa_control寄存器的rx_bitslip位控制。在pcs8g_rx_wa_control寄存器的rx_bitslip位的每一个0-1的跳变上，bit-slip电路将一个位移入已接收的数据流中，等效于对字边界位移一个位。同样，在bit-slip模式中，当已接收的数据在位移入后与设置的16位字对齐码型相匹配时，rx_patterndetect的字对齐器pcs8g_rx_wa_status寄存器位被驱动为一个并行时钟周期的高电平。

要实现字对齐，您可以在FPGA架构中实现一个bit-slip控制器，以监控rx_parallel_data信号，rx_patterndetect信号或两者，并利用rx_bitslip信号来控制它们。

表1-19: Bit-Slip模式中的字对齐器

PCS模式	PMA - PCS接口宽度(位)	字对齐操作
单宽	8	1. 到rx_bitslip信号的每个上升沿上，字对齐器将一个位滑入接收到的数据中。
	10	
双宽	16	2. 当bit-slipping移位一整圈数据总线宽度时，字边界返回到原始的边界。 3. 使用rx_patterndetect信号置位或者检查数据输出来表明对齐过程的结束—其中字对齐器输出匹配预定义对齐码型。
	20	

注意：在字对齐中每滑入1 bit，将丢弃最早收到的bit。

自动同步状态机模式中的字对齐器

在自动同步状态机模式中，一个可编程的状态机确定字对齐器实现同步或者丢失同步的时刻。您可以配置状态机，在链路同步期间和整个常规链路操作中提供迟滞控制。根据不同的协议配置，自动配置状态机参数，因此它们符合各自协议规范中的同步状态机。

表1-20: 同步状态机模式中字对齐器的可编程参数

参数	值
所接收的用于实现同步的有效同步代码组或者控制码的数量	1 - 256
接收到的用于丢失同步的错误代码组的数量	1 × -64
接收到的用于一个个减少错误数量的连续良好代码组的数量	1 - 256

表1-21: 自动同步状态机模式中的字对齐器操作

PCS模式	PMA-PCS接口宽度	字对齐操作
单宽	10位	<ol style="list-style-type: none"> 1. rx_digitalreset信号置低后，字对齐器开始搜索预定义字对齐码型，或者在已接收的数据流中搜索它的补码，并且自动与新的字边界对齐。 2. 同步仅在字对齐器在同一字边界中接收到所配置数量的有效同步代码组后才能实现，并且表明置位rx_syncstatus信号。 3. 置位和实现同步后，rx_syncstatus信号保持置位，直到字对齐器丢失同步。 4. 当字对齐器接收所设置数量的错误代码组，并没有接收到中等良好的代码组，并且表明置低rx_syncstatus信号时，发生同步丢失。 5. 在同一字边界中接收到一个新的所设置数量的有效同步代码组时，字对齐器可能再次实现同步。

利用10位PMA-PCS接口配置的自动同步状态机模式的字对齐器

例如PCIe的协议需要接收器PCS逻辑来实现同步状态机在链路同步期间提供迟滞。这些协议各自对链路必须接收以实现同步的指定数量的同步代码组和接收以失去同步的指定数量的错误代码组进行定义。

在PCIe配置中，自动状态模式中的字对齐器自动选择每种协议指定的字对齐码型长度和码型。同步状态机参数由各种协议定义的PCIe配置来确定。

表1-22: 同步状态机模式中的字对齐器用于PCIe配置

模式	PCIe
所接收的用于实现同步的有效同步代码组或者控制码的数量	4
接收到的用于丢失同步的错误代码组的数量	17
接收到的用于一个个减少错误数量的连续良好代码组的数量	16

在自动同步状态机模式中置低reset_rx_digital信号后，字对齐器开始在已接收的数据流中搜索字对齐码型或者同步代码组。当接收到所设置数量的有效同步代码组或者控制码时，rx_syncstatus状态位驱动为高电平，表明获得同步。rx_syncstatus状态位一直驱动为高电平，直到接收到所设置数量的错误代码组，并没有接收到中等良好的代码组；这之后，rx_syncstatus信号被驱动为低电平。字对齐器指示失去同步(rx_syncstatus保持低电平)，直到再次接收到所设置数量的有效同步代码组。

确定性延迟状态机模式中的字对齐器操作

在确定性延迟状态机模式中，通过在解串器中执行一个clock-slip，直到解串的数据输入到接收器PCS被字对齐，才能实现字对齐。在字对齐器找到对齐码型并且确定字边界后，确定性延迟状态机

控制解串器中的clock-slip过程。确定性延迟状态机模式在字对齐操作中提供一个降低的延迟不确定性用于要求确定性延迟的应用中。

表1-23: 确定性延迟状态机模式中的字对齐器操作

PCS模式	PMA-PCS接口宽度	字对齐模式
单宽	10位	<ol style="list-style-type: none">1. rx_digitalreset信号置低后，rx_enapatternalign寄存器中一个0-to-1的跳变触发字对齐器，搜索预定义字对齐码型，或者在已接收的数据流中搜索它的补码。2. 找到码型和标识字边界后，状态机控制解串器来clock-slip串行位的边界指示数量。3. 完成clock-slip后，解串的数据输入接收器PCS被字对齐，并且在置位rx_syncstatus信号时被表明。
双宽	20位	

可编程运行长度违规检测

可编程运行长度违规检测电路位于字对齐器模块中，并且在已接收的数据的连续1s或0s超过用户指定的阈值的情况下被检测。

如果数据流超过预设的最大数量的连续1s或0s，那么违规所指的是rx_rlv状态位的置位。

表1-24: 运行长度违规电路的检测性能

PCS模式	PMA - PCS接口宽度(位)	运行长度违规检测器范围	
		最小值	最大值
单宽	8	4	128
	10	5	160
双宽	16	8	512
	20	10	640

接收器极性倒转

串行差分链路上的正负信号可能在电路板布局期间错误地被交换。例如电路板重新开发(re-spin)或者对PLD逻辑进行主要更新的解决方案会很昂贵。接收器上的极性倒转功能纠正交换信号错误，而不需要对电路板进行重新开发或者对FPGA架构中的逻辑进行主要更新。极性倒转功能将输入到字对齐器的每一bit倒转，与串行差分链的正负信号的交换有同样的效果。

通过rx_invpolarity寄存器动态地控制倒转。使能极性倒转功能时，可能会在8B/10B编码数据的接收器上出现初始差异错误。该接收器必须能够承受这些差异错误。

警告： 如果接收一个字的中途使能极性倒转过程，那么这个字将会被损坏。

位逆转

默认情况下，接收器假定LSB-to-MSB传输。如果传输命令为MSB-to-LSB，那么接收器会在rx_parallel_data端口将并行数据的位翻转(bit-flipped)版本转送到FPGA架构中。要在字对齐器的输出上逆转位序以接收一个MSB-to-LSB传输，请使用接收器上的位逆转功能。

表1-25: 位逆转功能

位逆转选项	接收的位序	
	单宽模式(8或10位)	双宽模式(16或20位)
禁用(默认)	LSB到MSB	LSB到MSB
使能	MSB到LSB 例如: 8位—D[7:0]重连接成D[0:7] 10位—D[9:0]重连接成D[0:9]	MSB到LSB 例如: 16位—D[15:0]重连接成D[0:15] 20位—D[19:0]重连接成D[0:19]

注意: 接收MSB-to-LSB的传输时，字对齐器以逆转顺序进行接收数据。字对齐码型必须依据MSB为第一个输入数据的顺序进行逆转。

您可以通过设置bit-slip模式下的字对齐器的rx_bitreversal_enable寄存器动态控制bit reversal功能。在bit-slip模式中动态地使能位逆转功能时，请忽略字对齐器中的码型检测功能，因为字对齐码型无法动态地逆转，来匹配以MSB为第一个输入数据的顺序。

接收器字节逆转

在双宽模式中，接收器上的输入数据的两个符号可能在传输期间意外地交换。在字对齐器上的16位输入数据宽度中，这两个符号分别是位[15:8]和位[7:0]。在字对齐器上的20位输入数据宽度中，这两个符号分别是位[19:10]和位[9:0]。字对齐器输出中的字节逆转功能通过交换双宽模式中字对齐器输出上的两个符号来纠正交换信号错误，如表1-26所示：

表1-26: 字节逆转功能

字节逆转选项	字对齐输出	
	16位数据宽度	20位数据宽度
禁用	D[15:0]	D[19:0]
使能	D[7:0], D[15:8]	D[9:0], D[19:10]

使用rx_bytereversal_enable寄存器动态地控制逆转，使能接收器字节逆转选项时，可能会在8B/10B编码数据的接收器上导致初始差异错误。该接收器必须能够承受这些差异错误。

注意: 接收交换了的符号时，根据匹配输入字节逆转的数据，字对齐码型必须也是字节逆转的。

速率匹配FIFO

速率匹配FIFO补偿对上游发送器时钟与本地接收器时钟之间的小的时钟频率差异进行补偿。

在上游发送器与本地接收器可以由独立参考时钟源提供时钟的链路中，从恢复时钟域—与上游发送器参考时钟相同—到本地接收器参考时钟域中跨越数据时，数据可能被任何频率差异(以ppm来计数)所损坏。

速率匹配FIFO为20字深，它对上游发送器与本地接收器时钟之间高达 ± 300 ppm (总共600 ppm)的小时钟频率差异进行补偿，通过执行插入或者删除符号，这取决于时钟上的ppm差异。

速率匹配FIFO要求收发器通道处于双工配置中(发送和接收功能)，并且具有一个预定义的20位码型(包含10位控制码型和10位跳过码型)。10位跳过码型必须选择具有中性极性的代码组。

速率匹配FIFO通过查找10位控制码型进行操作，在字对齐器恢复字边界后，10位跳过码型在数据库中紧跟其后。找到码型后，速率匹配FIFO执行下列操作以确保FIFO不会上溢或下溢。

- 当本地接收器参考时钟频率大于上游发送器参考时钟频率时，插入10位跳过码型。
- 当本地接收器参考时钟频率小于上游发送器参考时钟频率时，删除10位跳过码型。

速率匹配FIFO支持在单宽模式中的操作。在用户自定义模式下，可以自定义20bit的码型。在协议配置中，速率匹配FIFO自动配置成支持时钟速率补偿功能，如以下规范所要求的：

- PCIe协议的每种时钟容限补偿的要求，如Gen1和Gen2的PCI Express Base Specification 2.0所指定的信号速率。
- Gbps Ethernet (GbE)协议的每种有使用空闲序列集的时钟速率补偿的要求，如IEEE 802.3规范的第36条所指定的。

在异步系统中，上游发送器和本地接收器使用独立的参考时钟。当进行从恢复时钟域(与上游发送器参考时钟相同)到本地接收器参考时钟域的锁存时，几百个ppm的频率差异能够损坏数据。

当上游发送器参考时钟频率大于本地接收器参考时钟频率时，速率匹配FIFO删除SKP符号或者序列集，反之，速率匹配FIFO插入SKP符号或者序列集。

相关链接

- [Cyclone V器件中的收发器定制配置](#)
- [Cyclone V器件中的收发器协议配置](#)

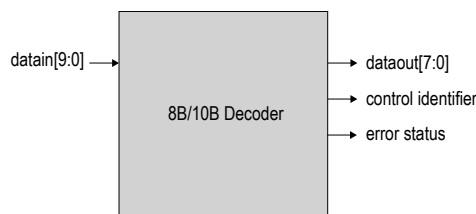
8B/10B解码器

在速率匹配FIFO后，接收器通道PCS数据通路实现8B/10B解码器。在使能了速率匹配FIFO的配置中，8B/10B解码器从速率匹配FIFO中接收数据。在禁用了速率匹配FIFO的配置中，8B/10B解码器从字对齐器中接收数据。该8B/10B解码器支持在单双宽模式中的操作。

单宽模式中的8B/10B解码器

在单宽模式中，8B/10B解码器将接收的10位代码组解码成一个8位数据库和一个1位控制标识符，符合IEEE 802.3规范指点36条。1位控制标识符表明解码后的8位代码是一个有效数据或者是特殊控制代码。解码后的数据连接到字节解串器或者接收器相位补偿FIFO (在禁用字节解串器的情况下)。

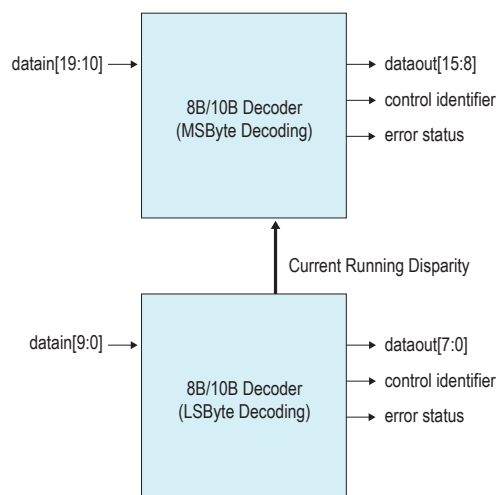
图1-28: 单宽模式中的8B/10B解码器



双宽模式中的8B/10B解码器

在双宽模式中，级联两个8B/10B解码器，将20位代码组解码成两套8位数据和两套1位控制标识符。接收20位代码组时，首先解码10位LSByte，其运行极性被发送到另外一个8B/10B解码器，用于解码10位MSByte。

图1-29: 双宽模式中的8B/10B解码器



控制代码组检测器

8B/10B解码器通过`rx_dataak`信号来指示接收到的8bit编码组是数据还是控制代码组。如果接收的10位代码组是IEEE802.3规范中指定的12个控制代码组(`/Kx.y/`)中的其中的一个，那么`rx_dataak`信号被驱动为高电平。如果接收到的10位代码组是一个数据代码组(`/Dx.y/`)，那么`rx_dataak`信号被驱动为低电平。

字节解码器

FPGA架构收发器接口频率具有上频率限制。在接收器PCS频率大于上频率限制的配置中，并行接收的数据和状态信号无法直接发送到FPGA架构，因为它违反了FPGA架构收发器接口频率的上频率限制。在这种配置下，在并行数据位宽增加双倍的同时，字节解串器要求将FPGA架构发送器接口频率减少一半。

注意：超过FPGA架构收发器接口时钟上频率限制的配置要求字节解串器。在不超过FPGA架构收发器接口时钟上频率限制的配置中，它是可选的。

字节解串器支持在单双宽模式中的操作。字节解串器输入上的数据通路的时钟速率是FPGA架构接收器接口时钟频率的2倍。在字节解串后，字对齐码型可能在MSByte或者LSByte位置。

假定先收到的是数据的LSByte—在单宽模式中最低有效8位或10位，或者在双宽模式中最低有效16位或20位。

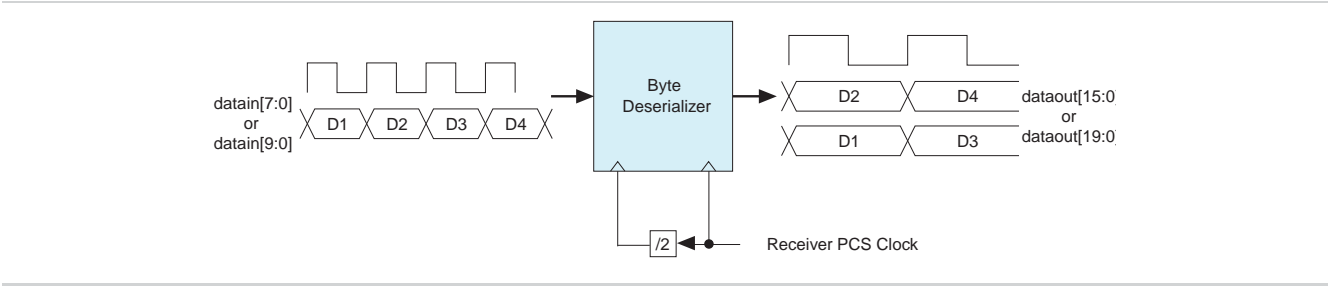
表1-27: 字节解串器输入数据通路宽度转换器

模式	字节解串器输入数据通路宽度	接收器输出数据通路宽度
单宽	8	16
	10	20
双宽	16	32
	20	40

单宽模式中的字节解串器

在单宽模式中，字节解串器从8B/10B解码器中接收8位宽数据或者从字对齐器中接收10位宽度数据 (禁用8B/10B解码的情况下)，并在半速率下将其解串成16-或者20位宽数据。

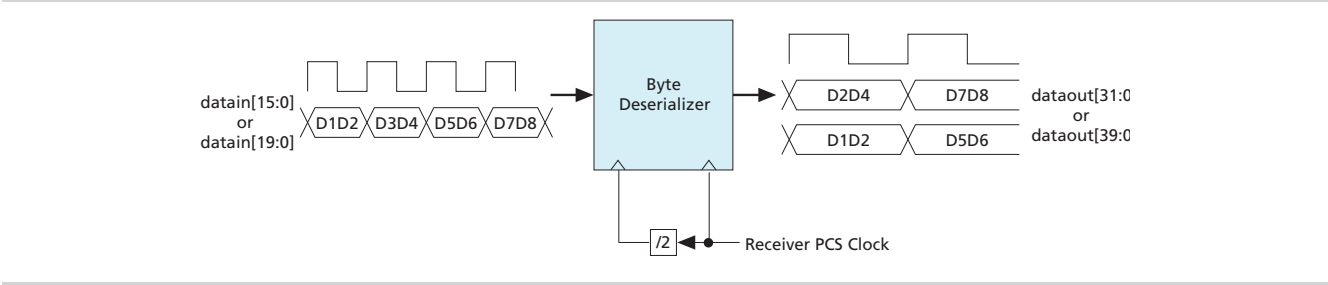
图1-30: 单宽模式中的字节解串器



双宽模式中的字节解串器

在双宽模式中，字节解串器从8B/10B解码器中接收16位宽数据或者从字节对齐器中接收20位宽数据 (在禁用8B/10B解码器的情况下)，并在半速度下将其解串成32位或者40位宽数据。

图1-31: 双宽模式中的字节解串器



字节排序

使能字节解串器时，输出字节排序可能与原始的发送排序不匹配。对于需要特定码型在数据的LSByte位置上的应用，在将其发送到FPGA架构之前，字节排序对解串后的数据恢复为正确的字节顺序。

如果预定义的字节排序码型不在LSByte位置，那么通过将预定义pad码型插入到字节解串的数据对字节排序进行操作。

字节排序要求如下：

- 使能了字节解串器的接收器
- 一种预定义的字节排序码型，必须放在数据的LSByte位置上。
- 一种预定义的pad码型

字节排序支持单双宽度模式中的操作。这两种模式都支持基于字对齐器和手动排序模式的操作。

单宽模式中的字节排序

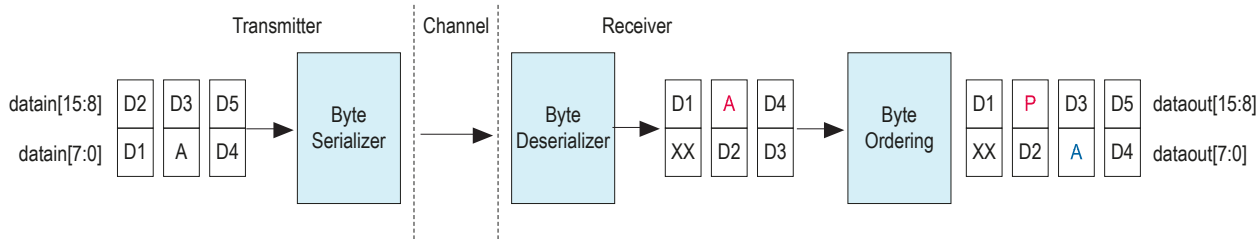
仅在使能字节解串器时，字节排序才会受到支持。

表1-28: 单宽模式中的字节排序操作

PMA-PCS接口宽度	FPGA架构 - 收发器接口宽度	8B/10B解码器	字节排序码型长度	Pad码型长度
8位	16位	禁用	8位	8位
10位	16位	使能	9位 ⁽³⁾	9位
	20位	禁用	10位	10位

图1-32: 单宽模式中的字节排序操作的实例

单宽模式中字节排序操作的实例 (8位 PMA-PCS接口宽度)，其中A是预定义的字节排序码型，而P是预定义的pad码型。



双宽模式中的字节排序

字节排序仅在使能字节解串器时才受到支持。

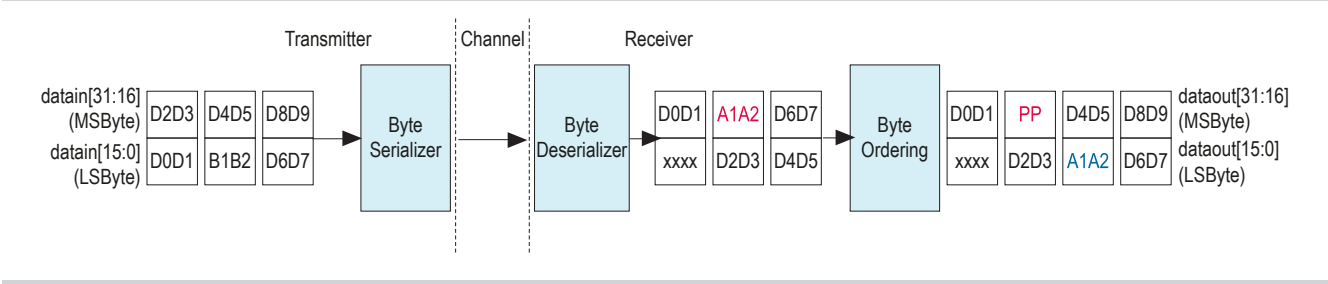
⁽³⁾ 9位码型的MSB表示8B/10B解码数据的1位控制标识符。较低的8位表示8位解码的代码。

表1-29: 双宽模式中的字节排序操作

PMA-PCS接口宽度	FPGA架构收发器接口宽度	8B/10B解码器	字节排序码型长度	Pad码型长度
16位	32位	禁用	8或16位	8位
20位	32位t	使能	9 ⁽⁴⁾ 或者18位 ⁽⁵⁾	9位
	40位	禁用	10或20位	10位

图1-33: 双宽模式中的字节排序操作的实例

双宽模式中字节排序操作的实例 (16位 PMA-PCS接口宽度), 其中A1A2是预定义的字节排序码型, 而P是预定义的pad码型。



基于字对齐的排序模式

在基于字对齐的排序模式中, 字节排序操作被字对齐器同步状态机信号rx_syncstatus所控制。在rx_syncstatus信号的上升沿后, 字节排序查找字节解串数据中的字节排序码型。找到匹配字节排序码型的第一个数据字节时, 字节排序执行以下操作:

- 如果码型不在LSByte位置一字节排序插入适当数量的pad码型以便将字节排序码型推到LSByte位置, 并表明字节对齐。
- 如果码型在LSByte位置一字节排序表明字对齐。

其后发现任何字节不对称均可忽略, 除非在rx_syncstatus信号上的另一个上升沿, 表明观测到重同步。

手动排序模式

在手动排序模式中, 使用rx_enabyteord信号对字节排序操作进行控制。rx_enabyteord信号的一个上升沿会触发字节排序, 以查找字节解串数据中的字节排序码型。找到匹配字节排序码型的第一个数据字节时, 字节排序执行下列操作:

- 如果码型不在LSByte位置一字节排序插入适当数量的pad码型以便将字节排序码型推到LSByte位置, 并表明字节对齐。
- 如果码型在LSByte位一字节排序表明字节对齐。

⁽⁴⁾ 9位码型的MSB表示8B/10B解码数据的1位控制标识符。较低的8位表示8位解码的代码。
⁽⁵⁾ 18位码型包含两套9位码型, 如之前的注释一样, 单独地表示。

其后发现任何字节不对称均可忽略，除非在rx_enabyteord信号上观测到另一个上升沿。

接收器相位补偿FIFO

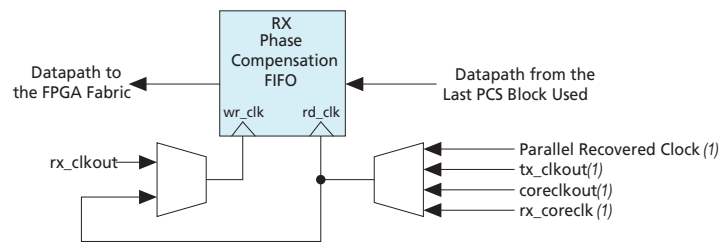
该接收器相位补偿FIFO为四字深度，并且连接接收器PCS和FPGA架构或者PCIe硬核IP模块之间状态和数据信号。

低速并行时钟驱动写时钟，FPGA架构接口时钟驱动读时钟。这两个时钟必须具有0 ppm的频率相异否则可能导致一个接收器相位补偿FIFO下溢或上溢。

FIFO支持下面的操作：

- 各种读写时钟配置下的相位补偿模式
- 只含一个时钟周期的数据通路延迟的寄存器模式

图1-34: 接收器相位补偿FIFO



注释：
1. 使用字节解串器时，这些时钟可能已经被二分频。

相关链接

[Cyclone V器件中的收发器时钟](#)

寄存器模式

对于那些对数据通路延迟不确定性有着严格要求的应用，为了消除FIFO延迟的不确定性，当连接发送通道到FPGA架构时，旁路FIFO功能使用寄存器模式时仅产生一个时钟周期的数据通路延迟。当连接发送通道到FPGA架构或者PCIe硬核IP模式时，将FIFO配置成寄存器模式以减少数据通路的延迟。在寄存器模式中，用发送器PCS的低速并行时钟给FIFO提供时钟。

通道绑定

通道间的高速串行时钟和低速并行时钟偏移以及发送器相位补偿FIFO中不相等的延迟导致了发送器通道到通道的偏移。当与non-bonded通道相比，bonded发送器数据通路时钟提供低的通道到通道偏移。

- Bonded通道配置—所有bonded通道的串行时钟和并行时钟由同一个发送PLL和中央时钟分频器生成，导致较低的通道到通道时钟偏移。

所有bonded通道中的发送器相位补偿FIFO共享同一个指针以及中央时钟分频器中生成的控制逻辑，导致所有bonded通道的发送器相位补偿FIFO中的相等延迟。所有通道的发送器相位补偿FIFO中较低的收发器模块偏移和相等延迟使得bonded通道有较低的通道到通道偏移。

- Non-bonded通道配置—每个通道中的并行时钟都由其本地的时钟分频器单独的生成，导致更高的通道到通道时钟偏移。

每个non-bonded通道中的发送器相位补偿FIFO均有各自的指针和控制逻辑，导致每个通道的发送器相位补偿FIFO中不等的延迟。每个通道的发送器相位补偿FIFO中的更高的收发器时钟偏移和不等的延迟可以导致更高的通道到通道偏移。

相关链接
[Cyclone V器件中的收发器时钟](#)

PLL共享

在Quartus II设计中，可以合并两个差分协议配置以共享相同的CMU PLL资源。这些配置必须适合于同一个收发器bank，并且输入refclk和PLL输出频率必须相同。

文档修订历史

本章节的文档修订历史。

表1-30: 文档修订历史

日期	版本	修订内容
2013年5月	2013.05.06	<ul style="list-style-type: none">• 在知识基础中添加了已知文档问题的链接。• 更新了Cyclone V器件的收发器体系结构部分。• 更新了体系结构概述部分。• 更新了自动锁定模式部分。• 更新了发送器缓存部分。• 更新了表1-2。• 更新了表1-5。• 更新了速率匹配FIFO部分。• 更新了收发器Bank部分。• 添加了通道种类部分。• 更新了收发器通道体系结构部分。• 更新了图 1-7。• 更新了发送器PLL部分。• 更新了通道PLL体系结构部分。• 更新了通道PLL作为CDR PLL部分。• 更新了自动锁定模式中的CDR PLL部分。• 添加了手动锁定模式中的CDR PLL部分。• 更新了通道PLL作为CMU PLL部分。• 添加了fPLL作为发送器PLL部分。

日期	版本	修订内容
		<ul style="list-style-type: none"> 更新了时钟分频器部分。 更新了接收器PMA数据通路部分。 更新了接收器缓存部分。 更新了 可编程接收器V_{CM} 部分。 更新了发送器PMA数据通路部分。 添加了位逆转部分。 更新了发送器缓存部分。 更新了发送器缓存功能和性能部分。 更新了发送器协议规范部分。 更新了校准模块部分。 更新了PCS体系结构部分。 更新了发送器相位补偿FIFO部分。 添加了寄存模式部分。 更新了字节串行器部分。 更新了单宽模式中的8B/10B编码器部分。 更新了字对齐部分。 更新了字对齐选项和行为部分。 更新的手动对齐模式下的字对齐器部分。 更新了可编程运行长度违规检测部分。 更新了速率匹配FIFO部分。 更新了8B/10B解码器部分。 更新了字节解串器部分。 更新了单宽模式中的字节排序部分。 更新了双宽模式中的字节排序部分。 添加了基于字对齐器排序的模式部分。 添加了手动排序模式部分。 更新了接收器相位补偿FIFO部分。 更新了通道Bonding部分。 更新了PLL共享部分。
2012年12月	2012.12.03	<p>移除了图1-6的注释，表明只有特定的收发器通道支持连接PCIe。</p> <p>从发送器缓存功能和性能以及PMA接收器缓存中移除DC-耦合信息。</p>
2012年11月	2012.11.19	重组内容并更新模板。

日期	版本	修订内容
2012年6月	1.1	<p>添加了Cyclone V器件的收发器Basics的内容。</p> <p>更新了“体系结构概述”、“PMA体系结构”和“PCS体系结构”部分。</p> <p>更新了表1-11。</p> <p>更新了图 1-36。</p>