

2013.05.06

CV-53005

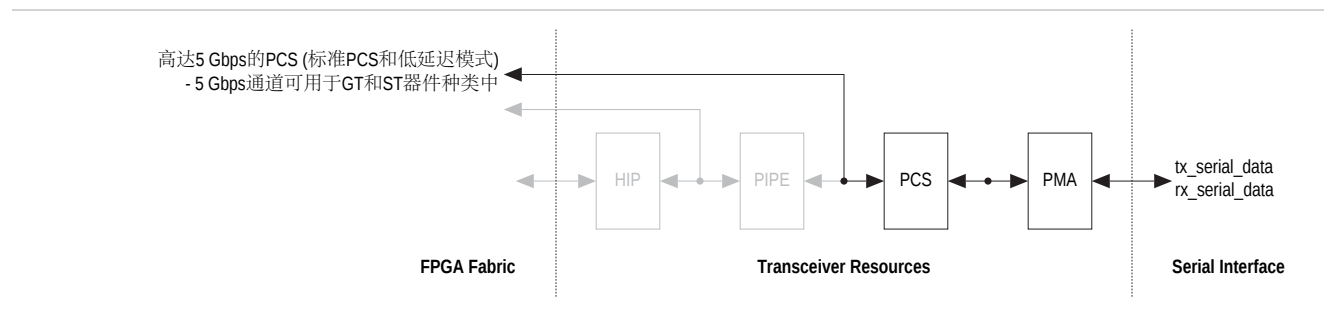
 订阅  反馈

与FPGA架构的集成，全双工收发器通道支持具有物理介质附加子层(PMA)和物理编码子层(PCS)的定制配置。

可以通过下面的其中一种配置来定制收发器：

- 标准PCS—物理编码子层(PCS)和物理介质附加子层(PMA)
- 低延迟模式中的标准PCS—低延迟PCS和PMA

图5-1: 定制配置选项



相关链接

[Cyclone V器件手册: 已知问题](#)

列出了对Cyclone V器件手册章节规划的更新。

标准PCS配置

在这种配置中，可以定制收发器通道以包括应用所需功能的PMA和PCS。收发器通道通过PCS连接FPGA架构。

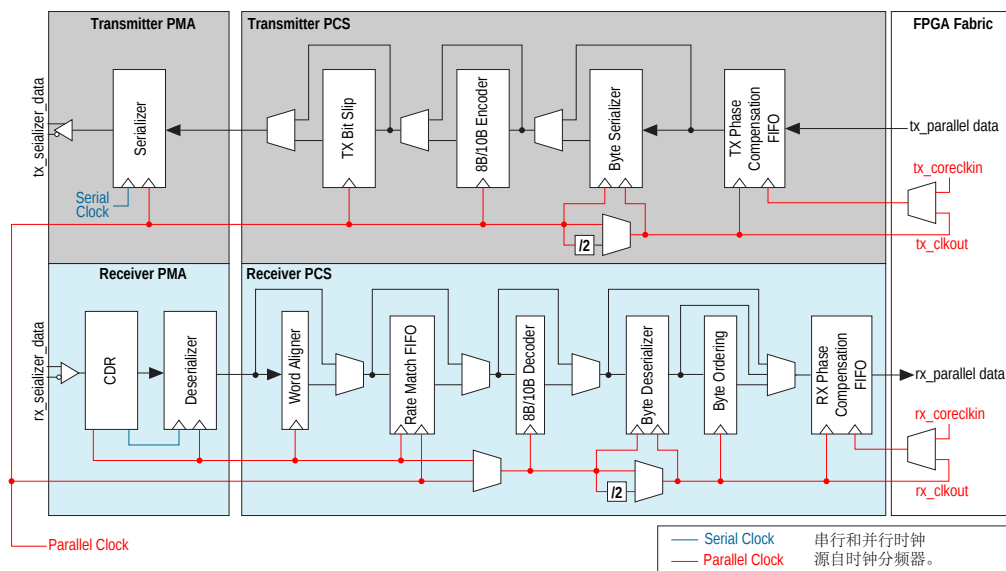
© 2013 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008
Registered

ALTERA®

图5-2: 在定制配置中的完整数据通路

根据应用的要求, 您可以使能、修改或者禁用除了去偏移FIFO之外的其他模块, 如下图所示。



定制配置通道选项

使用定制配置时, 有多个通道选项。

根据字节串行器/解串器(SERDES)以及8B/10B编码器或解码器的使用, 所支持的接口宽度会有所不同。假设已经使能了字节串行器和解串器, 不然, 支持的最大数据速率是所支持的值的一半。

支持的最大数据速率根据应用定制的不同而不同。

表5-1: 支持的最大数据速率

下表显示了在Cyclone V GX和SX器件(收发器速度等级 6)以及Cyclone V GT和ST器件(收发器速度等级 5)的标准PCS中, 支持的最大数据速率。

数据配置	PMA-PCS接口宽度	PCS-FPGA架构接口宽度		GX和SX的最大数据速率(Mbps)	GT和ST的最大数据速率(Mbps)
		8B/10B使能	8B/10B禁用		
单宽度模式	8	—	8	1,500	1,500
			16	3,000	3,000
	10	8	10	1,875	1,875
		16	20	3,125	3,750
双宽度模式	16	—	16	2,621.44	2,621.44
			32	3,125	5,000
	20	16	20	3,125	3,276.8
		32	40	3,125	5,000

在通道所有受支持的配置中，发送器bit-slip功能是可选的，在下面的图中：

- 不使用显示为“禁用(Disabled)”的模块，但产生延迟。
- 不使用显示为“旁路(Bypassed)”的模块，不产生任何延迟。
- 发送器bit-slip被禁用。

图5-3: 定制单宽度模式(8-bit PMA - PCS接口宽度)的配置选项

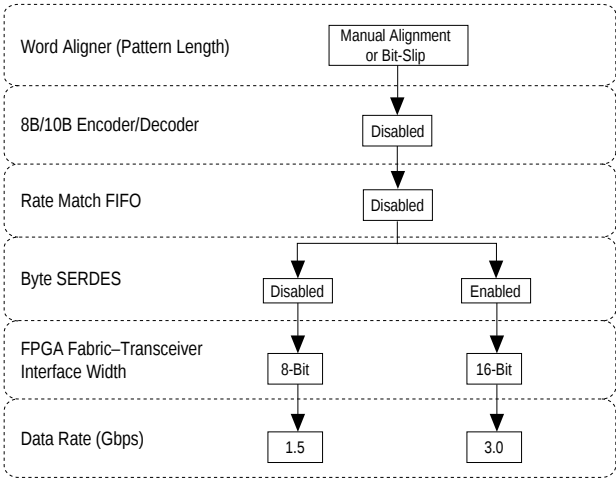


图5-4: 定制单宽度模式(10-bit PMA - PCS接口宽度)的配置选项

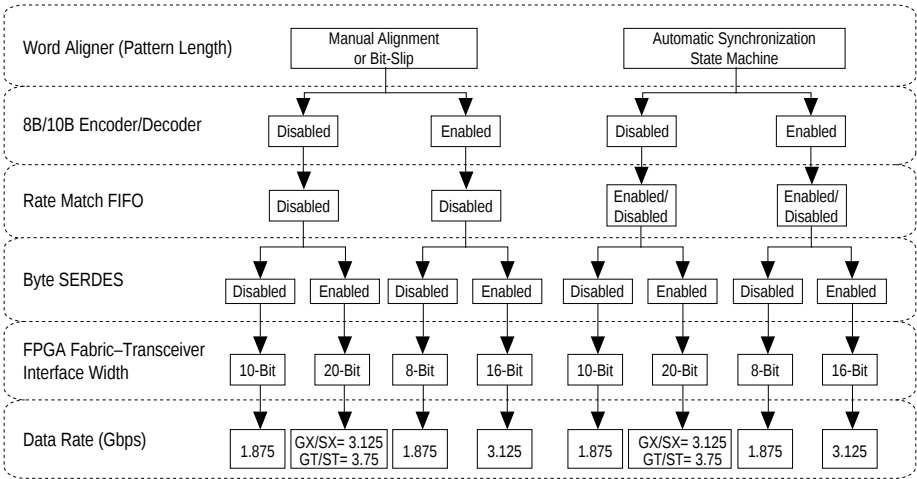


图5-5: 定制双宽度模式(16-bit PMA - PCS接口宽度)的配置选项

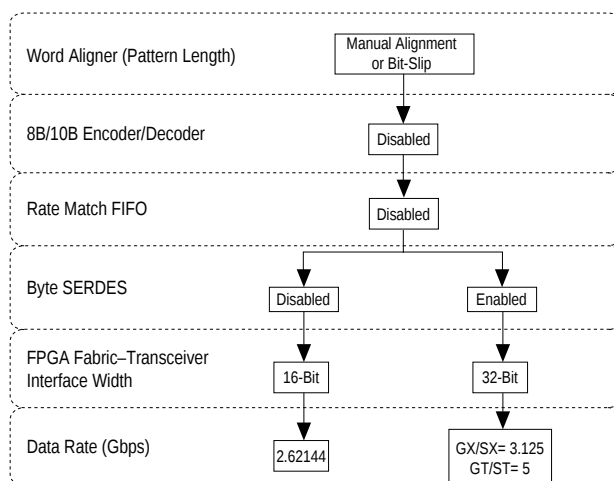
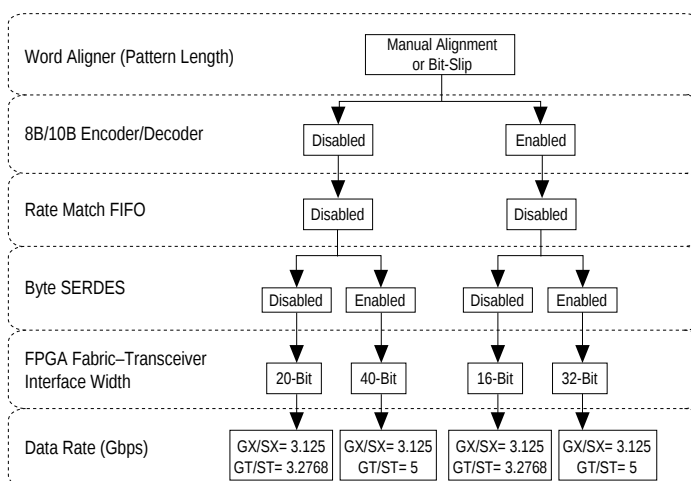


图5-6: 定制双宽度模式(20-bit PMA - PCS接口宽度)的配置选项



定制配置中的速率匹配FIFO

在定制配置中，速率匹配FIFO的20-bit码型是用户定义的。在字对齐器恢复字边界后，该FIFO通过查找数据中的10-bit控制码型(10-bit跳过码型紧跟其后)进行操作。找到码型后，FIFO执行一个跳过码型插入或删除来确保该FIFO在时钟之间不会上溢或下溢一个给定的百万分率(ppm)差异。

速率匹配FIFO的操作要求8B/10B编码的数据。

定制单宽度模式中的速率匹配FIFO的行为

速率匹配FIFO的定制单宽度模式中可用的操作是符号插入、符号删除、空和满的情况。

表5-2: 定制单宽度模式(10-bit PMA – PCS接口宽度)中的速率匹配FIFO的行为

操作	行为
符号插入	如果符号插入后群集中最多存在5个跳过码型，那么在群集中插入最多4个跳过码型。
符号删除	如果符号删除后群集中还剩下一个跳过码型，那么在一个群集中删除最多4个跳过码型。
满的情况	删除导致FIFO变满的数据字节。
空的情况	在导致FIFO变空的数据字节之后，插入/K30.7/ (9'h1FE)。

定制双宽度模式中的速率匹配FIFO行为

速率匹配FIFO的定制双宽度模式中可用的操作是符号插入、符号删除、空和满的情况。

表5-3: 定制双宽度模式(20-bit PMA – PCS接口宽度)中的速率匹配FIFO的行为

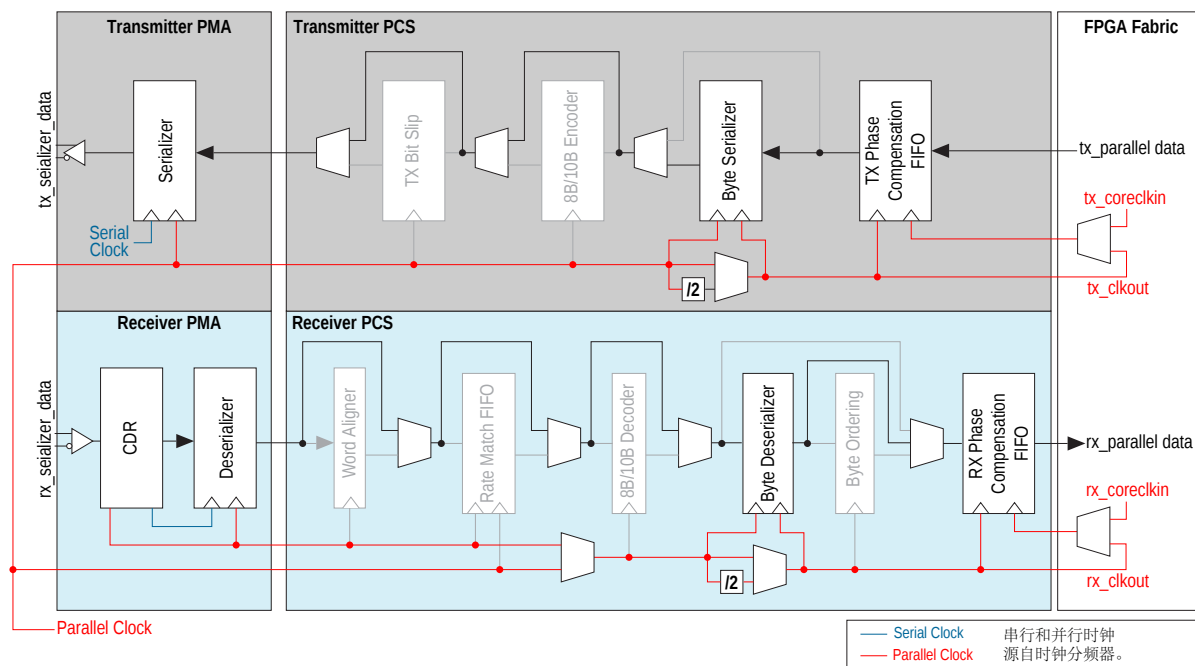
操作	行为
符号插入	插入和跳过码型所需的一样数量的符号对(在相同时钟周期的20-bit字的LSByte和MSByte的10-bit跳过码型上)。
符号删除	删除和跳过码型所需的一样数量的符号对(在相同时钟周期的20-bit字的LSByte和MSByte的10-bit跳过码型上)。
满的情况	删除导致FIFO变满的数据字节的数据对(20-bit字)。
空的情况	在导致FIFO变空的数据字节之后，插入一对/K30.7/({9'h1FE, 9'h1FE})。

低延迟配置中的标准PCS

在这种配置中，可以定制收发器通道包括PMA和PCS，通过旁路大部分PCS逻辑功能来得到低延迟的数据路径。

要提供低延迟数据通路，PCS仅包括相位补偿模式中的相位补偿FIFO，以及可选的，字节串行器和解串器模块，如下图所示。收发器通道通过PCS连接FPGA架构。

图5-7: 低延迟定制配置中的数据通路



支持的最大数据速率根据定制的不同而不同，并且与定制配置相同，除了8B/10B模块被禁用。

低延迟定制配置通道选项

使用低延迟定制配置时，有多个通道选项。

在下面的图中：

- 不使用显示为“禁用(Disabled)”的模块，但产生延迟。
- 不使用显示为“旁路(Bypassed)”的模块，不产生任何延迟。
- 发送器bit-slip被禁用。

图5-8: 低延迟定制单宽度模式(8-bit PMA – PCS接口宽度)的配置选项

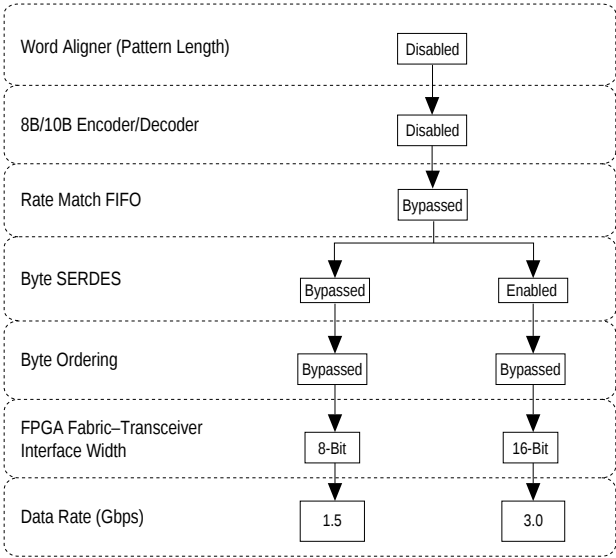


图5-9: 低延迟定制单宽度模式(10-bit PMA – PCS接口宽度)的配置选项

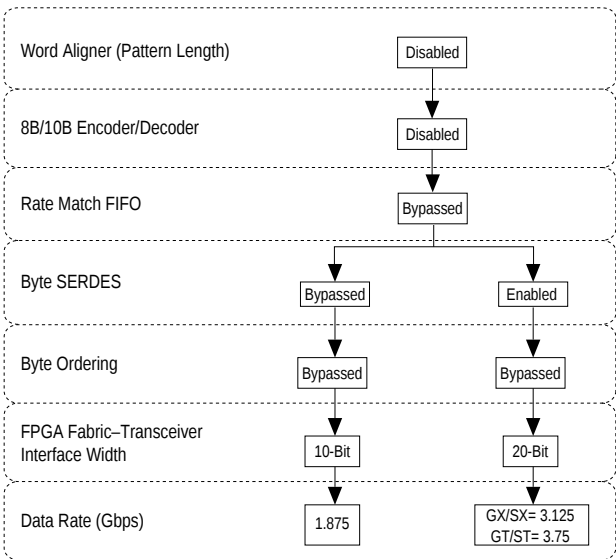


图5-10: 低延迟定制双宽度模式(16-bit PMA - PCS接口宽度)的配置选项

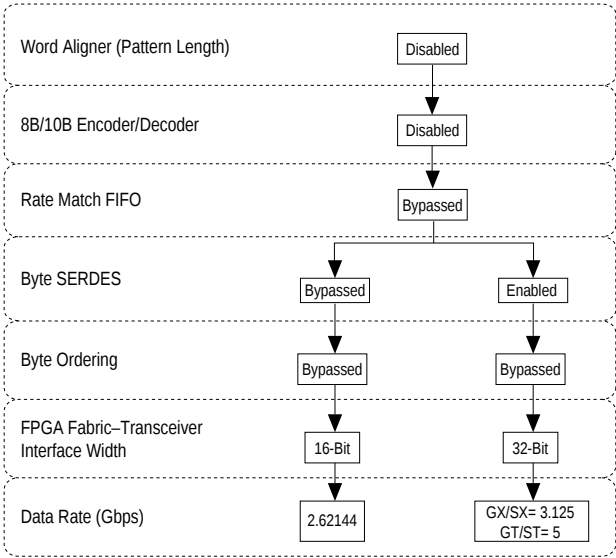
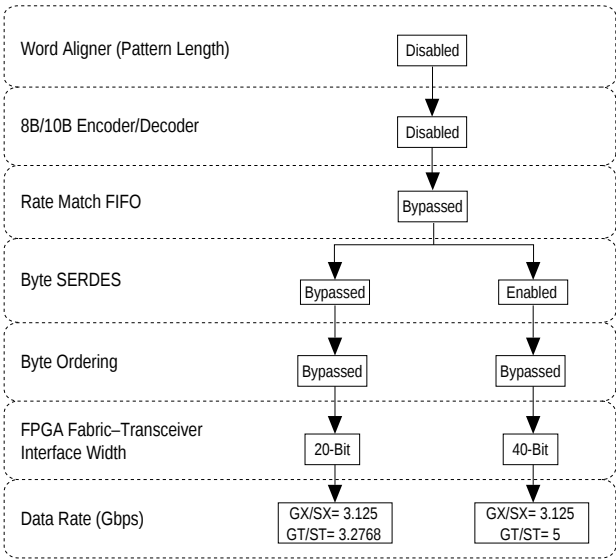


图5-11: 低延迟定制双宽度模式(20-bit PMA - PCS接口宽度)的配置选项



文档修订历史

表5-4: 文档修订历史

日期	版本	修订内容
2013年5月	2013.05.06	在知识基础中添加了已知文档问题的链接。
2012年11月	2012.11.19	重组内容并更新模板。
2012年6月	1.1	针对Quartus II 12.0的发布进行的更新。
2011年10月	1.0	首次发布。