

2013.05.06

CV-52005



订阅



反馈

本章节提供了有关Cyclone® VI/O单元 (IOE)的特性以及IOE如何符合现有及新兴的I/O标准和要求来进行操作。

Cyclone V支持以下功能:

- 单端、非电压参考和电压参考I/O标准
- 低电压差分信号(LVDS)、RSDS、mini-LVDS、HSTL、HSUL和SSTL I/O标准
- 串化器/解串器(SERDES)
- 可编程输出电流强度
- 可编程摆率
- 可编程总线保持
- 可编程的上拉电阻
- 可编程预加重
- 可编程I/O延迟
- 可编程电压输出差分(V_{OD})
- 开漏输出
- 带和不带校准的片上并行匹配(R_S OCT)
- 片上并行匹配(R_T OCT)
- 片上差分匹配(R_D OCT)
- 高速差分I/O支持

注意: 本章节中的信息适用于所有器件系列, 除非另有说明。

相关链接

[Cyclone V器件手册: 已知问题](#)

列出了计划更新的 Cyclone V器件手册章节。

Cyclone V器件中每个封装的I/O资源

以下不同的Cyclone V器件系列中的封装计划表列出了每个封装中可用的最大化I/O资源。

© 2013 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008
Registered



表5-1: Cyclone V E器件的封装计划—初始值

成员代码	M383	M484	U324	F256	U484	F484	F672	F896
	GPIO	GPIO	GPIO	GPIO	GPIO	GPIO	GPIO	GPIO
A2	223	—	176	128	224	224	—	—
A4	223	—	176	128	224	224	—	—
A5	175	—	—	—	224	240	—	—
A7	—	240	—	—	240	240	336	480
A9	—	—	—	—	240	224	336	480

表5-2: Cyclone V GX器件的封装计划—初始值

成员代码	M301		M383		M484		U324		U484		F484		F672		F896		F1152	
	GPIO	XCVR	GPIO	XCVR	GPIO	XCVR	GPIO	XCVR	GPIO	XCVR	GPIO	XCVR	GPIO	XCVR	GPIO	XCVR	GPIO	XCVR
C3	—	—	—	—	—	—	144	3	208	3	208	3	—	—	—	—	—	—
C4	129	4	175	6	—	—	—	—	224	6	240	6	336	6	—	—	—	—
C5	129	4	175	6	—	—	—	—	224	6	240	6	336	6	—	—	—	—
C7	—	—	—	—	240	3	—	—	240	6	240	6	336	9	480	9	—	—
C9	—	—	—	—	—	—	—	—	240	5	224	6	336	9	480	12	560	12

表5-3: Cyclone V GT器件的封装计划—初始值

成员代码	M301		M383		M484		U484		F484		F672		F896		F1152	
	GPIO	XCVR	GPIO	XCVR	GPIO	XCVR	GPIO	XCVR	GPIO	XCVR	GPIO	XCVR	GPIO	XCVR	GPIO	XCVR
D5	129	4	175	6	—	—	224	6	240	6	336	6	—	—	—	—
D7	—	—	—	—	240	3	240	6	240	6	336	9	480	9	—	—
D9	—	—	—	—	—	—	240	5	224	6	336	9	480	12	560	12

表5-4: Cyclone V SE器件的封装计划—初始值

成员代码	U484		U672		F896	
	FPGA GPIO	HPS I/O	FPGA GPIO	HPS I/O	FPGA GPIO	HPS I/O
A2	66	151	145	181	—	—
A4	66	151	145	181	—	—
A5	66	151	145	181	288	181
A6	66	151	145	181	288	181

表5-5: Cyclone V SX器件的封装计划—初始值

成员代码	U672			F896		
	FPGA GPIO	HPS I/O	XCVR	FPGA GPIO	HPS I/O	XCVR
C2	145	181	6	—	—	—
C4	145	181	6	—	—	—
C5	145	181	6	288	181	9
C6	145	181	6	288	181	9

表5-6: Cyclone V ST器件的封装计划—初始值

成员代码	F896		
	FPGA GPIO	HPS I/O	XCVR
D5	288	181	9
D6	288	181	9

要了解关于每种器件系列的详细信息，请参考器件概述。

相关链接

[Cyclone V器件概述](#)

Cyclone V器件的I/O纵向移植

图5-1: 在Cyclone V器件封装中的纵向移植能力和密度—初始值。

箭头表明纵向移植的路径。每个纵向移植路径中包括的器件以阴影表示。如果器件具有相同的专用管脚、配置管脚和功耗管脚，那么您也可以在同一封装选项的器件密度中移植设计。

器件系列	成员代码	封装										
		M301	M383	M484	F256	U324	U484	F484	U672	F672	F896	F1152
Cyclone V E	A2		↕	↕		↕	↕	↕	↕			
	A4		↕		↕	↕						
	A5		↕									
	A7						↕	↕		↕	↕	
	A9						↕	↕				
Cyclone V GX	C3						↕	↕				
	C4	↕	↕							↕		
	C5	↕	↕									
	C7						↕	↕			↕	
	C9						↕	↕		↕	↕	
Cyclone V GT	D5						↕	↕		↕	↕	
	D7						↕	↕			↕	
	D9						↕	↕		↕	↕	
Cyclone V SE	A2						↕		↕			
	A4						↕					
	A5										↕	
	A6						↕		↕		↕	
Cyclone V SX	C2								↕			
	C4								↕			
	C5										↕	
	C6								↕		↕	
Cyclone V ST	D5										↕	
	D6										↕	

如果仅使用最多175 GPIO，那么能够在红色阴影中实现纵向移植。该移植路径不会显示在Quartus II软件的Pin Migration View。

注意：要验证管脚移植能力，请使用 Quartus® II 软件 Pin Planner 中的 Pin Migration View。

相关链接

- [验证管脚移植功能](#) (第5-5页)
- [I/O Management](#) 章节，[Quartus II 手册](#) 提供了关于纵向I/O移植的更多信息。

验证管脚移植功能

可以使用Quartus II软件Pin Planner中的Pin Migration View来帮助验证管脚分配是否成功地移植到不同的器件中。您可以使用同一器件封装的不同密度纵向移植到器件，或者使用不同密度和球数在封装间进行移植。

1. 打开**Assignments > Pin Planner**并创建管脚分配。
2. 如果需要，可执行下列选项之一，在设计中填入带节点名称的Pin Planner：
 - Analysis & Elaboration
 - Analysis & Synthesis
 - 完全编译设计(Fully compile the design)
3. 然后，在菜单上，点击 **View > Pin Migration View**。
4. 要选择或改变移植器件：
 - a. 点击 **Device**打开 **Device**对话框。
 - b. 在 **Migration compatibility**中点击 **Migration Devices**。
5. 要显示有关该管脚更多的信息：
 - a. 在**Pin Migration View**窗口中任意右击，并选择**Show Columns**。
 - b. 然后，点击所要显示的管脚功能。
6. 如果只是想要查看管脚，那么至少在一个移植器件中，与相应管脚具有不同功能的移植结果，打开 **Show migration differences**。
7. 点击 **Pin Finder**打开 **Pin Finder**对话框，并查找和高亮显示具有特定功能的管脚。
如果只是想要查看由**Pin Finder**对话框中最近查询所找到和高亮显示的管脚，可打开**Show only highlighted pins**。
8. 要导出管脚移植信息到一个Comma-Separated Value File (.csv)，请点击 **Export**。

相关链接

- [Cyclone V器件的I/O纵向移植](#) (第5-4页)
- [I/O Management](#)章节，[Quartus II手册](#)
提供了关于纵向I/O移植的更多信息。

Cyclone V器件中支持的I/O标准

本章节列出了Cyclone V器件的FPGA I/O和HPS I/O中支持的I/O标准、每种I/O标准典型的电源值，以及MultiVolt I/O接口的功能。

Cyclone V器件的FPGA I/O所支持的I/O标准

表5-7: Cyclone V器件的FPGA I/O中所支持的I/O标准

I/O标准	标准支持
3.3 V LVTTTL/3.3 V LVCMOS	JESD8-B
3.0 V LVTTTL/3.0 V LVCMOS	JESD8-B
3.0 V PCI ⁽¹⁾	PCI Rev. 2.2
3.0 V PCI-X ⁽²⁾	PCI-X Rev. 1.0
2.5 V LVCMOS	JESD8-5
1.8 V LVCMOS	JESD8-7
1.5 V LVCMOS	JESD8-11
1.2 V LVCMOS	JESD8-12
SSTL-2 Class I	JESD8-9B
SSTL-2 Class II	JESD8-9B
SSTL-18 Class I	JESD8-15
SSTL-18 Class II	JESD8-15
SSTL-15 Class I	—
SSTL-15 Class II	—
1.8 V HSTL Class I	JESD8-6
1.8 V HSTL Class II	JESD8-6
1.5 V HSTL Class I	JESD8-6
1.5 V HSTL Class II	JESD8-6
1.2 V HSTL Class I	JESD8-16A
1.2 V HSTL Class II	JESD8-16A
差分SSTL-2 Class I	JESD8-9B
差分SSTL-2 Class II	JESD8-9B
差分SSTL-18 Class I	JESD8-15
差分SSTL-18 Class II	JESD8-15
差分SSTL-15 Class I	—
差分SSTL-15 Class II	—

⁽¹⁾ 不支持3.3 V PCI I/O标准。⁽²⁾ 不支持3.3 V PCI-X I/O标准。PCI-X不满足线性区域的PCI-X I - V曲线要求。

I/O标准	标准支持
差分1.8 V HSTL Class I	JESD8-6
差分1.8 V HSTL Class II	JESD8-6
差分1.5 V HSTL Class I	JESD8-6
差分1.5 V HSTL Class II	JESD8-6
差分1.2 V HSTL Class I	JESD8-16A
差分1.2 V HSTL Class II	JESD8-16A
LVDS	ANSI/TIA/EIA-644
RSDS ⁽³⁾	—
Mini-LVDS ⁽⁴⁾	—
LVPECL	—
SLVS	JESD8-13
Sub-LVDS	—
HiSpi	—
SSTL-15	JESD79-3D
SSTL-135	—
SSTL-125	—
HSUL-12	—
差分SSTL-15	JESD79-3D
差分SSTL-135	—
差分SSTL-125	—
差分HSUL-12	—

Cyclone V器件的HPS I/O所支持的I/O标准

表5-8: Cyclone V SE, SX以及ST器件的HPS I/O中所支持的I/O标准

I/O标准	标准支持	HPS列I/O	HPS行I/O
3.3 V LVTTL/3.3 V LVCMOS	JESD8-B	支持	—
3.0 V LVTTL/3.0 V LVCMOS	JESD8-B	支持	—

⁽³⁾ Cyclone V器件支持在所有I/O bank中使用真LVDS输出缓冲器类型的高达230 Mbps数据速率的真RSDS输出标准。

⁽⁴⁾ Cyclone V器件支持在所有I/O bank中使用真LVDS输出缓冲类型的高达340 Mbps数据速率的真mini-LVDS输出标准。

I/O标准	标准支持	HPS列I/O	HPS行I/O
2.5 V LVCMOS	JESD8-5	支持	—
1.8 V LVCMOS	JESD8-7	支持	支持
1.5 V LVCMOS	JESD8-11	支持	—
SSTL-18 Class I	JESD8-15	—	支持
SSTL-18 Class II	JESD8-15	—	支持
SSTL-15 Class I	—	—	支持
SSTL-15 Class II	—	—	支持
1.5 V HSTL Class I	JESD8-6	支持	—
1.5 V HSTL Class II	JESD8-6	支持	—
SSTL-135	—	—	支持
SSTL-125	—	—	支持
HSUL-12	—	—	支持

Cyclone V器件中的I/O标准电压电平

表5-9: Cyclone V中的I/O标准电压电平

该表列出了Cyclone V器件中所支持的每种I/O标准典型的电源。

I/O标准	V _{CCIO} (V)		V _{CCPD} (V) (预驱动电压)	V _{REF} (V) (输入参考电压)	V _{TT} (V) (电路板匹配电压)
	输入 ⁽⁵⁾	输出			
3.3 V LVTTTL/3.3 V LVCMOS	3.3/3.0/2.5	3.3	3.3	—	—
3.0 V LVTTTL/3.0 V LVCMOS	3.0/2.5	3.0	3.0	—	—
3.0 V PCI	3.0	3.0	3.0	—	—
3.0 V PCI-X	3.0	3.0	3.0	—	—
2.5 V LVCMOS	3.0/2.5	2.5	2.5	—	—
1.8 V LVCMOS	1.8/1.5	1.8	2.5	—	—
1.5 V LVCMOS	1.8/1.5	1.5	2.5	—	—
1.2 V LVCMOS	1.2	1.2	2.5	—	—
SSTL-2 Class I	V _{CCPD}	2.5	2.5	1.25	1.25

⁽⁵⁾ SSTL、HSTL、差分SSTL、差分HSTL、LVDS、RSDS、Mini-LVDS、LVPECL、HSUL和差分HSUL的输入由V_{CCPD}供电。

I/O标准	V_{CCIO} (V)		V_{CCPD} (V) (预驱动电压)	V_{REF} (V) (输入参考电压)	V_{TT} (V) (电路板匹配电压)
	输入 ⁽⁵⁾	输出			
SSTL-2 Class II	V_{CCPD}	2.5	2.5	1.25	1.25
SSTL-18 Class I	V_{CCPD}	1.8	2.5	0.9	0.9
SSTL-18 Class II	V_{CCPD}	1.8	2.5	0.9	0.9
SSTL-15 Class I	V_{CCPD}	1.5	2.5	0.75	0.75
SSTL-15 Class II	V_{CCPD}	1.5	2.5	0.75	0.75
1.8 V HSTL Class I	V_{CCPD}	1.8	2.5	0.9	0.9
1.8 V HSTL Class II	V_{CCPD}	1.8	2.5	0.9	0.9
1.5 V HSTL Class I	V_{CCPD}	1.5	2.5	0.75	0.75
1.5 V HSTL Class II	V_{CCPD}	1.5	2.5	0.75	0.75
1.2 V HSTL Class I	V_{CCPD}	1.2	2.5	0.6	0.6
1.2 V HSTL Class II	V_{CCPD}	1.2	2.5	0.6	0.6
差分SSTL-2 Class I	V_{CCPD}	2.5	2.5	—	1.25
差分SSTL-2 Class II	V_{CCPD}	2.5	2.5	—	1.25
差分SSTL-18 Class I	V_{CCPD}	1.8	2.5	—	0.9
差分SSTL-18 Class II	V_{CCPD}	1.8	2.5	—	0.9
差分SSTL-15 Class I	V_{CCPD}	1.5	2.5	—	0.75
差分SSTL-15 Class II	V_{CCPD}	1.5	2.5	—	0.75
差分1.8 V HSTL Class I	V_{CCPD}	1.8	2.5	—	0.9
差分1.8 V HSTL Class II	V_{CCPD}	1.8	2.5	—	0.9
差分1.5 V HSTL Class I	V_{CCPD}	1.5	2.5	—	0.75
差分1.5 V HSTL Class II	V_{CCPD}	1.5	2.5	—	0.75
差分1.2 V HSTL Class I	V_{CCPD}	1.2	2.5	—	0.6
差分1.2 V HSTL Class II	V_{CCPD}	1.2	2.5	—	0.6
LVDS	V_{CCPD}	2.5	2.5	—	—
RSDS	V_{CCPD}	2.5	2.5	—	—
Mini-LVDS	V_{CCPD}	2.5	2.5	—	—
LVPECL (仅差分时钟输入)	V_{CCPD}	—	2.5	—	—

⁽⁵⁾ SSTL、HSTL、差分SSTL、差分HSTL、LVDS、RSDS、Mini-LVDS、LVPECL、HSUL和差分HSUL的输入由 V_{CCPD} 供电。

I/O标准	V_{CCIO} (V)		V_{CCPD} (V) (预驱动电压)	V_{REF} (V) (输入参考电压)	V_{TT} (V) (电路板匹配电压)
	输入 ⁽⁵⁾	输出			
SLVS (I仅输入)	V_{CCPD}	—	2.5	—	—
Sub-LVDS (仅输入)	V_{CCPD}	—	2.5	—	—
HiSpi (仅输入)	V_{CCPD}	—	2.5	—	—
SSTL-15	V_{CCPD}	1.5	2.5	0.75	通常不需要电路板匹配
SSTL-135	V_{CCPD}	1.35	2.5	0.675	
SSTL-125	V_{CCPD}	1.25	2.5	0.625	
HSUL-12	V_{CCPD}	1.2	2.5	0.6	
差分SSTL-15	V_{CCPD}	1.5	2.5	—	通常不需要电路板匹配
差分SSTL-135	V_{CCPD}	1.35	2.5	—	
差分SSTL-125	V_{CCPD}	1.25	2.5	—	
差分HSUL-12	V_{CCPD}	1.2	2.5	—	

相关链接

[Cyclone V器件中的MultiVolt I/O接口 \(第5-10页\)](#)

Cyclone V器件中的MultiVolt I/O接口

MultiVolt I/O接口功能支持所有封装中的Cyclone V器件与不同供电电压的系统连接。

表5-10: Cyclone V器件的MultiVolt I/O支持

V_{CCIO} (V)	V_{CCPD} (V)	输入信号(V)	输出信号(V)
1.2	2.5	1.2	1.2
1.25	2.5	1.25	1.25
1.35	2.5	1.35	1.35
1.5	2.5	1.5, 1.8	1.5
1.8	2.5	1.5, 1.8	1.8
2.5	2.5	2.5, 3.0, 3.3	2.5
3.0	3.0	2.5, 3.0, 3.3	3.0
3.3	3.3	2.5, 3.0, 3.3	3.3

⁽⁵⁾ SSTL、HSTL、差分SSTL、差分HSTL、LVDS、RSDS、Mini-LVDS、LVPECL、HSUL和差分HSUL的输入由 V_{CCPD} 供电。

管脚电流可能会比默认值略高。验证驱动器件的 V_{OL} 最大化和 V_{OH} 最小化电压不会违背适用于Cyclone V器件的 V_{IL} 最大化和 V_{IH} 最小化电压规格。

V_{CCPD} 电源管脚必须被连接到2.5 V、3.0 V或者3.3 V的电源。通过使用这些电源管脚来对输出缓冲器提供预驱动电源可以提高输出管脚的性能。

注意：如果输入信号为3.0 V或者3.3 V，那么Altera建议在所有I/O管脚上使用一个钳位二极管。

相关链接

[Cyclone V器件中的I/O标准电压电平 \(第5-8页\)](#)

Cyclone V器件的I/O设计指南

为了确保您的设计成功，需要特别注意几方面。除非另有说明，这些设计指南适用于此器件系列的所有类型。

混合电压参考和非电压参考I/O标准

每个I/O bank可同时支持多个I/O标准。以下部分提供了器件中混合非电压参考和电压参考I/O标准的指南。

非电压参考I/O标准

Cyclone V器件中的每个I/O bank都有其自身的 V_{CCIO} 管脚，但仅支持一个 V_{CCIO} 值，如1.2、1.25、1.35、1.5、1.8、2.5、3.0或者3.3 V。如果I/O标准支持I/O bank中的 V_{CCIO} 电平，那么一个I/O bank能够同时支持具有不同I/O标准约束的任意数量的输入信号。

对于输出信号，单一I/O bank支持与 V_{CCIO} 相同电压驱动的非电压参考输出信号。由于一个I/O bank仅能有一个 V_{CCIO} 值，它仅能为非电压参考信号驱动该值。

例如，一个具有2.5 V V_{CCIO} 设置的I/O bank能够支持2.5 V的标准输入和输出，以及3.0 V LVCMOS的输入。

电压参考I/O标准

为了适应电压参考I/O标准：

- Cyclone V I/O bank包含专用的 V_{REF} 管脚。
- 每个bank只能有一个 V_{CCIO} 电压电平和一个电压参考(V_{REF})电平。

如果 V_{CCIO} 和 V_{REF} 在相同的电平上，那么采用单端或者差分标准的I/O bank能够支持不同的电压参考标准。

出于性能上的考虑，电压参考输入标准使用它们自身的 V_{CCPD} 电平作为电源。这一特性使您能够将一个2.5 V或更低 V_{CCIO} 参考电压输入信号放入I/O bank中。例如，您可以将HSTL-15输入管脚放置在一个2.5 V V_{CCIO} 的I/O bank中。然而，具有 R_T OCT使能的电压参考输入要求I/O bank的 V_{CCIO} 与输入标准的电压相匹配。当 V_{CCIO} 为2.5 V时， R_T OCT不能被HSTL-15 I/O标准支持。

双向电压参考和输出信号必须与I/O bank的 V_{CCIO} 电压相同。例如，您仅能将SSTL-2输出管脚放置在2.5 V V_{CCIO} 的I/O bank中。

混合电压参考和非电压参考I/O标准

通过分别设置规则，一个I/O bank能够支持电压参考管脚和非电压参考管脚。

例如：

- 一个I/O bank能够支持SSTL-18输入和输出，以及具有1.8 V V_{CCIO} 和0.9 V V_{REF} 的1.8 V输入及输出。
- 一个I/O bank能够支持具有1.5 V V_{CCIO} 和0.75 V V_{REF} 的1.5 V标准、1.8 V输入(但不是输出)和1.5 V HSTL I/O标准。

PLL和时钟

Cyclone V器件系列支持器件每一侧上的分数PLL。可以使用分数PLL来减少振荡器数量，以及通过从单一参考时钟源合成多个时钟频率，在FPGA中使用的时钟管脚。

角落的分数PLL能够驱动LVDS接收器和驱动器通道。不过，时钟树网络不能横跨到不同的I/O域。例如，左上角的分数PLL不能横跨来驱动LVDS接收器以及右上方I/O bank的驱动器通道。Quartus II编译器自动检查设计，如果没有遵循指南，将会发出一个错误信息。

相关链接

- [高速差分I/O位置](#) (第5-52页)
可用于每个器件的PLL位置。
- [指南：将整数PLL模式中的PLL用于LVDS](#) (第5-12页)

指南：将整数PLL模式中的PLL用于LVDS

要驱动LVDS通道，必须使用整形PLL模式中的PLL。角落的PLL能够驱动LVDS接收器和发送器通道。

指南：LVDS应用的参考时钟限制

必须使用数据通道所使用的同一I/O bank的专用参考时钟管脚。对于不含专用参考时钟管脚的I/O bank，在I/O bank中使用下列表格中所列出的参考时钟管脚。

表5-11: 不含专用参考时钟管脚的I/O Bank的参考时钟管脚

器件系列	成员代码	数据通道I/O Bank	参考时钟管脚I/O Bank
Cyclone V E	A2, A4	使用右下方PLL的Bank	4A
		使用左下方PLL的Bank	3B
		使用右上方PLL的Bank	7A
		使用左上方PLL的Bank	8A
	A5, A9	3A	3B
		5A	5B
	A7	5A	5B
Cyclone V GX	C4, C5, C9	3A	3B
		5A	5B
	C3, C7	5A	5B
Cyclone V GT	D5, D9	3A	3B
		5A	5B
	D7	3A	3B
Cyclone V SE	A2, A4	3A	3B
		5A	5B
	A5, A6	5A	5B
Cyclone V SX	C2, C4	3A	3B
		5A	5B
	C5, C6	5A	5B
Cyclone V ST	D5, D6	5A	5B

指南：使用 LVDS差分通道

如果使用 LVDS通道，请遵循下面的指南。

LVDS通道驱动距离

每个PLL可以驱动整个象限上所有的 LVDS通道。

使用两个角落的PLL

可以使用两个角落的PLL，同时驱动 LVDS通道。可以使用一个角落的PLL来驱动所有的发送器通道，并且可以使用另一个角落的PLL，在相同I/O bank上驱动所有接收器通道。如果每个PLL驱动通道不交错，那么两个角落的PLL在相同的I/O bank上可以驱动双工通道。由两个角落的PLL驱动通道组不需要间隔。

注意：本部分中的图显示了使用角落PLL的指南，但不一定代表高速LVDS I/O bank确切的位置。

图5-2: 在相同的Bank上角落的PLL驱动LVDS差分I/O

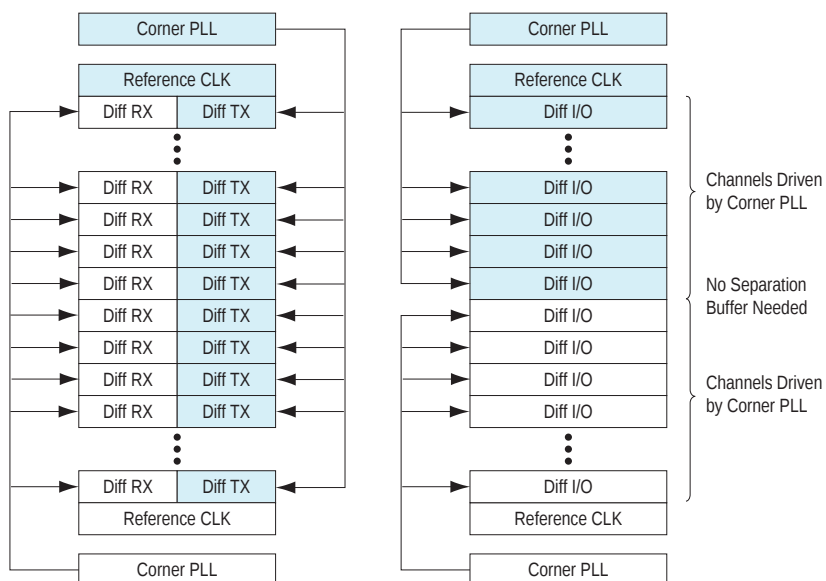
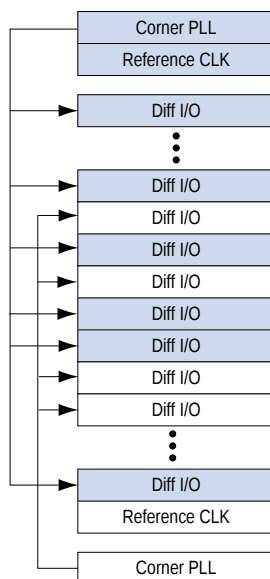


图5-3: 差分I/O的无效布局，由角落PLL驱动通道交错导致



相关链接

[Cyclone V 器件中的时钟网络和PLL](#)

External PLL模式的LVDS接口

MegaWizard Plug-In Manager提供了一个使用**Use External PLL**选项来实现LVDS接口的选项。通过使用此选项，您能够控制PLL设置，例如动态重配置PLL以支持不同的数据速率，动态相移以及其它设置。您也必须例化一个Altera_PLL宏功能，以生成多种时钟和加载使能信号。

对ALTLVDS发送器和接收器使能**Use External PLL**选项时，需要以下来自Altera_PLL宏功能的信号：

- 到ALTLVDS发送器和接收器的SERDES的串行时钟输入信号
- 到ALTLVDS发送器和接收器的SERDES的加载使能信号
- 用于对发送器FPGA架构逻辑提供时钟的并行时钟以及用于接收器 rx_syncclock端口和接收器FPGA架构逻辑的并行时钟
- ALTLVDS接收器的异步PLL复位端口

ALTLVDS宏功能的Altera_PLL信号接口

表5-12: Altera_PLL与ALTLVDS宏功能之间的信号接口

该表列出了Altera_PLL宏功能的输出端口与ALTLVDS发送器和接收器的输入端口之间的信号接口。作为一个实例，该表列出了在端口outclk0、outclk1和outclk2上分别生成的串行时钟输出，加载使能输出和并行时钟，以及Altera_PLL实例的锁定信号。您可以选择任意的PLL输出时钟端口来生成接口时钟。

从Altera_PLL宏功能	至ALTLVDS发送器	至ALTLVDS接收器
串行时钟输出(outclk0) 串行时钟输出(outclk0)只能驱动ALTLVDS发送器上的tx_inclock和ALTLVDS接收器上的rx_inclock。该时钟不能驱动核心逻辑。	tx_inclock (到发送器的串行时钟输入)	rx_inclock (串行时钟输入)
加载使能输出 (outclk1)	tx_enable (到发送器的加载使能信号)	rx_enable (用于解串器的加载使能信号)
并行时钟输出 (outclk2)	FPGA架构中的发送器核心逻辑内使用的并行时钟	FPGA架构中的接收器核心逻辑内使用的并行时钟
~(locked)	—	pll_areset (异步PLL复位端口) pll_areset信号被自动使能，当用于外部PLL模式中的LVDS接收器时。外部PLL选项被使能时，此信号不会存在用于LVDS发送器例化。

注意：soft SERDES的使用对时钟有不同的要求。

相关链接

[LVDS SERDES发送器/接收器 \(ALTLVDS_RX/TX\) 宏功能用户指南](#)

更多关于soft SERDES的不同时钟要求的信息。

External PLL模式的Altera_PLL参数值

下面的实例显示使用Altera_PLL宏功能对ALTLVDS_TX和ALTLVDS_RX生成输出时钟的时钟要求。该实例相移的设定是基于时钟和数据在器件的管脚处是边沿对齐的前提。

注意：对于其它情况下的时钟和数据相位设置，Altera建议无需使用external PLL mode选项，先例化ALTLVDS_RX和ALTLVDS_TX接口。然后在Quartus II中编译宏功能并注意每个时钟输出的频率、相移和占空比设置。在Altera_PLL宏功能参数编辑器中输入这些设置，并将相应的输出连接到ALTLVDS_RX和ALTLVDS_TX宏功能。

表5-13: 实例：使用Altera_PLL宏功能生成输出时钟

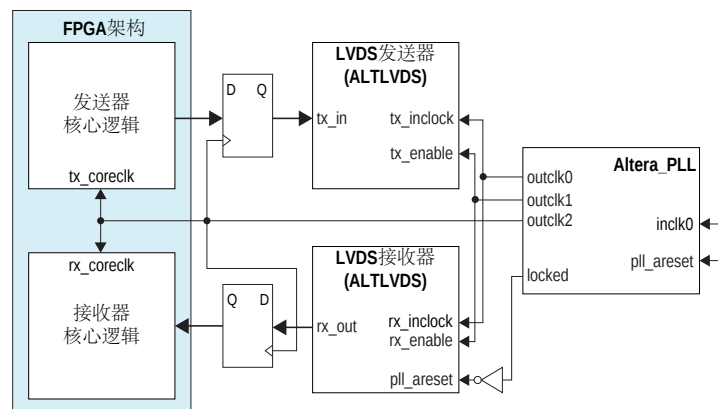
该表列出了在Altera_PLL参数编辑器中可以设定的参数值，在不使用DPA和soft-CDR模式的情况下，使用Altera_PLL宏功能生成三个输出时钟。

参数	outclk0 (连接到ALTLVDS_TX的tx_inclock端口和ALTLVDS_RX的rx_inclock端口上)	outclk1 (连接到ALTLVDS_TX的tx_enable端口和ALTLVDS_RX的rx_enable端口上)	outclk2 (作为发送器和接收器的并行数据寄存器的核心时钟使用)
频率	数据速率	数据率/串化因子	数据率/串化因子
相移	- 180°	$[(\text{解串因子} - 2)/\text{解串因子}] \times 360^\circ$	- 180/串化因子 (outclk0相移除以串化因子)
占空比	50%	100/串化因子	50%

Altera_PLL与ALTLVDS之间的连接

图5-4: LVDS连接Altera_PLL宏功能

该图显示了Altera_PLL与ALTLVDS宏功能之间的连接。



当生成Altera_PLL宏功能时，**Left/Right PLL**选项被配置，以将PLL设置为LVDS模式。例化pll_areset是可选的。

指南：将相同的 V_{CCPD} 用于同组中所有I/O Bank中

在Cyclone V GX和GT器件中，所有的I/O bank具有单独的 V_{CCPD} 管脚，除了下列I/O bank组，它们在每组中共享一个 V_{CCPD} 管脚：

- Bank 3B和4A
- Bank 7A和8A

实例：

- 如果bank 3B使用3.0 V V_{CCPD} ，那么4A也必须使用3.0 V V_{CCPD} 。
- 如果8A使用2.5 V V_{CCPD} ，那么7A也必须使用2.5 V V_{CCPD} 。

要了解关于每种器件封装中可用的I/O bank的详细信息，请参考相关链接。

相关链接

- [Cyclone V E器件的模块化I/O Bank](#) (第5-21页)
- [Cyclone V GX器件的模块化I/O Bank](#) (第5-22页)
- [Cyclone V GT器件的模块化I/O Bank](#) (第5-23页)
- [Cyclone V SE器件的模块化I/O Bank](#) (第5-24页)
- [Cyclone V SX器件的模块化I/O Bank](#) (第5-25页)
- [Cyclone V ST器件的模块化I/O Bank](#) (第5-26页)

指南：确保在相同Bank中可以兼容 V_{CCIO} 和 V_{CCPD} 电压

当规划Cyclone V 器件的I/O bank使用时，一定要确保 V_{CCIO} 电压与同一bank上的 V_{CCPD} 电压相兼容。某些bank可能共享相同的 V_{CCPD} 电源管脚。这限制了可以用在共享 V_{CCPD} 功耗管脚的bank中可能的 V_{CCIO} 电压。

实例：

- $V_{CCPD}3B$ 连接到2.5 V—bank 3B和4A的 V_{CCIO} 管脚可连接1.2 V、1.25 V、1.35 V、1.5 V/1.8 V或者2.5 V。
- $V_{CCPD}3B$ 连接到3.0 V—bank 3B和4A的 V_{CCIO} 管脚必须连接到3.0 V。

指南： V_{REF} 管脚限制

在Cyclone V 器件中，考虑下列 V_{REF} 管脚指南：

- 不能分配共享的VREF管脚作为LVDS或者外部存储器接口管脚。
- SSTL、HSTL和HSUL I/O标准不支持共享的VREF管脚。例如，如果特定的B1p或者B1n管脚共享VREF管脚，那么相应的B1p/B1n管脚对不支持LVDS发送器。
- 使用共享的VREF管脚确定系统的 F_{MAX} 时，必须使用电路板设计进行信号完整性的分析。

要了解关于VREF管脚电容的详细信息，请参阅器件手册。

相关链接

[Cyclone V器件数据表](#)

指南：遵守3.3 V连接的器件绝对最大额定值

要确保器件的可靠性和正常运行，在使用器件连接3.3 V I/O时，一定不要超过器件的绝对最大额定值。要了解关于绝对最大额定值和跳变器件所允许的最大过冲的详细信息，请参考器件手册。

提示：执行IBIS或者 SPICE仿真来确定过冲和下冲电压均在规定范围内。

发送器应用

如果使用Cyclone V器件作为发送器时，那么可使用较慢的摆率和串行匹配来限制I/O管脚上的过冲和下冲。传输线效应导致接收器上有较大电压偏差，这与驱动器和传输线之间的阻抗失配有关。传输线效应导致接收器上有较大电压偏差，这与驱动器和传输线之间的阻抗失配有关。通过匹配驱动器的阻抗与传输线的特性阻抗能够显著地降低过冲电压。您可以使用位于驱动器附近的串行匹配电阻来匹配总驱动器阻抗与传输线阻抗。

接收器应用

如果使用Cyclone V器件作为接收器，那么可使用片上或钳位二极管来限制I/O管脚上的过冲和下冲电压。

相关链接

[Cyclone V器件数据表](#)

I/O Bank在Cyclone V器件中的位置

Cyclone V I/O bank在特定器件中的数量取决于器件的密度。每个I/O bank可同时支持多个I/O标准。

注意：I/O bank在器件封装中的可用性有所不同。关于详细信息，请参考相关链接。

图5-5: Cyclone V E器件的I/O Bank

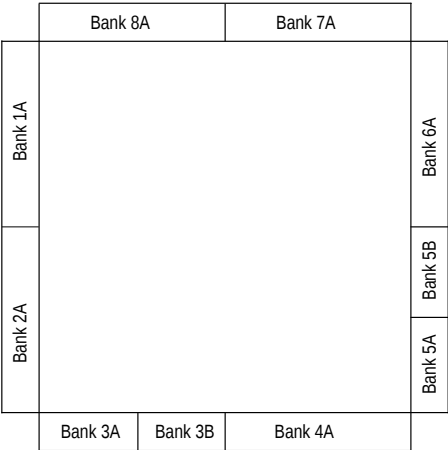


图5-6: Cyclone V GX和GT器件的I/O Bank

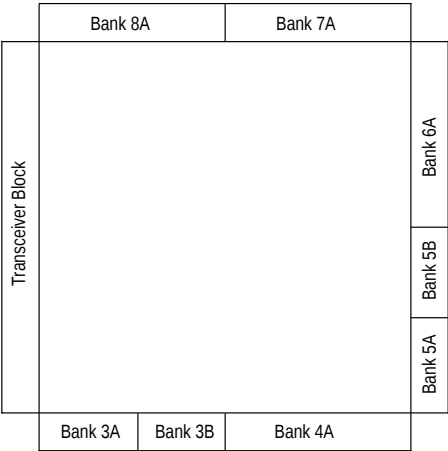


图5-7: Cyclone V SE器件的I/O Bank

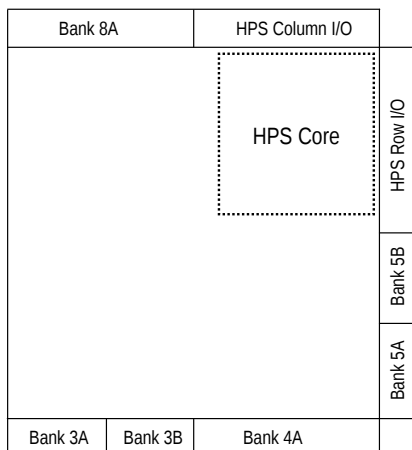
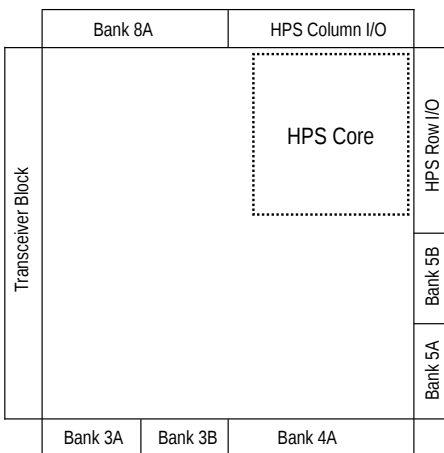


图5-8: Cyclone V SX和ST器件的I/O Bank



相关链接

- [Cyclone V E器件的模块化I/O Bank](#) (第5-21页)
- [Cyclone V GX器件的模块化I/O Bank](#) (第5-22页)
- [Cyclone V GT器件的模块化I/O Bank](#) (第5-23页)
- [Cyclone V SE器件的模块化I/O Bank](#) (第5-24页)
- [Cyclone V SX器件的模块化I/O Bank](#) (第5-25页)
- [Cyclone V ST器件的模块化I/O Bank](#) (第5-26页)

Cyclone V器件中的I/O Bank组

Cyclone V器件中的I/O管脚以组(称为模块化I/O bank)的形式进行分布。

Cyclone V E器件的模块化I/O Bank

表5-14: Cyclone V E A2和A4器件的模块化I/O Bank—初始值

成员代码		A2					A4				
封装		M383	U324	F256	U484	F484	M383	U324	F256	U484	F484
I/O Bank	1A	16	—	—	—	—	16	—	—	—	—
	2A	32	32	16	16	16	32	32	16	16	16
	3A	16	16	16	16	16	16	16	16	16	16
	3B	21	16	16	32	32	21	16	16	32	32
	4A	38	32	16	48	48	38	32	16	48	48
	5A	16	16	16	16	16	16	16	16	16	16
	5B	16	16	16	16	16	16	16	16	16	16
	7A	38	32	16	48	48	38	32	16	48	48
	8A	30	16	16	32	32	30	16	16	32	32
总数量		223	176	128	224	224	223	176	128	224	224

表5-15: Cyclone V E A5、A7和A9器件的模块化I/O Bank—初始值

成员代码		A5			A7					A9			
封装		M383	U484	F484	M484	U484	F484	F672	F896	U484	F484	F672	F896
I/O Bank	3A	TBD	16	16	TBD	16	16	16	32	TBD	16	16	32
	3B	TBD	32	32	TBD	32	32	32	48	TBD	32	32	48
	4A	TBD	48	48	TBD	48	48	80	80	TBD	48	80	80
	5A	TBD	16	16	TBD	16	16	16	32	TBD	16	16	32
	5B	TBD	32	16	TBD	48	16	64	48	TBD	16	32	48
	6A	TBD	—	—	TBD	—	—	16	80	TBD	—	48	80
	7A	TBD	48	80	TBD	48	80	80	80	TBD	64	80	80
	8A	TBD	32	32	TBD	32	32	32	80	TBD	32	32	80
总数量		175	224	240	240	240	240	336	480	240	224	336	480

相关链接

- [I/O Bank在Cyclone V器件中的位置](#) (第5-18页)

- 指南：将相同的 V_{CCPD} 用于同组中所有I/O Bank中 (第5-17页)
对有关 V_{CCPD} 和I/O bank组提供了布局指南。

Cyclone V GX器件的模块化I/O Bank

表5-16: Cyclone V GX C3、C4和C5器件的模块化I/O Bank—初始值

成员代码		C3			C4			C5				
封装		U324	U484	F484	U484	F484	F672	M301	M383	U484	F484	F672
I/O Bank	3A	TBD	16	16	16	16	16	TBD	TBD	16	16	16
	3B	TBD	32	32	32	32	32	TBD	TBD	32	32	32
	4A	TBD	48	48	48	48	80	TBD	TBD	48	48	80
	5A	TBD	16	16	16	16	16	TBD	TBD	16	16	16
	5B	TBD	16	16	32	16	64	TBD	TBD	32	16	64
	6A	TBD	—	—	—	—	16	TBD	TBD	—	—	16
	7A	TBD	48	48	48	80	80	TBD	TBD	48	80	80
	8A	TBD	32	32	32	32	32	TBD	TBD	32	32	32
总数量		144	208	208	224	240	336	129	175	224	240	336

表5-17: Cyclone V GX C7和C9器件的模块化I/O Bank—初始值

成员代码		C7					C9				
封装		M484	U484	F484	F672	F896	U484	F484	F672	F896	F1152
I/O Bank	3A	TBD	16	16	16	32	TBD	16	16	32	TBD
	3B	TBD	32	32	32	48	TBD	32	32	48	TBD
	4A	TBD	48	48	80	80	TBD	48	80	80	TBD
	5A	TBD	16	16	16	32	TBD	16	16	32	TBD
	5B	TBD	48	16	64	48	TBD	16	32	48	TBD
	6A	TBD	—	—	16	80	TBD	—	48	80	TBD
	7A	TBD	48	80	80	80	TBD	64	80	80	TBD
	8A	TBD	32	32	32	80	TBD	32	32	80	TBD
总数量		240	240	240	336	480	240	224	336	480	560

相关链接

- I/O Bank在Cyclone V器件中的位置 (第5-18页)
- 指南：将相同的 V_{CCPD} 用于同组中所有I/O Bank中 (第5-17页)
对有关 V_{CCPD} 和I/O bank组提供了布局指南。

Cyclone V GT器件的模块化I/O Bank

表5-18: Cyclone V GT D5和D7器件的模块化I/O Bank—初始值

成员代码		D5					D7				
封装		M301	M383	U484	F484	F672	M484	U484	F484	F672	F896
I/O Bank	3A	TBD	TBD	16	16	16	TBD	16	16	16	32
	3B	TBD	TBD	32	32	32	TBD	32	32	32	48
	4A	TBD	TBD	48	48	80	TBD	48	48	80	80
	5A	TBD	TBD	16	16	16	TBD	16	16	16	32
	5B	TBD	TBD	32	16	64	TBD	48	16	64	48
	6A	TBD	TBD	—	—	16	TBD	—	—	16	80
	7A	TBD	TBD	48	80	80	TBD	48	80	80	80
	8A	TBD	TBD	32	32	32	TBD	32	32	32	80
总数量		127	175	224	240	336	240	240	240	336	480

表5-19: Cyclone V GT D9器件的模块化I/O Bank—初始值

成员代码		D9				
封装		U484	F484	F672	F896	F1152
I/O Bank	3A	TBD	16	16	32	TBD
	3B	TBD	32	32	48	TBD
	4A	TBD	48	80	80	TBD
	5A	TBD	16	16	32	TBD
	5B	TBD	16	32	48	TBD
	6A	TBD	—	48	80	TBD
	7A	TBD	64	80	80	TBD
	8A	TBD	32	32	80	TBD
总数量		240	224	336	480	560

相关链接

- [I/O Bank在Cyclone V器件中的位置](#) (第5-18页)
- [指南：将相同的V_{CCPD}用于同组中所有I/O Bank中](#) (第5-17页)
对有关V_{CCPD}和I/O bank组提供了布局指南。

Cyclone V SE器件的模块化I/O Bank

表5-20: Cyclone V SE器件的模块化I/O Bank—初始值

注意: HPS行和列I/O的数量是器件上HPS-specific I/O管脚的数量。每个HPS-specific管脚可能映射到几个HPS I/O中。

成员代码		A2		A4		A5			A6		
封装		U484	U672	U484	U672	U484	U672	F896	U484	U672	F896
FPGA I/O Bank	3A	16	16	16	16	16	16	32	16	16	32
	3B	6	32	6	32	6	32	48	6	32	48
	4A	22	68	22	68	22	68	80	22	68	80
	5A	16	16	16	16	16	16	32	16	16	32
	5B	—	—	—	—	—	—	16	—	—	16
HPS行I/O Bank	6A	52	56	52	56	52	56	56	52	56	56
	6B	23	44	23	44	23	44	44	23	44	44
HPS列I/O Bank	7A	19	19	19	19	19	19	19	19	19	19
	7B	21	22	21	22	21	22	22	21	22	22
	7C	8	12	8	12	8	12	12	8	12	12
	7D	14	14	14	14	14	14	14	14	14	14
FPGA I/O Bank	8A	6	13	6	13	6	13	80	6	13	80
总数量		203	312	203	312	203	312	455	203	312	455

相关链接

- [I/O Bank在Cyclone V器件中的位置](#) (第5-18页)
- [指南: 将相同的V_{CCPD}用于同组中所有I/O Bank中](#) (第5-17页)
对有关V_{CCPD}和I/O bank组提供了布局指南。

Cyclone V SX器件的模块化I/O Bank

表5-21: Cyclone V SX器件的模块化I/O Bank—初始值

注意: HPS行和列I/O的数量是器件上HPS-specific I/O管脚的数量。每个HPS-specific管脚可能映射到几个HPS I/O中。

成员代码		C2	C4	C5		C6	
封装		U672	U672	U672	F896	U672	F896
FPGA I/O Bank	3A	16	16	16	32	16	32
	3B	32	32	32	48	32	48
	4A	68	68	68	80	68	80
	5A	16	16	16	32	16	32
	5B	—	—	—	16	—	16
HPS行I/O Bank	6A	56	56	56	56	56	56
	6B	44	44	44	44	44	44
HPS列I/O Bank	7A	19	19	19	19	19	19
	7B	22	22	22	22	22	22
	7C	12	12	12	12	12	12
	7D	14	14	14	14	14	14
FPGA I/O Bank	8A	13	13	13	80	13	80
总数量		312	312	312	455	312	455

相关链接

- [I/O Bank在Cyclone V器件中的位置](#) (第5-18页)
- [指南: 将相同的V_{CCPD}用于同组中所有I/O Bank中](#) (第5-17页)
对有关V_{CCPD}和I/O bank组提供了布局指南。

Cyclone V ST器件的模块化I/O Bank

表5-22: Cyclone V ST器件的模块化I/O Bank—初始值

注意: HPS行和列I/O的数量是器件上HPS-specific I/O管脚的数量。每个HPS-specific管脚可能映射到几个HPS I/O中。

成员代码		D5	D6
封装		F896	F896
FPGA I/O Bank	3A	32	32
	3B	48	48
	4A	80	80
	5A	32	32
	5B	16	16
HPS行I/O Bank	6A	56	56
	6B	44	44
HPS列I/O Bank	7A	19	19
	7B	22	22
	7C	12	12
	7D	14	14
FPGA I/O Bank	8A	80	80
总数量		455	455

相关链接

- [I/O Bank在Cyclone V器件中的位置](#) (第5-18页)
- [指南: 将相同的V_{CCPD}用于同组中所有I/O Bank中](#) (第5-17页)
对有关V_{CCPD}和I/O bank组提供了布局指南。

Cyclone V器件中的I/O单元结构

在Cyclone V器件中的I/O单元(IOE)包含双向I/O缓冲器和I/O寄存器，来支持一个完全嵌入式的双向单倍数据速率(SDR)或2倍数据速率(DDR)的传送。

IOE位于Cyclone V器件外设周围的I/O模块中。

Cyclone V SE、SX以及ST器件也有I/O单元用于HPS

Cyclone V器件中的I/O缓冲器和寄存器

I/O寄存器由用于处理管脚至内核的数据的输入路径、用于处理内核至管脚的数据的输出路径和用于处理OE信号至输出缓冲的输出使能(OE)路径组成。这些寄存器实现更快的源同步(source-synchronous)寄存器到寄存器(register-to-register)的传输和重同步。

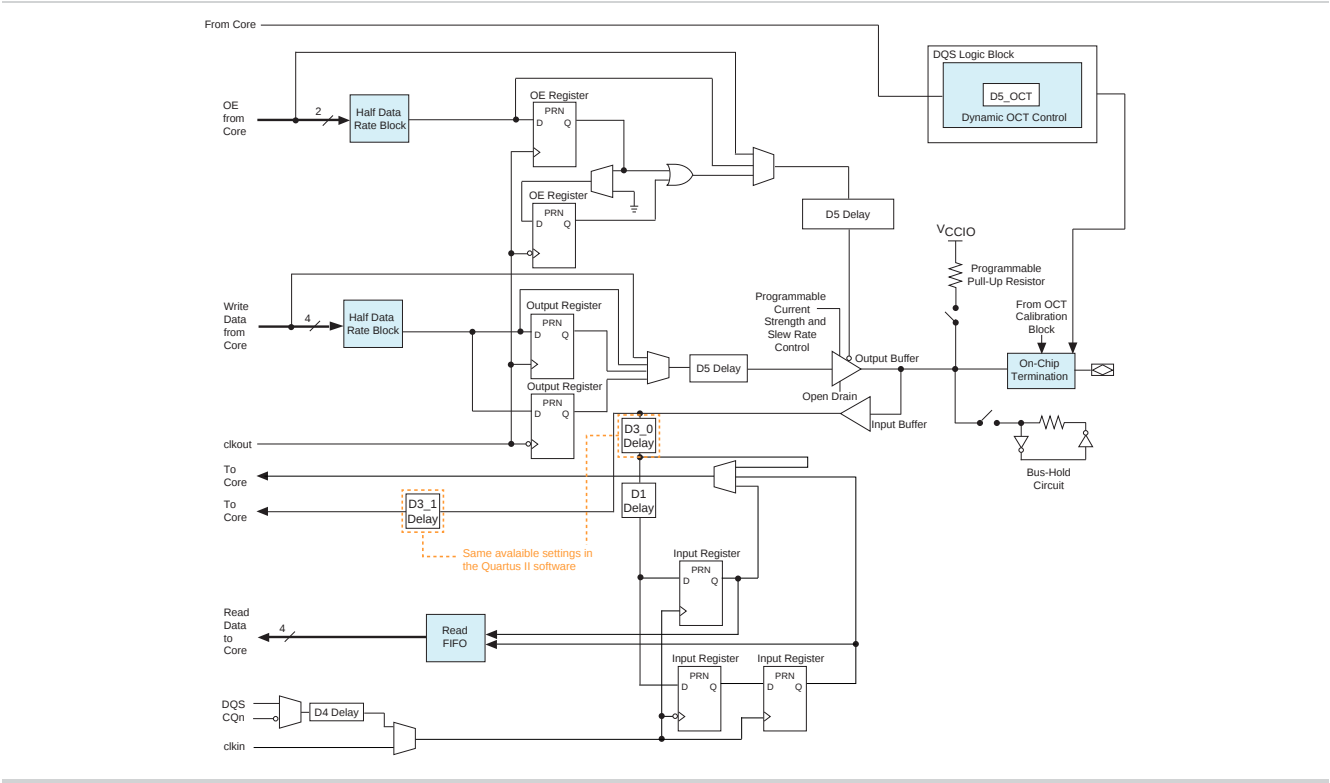
表5-23: Cyclone V器件中的输入和输出路径

该表总结了Cyclone V器件中的输入和输出路径。

输入路径	输出路径
包括： <ul style="list-style-type: none">• DDR输入寄存器• 对齐和同步寄存器• 半速率模块	包括： <ul style="list-style-type: none">• 输出或OE寄存器• 对齐寄存器• 半速率模块
您可以旁路输入路径中的每个模块。输入路径使用去偏移延迟来调整工艺、电压和温度(PVT)的变化中的输入寄存器时钟延迟。	您可以旁路输出和OE路径的每个模块。

图5-9: Cyclone V器件的IOE结构

该图显示了Cyclone VFPGA的IOE结构。在该图中，一个动态片上匹配(OCT)控制可用于每个DQ/DQS组。



Cyclone V器件中的可编程IOE的特性

表5-24: 可支持的Cyclone V可编程IOE特性和设置的总结

特性	设置 (默认设置以粗体表示)	条件	在HPS I/O中受到支持 (仅适用于SoC FPGA器件)
摆率控制	0 (慢), 1 (快)	使用R _S OCT功能时禁用。	支持
I/O延迟	请参考器件手册	—	—
开漏输出	On, Off	—	支持
总线保持	On, Off	使用弱上拉电阻功能时禁用。	支持
弱上拉电阻	On, Off	使用总线保持功能时禁用。	支持
预加重	0 (使能)和 1 (禁用)	仅适用于LVDS I/O标准。不支持差分HSTL和SSTL I/O标准。	—
差分输出电压	00 (低电平), 01 (中电平), 10 (高电平)	—	—
片上钳位二极管	On, Off	建议在3.3 V I/O标准中打开	支持

注意：片上钳位二极管可用于全部Cyclone V器件系列中的所有通用I/O (GPIO)管脚。

相关链接

- [Cyclone V器件数据表](#)
- [可编程电流强度](#) (第5-29页)
- [可编程的输出摆率控制](#) (第5-30页)
- [可编程IOE延迟](#) (第5-30页)
- [可编程输出缓存延迟](#) (第5-30页)
- [可编程预加重](#) (第5-31页)
- [可编程差分输出电压](#) (第5-31页)

可编程电流强度

您可以通过修改电流驱动强度，来减少远距离传输线路或者传统背板造成的高信号衰减影响。

表5-25: Cyclone V器件的可编程电流强度

每个Cyclone V器件I/O管脚上的输出缓冲器对于该表中所列出的某些I/O标准有一个可编程电流强度控制。

I/O标准	I_{OH} / I_{OL} 电流强度设置(mA) (默认设置以粗体表示)	在HPS中受到支持 (仅适用于SoC FPGA器件)
3.3 V LVTTTL	16 , 8, 4	支持(除16 mA之外)
3.3 V LVCMOS	2	支持
3.0 V LVTTTL	16, 12 , 8, 4	支持
3.0 V LVCMOS	16, 12 , 8, 4	支持
2.5 V LVCMOS	16, 12 , 8, 4	支持
1.8 V LVCMOS	12 , 10, 8, 6, 4, 2	支持
1.5 V LVCMOS	12 , 10, 8, 6, 4, 2	支持
1.2 V LVCMOS	8 , 6, 4, 2	—
SSTL-2 Class I	12, 10, 8	—
SSTL-2 Class II	16	—
SSTL-18 Class I	12, 10, 8 , 6, 4	支持
SSTL-18 Class II	16	支持
SSTL-15 Class I	12, 10, 8 , 6, 4	支持
SSTL-15 Class II	16	支持
1.8 V HSTL Class I	12, 10, 8 , 6, 4	—
1.8 V HSTL Class II	16	—
1.5 V HSTL Class I	12, 10, 8 , 6, 4	支持
1.5 V HSTL Class II	16	支持
1.2 V HSTL Class I	12, 10, 8 , 6, 4	—
1.2 V HSTL Class II	16	—

注意：Altera建议通过执行IBIS或者SPICE仿真来确定用于指定应用的最佳电流强度设置。

相关链接

[Cyclone V器件中的可编程IOE的特性 \(第5-28页\)](#)

可编程的输出摆率控制

每个普通和双功能I/O管脚的输出缓冲中可编程的输出摆率控制支持下面的配置：

- 快速摆率—对高性能系统提供了高速跳变。
- 较慢摆率—有助于降低系统的噪声和串扰，但会在上升和下降沿上添加额定延迟。

由于每个I/O管脚包含一个摆率控制，您可以逐一对管脚指定摆率。

注意：Altera建议通过执行IBIS或者SPICE仿真来确定用于指定应用的最佳电流强度设置。

相关链接

[Cyclone V器件中的可编程IOE的特性 \(第5-28页\)](#)

可编程IOE延迟

通过启用可编程IOE延迟来确保零保持时间，最小化建立时间，或者增加时钟到输出(clock-to-output)时间。这有助于读取和提供时间裕量，因为它最小化了总线中信号之间的不确定性。

每个管脚在pin-to-input寄存器中都有一个不同的输入延时，或者在register-to-output管脚中都有一个不同的输出延时，来保证进出器件的信号之内的总线具有相同的延时。

要了解关于可编程IOE延迟规范的详细信息，请参阅器件数据表。

相关链接

- [Cyclone V器件数据表](#)
- [Cyclone V器件中的可编程IOE的特性 \(第5-28页\)](#)

可编程输出缓存延迟

延迟链内置在单端输出缓冲器中。有四种级别的输出缓冲延迟设置。在默认情况下，没有延迟。

延迟链能够独立地控制输出缓冲器的上升沿和下降沿，支持以下操作：

- 调节输出缓冲器占空比
- 补偿通道到通道的偏移
- 通过故意引入通道至通道偏移来降低同步切换输出(SSO)噪声
- 改善高速存储器接口时序裕量

要了解关于可编程输出缓冲延迟规范的详细信息，请参阅器件数据表。

相关链接

- [Cyclone V器件数据表](#)
- [Cyclone V器件中的可编程IOE的特性 \(第5-28页\)](#)

可编程预加重

V_{OD} 设置和驱动器输出阻抗对高速传输信号的输出电流限制进行设置。在高频率时，摆率可能不够快到在下一个边沿实现充分的 V_{OD} ，从而导致一个固定模式抖动(pattern-dependent jitter)。通过预加重，信号变化时，输出电流能迅速提升，从而达到高输出摆率。

预加重提升输出信号高频分量的振幅，从而有助于补偿传输线上的频率依赖衰减。与信号反射导致的过冲不同，由额外电流导致的过冲仅发生在状态发生变化切换至提高输出摆率的过程，并且没有振铃。所需的预加重数量取决于传输线上的高频分量衰减。

图5-10: 可编程预加重

该图显示了具有预加重的LVDS输出。

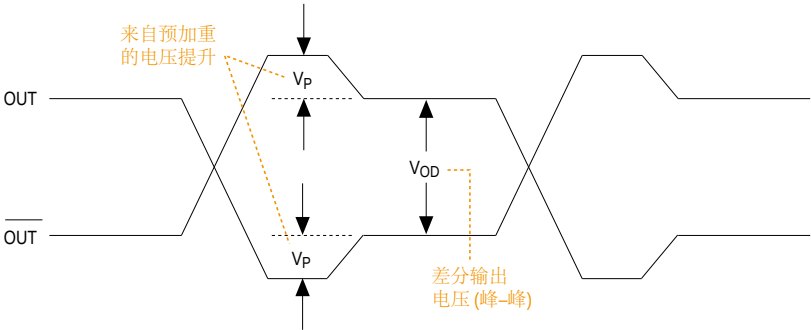


表5-26: Quartus II软件的Assignment Editor—可编程预加重

该表列出了Quartus II软件Assignment Editor中可编程预加重的约束名及其可能的值。

域	分配 (默认设置以粗体表示)
至	tx_out
Assignment名称	可编程预加重
所允许的值	0 (使能)和 1 (禁用)

相关链接

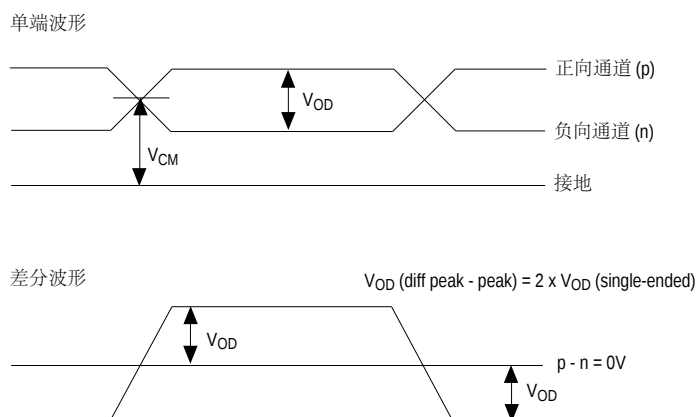
[Cyclone V器件中的可编程IOE的特性 \(第5-28页\)](#)

可编程差分输出电压

可编程 V_{OD} 设置使您能够调节输出眼开度，以优化走线长度及功耗。较高的 V_{OD} 摆动可提高接收器端的电压容限，而较小的 V_{OD} 摆动可降低功耗。通过修改Quartus II软件Assignment Editor中的 V_{OD} 设置，能够静态地调节差分信号的 V_{OD} 。

图5-11: 差分 V_{OD}

该图显示了差分LVDS输出的 V_{OD} 。

表5-27: Quartus II软件的Assignment Editor—可编程 V_{OD}

该表列出了Quartus II软件Assignment Editor中可编程 V_{OD} 的约束名及其可能的值。"0"仅适用于RSDS和mini-LVDS I/O标准，不适用于LVDS I/O标准。

域	分配 (默认设置以粗体表示)
至	tx_out
Assignment名称	可编程差分输出电压(V_{OD})
所允许的值	00 (低电平), 01 (中电平), 10 (高电平)

相关链接

[Cyclone V器件中的可编程IOE的特性 \(第5-28页\)](#)

Cyclone V器件的I/O管脚特性

[开漏输出 \(第5-32页\)](#)

[总线保持电路 \(第5-33页\)](#)

[上拉电阻 \(第5-33页\)](#)

开漏输出

每个I/O管脚的可选的开漏输出相当于一个开漏集电器输出。如果它被配置为开漏，那么输出逻辑值为high-Z或者逻辑低电平。

使用一个外部电阻将信号上拉到逻辑高电平。

总线保持电路

提供一个仅在配置完成后才有效的可选总线保持功能。当器件进入用户模式时，总线保持电路采集配置最后出现的管脚值。

总线保持电路使用一个额定阻值(R_{BH})，大约为7 k Ω 的电阻，将信号电平弱拉至管脚最后驱动的状态。总线保持将保持该管脚的状态直到出现下一个输入信号。由此，当总线处于三态时，您不需要外部上拉或者下拉电阻来保持信号电平。

在每个I/O管脚中，可以单独地指定总线保持电路将非驱动管脚拉离输入阈值电压—因为噪声能够导致意外的高频切换。为了防止过度驱动信号，总线保持电路驱动不超过 V_{CCIO} 电压的I/O管脚。

如果使能了总线保持功能，那么将不能使用可编程上拉选项。要配置差分信号中的I/O管脚，请禁用总线保持功能。

上拉电阻

每个I/O管脚在用户模式期间都提供了一个可选的可编程上拉电阻。该上拉电阻将弱保持I/O到 V_{CCIO} 电平。

Cyclone V器件仅在用户I/O管脚上支持可编程的弱上拉电阻，但在专用配置管脚、专用时钟管脚，或者JTAG管脚上不支持。

如果使能该选项，那么不能使用总线保持功能。

Cyclone V器件中的片上I/O匹配

动态 R_S 和 R_T OCT提供了I/O阻抗匹配和匹配性能。OCT维持信号质量，节省电路板空间，并降低外部组件成本。

Cyclone V器件中所有FPGA I/O bank均支持OCT。对于HPS I/O，列I/O不支持OCT。

表5-28: Cyclone V器件中支持OCT方案

方向	OCT方案	在HPS Row I/O中受到支持
输出	带校准的 R_S OCT	支持
	不带校准的 R_S OCT	支持
输入	带校准的 R_T OCT	支持
	R_D OCT (仅LVDS和SLVS I/O 标准)	—
双向	动态 R_S OCT和 R_T OCT	支持

- 相关链接
- [Cyclone V器件中不带校准的 \$R_S\$ OCT](#) (第5-34页)
 - [Cyclone V器件中带校准的 \$R_S\$](#) (第5-35页)



- **Cyclone V器件中带校准的 R_T OCT** (第5-38页)
- **Cyclone V器件中的LVDS输入 R_D OCT** (第5-40页)
- **Cyclone V器件中的动态OCT** (第5-39页)

Cyclone V器件中不带校准的 R_S OCT

Cyclone V器件支持单端和电压参考I/O标准中的 R_S OCT。不带校准的 R_S OCT仅支持输出。

表5-29: 不带校准的 R_S OCT的可选I/O标准

该表列出了差分I/O标准上双向OCT的输出匹配设置。

I/O标准	不校准的OCT (输出)
	R_S (Ω)
3.0 V LVTTL/3.0 V LVCMOS	25/50
2.5 V LVCMOS	25/50
1.8 V LVCMOS	25/50
1.5 V LVCMOS	25/50
1.2 V LVCMOS	25/50
SSTL-2 Class I	50
SSTL-2 Class II	25
SSTL-18 Class I	50
SSTL-18 Class II	25
SSTL-15 Class I	50
SSTL-15 Class II	25
1.8 V HSTL Class I	50
1.8 V HSTL Class II	25
1.5 V HSTL Class I	50
1.5 V HSTL Class II	25
1.2 V HSTL Class I	50
1.2 V HSTL Class II	25
差分SSTL-2 Class I	50
差分SSTL-2 Class II	25
差分SSTL-18 Class I	50
差分SSTL-18 Class II	25
差分SSTL-15 Class I	50

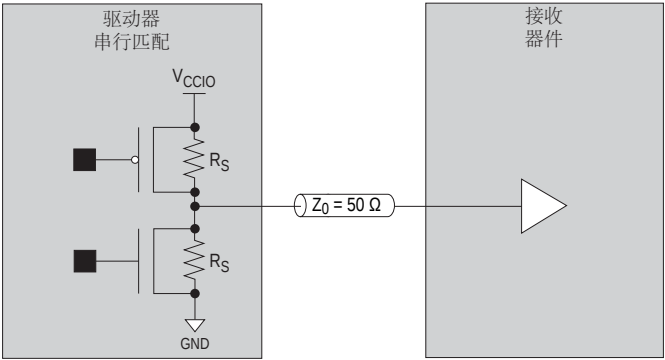
I/O标准	不校准的OCT (输出)
	R _S (Ω)
差分SSTL-15 Class II	25
差分1.8 V HSTL Class I	50
差分1.8 V HSTL Class II	25
差分1.5 V HSTL Class I	50
差分1.5 V HSTL Class II	25
差分1.2 V HSTL Class I	50
差分1.2 V HSTL Class II	25

驱动器阻抗匹配对I/O驱动器提供受控输出阻抗，其高度匹配传输线路阻抗。结果，极大地减少PCB走线上的信号反射。

如果选择匹配阻抗，就不能选择电流强度。

图5-12: 不带校准的R_S OCT

该图显示了R_S作为输出晶体管固有的阻抗。



相关链接

[Cyclone V器件中的片上I/O匹配 \(第5-33页\)](#)

Cyclone V器件中带校准的R_S

Cyclone V器件的所有bank均支持带校准的R_S OCT。

表5-30: 带校准的 R_S OCT的可选I/O标准

该表列出了差分I/O标准上校准OCT的输出匹配设置。

I/O标准	校准的OCT (输出)	
	$R_S (\Omega)^{(6)}$	$RZQ (\Omega)$
3.0 V LVTTTL/3.0 V LVCMOS	25/50	100
2.5 V LVCMOS	25/50	100
1.8 V LVCMOS	25/50	100
1.5 V LVCMOS	25/50	100
1.2 V LVCMOS	25/50	100
SSTL-2 Class I	50	100
SSTL-2 Class II	25	100
SSTL-18 Class I	50	100
SSTL-18 Class II	25	100
SSTL-15 Class I	50	100
SSTL-15 Class II	25	100
1.8 V HSTL Class I	50	100
1.8 V HSTL Class II	25	100
1.5 V HSTL Class I	50	100
1.5 V HSTL Class II	25	100
1.2 V HSTL Class I	50	100
1.2 V HSTL Class II	25	100
差分SSTL-2 Class I	50	100
差分SSTL-2 Class II	25	100
差分SSTL-18 Class I	50	100
差分SSTL-18 Class II	25	100
差分SSTL-15 Class I	50	100
差分SSTL-15 Class II	25	100
差分1.8 V HSTL Class I	50	100
差分1.8 V HSTL Class II	25	100
差分1.5 V HSTL Class I	50	100
差分1.5 V HSTL Class II	25	100

⁽⁶⁾ 最后的值是待定芯片表征。

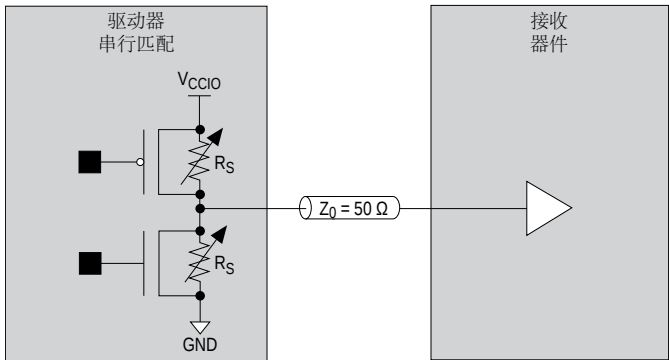
I/O标准	校准的OCT (输出)	
	R _S (Ω) ⁽⁶⁾	RZQ (Ω)
差分1.2 V HSTL Class I	50	100
差分1.2 V HSTL Class II	25	100
SSTL-15	25, 50	100
	34, 40	240
SSTL-135	34, 40	240
SSTL-125	34, 40	240
HSUL-12	34, 40, 48, 60, 80	240
差分SSTL-15	25, 50	100
	34, 40	240
差分SSTL-135	34, 40	240
差分SSTL-125	34, 40	240
差分HSUL-12	34, 40, 48, 60, 80	240

R_S OCT校准电路将I/O缓冲器的总阻抗与连接到RZQ管脚的外部参考电阻进行比较，并且动态地使能或者禁用晶体管直到它们匹配。

校准出现在器件配置的最后阶段。当校准电路找到正确的阻抗时，它会掉电并停止更改驱动器的特性。

图5-13: 带校准的R_S OCT

该图显示了R_S作为输出晶体管固有的阻抗。



相关链接

[Cyclone V器件中的片上I/O匹配 \(第5-33页\)](#)

⁽⁶⁾ 最后的值是待定芯片表征。

Cyclone V器件中带校准的 R_T OCT

Cyclone V器件的所有bank均支持带校准的 R_T OCT。带校准的 R_T OCT仅适用于输入和双向管脚的配置。输出管脚配置不支持带校准的 R_T OCT。如果使用 R_T OCT，那么bank上的 V_{CCIO} 必须与管脚的I/O标准相匹配，其中 R_T OCT被使能。

表5-31: 带校准的 R_T OCT的可选I/O标准

该表列出了差分I/O标准上校准OCT的输入匹配设置。

I/O标准	校准的OCT (输入)	
	$R_T (\Omega)^{(7)}$	RZQ (Ω)
SSTL-2 Class I	50	100
SSTL-2 Class II	50	100
SSTL-18 Class I	50	100
SSTL-18 Class II	50	100
SSTL-15 Class I	50	100
SSTL-15 Class II	50	100
1.8 V HSTL Class I	50	100
1.8 V HSTL Class II	50	100
1.5 V HSTL Class I	50	100
1.5 V HSTL Class II	50	100
1.2 V HSTL Class I	50	100
1.2 V HSTL Class II	50	100
差分SSTL-2 Class I	50	100
差分SSTL-2 Class II	50	100
差分SSTL-18 Class I	50	100
差分SSTL-18 Class II	50	100
差分SSTL-15 Class I	50	100
差分SSTL-15 Class II	50	100
差分1.8 V HSTL Class I	50	100
差分1.8 V HSTL Class II	50	100
差分1.5 V HSTL Class I	50	100
差分1.5 V HSTL Class II	50	100
差分1.2 V HSTL Class I	50	100

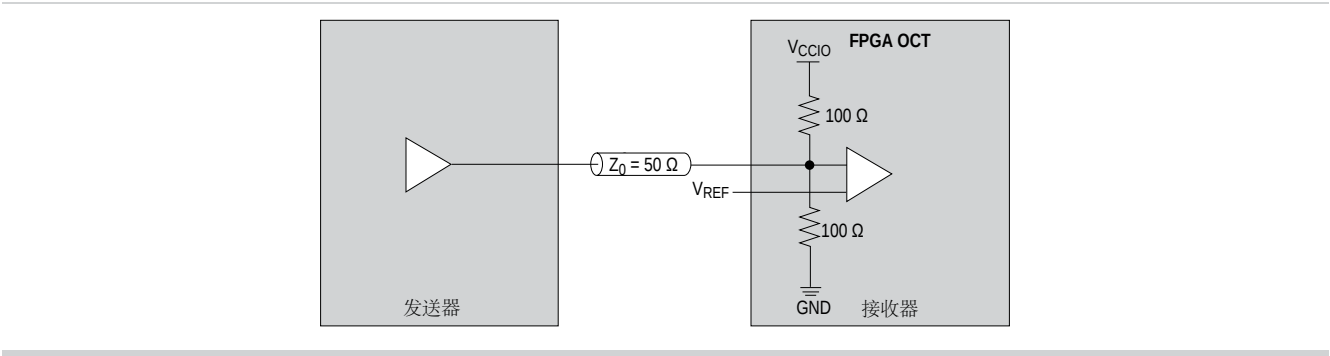
⁽⁷⁾ 最后值是待定芯片表征。

I/O标准	校准的OCT (输入)	
	$R_T (\Omega)^{(7)}$	RZQ (Ω)
差分1.2 V HSTL Class II	50	100
SSTL-15	20, 30, 40, 60,120	240
SSTL-135	20, 30, 40, 60, 120	240
SSTL-125	20, 30, 40, 60, 120	240
差分SSTL-15	20, 30, 40, 60,120	240
差分SSTL-135	20, 30, 40, 60, 120	240
差分SSTL-125	20, 30, 40, 60, 120	240

R_T OCT校准电路将I/O缓冲器的总阻抗与连接到RZQ管脚的外部电阻进行比较。该电路动态地使能或者禁用晶体管直到I/O缓冲器的总阻抗与外部电阻相匹配。

校准出现在器件配置的最后阶段。当校准电路找到正确的阻抗时，它会掉电并停止更改驱动器的特性。

图5-14: 带校准的 R_T OCT



相关链接
[Cyclone V器件中的片上I/O匹配 \(第5-33页\)](#)

Cyclone V器件中的动态OCT

动态OCT对于匹配高性能双向路径是非常有用的，因为信号完整性是根据数据方向来被优化的。动态OCT也有助于节省功耗，因为器件是内部匹配—匹配仅在输入操作期间开启，从而使用更少的静态功耗。

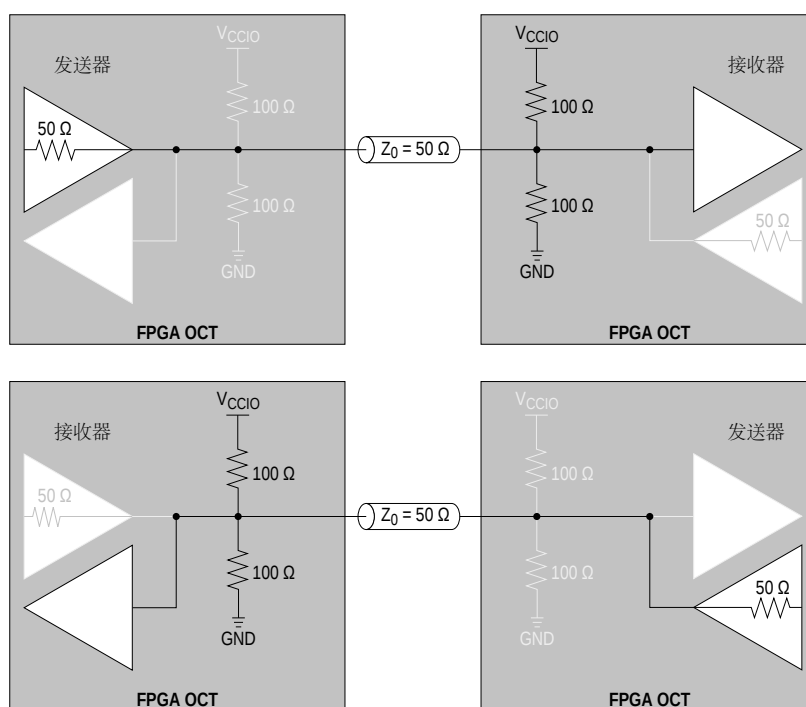
注意：如果将SSTL-15、SSTL-135以及SSTL-125 I/O标准和DDR3存储器接口一起使用，Altera建议使用这些I/O标准的动态OCT功能，从而节省电路板空间和成本。动态OCT降低了所使用的外部匹配电阻的数量。

⁽⁷⁾ 最后值是待定芯片表征。

表5-32: 基于双向I/O的动态OCT

使能或禁用动态 R_T OCT或者 R_S OCT是基于双向I/O用作接收器或是驱动器而定的。

动态OCT	双向I/O	状态
动态 R_T OCT	作为接收器使用	使能
	作为驱动器使用	禁用
动态 R_S OCT	作为接收器使用	禁用
	作为驱动器使用	使能

图5-15: Cyclone V器件中的动态 R_T OCT

相关链接

[Cyclone V器件中的片上I/O匹配](#) (第5-33页)

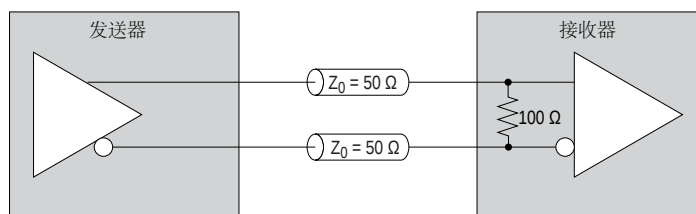
Cyclone V器件中的LVDS输入 R_D OCT

Cyclone V器件中所有I/O bank均支持 R_D OCT。

如果将 V_{CCIO} 和 V_{CCPD} 设置成2.5 V，那么可使用 R_D OCT。

图5-16: 差分输入OCT

Cyclone V器件支持用于 $100\ \Omega$ 额定阻值的差分LVDS和SLVS输入缓冲的OCT，如该图所示。



相关链接

[Cyclone V器件中的片上I/O匹配](#) (第5-33页)

Cyclone V器件中的OCT校准模块

通过每个器件中任何可用的4通道的OCT校准模块，可以校准OCT。每个校准模块包含1个RZQ管脚。

如果I/O标准使用相同的 V_{CCIO} 电源电压，那么可以将同一I/O bank中的 R_S 和 R_T OCT用于不同的I/O标准。您不能对同一I/O缓冲器配置 R_S OCT和可编程电流强度。

OCT校准过程将给定I/O bank中的每个校准模块中可用的RZQ管脚用于串行和并行校准的匹配：

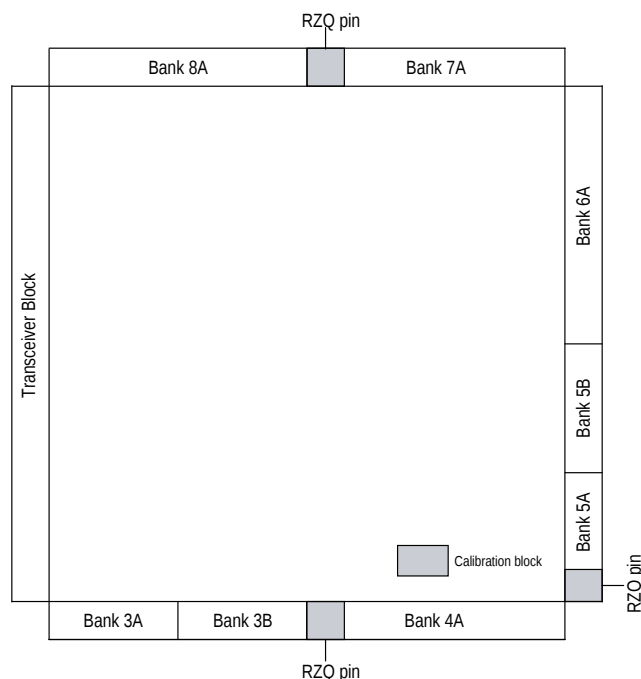
- 通过一个外部 $100\ \Omega$ 或者 $240\ \Omega$ 电阻，将RZQ管脚连接到GND (取决于 R_S 或者 R_T OCT的值)。
- RZQ管脚与管脚所位于的I/O bank共享同一 V_{CCIO} 电源电压。

除了专用配置管脚，Cyclone V器件在所有I/O管脚上均支持校准的 R_S 和校准的 R_T OCT。

Cyclone V器件中的校准模块位置

图5-17: OCT校准模块和RZQ管脚位置—初始值

该图显示了Cyclone V器件中OCT校准模块的I/O bank的位置和RZQ管脚。



在多个I/O bank上共享同一个OCT校准模块

OCT校准模块具有与包含模块的I/O bank相同的 V_{CCIO} 。具有同一 V_{CCIO} 的所有I/O bank能够共享同一个OCT校准模块，即使特定的I/O bank已有一个OCT校准模块。

不包含校准模块的I/O bank与包含校准模块的I/O bank一起共享校准模块。

所有的I/O bank支持不同 V_{CCIO} 电压标准的OCT校准，这取决于可用OCT校准模块的数量。

您可以配置I/O bank以接受来自同一 V_{CCIO} 的任意OCT校准模块的校准代码。如果一组I/O bank有相同的 V_{CCIO} 电压，那么您能够使用同一个OCT校准模块对位于外设周围的这组I/O bank进行校准。

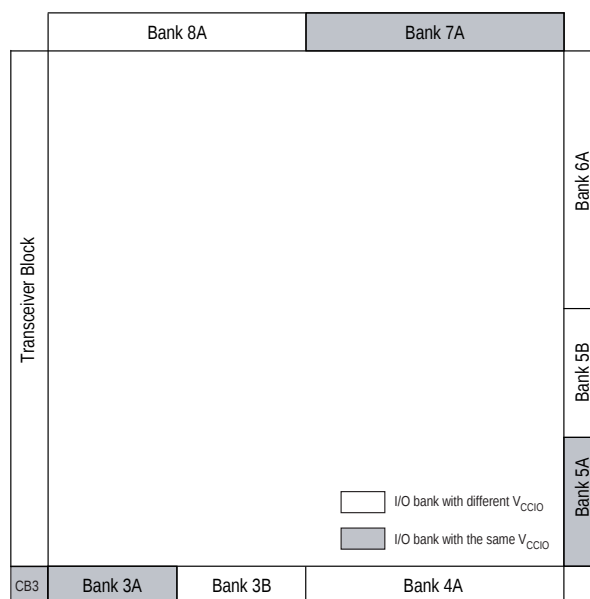
相关链接

- [OCT校准模块共享实例](#) (第5-43页)
- [动态校准片上匹配 \(ALTOCT\) 宏功能用户指南](#)
提供了关于OCT校准模块的更多信息。

OCT校准模块共享实例

图5-18: 使用一个共享的OCT校准模块校准多个I/O bank的实例—初始值

作为一个实例，该图显示了一组具有相同 V_{CCIO} 电压的I/O bank。该图没有显示收发器校准模块。



由于bank 5A和7A具有与bank 3A相同的 V_{CCIO} ，因此您能够使用位于bank 3A中的OCT校准模块(CB3)来对所有3个I/O bank(3A、5A和7A)进行校准。

要使能该校准，可将 R_S OCT校准码从3A的OCT校准模块中串行地移入外设周围的I/O bank中。

相关链接

- [在多个I/O bank上共享同一个OCT校准模块 \(第5-42页\)](#)
- [动态校准片上匹配 \(ALTOCT\) 宏功能用户指南](#)
提供了关于OCT校准模块的更多信息。

Cyclone V器件的外部I/O匹配

表5-33: 不同I/O标准的外部匹配方案

I/O标准	外部匹配方案
3.3 V LVTTTL/3.3 V LVCMOS	不要求外部匹配
3.0 V LVVTTL/3.0 V LVCMOS	
3.0 V PCI	
3.0 V PCI-X	
2.5 V LVCMOS	
1.8 V LVCMOS	
1.5 V LVCMOS	
1.2 V LVCMOS	
SSTL-2 Class I	单端SSTL I/O标准匹配
SSTL-2 Class II	
SSTL-18 Class I	
SSTL-18 Class II	
SSTL-15 Class I	
SSTL-15 Class II	
1.8 V HSTL Class I	单端HSTL I/O标准匹配
1.8 V HSTL Class II	
1.5 V HSTL Class I	
1.5 V HSTL Class II	
1.2 V HSTL Class I	
1.2 V HSTL Class II	
差分SSTL-2 Class I	差分SSTL I/O标准匹配
差分SSTL-2 Class II	
差分SSTL-18 Class I	
差分SSTL-18 Class II	
差分SSTL-15 Class I	
差分SSTL-15 Class II	

I/O标准	外部匹配方案
差分1.8 V HSTL Class I	差分HSTL I/O标准匹配
差分1.8 V HSTL Class II	
差分1.5 V HSTL Class I	
差分1.5 V HSTL Class II	
差分1.2 V HSTL Class I	
差分1.2 V HSTL Class II	
LVDS	LVDS I/O标准匹配
RSDS	RSDS/mini-LVDS I/O标准匹配
Mini-LVDS	
LVPECL	差分LVPECL I/O标准匹配
SLVS	SLVS I/O标准匹配
SSTL-15 ⁽⁸⁾	不要求外部匹配
SSTL-135 ⁽⁸⁾	
SSTL-125 ⁽⁸⁾	
HSUL-12	
差分SSTL-15 ⁽⁸⁾	
差分SSTL-135 ⁽⁸⁾	
差分SSTL-125 ⁽⁸⁾	
差分HSUL-12	

单端I/O匹配

电压参考I/O标准需要一个输入参考电压 V_{REF} 以及一个匹配电压(V_{TT})。接收器件的参考电压跟踪发送器件的匹配电压。

所支持的I/O标准，例如SSTL-125、SSTL-135和SSTL-15，通常不要求外部电路板匹配。

Altera建议使用这些I/O标准的动态OCT功能，从而节省电路板空间和成本。动态OCT降低了所使用的外部匹配电阻的数量。

注意：不能同时使用 R_S 和 R_T OCT。要了解详细信息，请参考相关信息。

⁽⁸⁾ Altera建议使用这些I/O标准的动态OCT功能，从而节省电路板空间和成本。动态OCT降低了所使用的外部匹配电阻的数量。

图5-19: SSTL I/O标准匹配

该图显示了Cyclone V器件上SSTL I/O匹配的详细内容。

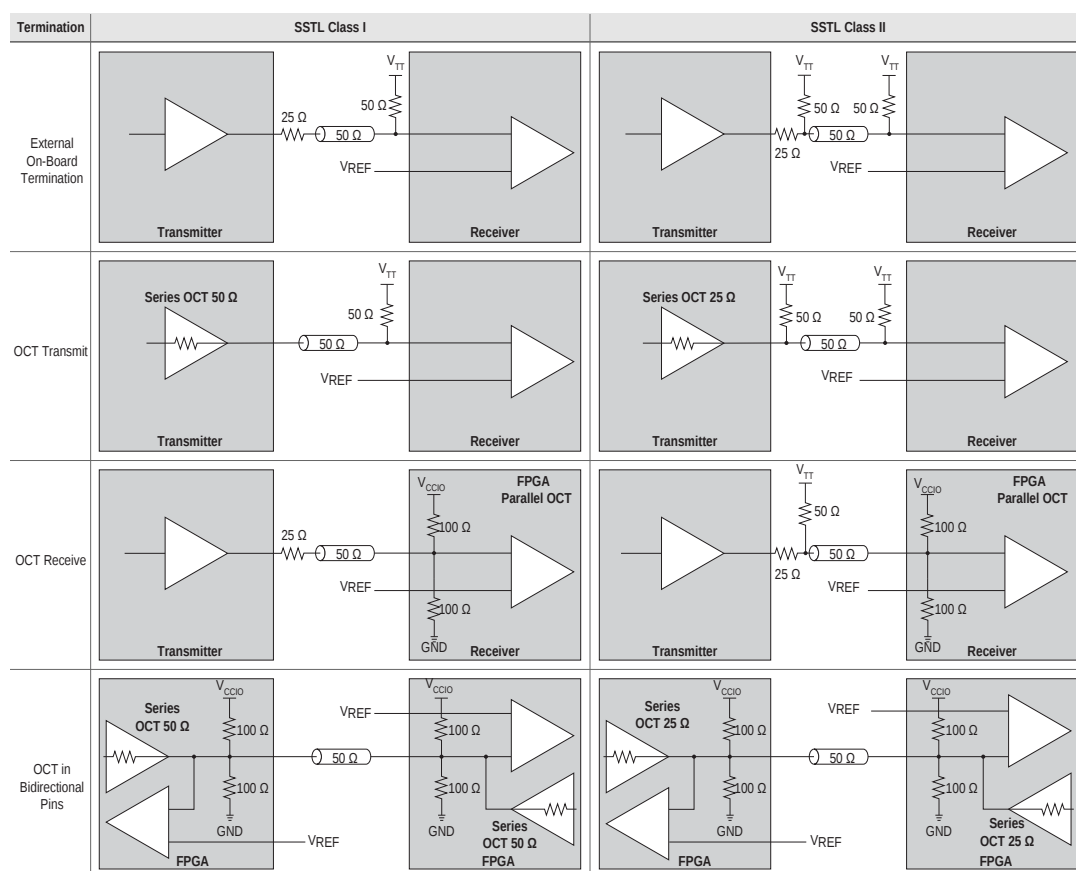
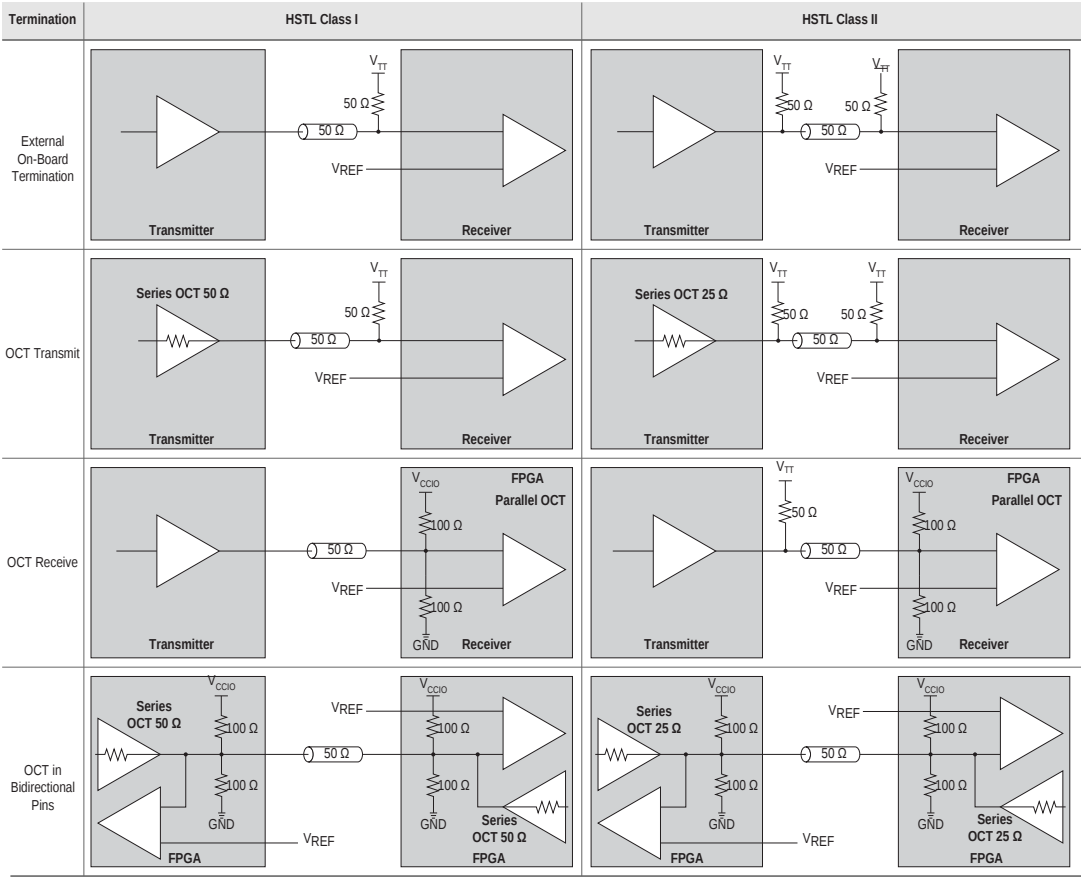


图5-20: HSTL I/O标准匹配

该图显示了Cyclone V器件上HSTL I/O匹配的详细内容。



相关链接

[Cyclone V器件中的动态OCT \(第5-39页\)](#)

差分I/O匹配

I/O管脚成对组成以支持差分标准。每个I/O管脚对可支持差分输入和输出缓冲。

所支持的I/O标准，例如差分SSTL-15、差分SSTL-125和差分SSTL-135，通常不要求外部电路板匹配。

Altera建议使用这些I/O标准的动态OCT功能，从而节省电路板空间和成本。动态OCT降低了所使用的外部匹配电阻的数量。

差分HSTL，SSTL和HSUL匹配

差分HSTL、SSTL和HSUL输入使用LVDS差分输入缓冲。不过， R_D 支持仅在I/O标准是LVDS时可用。

差分HSTL、SSTL和HSUL输入不是真差分输出。这些I/O标准使用两个单端输出，其中第二个输出编程为反转输出。

图5-21: 差分SSTL I/O标准匹配

该图显示了Cyclone V器件上差分SSTL I/O匹配的详细内容。

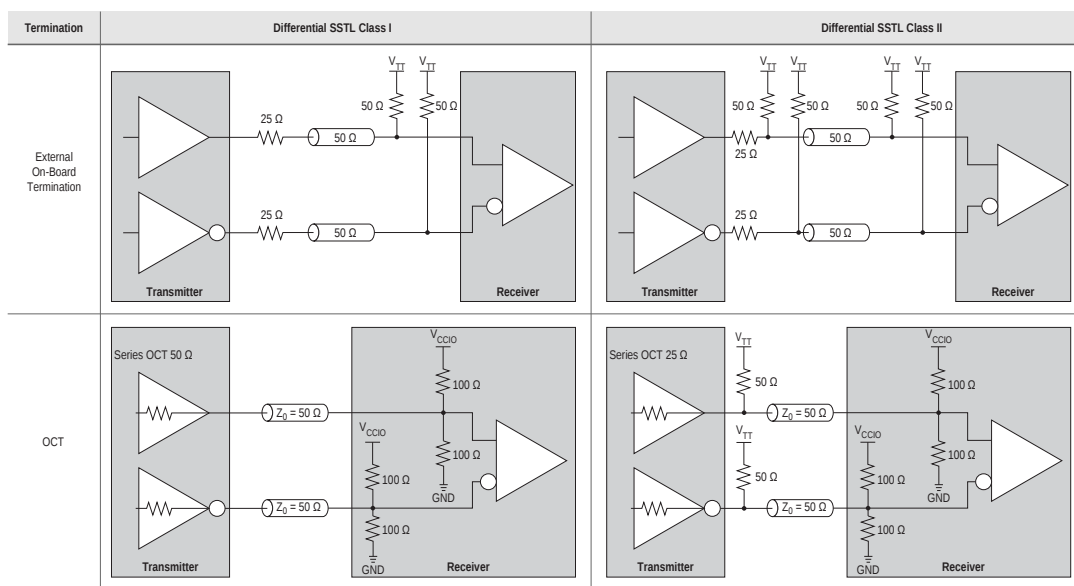
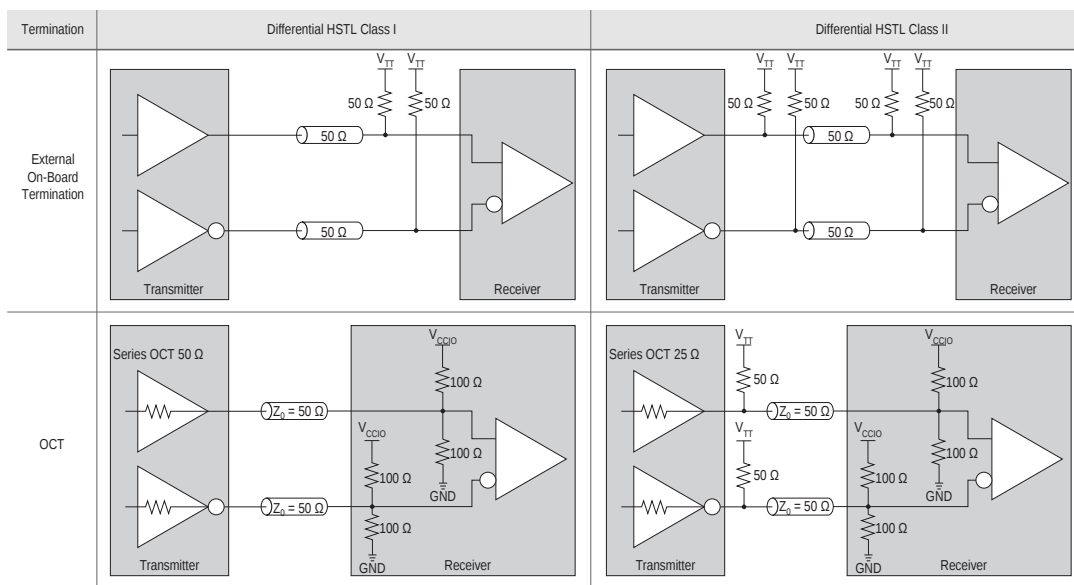


图5-22: 差分HSTL I/O标准匹配

该图显示了Cyclone V器件上差分HSTL I/O标准匹配的详细内容。

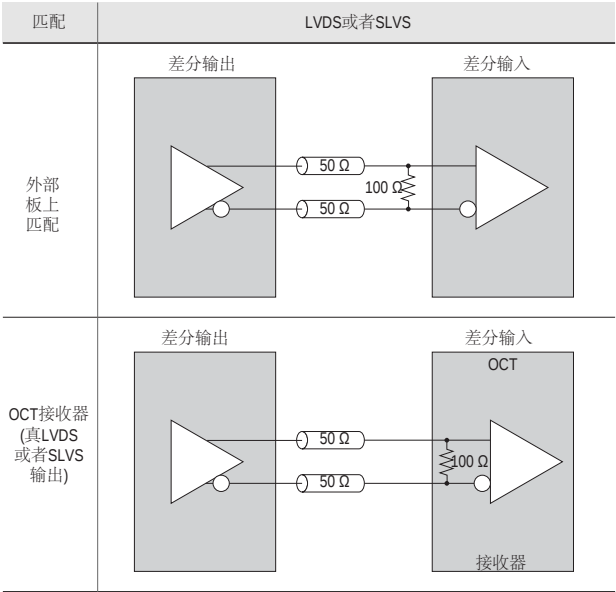


LVDS、RSDS、SLVS和Mini-LVDS匹配

通过使用真LVDS输出缓冲，而无需电阻网络，所有I/O bank都具有专用的电路来支持真LVDS、RSDS、SLVS和mini-LVDS I/O标准。

图5-23: LVDS和SLVS I/O标准匹配

该图显示了LVDS和SLVS I/O标准匹配。片上差分电阻在所有I/O bank中可用。



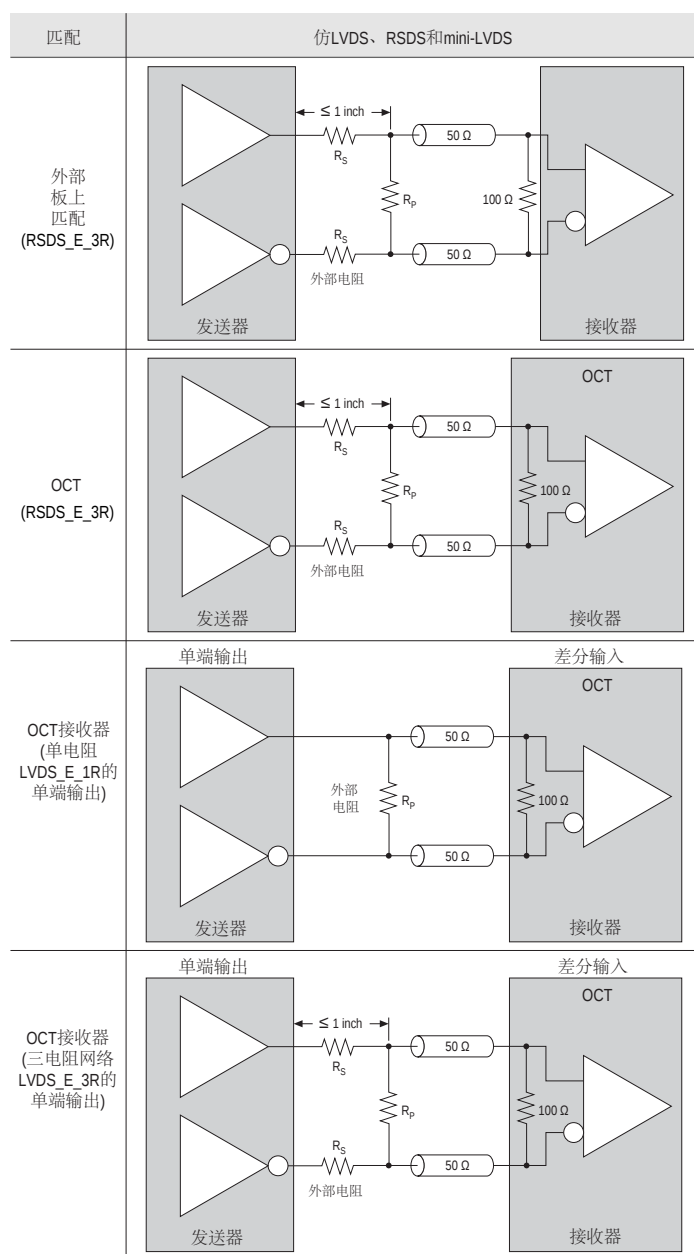
仿LVDS、RSDS和Mini-LVDS匹配

I/O bank也支持仿LVDS、RSDS和mini-LVDS I/O标准。

仿LVDS、RSDS和mini-LVDS输出缓冲器使用两个单端口输出缓冲器以及外部单电阻或者三电阻网络，也可以是三态。

图5-24: 仿LVDS、RSDS或者Mini-LVDS I/O标准匹配

输出缓冲器，如该图所示，可用于所有I/O bank。 R_S 和 R_P 的值是待定表征。



要符合RSDS或mini-LVDS的规范，需要一个电阻网络来减少输出电压摆幅。

可以通过改变三电阻网络值来降低功耗或者改善噪声容限。选择满足下列公式的电阻值。

图5-25: 电阻网络计算

$$\frac{R_S \times \frac{R_P}{2}}{R_S + \frac{R_P}{2}} = 50 \Omega$$

注意: Altera建议执行IBIS或者SPICE模型的额外仿真, 以验证定制电阻值是否满足RSDS或者mini-LVDS I/O标准的要求。

有关支持外部单电阻或者三电阻网络的数据速率的信息, 请参考器件数据表。

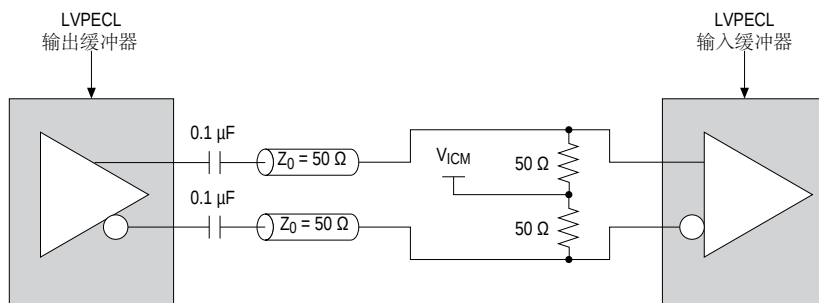
相关链接

- [Cyclone V器件数据表](#)
- [国家半导体公司主页 \(www.national.com\)](http://www.national.com)
要了解关于RSDS I/O标准的详细信息, 请参考国家半导体公司网页上的 *RSDS规范* 部分。

LVPECL匹配

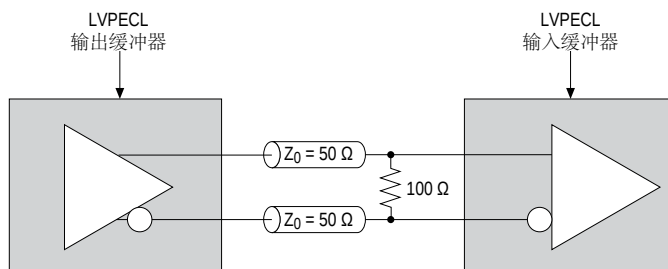
Cyclone V器件仅在输入时钟管脚中支持LVPECL I/O标准。不支持LVPECL输出操作。使用LVDS输入缓冲器来支持LVPECL输入操作。

如果输出缓冲器的LVPECL共模电压与LVPECL输入共模电压不匹配, 就使用交流(AC)耦合。

图5-26: LVPECL交流耦合匹配 ⁽⁹⁾

如果LVPECL输出共模电压在Cyclone V LVPECL输入缓冲器规格范围之内, 那么直流(DC)耦合LVPECL是被支持的。

⁽⁹⁾ LVPECL交流耦合匹配仅在使用Altera® FPGA发送器作为外部输入源时才适用。

图5-27: LVPECL直流耦合匹配⁽⁹⁾

有关 V_{ICM} 规范的信息，请参考器件数据表。

相关链接

[Cyclone V 器件数据表](#)

专用高速电路

Cyclone V 器件在差分发送器和接收器中具有专用电路来发送或接收高速差分信号。

表5-34: 差分发送器和接收器的功能和专用电路

特性	差分发送器	差分接收器
真差分缓冲器	LVDS、mini-LVDS和RSDS	LVDS、SLVS、mini-LVDS和RSDS
SERDES	高达10 bit的串行器	高达10 bit的解串器
分数PLL	同步加载和移位寄存器	生成不同相位的时钟用于数据同步器
可编程 V_{OD}	静态	—
可编程预加重	提升输出电流	—
数据重对齐模块(Bit-slip)	—	位延迟插入到串行数据
偏移调整	—	手动
片上匹配(OCT)	—	在LVDS和SLVS标准中100 Ω

相关链接

[指南：将整数PLL模式中的PLL用于LVDS](#) (第5-12页)

高速差分I/O位置

下图显示了Cyclone V 器件中的专用串行器/解串器(SERDES)电路以及高速I/O的位置。

图5-28: 高速差分I/O在Cyclone V E A2和A4器件中的位置

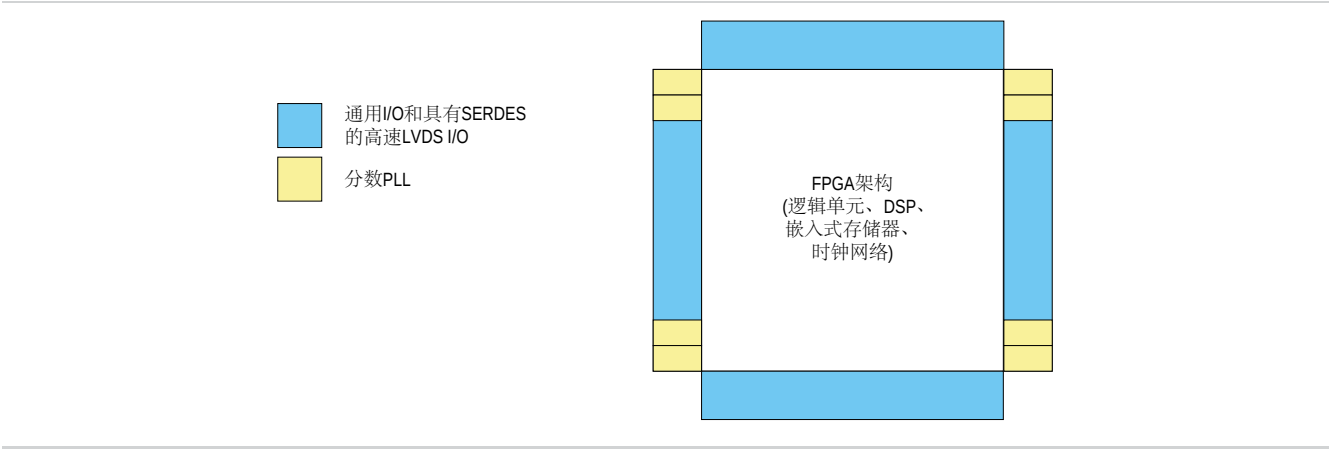


图5-29: 高速差分I/O在Cyclone V GX C3器件中的位置

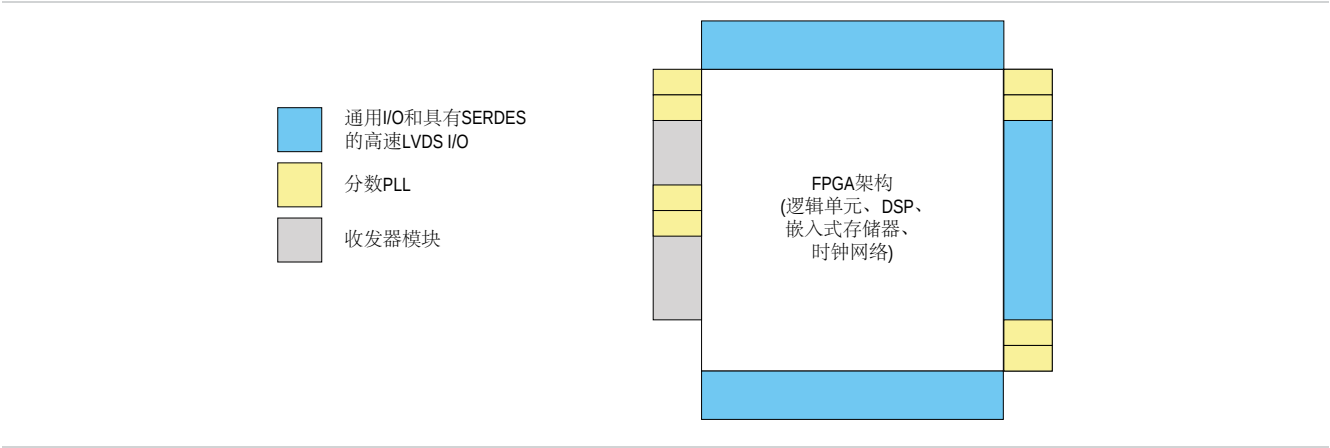


图5-30: 高速差分I/O在Cyclone V GX C4、C5、C7和C9器件，以及Cyclone V GT D5、D7和D9器件中的位置

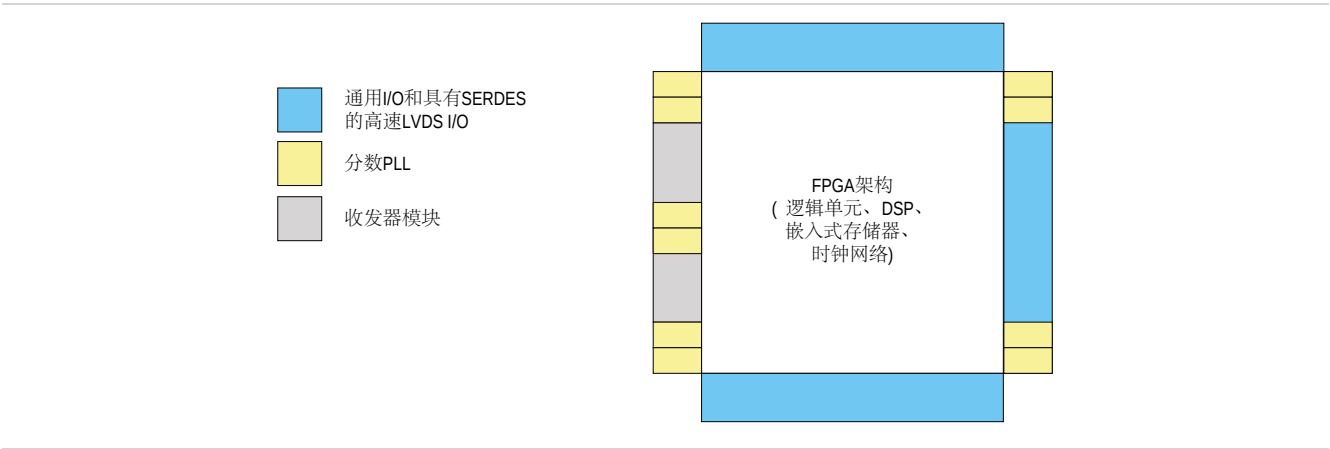


图5-31: 高速差分I/O在Cyclone V SE A2、A4、A5和A6器件中的位置

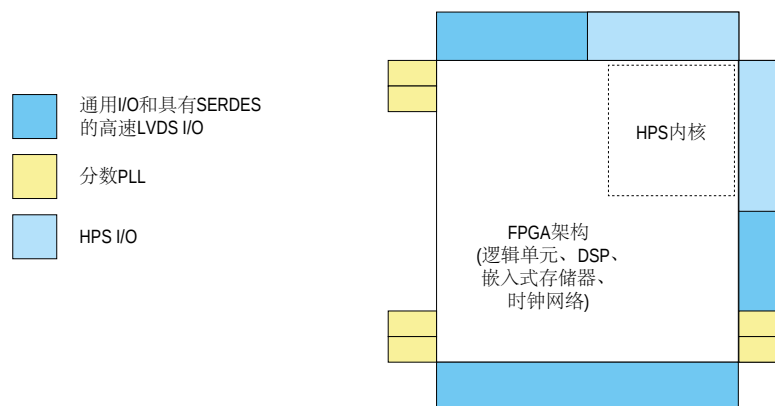
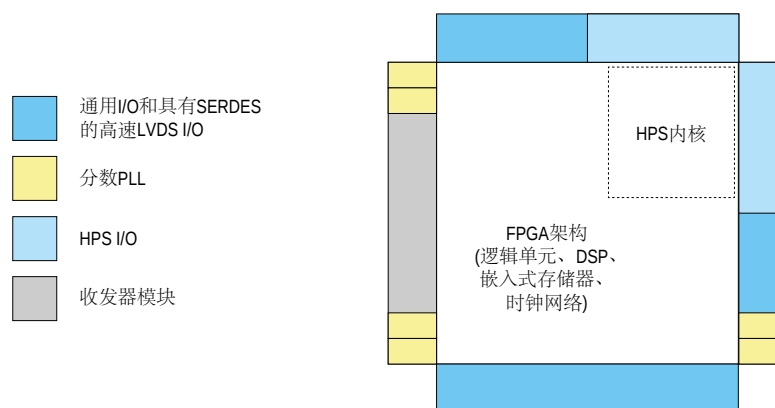


图5-32: 高速差分I/O在Cyclone V SX C2、C4、C5和C6器件，以及Cyclone V ST D5和D6器件中的位置



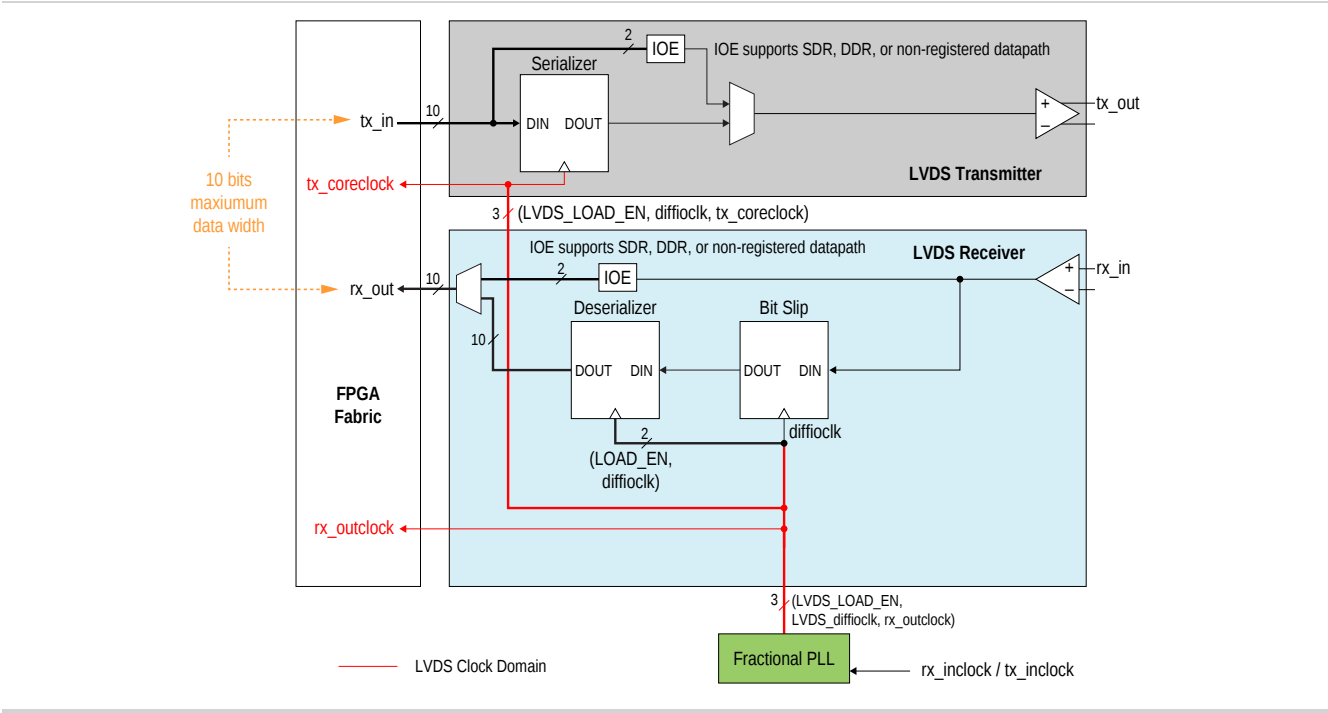
相关链接

- [PLL和时钟](#) (第5-12页)
有关PLL和时钟的I/O设计指南。
- [指南：将整数PLL模式中的PLL用于LVDS](#) (第5-12页)

LVDS SERDES电路

下图显示了LVDS SERDES电路中的发送器和接收器结构图以及发送器和接收器数据路径的接口信号。

图5-33: LVDS SERDES



前面的图显示了发送器和接收器之间一个共享的PLL。如果发送器和接收器没有共享同一个PLL，那么就需要两个分数PLL。在单数据速率(SDR)和双数据速率(DDR)模式中，数据位宽分别为1 bit和2 bit。

注意：要了解Cyclone V器件所支持的最高数据速率的更多信息，请参考器件概述。

相关链接

- [Cyclone V器件概述](#)
- [LVDS SERDES发送器/接收器 \(ALTLVDS_TX和ALTLVDS_RX\) 宏功能用户指南](#)
使用ALTLVDS提供了LVDS发送器/接收器端口和设置的列表。
- [指南：将整数PLL模式中的PLL用于LVDS \(第5-12页\)](#)

Cyclone V器件中的真LVDS缓冲器

Cyclone V器件系列支持所有I/O bank中的LVDS：

- 行和列I/O支持R_D OCT的真LVDS输入缓冲器和输出缓冲器。
- Cyclone V器件对驱动SERDES的分数PLL提供单端I/O参考时钟。

注意：真LVDS输出不支持三态。

下表列出了Cyclone V器件中所支持的真LVDS缓冲器的数量，含有下列条件：

- LVDS通道数不包括专用的时钟管脚。
- 每个I/O sub-bank可支持多达两个独立的ALTLVDS接口。例如：可将两个ALTLVDS接口置位在由两个差分PLL驱动的bank 8A中，条件是LVDS通道不交错。

表5-35: Cyclone V E器件中所支持的LVDS通道

成员代码	封装	在器件中的位置	TX	RX
A2和A4	256-pin FineLine BGA	顶端	8	8
		左侧	4	4
		右侧	8	8
		底部	12	12
	324-Pin Ultra FineLine BGA	顶端	12	12
		左侧	8	8
		右侧	8	8
		底部	16	16
	383-pin Micro FineLine BGA	顶端	15	19
		左侧	12	12
		右侧	7	8
		底部	16	20
	484-pin Ultra FineLine BGA	顶端	20	20
		左侧	4	4
		右侧	8	8
		底部	24	24
	484-pin FineLine BGA	顶端	20	20
		左侧	4	4
		右侧	8	8
		底部	24	24

成员代码	封装	在器件中的位置	TX	RX
A5	383-pin Micro FineLine BGA	顶端	TBD	TBD
		左侧	TBD	TBD
		右侧	TBD	TBD
		底部	TBD	TBD
	484-pin Ultra FineLine BGA	顶端	20	20
		右侧	12	12
		底部	24	24
	484-pin FineLine BGA	顶端	28	28
		右侧	8	8
		底部	24	24
A7	484-pin Micro FineLine BGA	顶端	20	20
		右侧	16	16
		底部	24	24
	484-pin Ultra FineLine BGA	顶端	20	20
		右侧	16	16
		底部	24	24
	484-pin FineLine BGA	顶端	28	28
		右侧	8	8
		底部	24	24
	672-pin FineLine BGA	顶端	28	28
		右侧	24	24
		底部	32	32
	896-pin FineLine BGA	顶端	40	40
		右侧	40	40
		底部	40	40

成员代码	封装	在器件中的位置	TX	RX
A9	484-pin Ultra FineLine BGA	顶端	20	20
		右侧	16	16
		底部	24	24
	484-pin FineLine BGA	顶端	24	24
		右侧	8	8
		底部	24	24
	672-pin FineLine BGA	顶端	28	28
		右侧	24	24
		底部	32	32
	896-pin FineLine BGA	顶端	40	40
		右侧	40	40
		底部	40	40

表5-36: Cyclone V GX器件中所支持的LVDS通道

成员代码	封装	在器件中的位置	TX	RX
C3	324-pin Ultra FineLine BGA	顶端	12	12
		右侧	8	8
		底部	16	16
	484-pin Ultra FineLine BGA	顶端	20	20
		右侧	8	8
		底部	24	24
	484-pin FineLine BGA	顶端	20	20
		右侧	8	8
		底部	24	24

成员代码	封装	在器件中的位置	TX	RX
C4	484-pin Ultra FineLine BGA	顶端	20	20
		右侧	12	12
		底部	24	24
	484-pin FineLine BGA	顶端	28	28
		右侧	8	8
		底部	24	24
	672-pin FineLine BGA	顶端	28	28
		右侧	24	24
		底部	32	32
C5	301-pin Micro FineLine BGA	顶端	TBD	TBD
		左侧	TBD	TBD
		右侧	TBD	TBD
		底部	TBD	TBD
	383-pin Micro FineLine BGA	顶端	TBD	TBD
		左侧	TBD	TBD
		右侧	TBD	TBD
		底部	TBD	TBD
	484-pin Ultra FineLine BGA	顶端	20	20
		右侧	12	12
		底部	24	24
	484-pin FineLine BGA	顶端	28	28
		右侧	8	8
		底部	24	24
	672-pin FineLine BGA	顶端	28	28
		右侧	24	24
		底部	32	32

成员代码	封装	在器件中的位置	TX	RX
C7	484-pin Micro FineLine BGA	顶端	20	20
		右侧	16	16
		底部	24	24
	484-pin Ultra FineLine BGA	顶端	20	20
		右侧	16	16
		底部	24	24
	484-pin FineLine BGA	顶端	28	28
		右侧	8	8
		底部	24	24
	672-pin FineLine BGA	顶端	28	28
		右侧	24	24
		底部	32	32
	896-pin FineLine BGA	顶端	40	40
		右侧	40	40
		底部	40	40
C9	484-pin Ultra FineLine BGA	顶端	20	20
		右侧	16	16
		底部	24	24
	484-pin FineLine BGA	顶端	TBD	TBD
		左侧	TBD	TBD
		右侧	TBD	TBD
		底部	TBD	TBD
	672-pin FineLine BGA	顶端	28	28
		右侧	24	24
		底部	32	32
	896-pin FineLine BGA	顶端	40	40
		右侧	40	40
		底部	40	40
	1152-pin FineLine BGA	顶端	48	48
		右侧	44	44
		底部	48	48

表5-37: Cyclone V GT器件中所支持的LVDS通道

成员代码	封装	在器件中的位置	TX	RX
D5	301-pin Micro FineLine BGA	顶端	TBD	TBD
		左侧	TBD	TBD
		右侧	TBD	TBD
		底部	TBD	TBD
	383-pin Micro FineLine BGA	顶端	TBD	TBD
		左侧	TBD	TBD
		右侧	TBD	TBD
		底部	TBD	TBD
	484-pin Ultra FineLine BGA	顶端	20	20
		右侧	12	12
		底部	24	24
	484-pin FineLine BGA	顶端	28	28
		右侧	8	8
		底部	24	24
	672-pin FineLine BGA	顶端	28	28
		右侧	24	24
		底部	32	32

成员代码	封装	在器件中的位置	TX	RX
D7	484-pin Micro FineLine BGA	顶端	20	20
		右侧	16	16
		底部	24	24
	484-pin Ultra FineLine BGA	顶端	20	20
		右侧	16	16
		底部	24	24
	484-pin FineLine BGA	顶端	28	28
		右侧	8	8
		底部	24	24
	672-pin FineLine BGA	顶端	28	28
		右侧	24	24
		底部	32	32
	896-pin FineLine BGA	顶端	40	40
		右侧	40	40
		底部	40	40
D9	484-pin Ultra FineLine BGA	顶端	20	20
		右侧	16	16
		底部	24	24
	484-pin FineLine BGA	顶端	TBD	TBD
		左侧	TBD	TBD
		右侧	TBD	TBD
		底部	TBD	TBD
	672-pin FineLine BGA	顶端	28	28
		右侧	24	24
		底部	32	32
	896-pin FineLine BGA	顶端	40	40
		右侧	40	40
		底部	40	40
	1152-pin FineLine BGA	顶端	48	48
		右侧	44	44
		底部	48	48

相关链接

指南：将整数PLL模式中的PLL用于LVDS (第5-12页)

Cyclone V器件中的仿LVDS缓冲器

Cyclone V器件系列支持所有I/O bank上的仿LVDS：

- 您也可以使用真LVDS输入缓冲器作为仿LVDS输出缓冲器(eTX)，它使用两个单端输出缓冲器和一个外部电阻网络来支持LVDS、mini-LVDS和RSDS I/O标准。
- 仿差分输出缓冲器能够支持三态功能(tri-state capability)。

Cyclone V器件中的差分发送器

Cyclone V发送器包含专用的电路来支持高速差分信号。差分发送器缓冲支持以下功能：

- LVDS信号可驱动LVDS、mini-LVDS和RSDS信号。
- 可编程V_{OD}和可编程预加重

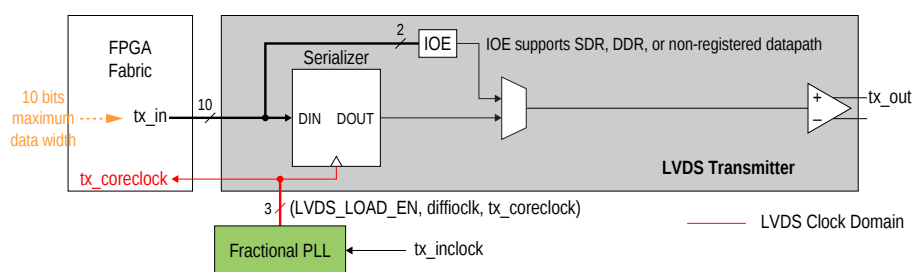
发送器模块

专用电路由真差分缓冲器、串化器，以及在发送器与接收器之间可共享的分数PLL所组成。串化器从FPGA架构中获取高达10bit宽的并行数据，然后将此数据同步到加载寄存器，在发送此数据到差分缓冲器之前，使用由分数PLL同步的移位寄存器将其串化。在并行数据的MSB首先被发送。

注意：要驱动LVDS通道，必须使用整数PLL模式中的PLL。

下图显示了发送器的结构图。在SDR和DDR模式中，数据位宽分别为1 bit和2 bit。

图5-34: LVDS发送器



相关链接

指南：将整数PLL模式中的PLL用于LVDS (第5-12页)

发送器时钟

分数PLL生成并行时钟(rx_outclock和tx_outclock)、加载使能(LVDS_LOAD_EN)信号以及diffioclck信号(时钟运行在串行数据速率)，对加载和移位寄存器提供时钟。通过使用Quartus II软件，您可以将串化因子静态地设置成x4、x5、x6、x7、x8、x9或者x10。加载使能信号源自串化因子的设置。

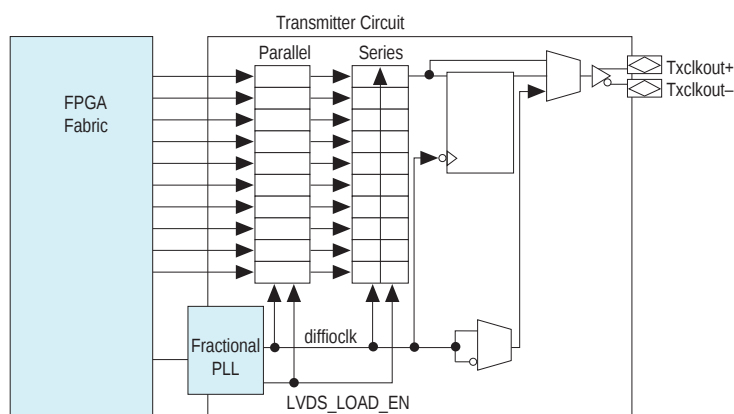
您可以配置任意的Cyclone V发送器数据通道来生成源同步发送器输出时钟。这一灵活性使时钟输出能够布局在数据输出附近，从而简化板级布线复杂度并降低时钟到数据偏移。

不同的应用经常会需要指定的clock-to-data对齐或者指定的data-rate-to-clock-rate因子。您可以在Quartus II MegaWizard™ Plug-In Manager中静态地指定这些设置：

- 发送器能够输出与数据具有相同速率的时钟信号—通过每种器件支持的速度等级的最大输出时钟频率。
- 输出时钟也能够被因子1、2、4、6、8或者10整除，这取决于串化因子。
- 与数据相关的时钟相位可被设置为0°或者180°(边沿或者中间对齐)。分数PLL对45°递增的其它相移提供额外的支持。

下图显示了时钟输出模式中的发送器。在时钟输出模式中，可以将LVDS通道用作时钟输出通道。

图5-35: 时钟输出模式中的发送器



相关链接

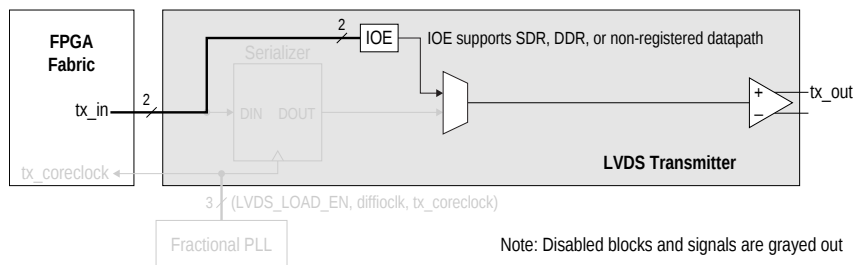
指南：将整数PLL模式中的PLL用于LVDS (第5-12页)

用于DDR和SDR的串化器旁路操作

可以旁路串化器，来支持DDR (x2)和SDR (x1)的操作，分别实现串化因子2和1。I/O单元(IOE)包含可在DDR或SDR模式中操作的两个数据输出寄存器。

图5-36: 串化器旁路

下图显示了串化器的旁路路径。在DDR模式中，tx_inclock对IOE寄存器提供时钟。在SDR模式中，数据直接通过IOE。在SDR和DDR模式中，IOE的数据位宽分别为1 bit和2 bit。



Cyclone V器件中的差分接收器

此接收器具有一个差分缓冲器、在发送器与接收器之间可共享的分数PLL、一个数据重对齐模块和一个解串器。差分缓冲器可接收LVDS、mini-LVDS和RSDS信号电平。您可以在Quartus II软件的Assignment Editor中静态地将接收器管脚的I/O标准设置成LVDS、SLVS、mini-LVDS或者RSDS。

注意：要驱动LVDS通道，必须使用整数PLL模式中的PLL。

相关链接

指南：将整数PLL模式中的PLL用于LVDS (第5-12页)

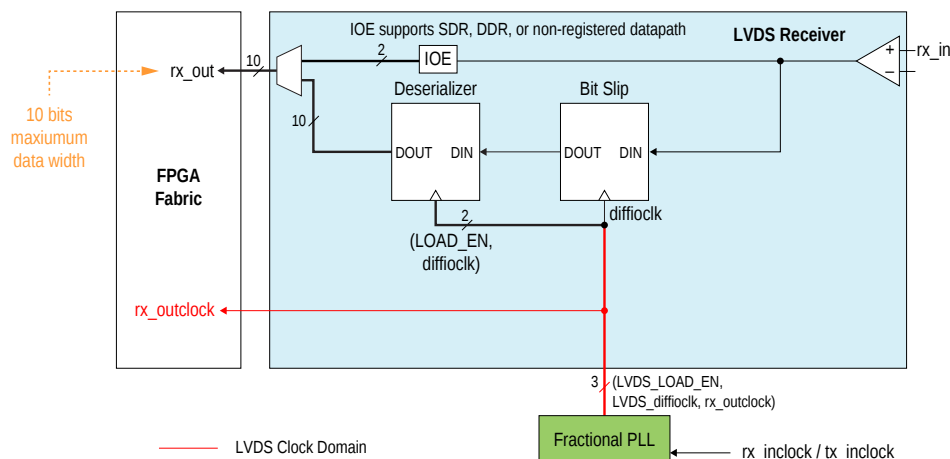
Cyclone V器件中的接收器模块

Cyclone V差分接收器具有以下几个硬件模块：

- 数据重对齐模块(bit slip)
- 解串器

下图显示了接收器的硬件结构。在SDR和DDR模式中，来自IOE的数据宽度分别是1和2位。解串器包括移位寄存器和并行加载寄存器，最多发送10 bit到内部逻辑。

图5-37: 接收器结构图



数据重对齐模块(Bit Slip)

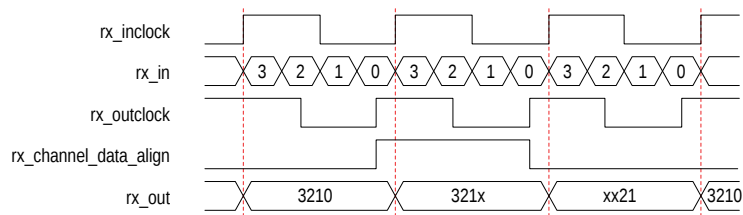
在发送数据中的偏移和在链接所添加的偏移会导致接收器串行数据流中的通道至通道偏移。为了对该通道到通道的偏移进行补偿，并且在每个通道上建立正确的接收字边界，每个接收通道具有一个专用的数据重对齐电路，通过将位元延迟插入到串行流来重对齐数据。

可选端口RX_CHANNEL_DATA_ALIGN独立地控制了每个接收器的位元插入在内部逻辑。数据会在RX_CHANNEL_DATA_ALIGN上升沿滑动一个位。对RX_CHANNEL_DATA_ALIGN信号的要求包括以下几项：

- 最小脉冲宽度是逻辑阵列中并行时钟的一个周期
- 脉冲之间的最小时间间隔是并行时钟的一个周期
- 该信号是一个边沿触发信号。
- 有效数据在RX_CHANNEL_DATA_ALIGN的上升沿之后的并行时钟的两个周期可用。

图5-38: 数据重对齐时序

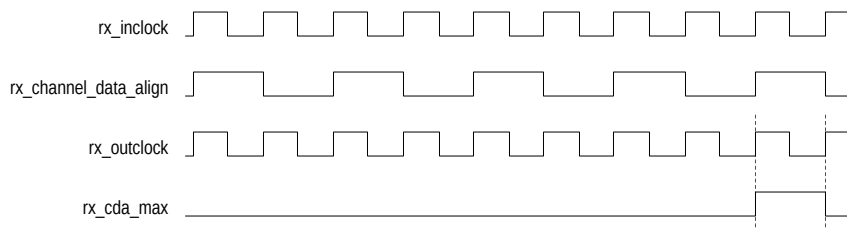
该图显示了一个bit slip脉冲(解串因子设为4)之后的接收器输出(RX_OUT)。



数据重对齐电路能够有高达11 bit-times的插入在翻转现象出现之前。可编程位翻转点可从1至11 bit-times，独立于解串因子。可编程位翻转点设置为相等或大于解串因子—在字对齐电路中允许足够的深度来滑过一个完整的字。您可以使用MegaWizard Plug-In Manager设置位翻转点的值。每个通道都有一个可选的状态端口RX_CDA_MAX送到FPGA架构，来指示预设翻转点到达的时间。

图5-39: 接收器数据重对齐翻转

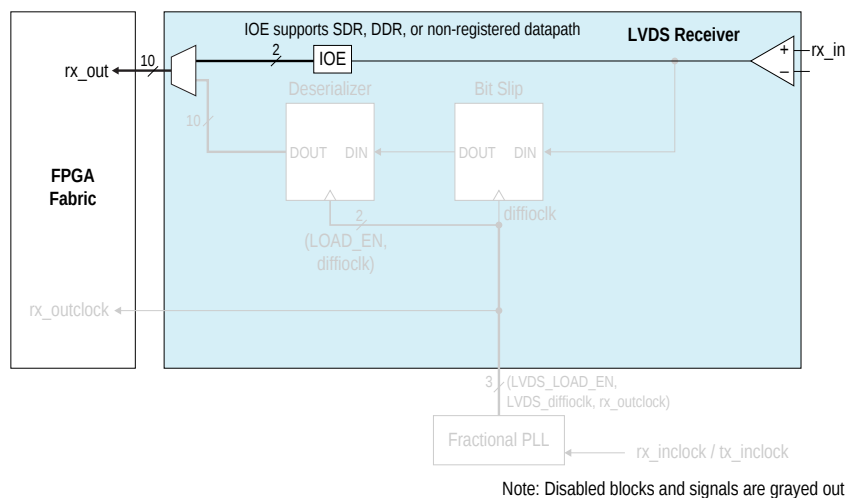
该图显示了翻转出现前的一个4 bit-times的预设值。rx_cda_max信号脉冲一个rx_outclock周期来表明已经出现翻转。



解串器

通过使用 Quartus II 软件能够将解串因子静态地设置为x4、x5、x6、x7、x8、x9或者x10。在Quartus II MegaWizard Plug-In Manager中旁路解串器以支持DDR (×2)或者SDR (×1)操作，如下图所示。

图5-40: 解串器旁路



IOE包含两个可在DDR或者SDR模式中运行的数据输入寄存器。在DDR模式中，rx_inclock对IOE寄存器提供时钟。在SDR模式中，数据直接通过IOE。在SDR和DDR模式中，来自IOE的数据宽度分别是1和2位。

Cyclone V器件中的接收器模式

Cyclone V 器件支持LVDS接收器模式：

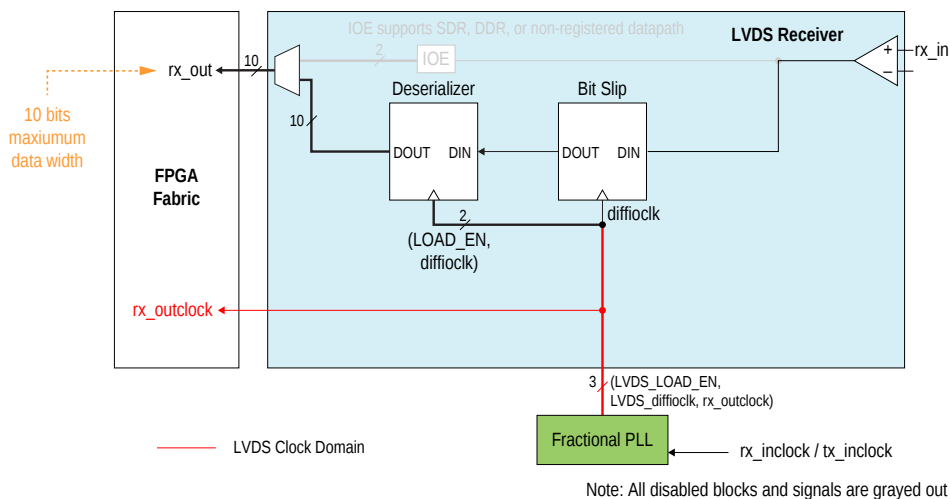
LVDS接收器模式

输入串行数据在由左右两侧PLL产生的串行LVDS_diffioclck时钟的上升沿上被寄存。

通过使用Quartus II MegaWizard Plug-In Manager来选择rising edge选项。由左右两侧PLL生成的LVDS_diffioclck时钟对数据重对齐和解串器模块提供时钟。

下图显示了 LVDS 数据通路的结构图。在 SDR 和 DDR 模式中，来自 IOE 的数据宽度分别是 1 和 2 位。

图5-41: LVDS模式中的接收器数据路径



Cyclone V器件中的接收器时钟

分数PLL接收外部时钟输入，并生成同一时钟的不同相位。

连接到发送器和接收器LVDS通道的物理介质可能会导致串行数据与源同步时钟之间的偏移。每个LVDS通道与时钟之间的瞬间偏移也随着数据和时钟信号上的抖动(从接收器观测到的)变化而变化。

LVDS模式使您能够静态地选择源同步时钟与接收的串行数据之间的最佳相位对偏移进行补偿。

相关链接

指南：将整数PLL模式中的PLL用于LVDS (第5-12页)

Cyclone V器件中的差分I/O匹配

Cyclone V器件对LVDS标准在每个差分接收通道上均提供了一个 $100\ \Omega$ ，片上差分匹配选项。片上不需要在电路板上添加外部电阻，从而节省了电路板空间。您可以在Quartus II软件的Assignment Editor中使能片上匹配。

所有I/O管脚和专用时钟输入管脚支持片上差分匹配， R_D OCT。

图5-42: 片上差分I/O匹配

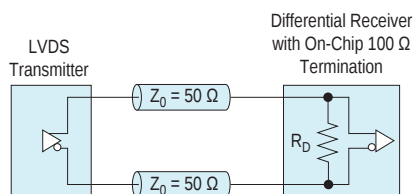


表5-38: Quartus II软件的Assignment Editor一片上差分匹配

该表列出了Quartus II软件Assignment Editor中片上差分匹配的约束名称。

域	约束
至	rx_in
Assignment名称	输入匹配
值	差分

源同步时序规划

本部分中的主题对Cyclone V器件系列中源同步信号的时序规划、波形以及规范作了介绍。

LVDS I/O标准使能了高速数据传输，实现更高的系统整体性能。要想利用好快速的系统性能，必须分析这些高速信号的时序。对差分模块的时序分析不同于传统的同步时序分析技术。

源同步时序分析是基于数据与时钟信号之间的偏移，而不是基于时钟到输出的建立时间。高速差分数据传输需要使用IC供应商所提供的时序参数，并且会受到板级偏移、电缆偏移以及时钟抖动的严重影响。

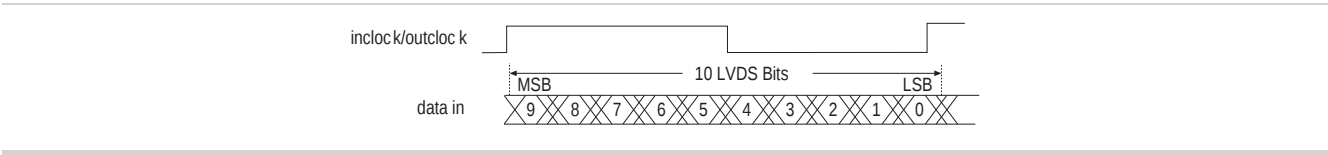
这一部分定义了Cyclone V器件系列中的源同步差分数据定向的时序参数、时序规划，以及如何通过使用这些时序参数来决定设计的最佳性能。

差分数据定向

外部时钟和输入数据之间存在一定关系。对于运行在840Mbps和串化因子为10的操作，外部时钟乘以10。您可以在PLL中设置相位对齐以符合每个数据位元的采样窗口。数据在被乘时钟的下降沿时被采样。

图5-43: Quartus II中的位定向

该图显示了x10模式中的数据位定向。



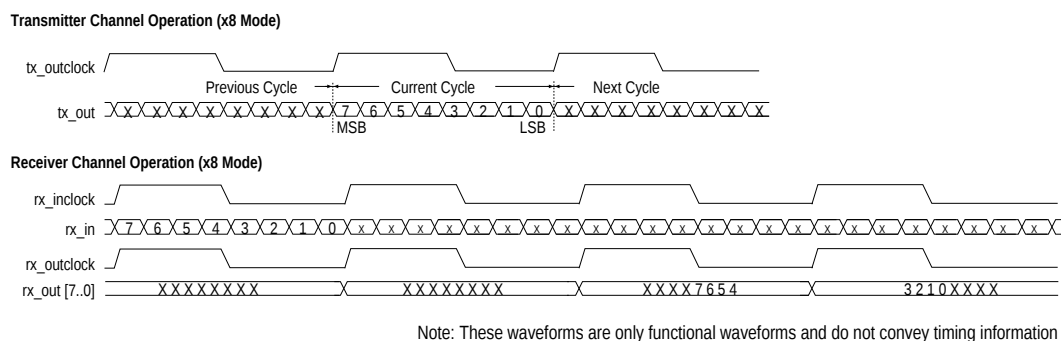
差分I/O位位置

数据同步对于成功的高频数据传输是必要的。

下图显示了通道操作的数据位元定向，它基于以下几个条件：

- 串化因子等于时钟倍频因子。
- 相位对齐使用边沿对齐。
- 该操作在硬核SERDES中实现。

图5-44: 一个差分通道的位顺序和字边界



对于其它的串化因子，使用Quartus II软件工具在字中查找位位置。

差分位命名约定

下表列出了18个差分通道的差分位元名称的约定。MSB和LSB位置随着系统所用的通道数量而递增。

表5-39: 差分位名称

该表列出了18个差分通道的差分位元命名的约定，以及解串后的位元位置。

接收器通道数据的数量	内部8位并行数据	
	MSB位置	LSB位置
1	7	0
2	15	8
3	23	16
4	31	24
5	39	32
6	47	40
7	55	48
8	63	56
9	71	64
10	79	72
11	87	80
12	95	88
13	103	96
14	111	104
15	119	112
16	127	120
17	135	128

接收器通道数据的数量	内部8位并行数据	
	MSB位置	LSB位置
18	143	136

发送器通道至通道偏移

接收器偏移裕量使用发送器通道至通道偏移(TCCS)—是源同步差分接口中基于Cyclone V发送器的一个重要参数:

- TCCS是最快和最慢数据输出跳变之间的差异, 包括 T_{CO} 的变化和时钟偏移。
- 在LVDS发送器中, TimeQuest时序分析器在Quartus II编译报告的TCCS报告(report_TCCS)中提供一个TCCS值, 它显示了串行输出端口的TCCS值。
- 可以从器件数据表中获得TCCS值。

相关链接

- [Cyclone V器件数据表](#)
- [LVDS SERDES发送器/接收器 \(ALTLVDS_TX和ALTLVDS_RX\) 宏功能用户指南](#) 提供了关于LVDS发送器/接收器封装偏移补偿报告面板的详细信息。

LVDS的接收器偏移裕量

在LVDS模式中, 将RSKM、TCCS和采样窗口(SW)规格用于接收数据通路中的高速源同步差分信号。

下面的公式表示RSKM、TCCS和SW之间的关系。

图5-45: RSKM公式

$$RSKM = \frac{TUI - SW - TCCS}{2}$$

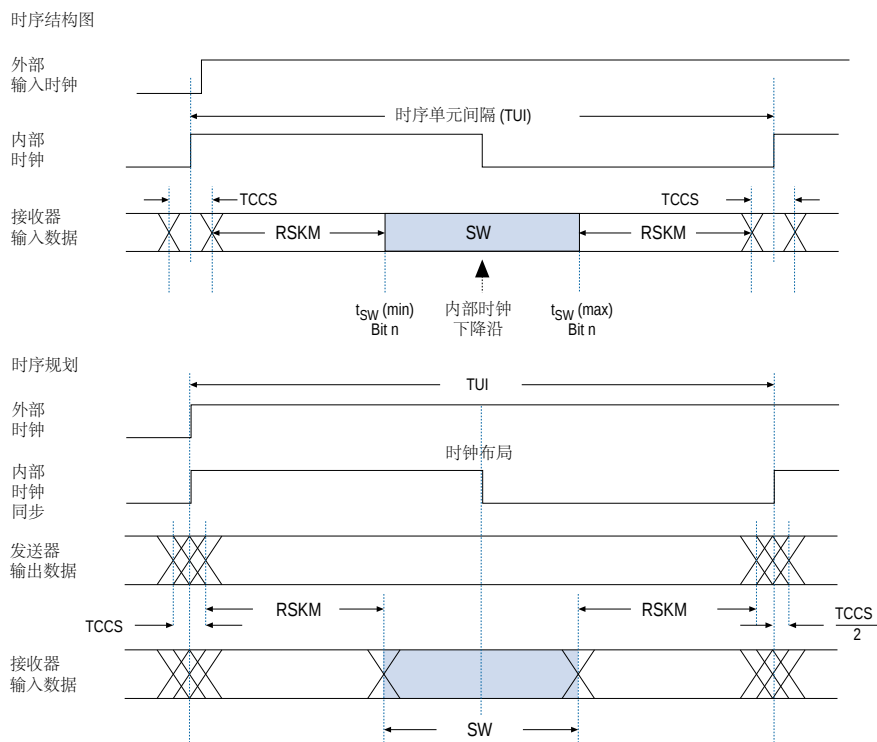
公式中采用的约定:

- RSKM—接收器的时钟输入和数据输入采样窗口之间的时序裕量。
- 时间单位间隔(TUI)—串行数据的时间周期。
- SW—一个时间段, 期间输入数据必须是稳定的, 以确保数据成功地被LVDS接收器采样。采样窗口(SW)是一种器件属性, 并随着器件速度等级的不同而有所变化。
- TCCS—由同一PLL驱动通道中最快与最慢的输出边沿之间的时序差异, 包括 t_{CO} 变化和时钟偏移。此时钟包括在TCCS测量中。

您必须计算RSKM值来决定LVDS接收器是否能通过给定的数据速率及器件正确地采样数据。一个正的RSKM值表明LVDS接收器能够正确地采样数据, 而一个负的RSKM值表明接收器不能正确地采样数据。

下图显示了RSKM、TCCS和接收器的SW之间的关系。

图5-46: LVDS模式的差分高速时序结构图和时序规划



对于LVDS接收器，Quartus II提供一个RSKM报告，显示non-DPA LVDS模式下的SW、TUI和RSKM值。

- 通过在TimeQuest时序分析器中执行report_RSKM命令能够生成RSKM报告。在TimeQuest时序分析器部分下的Quartus II编译报告中可以找到RSKM报告。
- 要获得RSKM值，通过TimeQuest时序分析器的约束菜单(constraints menu)将输入延迟分配给LVDS接收器。输入延迟根据LVDS接收器端口上数据到达的时间而决定(相对参考时钟)。
- 如果在设置参数的Set Input Delay选项中设置输入延迟，那么将输入名称设置成参考用于驱动LVDS接收器的源同步时钟的时钟。
- 如果在TimeQuest时序分析器中没有设置任何输入延迟，那么接收器通道到通道偏移默认为零。
- 您也可以使用set_input_delay命令在Synopsys Design Constraint文件(.sdc)中直接设置输入延迟。

相关链接

- [LVDS SERDES发送器/接收器 \(ALTLVDS_TX和ALTLVDS_RX\) 宏功能用户指南](#) 提供了关于RSKM方程式和计算的更多信息。
- [Quartus II TimeQuest时序分析器章节](#)，[Quartus II开发套件软件手册](#) 提供了关于.sdc命令和TimeQuest时序分析器的更多信息。

文档修订历史

日期	版本	修订内容
2013年5月	2013.05.06	<ul style="list-style-type: none">• 将全部主题中的所有链接移到相关信息(Related Information)部分，以便参考。• 添加链接到知识库(Knowledge Base)的已知文档问题中。• 将M386封装更新为M383封装。• 更新了Cyclone V E器件的M383封装计划。• 更新了Cyclone V GX器件M301封装的GPIO数量。• 更新了Cyclone V SE、SX和ST器件的HPS I/O数量。• 更新了I/O纵向移植的表格。• 更正了MultiVolt I/O接口主题中的注释。• 更新了3.3 V LVTTTL可编程电流强度的值，以添加16 mA电流强度。• 移除了表明时钟树网络不能交叉不同I/O的声明。• 移除了rx_syncclock端口的参考，因为该端口不适用于Cyclone V器件。• 将Bank 1A添加到I/O bank位置图用于Cyclone V E器件中，因为它现在可用于Cyclone V E A2和A4器件。• 将M383和M484封装添加到模块化I/O bank表格用于Cyclone V E器件中，并且添加Cyclone V E A9器件的U484封装。• 将U324、M301、M383和M484添加到模块化I/O bank表格用于Cyclone V GX器件中，并且添加Cyclone V GX C9器件的U484封装。• 将M301、M383和M484添加到模块化I/O bank表格用于Cyclone V GT器件，并且添加Cyclone V GT D9器件的U484封装。• 添加注释以阐明Cyclone V SE、SX和ST器件的模块化I/O bank表格的HPS行和列I/O的数量。• 为清楚起见，修改高速差分I/O位置结构图中的收发器模块的颜色。• 为了便于阅读，使用一个共享的OCT校准模块校准多个I/O bank的实例修复结构图。• 添加有关仿LVDS缓冲器的主题。• 编辑有关真LVDS缓冲器的主题。

日期	版本	修订内容
		<ul style="list-style-type: none"> 更新了Cyclone V器件中列出LVDS通道数量的表格： <ul style="list-style-type: none"> 从Cyclone V GX C3器件中移除F256封装。 从Cyclone V GX C4和C5，以及Cyclone V GT D5器件中移除F324封装。 将Cyclone V GX C3器件中的F324封装修改成U324封装。 将Cyclone V GX C4和C5器件分成不同的行。 从Cyclone V E A5中移除F672封装。 添加M301封装到Cyclone V GX C5和Cyclone V GT D5器件。 添加M383封装到Cyclone V E A2、A4和A4、Cyclone V GX C5以及Cyclone V GT D5器件。 添加M484封装到Cyclone V E A7、Cyclone V GX C7和Cyclone V GT D7器件。 添加U484封装到Cyclone V E A9、Cyclone V GX C9以及Cyclone V GT D9器件。 添加F484封装到Cyclone V GX C9和Cyclone V GT D9器件。 更新了数据重对齐时序图以提高清晰度。 更新了接收器数据重对齐翻转图以提高清晰度。
2012年12月	2012.12.28	<ul style="list-style-type: none"> 重组内容并更新模板。 添加了每个封装的I/O资源以及I/O纵向移植部分，以便参考。 通过使用Quartus II软件，添加步骤来验证管脚移植的兼容性。 更新了I/O标准支持表格和HPS I/O信息。 添加了有关LVDS应用中参考时钟管脚的限制主题。 更新了使用LVDS差分通道的管脚布局指南。 添加了有关使用外部PLL模式的指南。 为了方便参考，重新排序I/O bank组的表格。 移除暗示V_{REF}管脚可作为普通I/O使用的声明。 更新了3.3 V LVTTTL可编程电流强度的值。 为了提高清晰度和更快地参考，重新构建有关I/O缓冲器和寄存器主题中的信息。 添加HPS信息到可编程IOE特性的主题。 为清楚起见以及基于主题的参考，重新排序有关片上I/O匹配的表格。 更新了Cyclone V GX、SX和ST器件中的高速差分I/O位置结构图。 移除有关仅在顶端和底部bank可用LVDS SERDES的声明。 移除有关LVDS直接环回模式的主题。 更新了Cyclone V E、GX和GT器件中的真LVDS缓冲数量。 添加了RSKM公式、说明和高速时序结构图。

日期	版本	修订内容
2012年6月	2.0	针对Quartus II软件版本12.0的发布进行的更新： <ul style="list-style-type: none">• 调整章节。• 添加了“设计考量”、“VCCIO限制”、“LVDS通道”、“模块化I/O Bank”和“OCT校准模块”章节。• 更新了图 5-3、图 5-4、图 5-5、图 5-6和图 5-27。• 更新了表5-1、表5-8和5-10。• 更新了图5 - 22以及含有外部单电阻的仿LVDS。
2012年2月	1.2	<ul style="list-style-type: none">• 更新了表5 - 1、表5-2、表5-8和表5-10。• 更新了“I/O Bank”第5 - 8页。• 少量文本编辑。
2011年11月	1.1	<ul style="list-style-type: none">• 更新了表5-2。• 更新了图5-3和图5-4。• 更新了“在多个I/O Bank中共享OCT标准模块”、“高速差分I/O接口”以及“分数PLL和Cyclone V时钟”章节。
2011年10月	1.0	首次发布。