

硬核处理器系统 (HPS) 3 层 (L3) 互联和 4 层 (L4) 外设总线通过 ARM® CoreLink™ 网络互联 (NIC-301) 实现。NIC-301 根据 ARM 高级微处理器总线体系结构 (AMBA®) 高级可扩展接口 (AXI™)、高级高性能总线 (AHB™) 和高级外设总线 (APB™) 协议对高性能 HPS 互联提供了基础。L3 互联实现了支持主器件和从器件之间的多个同时传输的多层，非阻塞体系结构，其中包含 Cortex™-A9 微处理器单元 (MPU) 子系统。互联提供了 5 个独立的 L4 总线以访问外设、管理器和存储控制器的控制和状态寄存器 (CSRs)。



额外的信息可从 *AMBA 网络互联 (NIC-301) 技术参考手册* 获得，可以从 ARM 网站 (infocenter.arm.com) 下载。

互联的功能

L3 互联具有以下特性：

- 主内部数据宽度为 64 位
- 使用单周期仲裁可编程的主优先权
- 完全流水线操作以防止主器件中止
- 可编程的控制以进行 FIFO 缓冲器传输释放
- 以下类型的安全性：
 - 安全
 - 非安全
 - 每次传输安全性
- 5 个独立的 L4 总线

© 2012 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

Portions © 2011 ARM Limited. Used with permission. All rights reserved. ARM, the ARM Powered logo, AMBA, Jazelle, StrongARM, Thumb, and TrustZone are registered trademarks of ARM Limited. The ARM logo, Angel, ARMulator, AHB, APB, ASB, ATB, AXI, CoreSight, Cortex, EmbeddedICE, ModelGen, MPCore, Multi-ICE, NEON, PrimeCell, ARM7TDMI, ARM7TDMI-S, ARM9TDMI, ARM9E-S, ARM966E-S, ETM7, ETM9, TDMI and STRONG are trademarks of ARM Limited. All other products or services mentioned herein may be trademarks of their respective owners. Neither the whole nor any part of the information contained in, or the product described in, this document may be adapted or reproduced in any material form except with the prior written permission of the copyright holder. The product described in this document is subject to continuous developments and improvements. All particulars of the product and its use contained in this document are given by ARM in good faith. However, all warranties implied or expressed, including but not limited to implied warranties of merchantability, or fitness for purpose, are excluded. This document is intended only to assist the reader in the use of the product. ARM Limited shall not be liable for any loss or damage arising from the use of any information in this document, or any error or omission in such information, or any incorrect use of the product. Where the term ARM is used it means "ARM or any of its subsidiaries as appropriate". This document is Non-Confidential. The right to use, copy and disclose this document may be subject to license restrictions in accordance with the terms of the agreement entered into by ARM and the party that ARM delivered this document to. The information in this document is final, that is for a developed product.



互联结构图和系统集成

图 4-1 显示了 L3 互联和 L4 总线的结构图。

图 4-1. 互联结构图

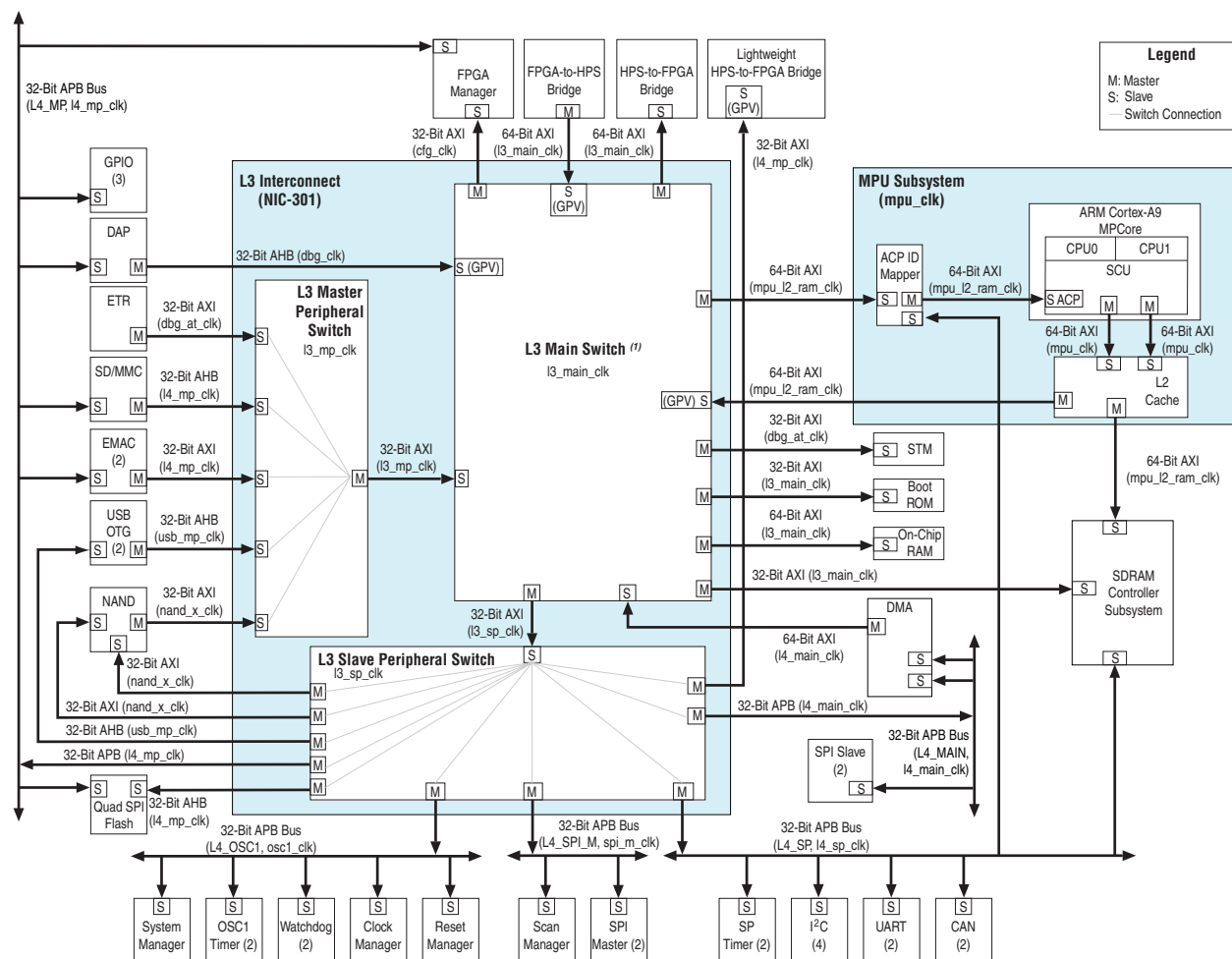


图 4-1 注释：

(1) 要了解关于 L3 主交换机 (main switch) 连接的更多信息，请参考表 4-1。

L3 互联是部分连接的交换架构；不是所有的主器件都可以访问全部的从器件。要了解更多信息，请参考第 4-6 页的“主-从连接性矩阵”。

在内部，L3 互联被分成下列子交换机的分区：

- L3 主交换机 (mian switch)
 - 主交换机用于传输高吞吐量 64 位数据
 - 操作最高可达到 MPU 主时钟频率的一半
 - 提供给主器件对于 AXI 桥接、片上存储器、SDRAM 和 FPGA 管理器的低延迟连接性

- L3 主外设交换机
 - 用于将存储器控制 (memory-mastering) 的外设连接到主交换机
 - 32 位数据宽度
 - 操作最高可达到主交换时钟频率的一半
- L3 从外设交换机
 - 提供对主外设和主交换机的主器件的 3 层和 4 层从接口的访问
 - 32 位数据宽度
 - 5 个独立的 L4 总线

L3 主和从外设交换机是完全连接的交叉开关 (crossbar)。L3 主交换机是一个部分连接的交叉开关。表 4-1 显示了 L3 主交换机的所有主和从接口的连接性矩阵。钩形符号表示连接。

表 4-1. L3 主交换机连接性矩阵

主器件	从器件							
	L3 从器件 外设交换机	FPGA 管理器	HPS-to-FPGA 桥接	ACP ID 映射器数据	STM	引导 ROM	片上 RAM	SDRAM 控制器 子系统 L3 数据
L3 主外设交换机			v	v			v	v
L2 缓冲主器件 0	v	v	v		v	v	v	
FPGA-to-HPS 桥接	v			v	v		v	v
DMA	v	v	v	v	v		v	v
DAP	v	v	v	v			v	v

L3 主器件

以下列表包含与 L3 互联连接的所有主接口：

- MPU 子系统 — 连接到 L3 主交换机的 L2 缓冲主器件 0
- FPGA-to-HPS 桥接 — 连接到 L3 主交换机
- DMA— 连接到 L3 主交换机
- EMAC0— 连接到 L3 主外设交换机
- EMAC1— 连接到 L3 主外设交换机
- USB0— 连接到 L3 主外设交换机
- USB1— 连接到 L3 主外设交换机
- NAND— 连接到 L3 主外设交换机
- SD/MMC— 连接到 L3 主外设交换机
- ETR— 连接到 L3 主外设交换机
- DAP— 连接到 L3 主交换机

L3 从器件

以下列表包含与 L3 互联相连接的所有从接口：

- USB0— 连接到 L3 从外设交换机的 CSR 从接口
- USB1— 连接到 L3 从外设交换机的 CSR 从接口
- NAND 寄存器 — 连接到 L3 从外设交换机的 CSR 从接口
- NAND 数据 — 连接到 L3 从外设交换机的命令和数据从接口
- Quad SPI 闪存 — 连接到 L3 从外设交换机的数据从接口
- FPGA 管理器 — 连接到 L3 主交换机的数据从接口
- HPS-to-FPGA 桥接 — 连接到 L3 主交换机的数据从接口
- 轻型 HPS-to-FPGA 桥接 — 连接到 L3 从外设交换机的数据从接口
- ACP ID 映射器 — 连接到 L3 主交换机的数据从接口
- STM— 连接到 L3 主交换机
- Boot ROM— 连接到 L3 主交换机
- 片上 RAM— 连接到 L3 主交换机
- SDRAM 控制器子系统 — 连接到 L3 主交换机的 SDRAM 多端口前端从接口

L4 从器件

每个 L4 从器件都是一个 APB 从器件，连接到以下 5 个 L4 总线的其中之一：

- L4 从外设 (SP) 总线 — APB 用于不需要快速访问的外设
 - SDRAM 控制器子系统 — CSR 访问
 - SP 计时器 0—CSR 访问
 - SP 计时器 1—CSR 访问
 - I2C0—CSR 访问
 - I2C1—CSR 访问
 - I2C2 (与 EMAC0 相关联)—CSR 访问
 - I2C3 (与 EMAC1 相关联)—CSR 访问
 - UART0—CSR 访问
 - UART1—CSR 访问
 - CAN0—CSR 访问
 - CAN1—CSR 访问

- L4 主外设 (MP) 总线 — 提供主要对 L3 主外设访问的 APB。
 - ACP ID 映射器 —CSR 访问
 - FPGA 管理器 —CSR 访问
 - DAP—CSR 访问
 - Quad SPI 闪存 —CSR 访问
 - SD/MMC—CSR 访问
 - EMAC0—CSR 访问
 - EMAC1—CSR 访问
 - GPIO0—CSR 访问
 - GPIO1—CSR 访问
 - GPIO2—CSR 访问
- L4 振荡器 1 (OSC1) 总线 —APB 专门用于操作在外部振荡器 1 域上的外设。
 - OSC1 计时器 0—CSR 访问
 - OSC1 计时器 1—CSR 访问
 - 看门狗 0—CSR 访问
 - 看门狗 1—CSR 访问
 - 时钟管理器 —CSR 访问
 - 复位管理器 —CSR 访问
 - 系统管理器 —CSR 访问
- L4 主总线 —APB 专用与 DMA 和 SPI 从器件
 - DMA_s— 访问 DMA 控制器安全寄存器
 - DMA_ns— 非安全的访问 DMA 控制器非安全的寄存器
 - SPI 从器件 0—CSR 访问
 - SPI 从器件 1—CSR 访问
- L4 SPI 主 (SPIM) 总线 —APB 专用于 SPI 主器件和扫描管理器。
 - SPI 主器件 0—CSR 访问
 - SPI 主器件 1—CSR 访问
 - 扫描管理器 —CSR 访问

互联的功能说明

这一部分提供互联的功能说明。

主 - 从连接性矩阵

互联是一个部分连接的交叉开关。表 4-2 显示了互联的所有主和从接口的连接性矩阵。钩形符号表示连接。

表 4-2. 互联连接性矩阵

主器件	从器件														
	L4 SP 总线从器件	L4 MP 总线从器件	L4 OSC1 总线从器件	L4 MAIN 总线从器件	L4 SP1M 总线从器件	轻型 HPS-to-FPGA 桥接	USB OTG 0/1 CSR	NAND CSR	NAND 命令和数据	Quad SPI 闪存数据	FPGA 管理器	HPS-to-FPGA 桥接	ACP ID 映射器数据	STM	引导 ROM
L2 缓冲主器件 0	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√
FPGA-to-HPS 桥接	√	√	√	√	√	√	√	√	√	√			√	√	√
DMA	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√
EMAC 0/1												√	√		√
USB OTG 0/1												√	√		√
NAND												√	√		√
SD/MMC												√	√		√
ETR												√			√
DAP	√	√	√	√	√	√	√	√	√	√	√	√	√		√

地址重映射

互联通过重映射寄存器支持地址重映射。重映射使软件能够控制哪一个存储器件 (SDRAM、片上 RAM 或引导 ROM) 在地址 0x0 是可访问的并且控制 HPS-to-FPGA 和轻型 HPS-to-FPGA 桥接的可访问性。重映射寄存器是其中一个 NIC-301 Global Programmer View (GPV) 寄存器并且映射到以下 L3 主器件的地址空间：

- MPU
- FPGA-to-HPS 桥接
- DAP

remap 寄存器中的重映射位不互相排斥。当多个从器件重新映射到相同的地址时，最低位重映射位具有较高的优先权。每个位使能够形成不同组合的地址映射。在 GPV 中只有一个重映射寄存器，所以修改 remap 寄存器影响互联的所有主器件的所有存储器映射。

重映射位的影响可以被分成以下的组：

- MPU 主接口
 - L2 缓冲主器件 0 接口

- 非 MPU 主接口
 - DMA 主接口
 - 主外设接口
 - 调试访问端口 (DAP) 主接口
 - FPGA-to-HPS 桥接主接口

图 4-2 显示了所有 MPU 和非 MPU 主器件的互联地址映射。该图是不按比例。

图 4-2. 每个主器件的地址映射

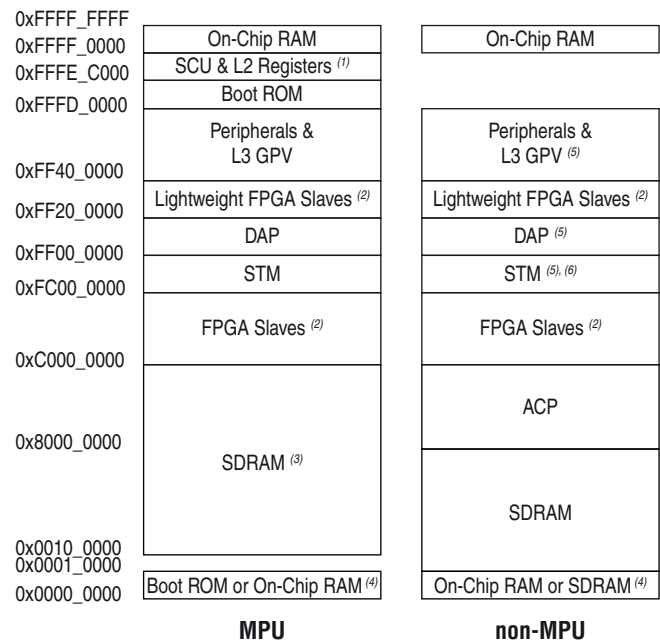


图 4-2 注释：

- (1) SCU 和 L2 缓冲寄存器位于 MPU 子系统并且从 L3 互联是不可访问的。
- (2) 该地址范围总是不可访问的。要了解更多信息，请参考表 4-3。
- (3) MPU 子系统的两个主器件连接到互联，另一个主器件直接连接到 SDRAM 控制器子系统。MPU L2 中的地址过滤寄存器控制哪一个 MPU 地址发送到每个主器件。该图假设过滤寄存器包含复位值。
- (4) 该地址范围是可配置的。要了解更多信息，请参考表 4-3。
- (5) 该地址范围从主外设接口不可访问。要了解更多信息，请参考 第 4-6 页的“主-从连接性矩阵”。
- (6) 该地址范围从 DAP 接口不可访问。要了解更多信息，请参考 第 4-6 页的“主-从连接性矩阵”。

对于 MPU L3 主器件，启动 ROM 或片上 RAM 映射到地址 0x0 并且隐藏 SDRAM 最低的 64 K。从 0x0001_0000 到 0x0010_0000 的地址空间是不可访问的，因为 MPU L2 过滤寄存器只有 1 MB 的粒度。启动完成后，MPU 可以将地址过滤更改为使用最低 1 MB 的 SDRAM。

对于非 MPU 主器件，片上 RAM 或 SDRAM 映射到地址 0x0。当映射到地址 0x0 时，片上 RAM 对非 MPU 主器件隐藏 SDRAM 的最低 64 K。

表 4-3 列出了重映射位如何影响存储器映射。

表 4-3. 存储器映射重映射位

位名称	位偏移	说明
mpuzero	0	当设置为 0 时，引导 ROM 映射到 MPU L3 主器件的地址 0x0。当设置为 1 时，片上 RAM 映射到 MPU L3 主器件的地址 0x0。该位对非 MPU 主器件没有影响。 请注意与该设置无关，对于 MPU L3 主器件，引导 ROM 也总是映射到地址 0xffffd_0000 并且片上 RAM 也总是映射到地址 0xffff_0000。
nonmpuzero	1	当设置为 0 时，SDRAM 映射到非 MPU L3 主器件的地址 0x0。当设置为 1 时，片上 RAM 映射到非 MPU 主器件的地址 0x0。该位对于 MPU L3 主器件没有影响。 请注意与该设置无关，片上 RAM 也总是映射到非 MPU L3 主器件的地址 0xffff_0000。
Reserved	2	必须始终设置为 0。
hps2fpga	3	当设置为 1 时，HPS-to-FPGA 桥接从端口对 L3 主器件可见。当设置为 0 时，访问相关的地址范围会对主器件返回一个 AXI 解码错误。
lwhp2fpga	4	当设置为 1 时，轻型 HPS-to-FPGA 桥接从端口对 L3 主器件可见。当设置为 0 时，访问相关的地址范围会对主器件返回一个 AXI 解码错误。
Reserved	31:5	必须始终设置为 0。



MPU 子系统中的 L2 过滤寄存器，而不是互联，使 SDRAM 能够被重映射到 MPU 的地址 0。要了解关于 MPU 子系统的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Cortex-A9 MPU System* 章节。

主缓存和缓冲覆盖

一些互联的主器件不能够驱动它们 AXI 和 AHB 接口的缓存和缓冲信号。为了确保这些主器件可以有效地执行传输，可设置系统管理器中的寄存器，以便可以使能可缓存的和可缓冲的传输。以下主器件的缓存和缓冲信号由系统管理器驱动：

- EMAC0 和 EMAC1
- USB OTG 0 和 USB OTG 1
- NAND 闪存
- SD/MMC

在复位时间，系统管理器驱动这些主器件的缓存和缓冲信号为低电平。也就是说，列出的主器件不支持可缓存的或可缓冲的访问直到复位后使能它们。在系统管理器和互联之间没有同步，所以当任何的主器件工作时避免更改这些设置。要了解关于使能或禁用该功能的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *System Manager* 章节。

安全性

从器件安全性

互联通过从器件设置实现安全性。从器件设置由通过 GPV 寄存器访问的地址区域控制寄存器控制。每个 L3 和 L4 从器件有各自的安全检查和可编程的安全设置。复位后，每个互联的从器件被设置为安全状态（称为引导安全）。安全主器件只允许安全从器件进行访问。

GPV 仅可以由安全主器件访问。互联的安全状态不可以通过 GPV 访问，因为安全寄存器为只写 (write-only)。对 GPV 的任何非安全访问都会接收到一个 DECERR 响应，并且不提供寄存器访问。通过 GPV 对安全设置进行的更新，直到所有至受影响的从器件的传输已经完成才生效。

主器件安全性

互联的主器件是安全的、非安全的或其安全性是在每传输基础上设置的。DAP 只能够执行安全访问。L2 缓存主器件 0、FPGA-to-HPS-bridge 和 DMA 在每传输基础上执行安全和非安全访问。所有其它互联主器件执行非安全访问。要了解更多信息，请参考 第 4-10 页的“互联主器件属性”。

非安全主器件访问安全从器件会导致 DECERR 响应并且传输不会达到从器件。

仲裁

在互联的入口点，所有传输都被分配了一个可以编程地配置的本地质量控制 (quality of service)(QoS) 值。整个基础结构中传输的仲裁使用这个 QoS 值。连接到互联的每个主器件的 QoS 控制被分成读和写 QoS 优先权值。

在所有的仲裁节点上，一个固定的优先权出现在具有不同 QoS 值的传输中。最高的 QoS 值具有最高的优先权。如果在仲裁节点上需要仲裁的相同 QoS 值的传输同时发生，那么互联使用一个最近最少使用的 (least recently used, LRU) 算法。

叠加依赖规避方案

AXI 协议允许传输重新排序。结果，当从单一发散点到多个从器件同时布线多个传输时，互联可能需要执行规则以防止死锁。

互联的每个主器件都被配置了 3 个可能的叠加依赖规避方案 (CDAS) 的其中一个。读和写传输都被配置了相同的 CDAS 方案，但是它们单独地操作。主器件的 CDAS 实现在 第 4-10 页的“互联主器件属性”中有所说明。

以下方案可用：

- 单一从器件 (Single Slave)
- 每 ID 的单一从器件
- 单一主动从器件 (Single Active Slave)

单一从器件 (Single Slave)

单一从器件 (SS) 确保在交换机的从接口发生以下情况：

- 所有未决的读传输都到单端目的地。
- 所有未决的写传输都到单端目的地。

如果对于该输出类型主器件发送另一个传输到不同的目的地而不是当前目的地（读或写），那么网络中止传输直到该类型的所有未决传输已经完成。

每 ID 的单一从器件

每 ID 的单一从器件 (SSPID) 确保在交换机的从接口发生以下情况：

- 相同 ID 的所有未决的读传输到相同的目的地。
- 相同 ID 的所有未决的写传输到相同的目的地。

当一个主器件发出一个传输时，以下的情况可能出现：

- 如果传输的 ID 不匹配所有未决的传输，那么它通过 CDAS。
- 如果传输的 ID 匹配未决的传输的 ID，并且目的地也匹配，那么它通过 CDAS。
- 如果传输的 ID 匹配未决的传输的 ID，并且目的地不匹配，那么传输不能通过 CDAS 检查并且中止。

单一主动从器件 (Single Active Slave)

单一主动从器件 (SAS) 与 SSPID 方案相同，对写传输添加了一个检查。SAS 确保主器件不发出一个新写地址直到之前写传输的所有数据都被发送。

互联主器件属性

互联通过 L3 主交换机和 L3 从外设交换机连接到各种从接口。

表 4-4 显示了连接到互联的所有主接口。

表 4-4. 互联主器件接口

主器件	接口宽度	时钟	交换机	安全性	GPV 访问	CDAS	发布数 ⁽¹⁾	缓冲宽度 ⁽²⁾	类型
L2 缓存 MO	64	mpu_l2_ram_clk	L3 主交换机	每传输	Yes	SSPID	7, 12, 19	2, 2, 2, 2, 2	AXI
FPGA-to-HPS 桥接	64	l3_main_clk	L3 主交换机	每传输	Yes	SAS	16, 16, 32	2, 2, 6, 6, 2	AXI
DMA	64	l4_main_clk	L3 主交换机	每传输	No	SSPID	8, 8, 8	2, 2, 2, 2, 2	AXI
EMAC 0/1	32	l4_main_clk	L3 主外设交换机	非安全	No	SSPID	16, 16, 32	2, 2, 2, 2, 2	AXI
USB OTG 0/1	32	usb_mp_clk	L3 主外设交换机	非安全	No	SSPID	2, 2, 4	2, 2, 2	AHB
NAND	32	nand_x_clk	L3 主外设交换机	非安全	No	SSPID	1, 8, 9	2, 2, 2, 2	AXI
SD/MMC	32	l4_mp_clk	L3 主外设交换机	非安全	No	SSPID	2, 2, 4	2, 2, 2	AHB
ETR	32	dbg_at_clk	L3 主外设交换机	非安全	No	SSPID	32, 1, 32	2, 2, 2, 2	AXI
DAP	32	dbg_clk	L3 主交换机	安全	Yes	SS	1, 1, 1	2, 2, 2	AHB

表 4-4 注释：

- (1) 发布数基于读、写和整个传输数。
- (2) AXI 的 FIFO 缓冲深度基于 AW、AR、R、W 和 B 通道。对于 AHB 和 APB，深度基于 W、A 和 D 通道。

互联从器件属性

互联通过 L3 主交换机、L3 从外设交换机和 5 个 L4 外设总线连接到各种从接口。复位后，所有的从接口都被设置为安全状态。

表 4-5 显示了连接到互联的所有从接口。

表 4-5. 互联从接口 (1/2)

从器件	接口宽度	时钟	操作的器件	接受数 ⁽¹⁾	缓冲深度 ⁽²⁾	接口类型
SDRAM 子系统 CSR	32	l4_sp_clk	L4 SP 总线总器件	1, 1, 1	2, 2, 2	APB
SP 计时器 0/1	32	l4_sp_clk	L4 SP 总线总器件	1, 1, 1	2, 2, 2	APB
I ² C 0/1/2/3	32	l4_sp_clk	L4 SP 总线总器件	1, 1, 1	2, 2, 2	APB
UART 0/1	32	l4_sp_clk	L4 SP 总线总器件	1, 1, 1	2, 2, 2	APB
CAN 0/1	32	l4_sp_clk	L4 SP 总线总器件	1, 1, 1	2, 2, 2	APB
GPIO 0/1/2	32	l4_mp_clk	L4 SP 总线总器件	1, 1, 1	2, 2, 2	APB
ACP ID 映射器 CSR	32	l4_mp_clk	L4 SP 总线总器件	1, 1, 1	2, 2, 2	APB
FPGA 管理器 CSR	32	l4_mp_clk	L4 SP 总线总器件	1, 1, 1	2, 2, 2	APB
DAP CSR	32	l4_mp_clk	L4 SP 总线总器件	1, 1, 1	2, 2, 2	APB
Quad SPI 闪存 CSR	32	l4_mp_clk	L4 SP 总线总器件	1, 1, 1	2, 2, 2	APB
SD/MMC CSR	32	l4_mp_clk	L4 SP 总线总器件	1, 1, 1	2, 2, 2	APB
EMAC 0/1 CSR	32	l4_mp_clk	L4 SP 总线总器件	1, 1, 1	2, 2, 2	APB
系统管理器	32	osc1_clk	L4 OSC1 总线总器件	1, 1, 1	2, 2, 2	APB
OSC1 计时器 0/1	32	osc1_clk	L4 OSC1 总线总器件	1, 1, 1	2, 2, 2	APB
看门狗 0/1	32	osc1_clk	L4 OSC1 总线总器件	1, 1, 1	2, 2, 2	APB
时钟管理器	32	osc1_clk	L4 OSC1 总线总器件	1, 1, 1	2, 2, 2	APB
复位管理器	32	osc1_clk	L4 OSC1 总线总器件	1, 1, 1	2, 2, 2	APB
DMA 安全 CSR	32	l4_main_clk	L4 主总线主器件	1, 1, 1	2, 2, 2	APB
DMA 非安全 CSR	32	l4_main_clk	L4 主总线主器件	1, 1, 1	2, 2, 2	APB
SPI 从器件 0/1	32	l4_main_clk	L4 主总线主器件	1, 1, 1	2, 2, 2	APB
扫描管理器	32	spi_m_clk	L4 主总线主器件	1, 1, 1	2, 2, 2	APB
SPI 主器件 0/1	32	spi_m_clk	L4 主总线主器件	1, 1, 1	2, 2, 2	APB
轻型 HPS- to-FPGA 桥接	32	l4_main_clk	L3 从外设交换机	16, 16, 32	2, 2, 2, 2, 2	AXI
USB OTG 0/1	32	usb_mp_clk	L3 从外设交换机	1, 1, 1	2, 2, 2	AHB
NAND CSR	32	nand_x_clk	L3 从外设交换机	1, 1, 1	2, 2, 2	AXI
NAND 命令和数据	32	nand_x_clk	L3 从外设交换机	1, 1, 1	2, 2, 2	AXI
Quad SPI 闪存数据	32	l4_mp_clk	L3 从外设交换机	1, 1, 1	2, 2, 2	AHB
FPGA 管理器数据	32	cfg_clk	L3 主交换机	1, 2, 3	2, 2, 2, 32, 2	AXI
HPS- to-FPGA 桥接	64	l3_main_clk	L3 主交换机	16, 16, 32	2, 2, 6, 6, 2	AXI

表 4-5. 互联从接口 (2/2)

从器件	接口宽度	时钟	操作的器件	接受数 ⁽¹⁾	缓冲深度 ⁽²⁾	接口类型
ACP ID 映射器数据	64	mpu_l2_ram_clk	L3 主交换机	13, 5, 18	2, 2, 2, 2, 2	AXI
STM	32	dbg_at_clk	L3 主交换机	1, 2, 2	2, 2, 2, 2, 2	AXI
片上引导 ROM	32	l3_main_clk	L3 主交换机	1, 1, 2	0, 0, 0, 0, 0	AXI
片上 RAM	64	l3_main_clk	L3 主交换机	2, 2, 2	0, 0, 0, 8, 0	AXI
SDRAM 子系统 L3 数据	32	l3_main_clk	L3 主交换机	16, 16, 16	2, 2, 2, 2, 2	AXI
表 4-5 注释： (1) 接受数基于读、写和整个传输数。 (2) AXI 的 FIFO 缓冲深度基于 AW、AR、R、W 和 B 通道。对于 AHB 和 APB, 深度基于 W、A 和 D 通道。						

扩容数据宽度功能

扩容功能将狭窄传输合并为较宽传输以增加整个系统带宽。扩容仅对可缓存的读或写传输打包数据。如果互联将单一输入拆分到多输出总线传输，那么它创建的多重连接中的专有信息将会被移除。

扩容功能可以按下列比率扩大数据宽度：

- 1:2
- 1:4

如果所创建的传输的多个响应合并为一个响应，那么以下优先权排序适用：

- DECERR 是最高优先权
- SLVERR 仅次于最高优先权
- OKAY 是最低优先权



要了解关于 AXI 术语，例如 DECERR、WRAP 和 INCR 的更多信息，请参考 *AMBA AXI 协议规范 v1.0*，可以从 ARM 网站 (infocenter.arm.com) 下载。

增值式突发

互联将在单一输出数据宽度内完成的所有输入 INCR 突发转换成尽可能最小 SIZE 的 INCR1 突发，并且将所有 INCR 突发打包到尽可能最优容量的 INCR 突发以实现最大数据吞吐量。

包装式突发

所有 WRAP 突发是通过时未被转化的 WRAP 突发，或被转化为 1 个或 2 个输出总线的 INCR 突发。互联将整个有效负载少于输出数据宽度的输入 WRAP 突发转换成单一 INCR 突发。

固定式突发

所有 FIXED 突发通过时未被转化。

旁路合并

如果使能可编程的位 `bypass_merge`，那么互联不更改可以合法通过的所有传输。旁路合并并通过 GPV 寄存器可以访问并且只有安全主器件可以访问。

缩减数据宽度功能

缩减功能减少传输的数据宽度以匹配目的地的最优数据宽度。如果传输被标记为非缓存的，那么缩减功能不会将多个传输合并为比目的总线狭窄。

缩减功能按以下比率减少数据宽度：

■ 2:1

■ 4:1

增值式突发

互联将输出数据总线的最高有效负载容量内的 INCR 突发转换为单一 INCR 突发。它将大于输出数据总线的最高有效负载容量的 INCR 突发转换成多个 INCR 突发。

INCR 突发 (其容量匹配输出数据宽度) 通过时不被转化。

通过使用扩容功能，互联打包容量小于输出数据宽度的 INCR 突发以在可能时匹配输出宽度。要了解更多信息，请参考 第 4-12 页的“扩容数据宽度功能”。

包装式突发

互联总是将 WRAP 突发转换成两倍长度的 WRAP 突发，高达 WRAP16 的输出数据宽度最高容量，并且将 WRAP 突发作为两个 INCR 突发，其中每个 INCR 突发都可以被转换成一个或多个 INCR 突发。

固定式突发

互联根据缩减比率将 FIXED 突发转换成一个或多个 INCR1 或 INCRn 突发。

旁路合并

如果使能了可编程位 `bypass_merge`，互联不会执行打包任何拍的突发来匹配优化 SIZE 以实现最大吞吐量，高达输出数据宽度 SIZE。旁路合并通过 GPV 寄存器可以访问并且只有安全主器件可以访问。

如果缩减功能将专有传输分拆成多个输出传输，那么专有标记被删除并且主器件从不接收 EXOKAY 响应。响应优先权与扩容功能的相同，在 第 4-12 页的“扩容数据宽度功能”中有所介绍。

锁定支持

锁定不被互联支持。对于原子访问，当共享位于 HPS SDRAM 中的数据时，主器件可以执行专有访问。



要了解关于专有访问支持的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *SDRAM Controller Subsystem* 章节。

FIFO 缓冲器和时钟

互联包含连接 HPS 主器件和从器件以及子交换机的大多数接口中的 FIFO 缓冲器。这些 FIFO 缓冲器也对主器件和从器件（与它们连接的交换机相比操作在不同的时钟频率上）提供时钟域交叉。

数据释放机制

对于包含深度为 4 或大于 4 的写数据 FIFO 缓冲器的网络端口，可以设置一个写潮标 (tidemark) 功能, wr_tidemark。该潮标水平 (tidemark level) 中止传输的释放直到以下其中一种情况发生：

- 互联接收一个突发的 WLAST beat。
- 写数据 FIFO 缓冲器已满。
- 写数据 FIFO 缓冲器中占有的插槽的数量超出了写潮标。

要了解关于哪一个接口包含深度为 4 或大于 4 的写数据 FIFO 缓冲器的更多信息，请参考第 4-10 页的“互联主器件属性”。

复位

互联具有一个复位信号。冷或暖复位时，复位管理器将该信号驱动到 SD/MMC 控制器。复位时，引导 ROM 被映射到地址 0x0。DAP 虚拟地映射到 ID 2。

- 要了解关于复位的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Reset Manager* 章节。要了解关于 ACP ID 映射器进行地虚拟 ID 映射的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Cortex-A9 MPU System* 章节。

互联地址映射和寄存器定义

- 地址映射和寄存器定义位于该手册卷中附带的 [hps.html](#) 文件。点击链接以打开文件。

要查看模块说明和基地址，找到并且点击以下模块实例的链接：

- **l3regs**

要查看寄存器和字段描述，找到并且点击寄存器名称。相对于每个模块实例的基地址，寄存器地址为偏移。

- 所有模块的基地址也在 *Cyclone V 器件手册* 第 3 卷中 *Introduction to the Hard Processor System* 章节列出。

文档修订历史

表 4-6 显示了该文档的修订历史。

表 4-6. 文档修订历史

日期	版本	修订内容
2012 年 11 月	1.2	少量文本编辑。
2012 年 6 月	1.1	<ul style="list-style-type: none">■ 添加了主交换机连接性矩阵表。■ 重新整理了功能说明部分。■ 简化了地址重新映射部分。■ 添加了地址映射和寄存器定义部分。
2012 年 1 月	1.0	首次发布。

