

2013.05.06

CV-52003



订阅



反馈

本章描述了Cyclone® V器件中的精度可调数字信号处理(DSP)如何被优化以支持高性能DSP应用中的更高比特精度。

相关链接

[Cyclone V器件手册: 已知问题](#)

列出了Cyclone V器件手册章节的计划更新。

特性

Cyclone V精度可调DSP模块具有以下特性:

- 高性能、功耗优化和完善寄存的乘法操作
- 9-bit, 18-bit和 27-bit字长
- 两个18 x 19复数乘法
- 内置加法, 减法和双 64-bit累加单元用于综合乘法结果
- 级联 19-bit 或 27-bit 以形成滤波应用的抽头延迟线(tap-delay line)
- 级联64-bit输出总线, 在没有外部逻辑支持的情况下将输出结果从一个模块传播至下一个模块
- 对称滤波器19-bit和27-bit模式中支持的硬核预加器
- 用于滤波实现的内部系数寄存器块
- 具有分布式输出加法器的18-bit和27-bit有限脉冲响应(FIR)滤波器

相关链接

[Cyclone V器件概述](#)

提供了关于每个Cyclone V器件中乘法器数量的详细信息。

© 2013 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008
Registered



Cyclone V器件中支持的操作模式

表3-1: Cyclone V 器件的精度可调DSP模块操作模式

精度可调DSP 模块资源	操作模式	支持的实例	预加器支持	系数寄存器 支持	输入级联支持 ⁽¹⁾	Chainout支持
1个精度 可调DSP 模块	独立9 x 9乘法运算	3	No	No	No	No
	独立18 x 18乘法运算	2	Yes	Yes	Yes	No
	独立18 x 19乘法运算	2	Yes	Yes	Yes	No
	独立18 x 25乘法运算	1	Yes	Yes	Yes	Yes
	独立20 x 24乘法运算	1	Yes	Yes	Yes	Yes
	独立27 x 27乘法运算	1	Yes	Yes	Yes	Yes
	两个18 x 19乘法加法器模式	1	Yes	Yes	Yes	Yes
	与36-bit输入相加的18 x 18乘法加法器	1	Yes	No	No	Yes
2个精度 可调DSP 模块	复数18 x 19乘法	1	No	No	Yes	No

⁽¹⁾ 预加器功能使能时，输入级联支持不可用。

资源

表3-2: Cyclone V器件中的乘法器数量

此表列出了每种Cyclone V器件的精度可调DSP资源，以比特精度表示。

器件系列	成员代码	精度可调DSP模块	独立的输入与输出乘法运算符			18 x 18 乘法加法器 模式	与36 bit输入相加的 18 x 18 乘法加法器
			9 x 9 乘法器	18 x 18 乘法器	27 x 27 乘法器		
Cyclone V E	A2	25	75	50	25	25	25
	A4	66	198	132	66	66	66
	A5	150	450	300	150	150	150
	A7	156	468	312	156	156	156
	A9	342	1,026	684	342	342	342
Cyclone V GX	C3	51	153	102	51	51	51
	C4	70	210	140	70	70	70
	C5	150	450	300	150	150	150
	C7	156	468	312	156	156	156
	C9	342	1,026	684	342	342	342
Cyclone V GT	D5	150	450	300	150	150	150
	D7	156	468	312	156	156	156
	D9	342	1,026	684	342	342	342
Cyclone V SE	A2	36	108	72	36	36	36
	A4	58	174	116	58	58	58
	A5	87	261	174	87	87	87
	A6	112	336	224	112	112	112
Cyclone V SX	C2	36	108	72	36	36	36
	C4	84	252	168	84	84	84
	C5	87	261	174	87	87	87
	C6	112	336	224	112	112	112
Cyclone V ST	D5	87	261	174	87	87	87
	D6	112	336	224	112	112	112

设计考量

在您的设计中需要考虑以下几点：

- 操作模式
- 内部系数和预加器
- 累加器
- Chainout加法器

操作模式

Quartus® II软件包括用于控制乘法器操作模式的宏功能。在MegaWizard™ Plug-In Manager中输入参数设置后，Quartus II软件自动配置精度可调DSP模块。

Altera提供两种方法实现Cyclone V精度可调DSP模块的各种模式—使用Quartus II DSP megafunction和HDL inferring。

以下Quartus II megafunction支持Cyclone V精度可调DSP模块实现：

- LPM_MULT
- ALTMULT_ADD
- ALTMULT_ACCUM
- ALTMULT_COMPLEX

相关链接

- [Introduction to Megafunction User Guide](#)
- [Integer Arithmetic Megafunctions User Guide](#)
- [Floating-Point Megafunctions User Guide](#)
- [Quartus II Software Help](#)

内部系数和预加器

要使用预加器功能，所有的输入数据和乘法器必须有相同时钟设置。

预加器功能使能时无输入级联支持。

在18-bit和27-bit模式中可以单独使用系数功能和预加器功能。

累加器

通过使能位于输入寄存器块与累加器之间的64-bit双倍累加寄存器，Cyclone V器件中的累加器支持双层累加。

双层累加寄存器在编程文件中被静态设置。

Chainout加法器

使用输出链式路径可以将其它DSP模块的结果相加。

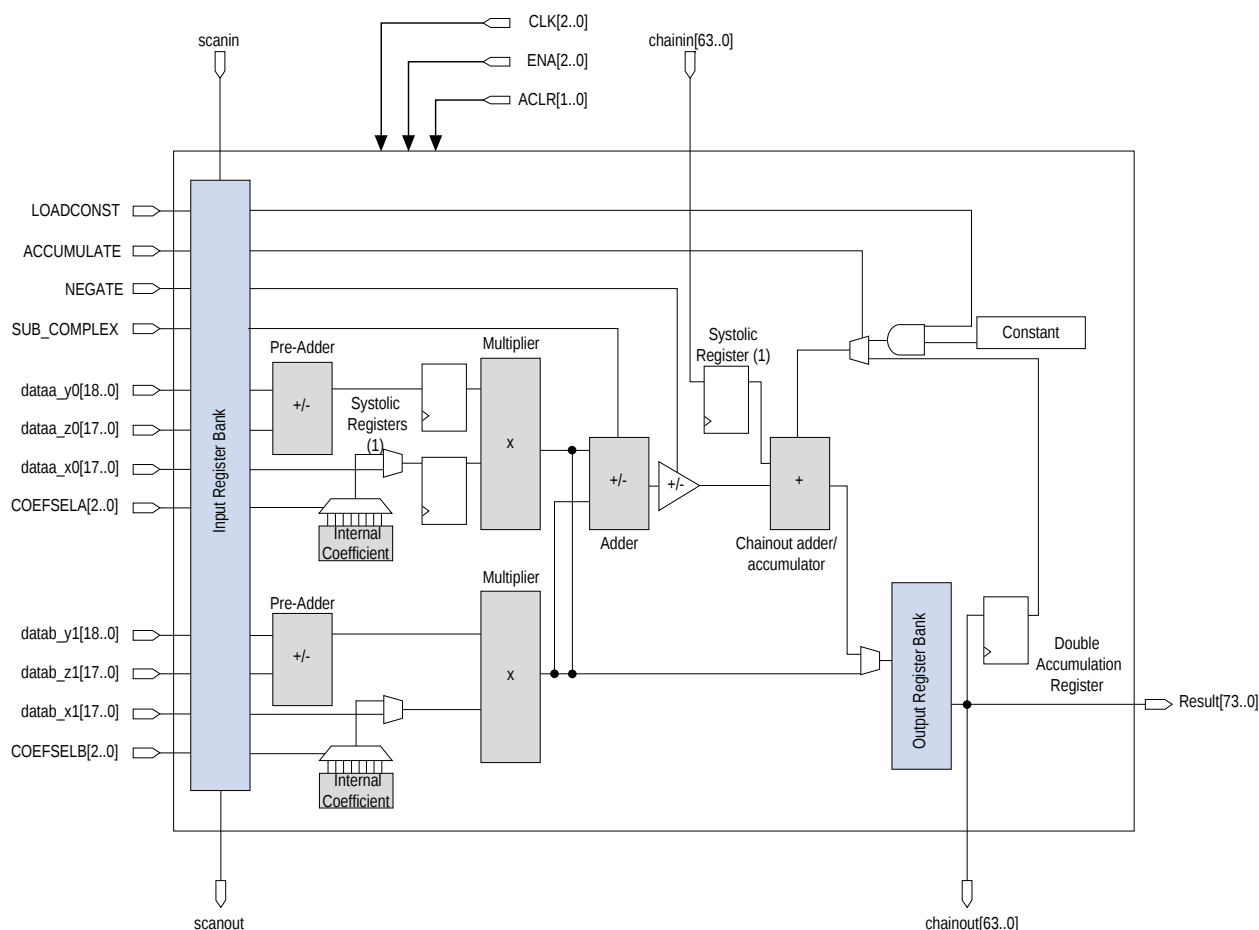
模块体系结构

Cyclone V精度可调DSP模块由下面的单元组成：

- 输入寄存器块(input register bank)
- 预加器
- 内部系数
- 乘法器
- 加法器
- 累加器和chainout加法器
- 脉动寄存器
- 双倍累加寄存器
- 输出寄存器块(output register bank)

如果精度可调DSP模块没有配置成脉动FIR模式，那么两个脉动寄存器都被旁路。

图3-1: Cyclone V 器件的精度可调DSP模块体系结构



注意：

1. 使能时，使用与输出寄存器块相同的时钟源对脉动寄存器提供时钟。

输入寄存器块(Input Register Bank)

输入寄存器块包括数据，动态控制信号和两组寄存器。

DSP模块中所有寄存器都是正边沿触发并在上电时清零。每个乘法器操作数都能够驱动输入寄存器，或者直接驱动乘法器而旁路输入寄存器。

下面的精度可调DSP模块信号控制精度可调DSP模块中的输入寄存器：

- CLK[2..0]
- ENA[2..0]
- ACLR[0]

在 18 x 19 模式中，当使用输入级联及chainout功能时，您可以使用延迟寄存器来平衡延迟要求。

抽头延迟线功能使您能够从一般布线或者从级联链驱动乘法器输入的顶相(top leg)，18 x 19 模式的 dataa_y0 和 datab_y1，以及仅 27 x 27 模式的数据a_y0。

图3-2: Cyclone V 器件18 x 19模式的精度可调DSP模块的输入寄存器

此图仅显示数据寄存器，没有显示控制信号的寄存器。

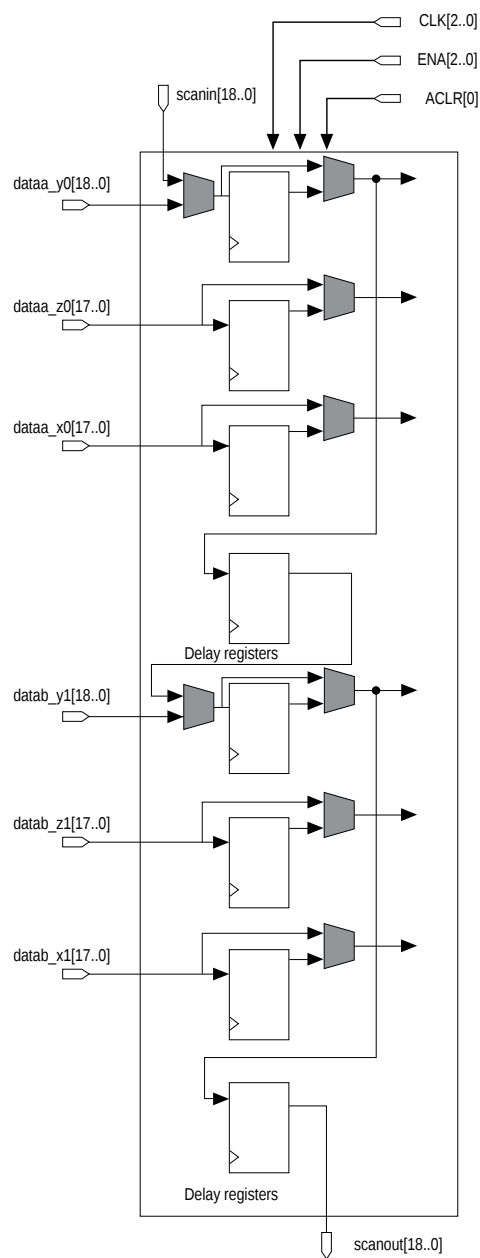
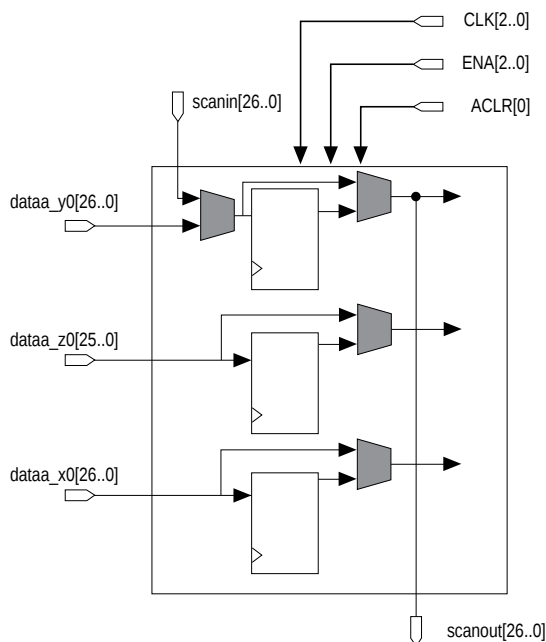


图3-3: Cyclone V 器件27 x 27模式的精度可调DSP模块的输入寄存器

此图仅显示数据寄存器，没有显示控制信号的寄存器。



预加器

Cyclone V 器件

每个精度可调DSP模块有两个19-bit预加器。这些预加器可以配置成以下配置：

- 两个独立的19-bit预加器
- 一个27-bit预加器

预加器支持以下输入配置的加减运算：

- 18 x 19模式的18-bit (有符号)加法或减法
- 18 x 19模式的17-bit (无符号)加法或减法
- 27 x 27模式的26-bit加法或减法

内部系数寄存器

Cyclone V精度可调DSP模块具有从动态输入或者内部系数中选择被乘数的灵活性。

对于18-bit和27-bit模式的被乘数，内部系数最多支持8个常数系数。内部系数功能使能时，COEFSELA/COEFSELB用于控制系数多路复用器的选择。

乘法器

一个精度可调DSP模块可根据乘法器的数据位宽并行执行多个乘法运算。

每个精度可调DSP模块中有两个乘法器。这两个乘法器可配置成下面几种操作模式:

- 一个27 x 27乘法器
- 两个18 (有符号)/(无符号) x 19 (有符号)乘法器
- 三个9 x 9乘法器

相关链接

[操作模式说明 \(第3-10页\)](#)

提供了关于乘法器操作模式的详细信息。

加法器

您可以根据不同的操作模式使用各种尺寸的加法器:

- 一个具有64-bit累加器的64-bit加法器
- 两个18 x 19模式—加法器分成两个37-bit加法器，生成每个独立的18 x 19乘法运算的完整37-bit结果
- 三个9 x 9模式—加法器可用作三个18-bit加法器，独立生成三个9 x 9乘法运算结果

累加器和Chainout加法器

Cyclone V精度可调DSP模块支持一个64-bit累加器和一个64-bit加法器。

下面信号能够动态控制累加器功能:

- NEGATE
- LOADCONST
- ACCUMULATE

通过使能位于输入寄存器块与累加器之间的64-bit双倍累加寄存器，累加器支持双倍累加。

双倍累加寄存器在编程文件中被静态设置。

累加器和chainout加法器不支持两个独立的18 x 19模式和三个独立的9 x 9模式。

表3-3: 累加器功能和动态控制信号

此表列出了动态信号设置和每种功能的描述。在此表中，X代表"don't care"。

功能	说明	NEGATE	LOADCONST	ACCUMULATE
Zeroing	禁用累加器。	0	0	0
Preload(预加载)	对累加器加载一个初始值。在64-bit预加载值中，只有一个比特的值能为“1”。它可用作舍入DSP结果到64-bit结果的任何位置。	0	1	0
Accumulation(累加)	将当前结果与之前累加结果相加。	0	X	1

功能	说明	NEGATE	LOADCONST	ACCUMULATE
Decimation(抽取)	此功能将当前结果转换成二补数，然后与之前结果相加。	1	X	1

脉动寄存器

每个精度可调DSP模块有两个脉动寄存器。如果精度可调DSP模块没有配置成脉动FIR模式，那么这两个脉动寄存器都被旁路。

第一组脉动寄存器包括18-bit和19-bit寄存器，分别用于寄存顶部乘法器的18-bit和19-bit输入。

第二组脉动寄存器用于延迟chainout输出至下一个精度可调DSP模块。

您必须使用与输出寄存器块相同的时钟源对所有的脉动寄存器提供时钟。

双倍累加寄存器(Double Accumulation Register)

双倍累加寄存器是累加器反馈路径中的一个额外寄存器。使能双倍累加寄存器将导致累加器反馈路径中的一个额外时钟周期。

此寄存器具有与输出寄存器块相同的CLK，ENA和ACLR设置。

通过使能此寄存器能够有两个使用相同数量精度可调DSP模块的累加器通道。

输出寄存器块(Output Register Bank)

时钟信号的正边沿触发64-bit可旁路输出寄存器块，并在上电后清零。

下面的DSP模块信号控制DSP模块中的输出寄存器：

- CLK[2..0]
- ENA[2..0]
- ACLR[1]

操作模式说明

这一部分描述如何配置Cyclone V精度可调DSP模块来有效支持以下操作模式：

- 独立乘法器模式
- 独立复合乘法器模式
- 乘法加法器求和模式
- 与36-Bit输入相加的18 x 18乘法模式
- 脉动FIR模式

独立乘法器模式

在独立输入与输出乘法器模式中，精度可调DSP模块执行通用乘法器的单独乘法运算操作。

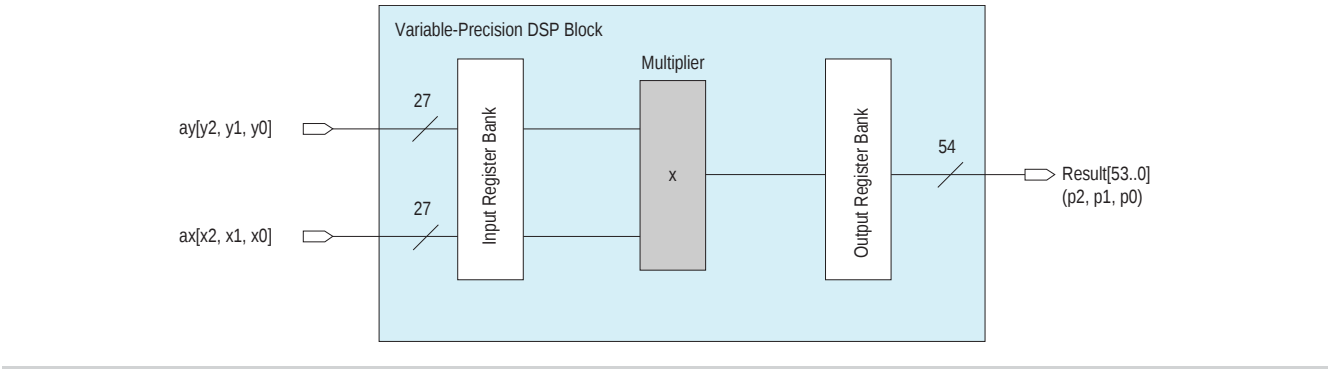
表3-4: 精度可调DSP模块独立乘法器模式配置

配置	每模块乘法器
9 x 9	3
18 (有符号) x 18 (无符号)	2
18 (无符号) x 18 (无符号)	
18 (有符号) x 19 (有符号)	
18 (无符号) x 19 (有符号)	
18 x 25	1
20 x 24	1
27 x 27	1

9 x 9独立乘法器

图3-4: Cyclone V器件每个精度可调DSP模块三个9 x 9独立乘法器模式

三对数据被封装进ax和ay端口；result包括三个18-bit乘积。

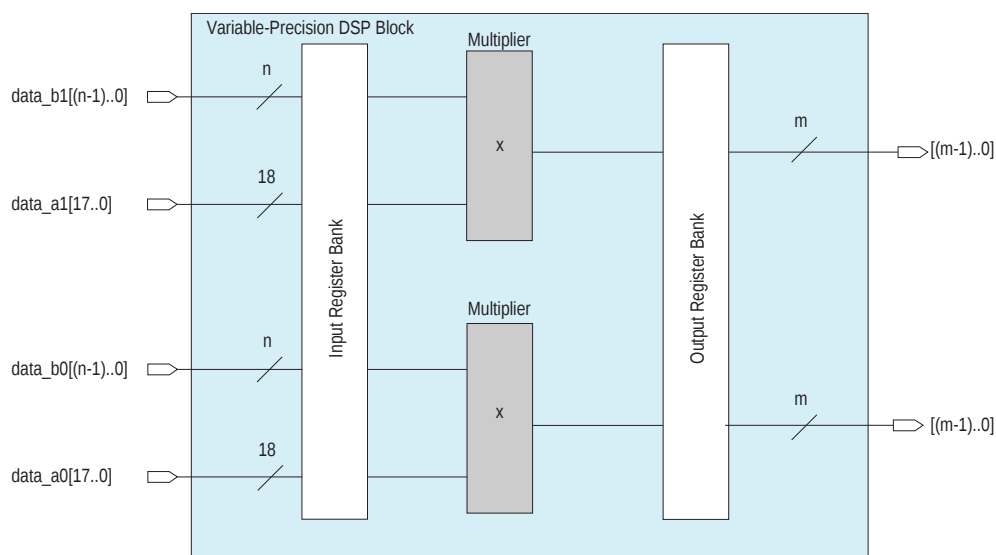


18 x 18或者 18 x 19独立乘法器

图3-5: Cyclone V 器件每个精度可调DSP模块两个18 x 18或者18 x 19独立乘法器模式

在此图中，变量定义如下：

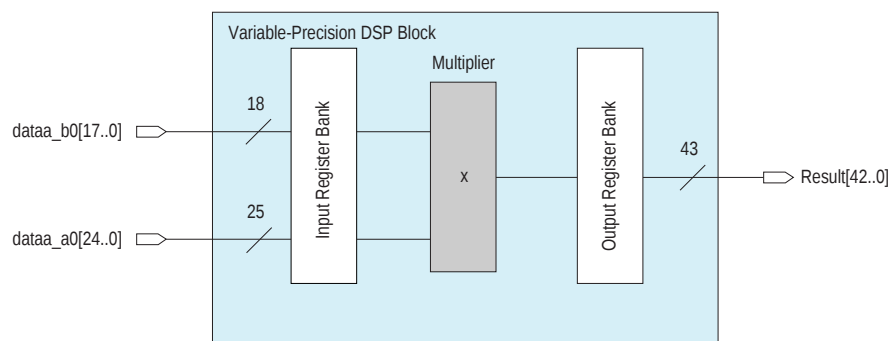
- 在18 x 19模式中 $n = 19$ 和 $m = 37$
- 在18 x 18模式中 $n = 18$ 和 $m = 36$



18 x 25独立乘法器

图3-6: Cyclone V 器件每个精度可调DSP模块一个18 x 25独立乘法器模式

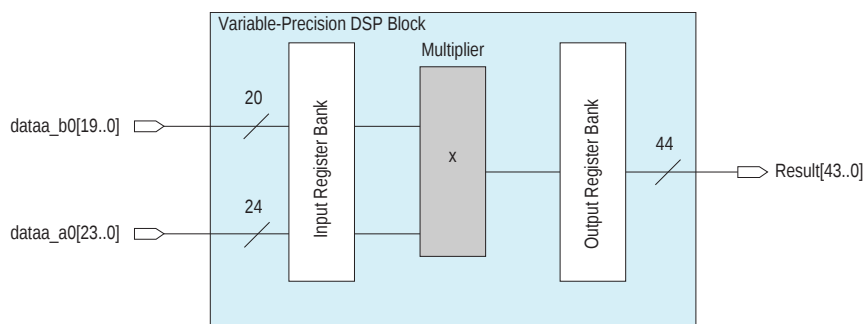
在此模式中，当与chainout加法器或累加器结合时，result能够高达52比特。



20 x 24独立乘法器

图3-7: Cyclone V 器件每个精度可调DSP模块一个20 x 24独立乘法器模式

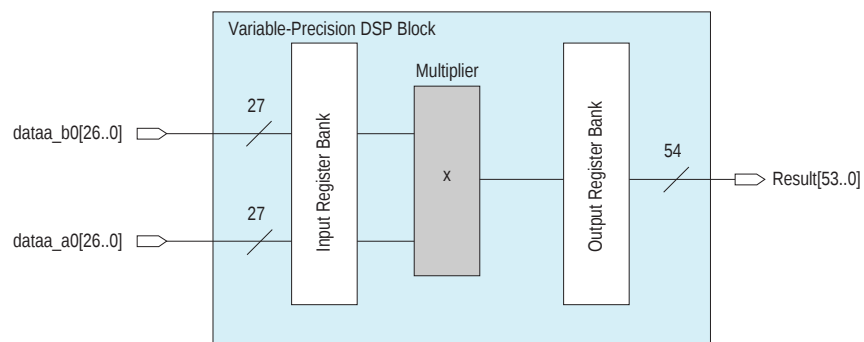
在此模式中，当与chainout加法器或累加器结合时，result能够高达52比特。



27 x 27独立乘法器

图3-8: Cyclone V器件每个精度可调DSP模块一个27 x 27独立乘法器模式

在此模式中，当与chainout加法器或累加器结合时，result能够高达64比特。



独立复数乘法器模式

Cyclone V器件支持使用两个Cyclone V精度可调DSP模块的18 x 19复数乘法器模式

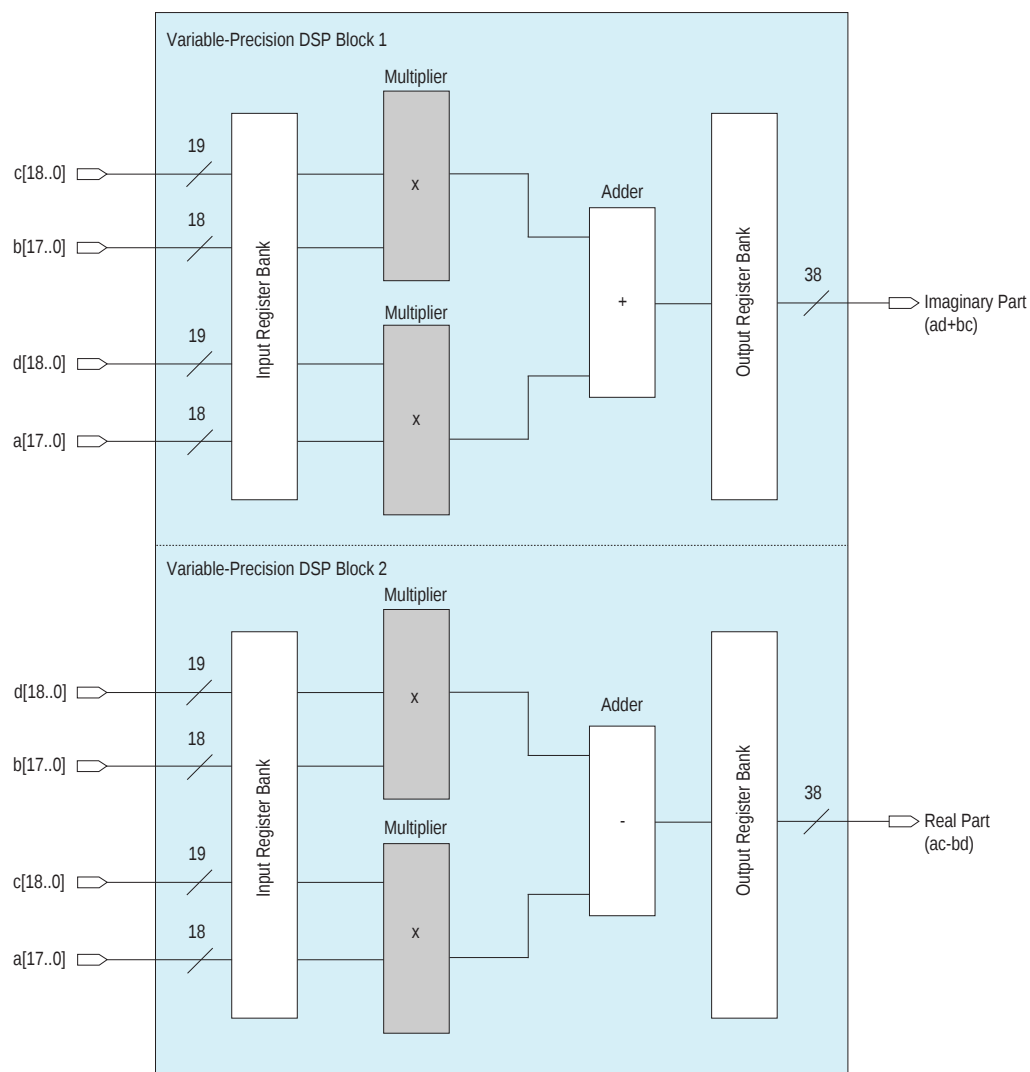
图3-9: 复数乘法公式示例

$$(a + jb) \times (c + jd) = [(a \times c) - (b \times d)] + j[(a \times d) + (b \times c)]$$

虚部 $[(a \times d) + (b \times c)]$ 在第一个精度可调DSP模块中实现，而实部 $[(a \times c) - (b \times d)]$ 在第二个精度可调DSP模块中实现。

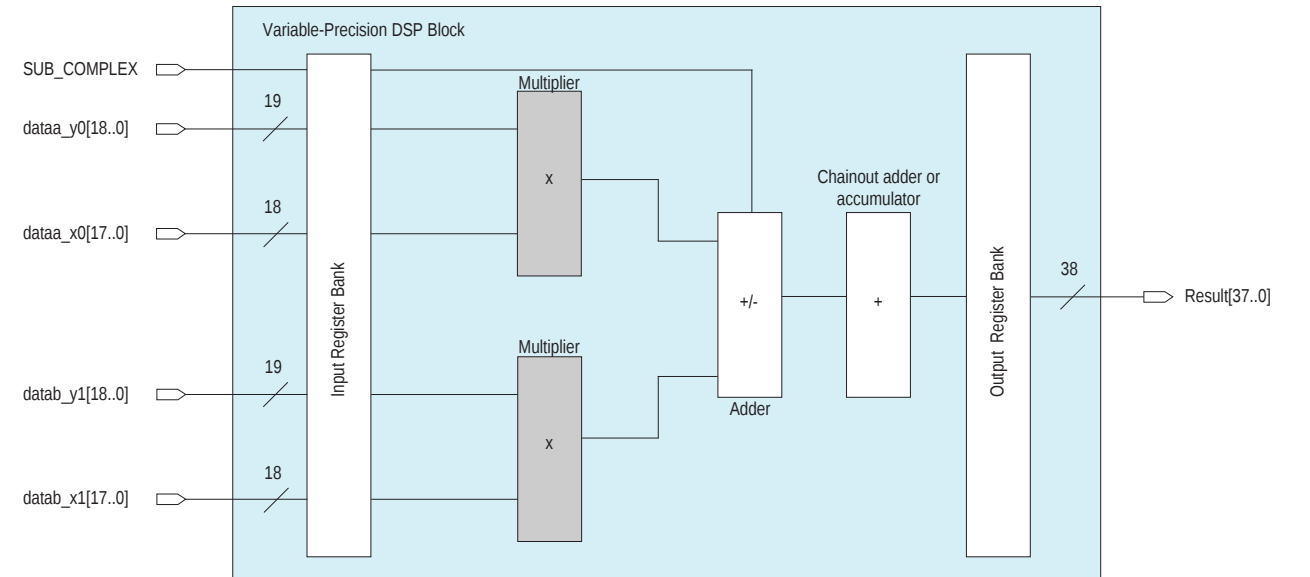
18 x 19复数乘法器

图3-10: Cyclone V 器件中基于两个精度可调DSP模块的18 x 19复数乘法器



乘法加法器求和模式

图3-11: Cyclone V器件基于一个精度可调DSP模块的两个18 x 19乘法器的和

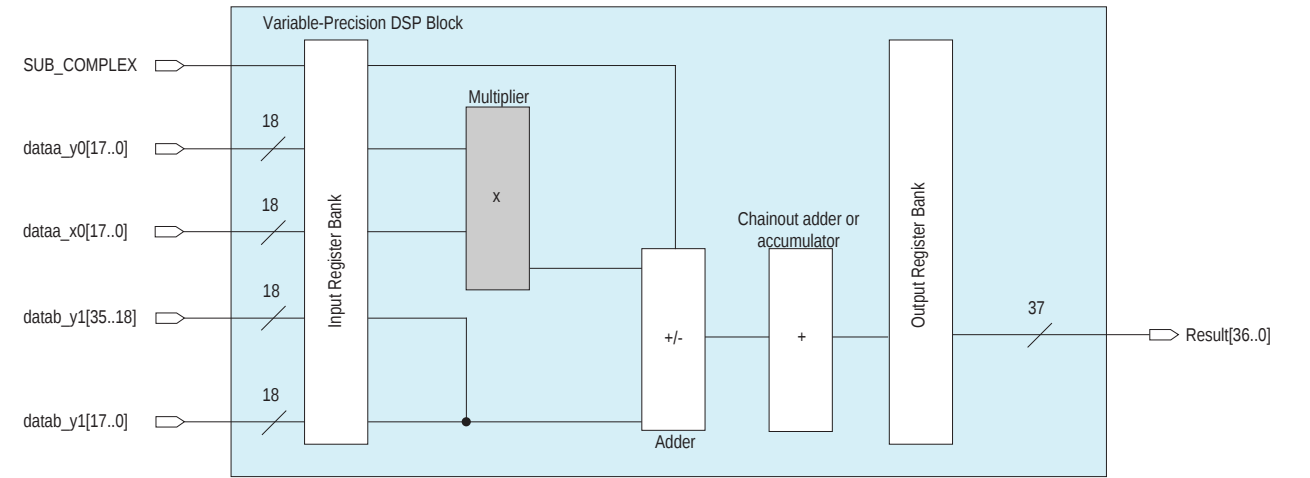


与36-Bit输入相加的18 x 18乘法运算

Cyclone V精度可调DSP模块支持一个与36-bit输入相加的18 x 18乘法运算。

使用顶部乘法器对18 x 18乘法提供输入，而底部乘法器被旁路。dataa_y1[17..0]和dataa_y1[35..18]信号级联生成一个36-bit输入。

图3-12: Cyclone V 器件中与36-Bit输入相加的18 x 18乘法模式



脉动FIR模式

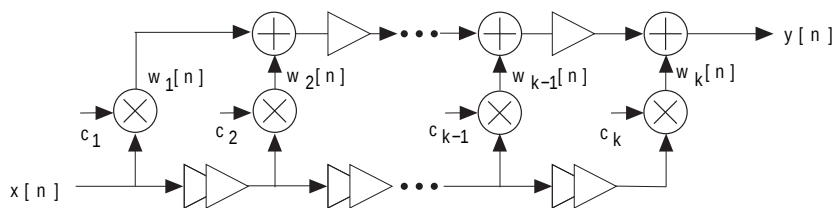
FIR滤波器的基本结构包括一系列乘法运算和其后的一个加法运算。

图3-13: 基本FIR滤波器公式

$$y[n] = \sum_{i=1}^k c[i]x[n-i-1]$$

根据抽头数量和输入大小，链接大量加法器能够导致相当大的延迟。要解决该延迟性能问题，使用脉动形式(systolic form)与每个抽头中的额外延迟单元以增加延迟为代价来提高性能。

图3-14: 脉动FIR滤波器等效电路



Cyclone V精度可调DSP模块支持以下脉动FIR结构：

- 18-bit
- 27-bit

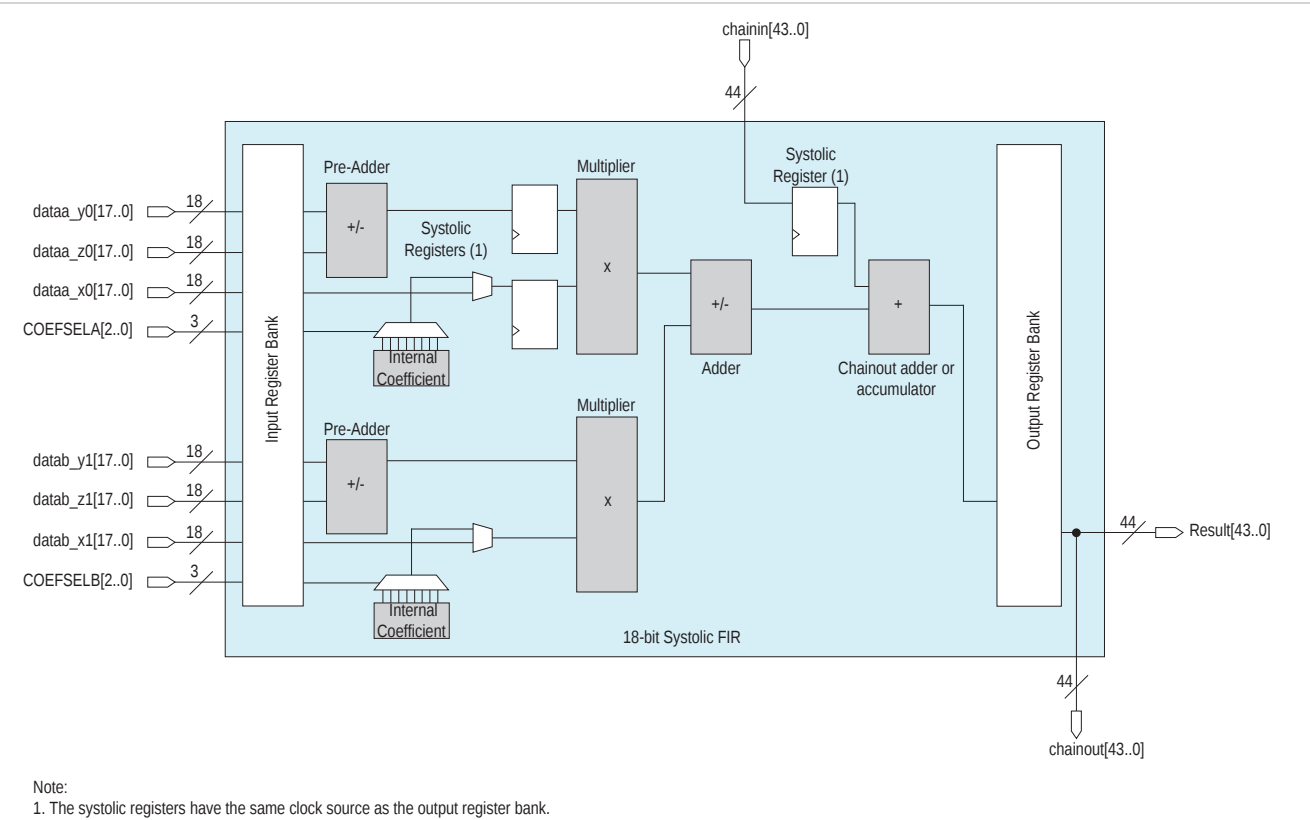
在脉动FIR模式中，乘法器的输入来自 四组不同的数据源：

- 两个动态输入
- 一个动态输入和一个系数输入
- 一个系数输入和一个预加器输出
- 一个动态输入和一个系数输出

18-Bit脉动FIR模式

在18-bit脉动FIR模式中，加法器配置成双44-bit加法器，因此当使用 18-bit操作(36-bit乘积)时会提供 8比特成本(overhead)。这支持总共256个乘法器乘积。

图3-15: Cyclone V 器件的18-Bit脉动FIR模式

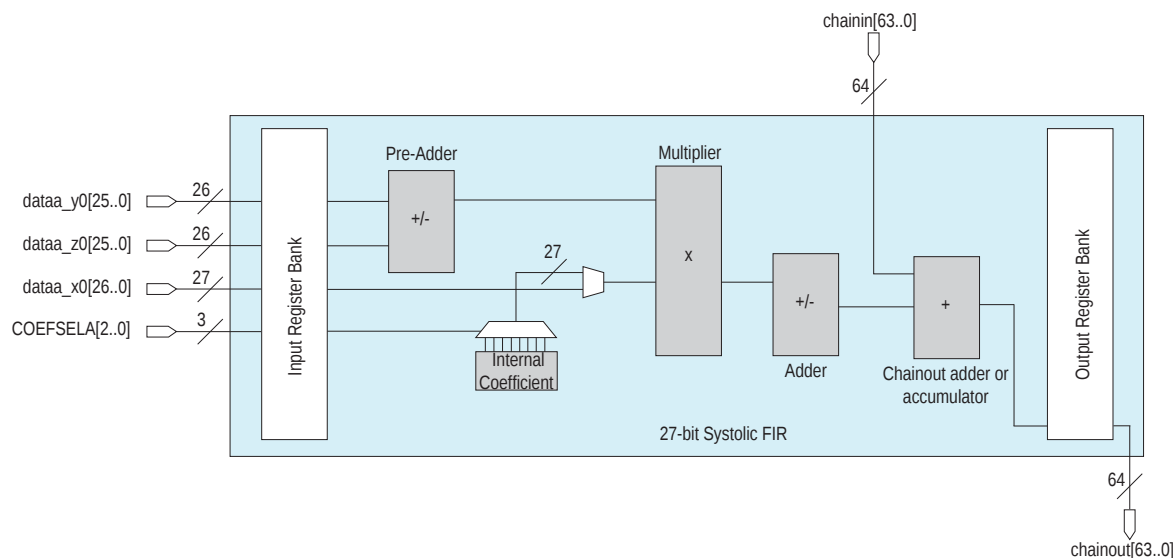


27-Bit脉动FIR模式

在27-bit脉动FIR模式中，chainout加法器或累加器配置成64-bit操作，当使用27-bit数据(54-bit乘积)时提供10比特成本(overhead)。这支持总共1, 024个乘法器乘积。

27-bit脉动FIR模式支持每个DSP模块一阶脉动滤波器(one stage systolic filter)的实现。

图3-16: Cyclone V 器件的27-Bit脉动FIR模式



文档修订历史

日期	版本	修订内容
2013年5月	2013.05.06	<ul style="list-style-type: none"> 在知识基础中添加了已知文档问题的链接。 将全部链接移到各个主题的相关信息章节中，以便于参考。 更新了Cyclone VSX器件系列精度可调DSP模块和乘法器数。
2012年12月	2012.12.28	<ul style="list-style-type: none"> 添加Cyclone V器件的资源。 更新了操作模式中Cyclone V器件的设计考量。 更新了图3-10，将37改成38。 更新了图3-11，将37改成38和Result[36..0]改成Result [37..0]。
2012年6月	2.0	针对Quartus II 12.0的发布进行的更新： <ul style="list-style-type: none"> 重构章节。 添加了“设计考量”，“加法器”和“双累加寄存器”部分。 更新了图3-1和图3-13。 添加了表3-3。 更新了“脉动寄存器”和“脉动FIR模式”部分。 添加了公式3-2。 添加了图3-12。
2011年5月	1.0	首次发布。