

2013.05.06

CV-52002



订阅



反馈

器件中的嵌入式存储器模块具有高度灵活性，并能够根据您的设计要求提供最佳数量的小型或大型存储器阵列。

相关链接

[Cyclone V器件手册:已知问题](#)

列出了 *Cyclone V* 器件手册章节的计划更新。

## 嵌入式存储器类型：

Cyclone V 器件包含两种类型的存储器模块：

- 10Kb M10K 模块—专用存储器资源的模块。M10K 模块最适用于较大的存储器阵列，并提供大量独立端口。
- 640bit 存储器逻辑阵列模块 (MLAB)—由多功能逻辑阵列模块 (LAB) 配置而成的存储器逻辑阵列。MLAB 最适用于宽而浅的存储器阵列。MLAB 被优化以实现数字信号处理 (DSP) 应用的移位寄存器，宽浅 FIFO 缓存和滤波延迟线。每个 MLAB 由 10 个自适应逻辑模块 (ALM) 组成。在 Cyclone V 器件中，这些 ALM 可配置成 10 个 32x2 模块，从而每个 MLAB 可实现一个 32x20 简单双端口 SRAM 模块。

## Cyclone V 器件中的嵌入式存储器性能

表2-1: Cyclone V 器件中的嵌入式存储器性能和分布

器件系列	成员代码	M10K		MLAB		总RAM位数(Kb)
		模块数	RAM Bit(Kb)	模块数	RAM Bit(Kb)	
Cyclone V E	A2	176	1,760	314	196	1,956
	A4	308	3,080	485	303	3,383
	A5	446	4,460	679	424	4,884
	A7	686	6,860	1338	836	7,696
	A9	1,220	12,200	2748	1,717	13,917

© 2013 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at [www.altera.com/common/legal.html](http://www.altera.com/common/legal.html). Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO  
9001:2008  
Registered



器件系列	成员代码	M10K		MLAB		总RAM位数(Kb)
		模块数	RAM Bit(Kb)	模块数	RAM Bit(Kb)	
Cyclone V GX	C3	119	1,190	255	159	1,349
	C4	250	2,500	472	295	2,795
	C5	446	4,460	679	424	4,884
	C7	686	6,860	1338	836	7,696
	C9	1,220	12,200	2748	1,717	13,917
Cyclone V GT	D5	446	4,460	679	424	4,884
	D7	686	6,860	1338	836	7,696
	D9	1,220	12,200	2748	1,717	13,917
Cyclone V SE	A2	140	1,400	221	138	1,538
	A4	270	2,700	370	231	2,460
	A5	397	3,970	768	480	4,450
	A6	557	5,570	994	621	5,761
Cyclone V SX	C2	140	1,400	221	138	1,538
	C4	270	2,700	370	231	2,460
	C5	397	3,970	768	480	4,450
	C6	557	5,570	994	621	5,761
Cyclone V ST	D5	397	3,970	768	480	4,450
	D6	557	5,570	994	621	5,761

## Cyclone V器件的嵌入式存储器设计指南

为了确保您的设计成功，需要特别注意几方面。除非另有说明，这些设计指南适用于此器件系列的所有类型。

### 指南：存储器模块选择

Quartus II根据用户存储器设计的速度与大小，来自动划分实现时存储器模块的数量与配置。例如，为提高设计性能，Quartus II可能将由1块RAM实现的存储器设计，扩展为由多块RAM来实现。

使用MegaWizard™ Plug-In Manager中的RAM megafunction可手动配置RAM模块实现的大小。

对于存储器逻辑阵列模块(MLAB)，Quartus II会通过使用普通逻辑资源来模拟实现single-port SRAM。模拟过程会使用最少的额外逻辑资源来实现。

由于MLAB的复用体系结构，MLAB中仅有数据输入寄存器和输出寄存器。MLAB从ALM中获得读地址寄存器。然而，写地址和读数据寄存器是在MLAB内部的。

指南:实现外部冲突解决

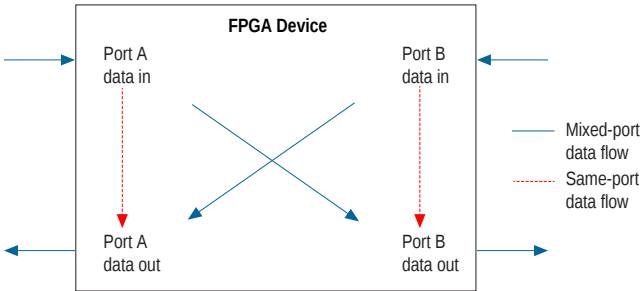
在真双端口RAM模式中可以对同一存储器位置执行两个写操作。然而,存储器模块内部没有针对同时对同一地址执行两个写操作的冲突解决电路。要避免在这种情况下写入未知数据,就需要从存储器模块的外部实现冲突解决逻辑。

指南: 定制Read-During-Write行为

定制存储器模块的read-during-write行为以满足您的设计要求。

图2-1: Read-During-Write数据流程

此图显示了两种类型的read-during-write操作—相同端口(same port)和混合端口(mixed port)之间的差异。



相同端口 Read-During-Write 模式

相同端口 Read-During-Write 模式适用于单端口RAM或者真双端口RAM的同一端口。

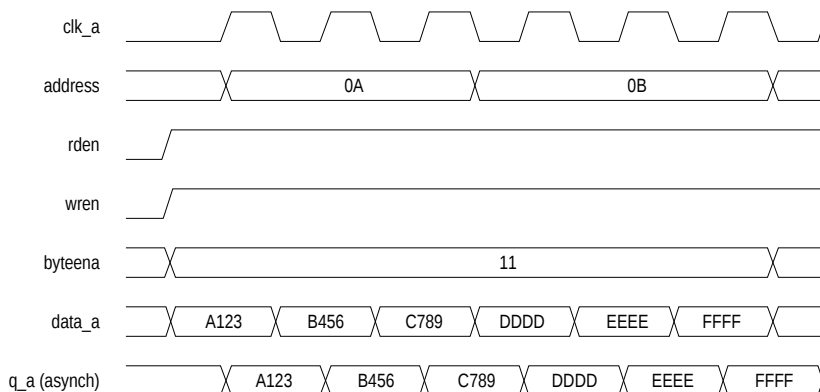
表2-2: 相同端口 Read-During-Write 模式下嵌入式存储器模块的输出模式

此表列出了选择相同端口 read-during-write 模式下嵌入式存储器模块时的可用输出模式。

输出模式	存储器类型	说明
"new data" (直通)	M10K	在新数据写入的时钟周期上升沿，输出数据亦为这一新数据。
"don't care"	M10K, MLAB	RAM在read-during-write状态下输出"don't care"值。

图2-2: 相同端口Read-During-Write: New Data模式

此图显示了“new data”模式下相同端口read-during-write行为的采样功能波形。



## 混合端口Read-During-Write模式

混合端口read-during-write模式应用于简单和真双端口RAM模式,两个端口使用同一时钟对同一存储器地址执行读写操作,一个端口读数据,一个端口写数据。

表2-3: 混合端口Read-During-Write模式中的RAM输出模式

输出模式	存储器类型	说明
"new data"	MLAB	对不同端口的read-during-write操作会导致MLAB寄存输出在数据被写入到MLAB存储器后的下一个时钟上升沿显示为“new data”。 仅当输出被寄存时才可使用此模式。
"old data"	M10K, MLAB	对不同端口的read-during-write操作会导致RAM输出端在相应地址上显示“old data”值。 对于MLAB,仅当输出被寄存时才可使用此模式。
"don't care"	M10K, MLAB	RAM输出“don't care”或者“unknown”值。 <ul style="list-style-type: none"> <li>对于M10K存储器, Quartus II软件不分析读写操作之间的时序。</li> <li>对于MLAB, 默认情况下Quartus II软件分析读写操作之间的时序。要禁用此行为,需要开启 <b>Do not analyze the timing between write and read operation. Metastability issues are prevented by never writing and reading at the same address at the same time</b>选项。</li> </ul>
"constrained don't care"	MLAB	RAM输出“don't care”或“unknown”值。Quartus II软件分析MLAB中的读写操作之间的时序。

图2-3: 混合端口Read-During-Write: New Data模式

此图显示了“new data”模式的混合端口read- during-write行为的采样功能波形。

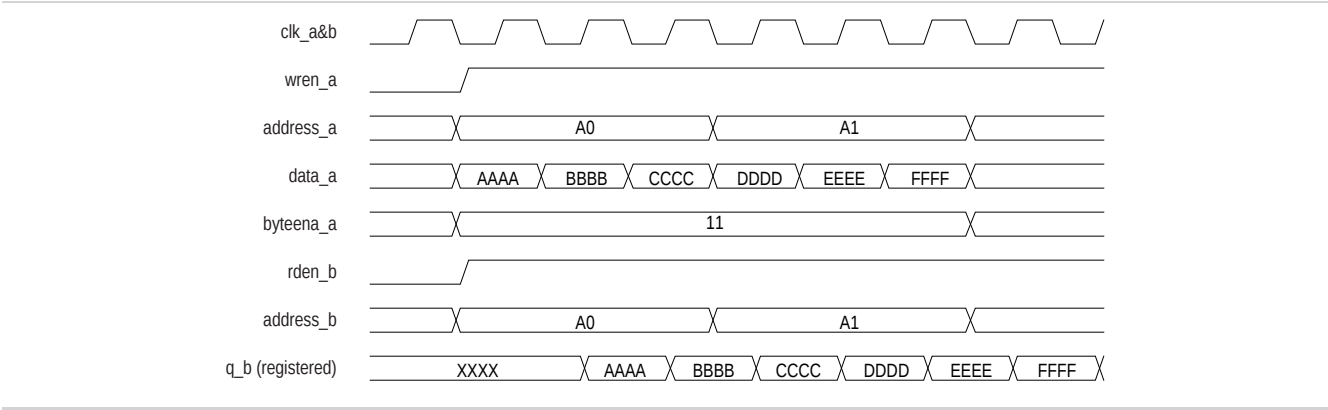


图2-4: 混合端口Read-During-Write: Old Data模式

此图显示了“old data”模式的混合端口read- during-write行为的采样功能波形。

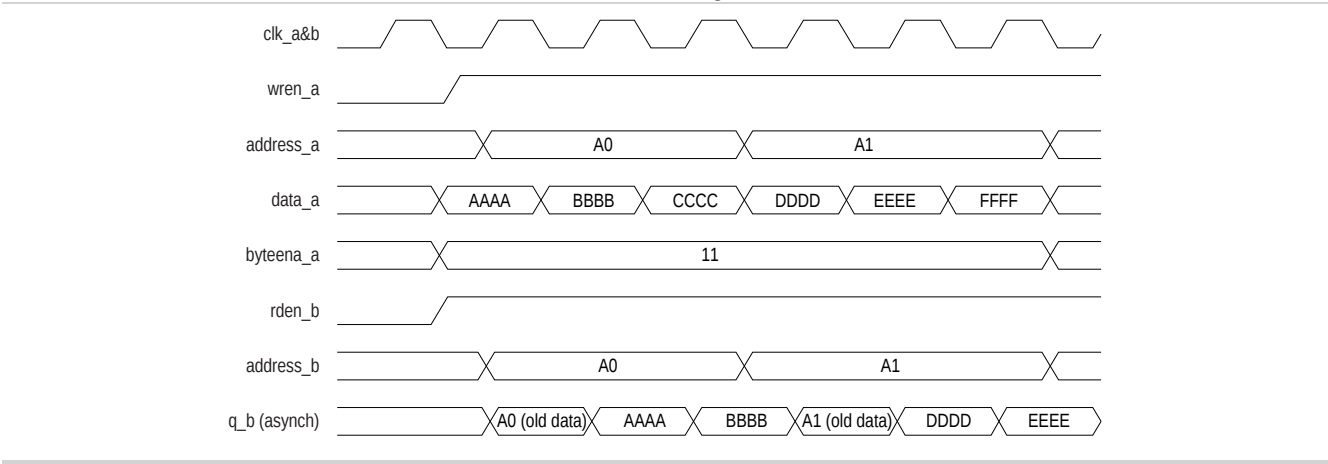
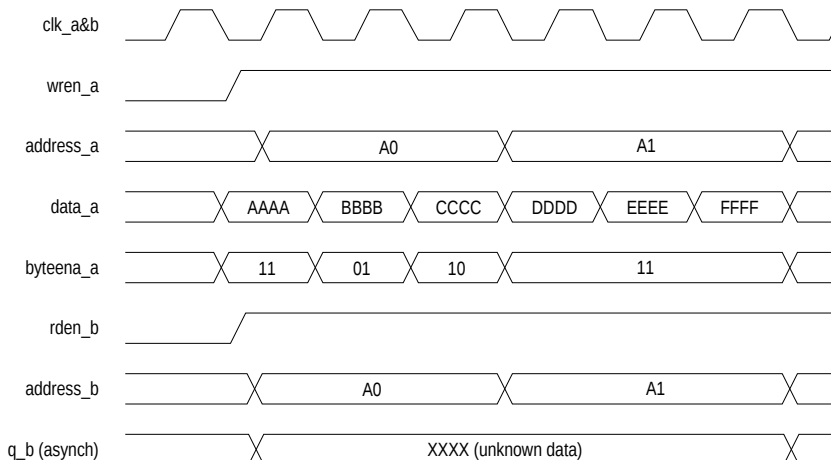


图2-5: 混合端口Read-During-Write: Don' t Care或Constrained Don' t Care模式

此图显示了“don' t care”或“constrained don' t care”模式的混合端口read-during-write行为的采样功能波形。



在双端口RAM模式中,如果输入寄存器具有相同时钟,那么就支持混合端口read-during-write操作。此操作期间的输出值为“unknown”。

相关链接

[内部存储器\(RAM和ROM\)用户指南](#)

提供关于控制read-during-write行为的RAM megafunction的详细信息。

## 指南: 考虑上电状态和存储器初始化

如果您正在设计用于评估初始上电值的逻辑(如下表所列), 那么需要考虑不同类型存储器模块的上电状态。

表2-4: 嵌入式存储器模块的初始上电值

存储器类型	输出寄存器	上电值
MLAB	使用	零(清零)
	旁路	读存储器内容
M10K	使用	零(清零)
	旁路	零(清零)

除非指定一个.mif, 默认情况下, Quartus II软件将Cyclone V器件中的RAM单元初始化成零。

所有存储器模块都支持使用.mif进行初始化。您可以在Quartus II软件中创建.mif, 当例化设计中存储器时,通过RAM megafunction来指定对它们的使用。尽管存储器被预初始化(例如,使用一个.mif文件),但它仍然会通过输出端清零进行上电。

## 相关链接

- [内部存储器\(RAM和ROM\)用户指南](#)  
提供关于.mif文件的详细信息。
- [Quartus II手册](#)  
提供关于.mif文件的详细信息。

## 指南:控制时钟来降低功耗

通过控制每个存储器模块的时钟来降低您设计中的AC功耗:

- 使用读使能信号来确保读操作仅在必要时出现。如果您的设计不要求read-during-write, 那么在写操作期间或者无存储器操作期间, 可以通过置低读使能信号以降低功率。
- 使用Quartus II软件自动将未使用的存储器模块置于低功耗状态来降低静态功耗。

## 嵌入式存储器特性

表2-5: Cyclone V器件中的存储器特性

此表汇总了嵌入式存储器模块所支持的特性。

特性	M10K	MLAB
最大操作频率	315 MHz	420 MHz
RAM总bit数(包括奇偶校验位)	10,240	640
奇偶校验位	支持	支持
字节使能(byte enable)	支持	支持
Packed模式	支持	—
地址时钟使能(address clock enable)	支持	支持
简单双端口混合位宽支持	支持	—
真双端口混合位宽	支持	—
FIFO缓存混合位宽	支持	—
存储器初始化文件(.mif)	支持	支持
混合时钟模式	支持	支持
完全同步存储器	支持	支持
异步存储器	—	仅用于直通(flow-through)读存储器操作。
上电状态	输出端口清零。	<ul style="list-style-type: none"> <li>• 寄存的输出端口—清零。</li> <li>• 未寄存的输出端口—读存储器内容。</li> </ul>

特性	M10K	MLAB
异步清零	输出寄存器和输出锁存器	输出寄存器和输出锁存器
读/写操作触发	时钟上升沿	时钟上升沿
相同端口read-during-write	输出端口设为"new data"或"don't care"。 ("don't care"模式仅适用于单端口RAM模式)。	输出端口设为"don't care"。
混合端口read-during-write	输出端口设为"old data"或"don't care"。	输出端口设为"old data", "new data", "don't care"或者"constrained don't care"。
ECC支持	使用Quartus® II软件的Soft IP支持。	使用Quartus II软件的Soft IP支持。

相关链接

[内部存储器\(RAM和ROM\)用户指南](#)

提供关于嵌入式存储器特性的详细信息。

## 嵌入式存储器配置

表2-6: Cyclone V器件所支持的嵌入式存储器模块配置

此表列出了嵌入式存储器模块所支持的最大配置。表中的信息仅适用于单端口RAM和ROM模式。

存储器模块	深度 (bits)	可编程宽度
MLAB	32	x16, x18, or x20
M10K	256	x40 or x32
	512	x20 or x16
	1K	x10 or x8
	2K	x5 or x4
	4K	x2
	8K	x1

## 混合宽度端口配置

混合宽度端口配置支持简单双端口RAM和真双端口RAM存储器模式。

注意: MLAB不支持混合宽度端口模式。

相关链接

[内部存储器\(RAM和ROM\)用户指南](#)

提供关于双端口混合宽度支持的详细信息。



## M10K模块混合宽度配置

表2-7: 简单双端口RAM模式的M10K模块混合宽度配置

读端口	写端口									
	8K x 1	4K x 2	2K x 4	2K x 5	1K x 8	1k x 10	512 x 16	512 x 20	256 x 32	256 x 40
8K x 1	Yes	Yes	Yes	—	Yes	—	Yes	—	Yes	—
4K x 2	Yes	Yes	Yes	—	Yes	—	Yes	—	Yes	—
2K x 4	Yes	Yes	Yes	—	Yes	—	Yes	—	Yes	—
2K x 5	—	—	—	Yes	—	Yes	—	Yes	—	Yes
1K x 8	Yes	Yes	Yes	—	Yes	—	Yes	—	Yes	—
1Kx10	—	—	—	Yes	—	Yes	—	Yes	—	Yes
512x16	Yes	Yes	Yes	—	Yes	—	Yes	—	Yes	—
512x20	—	—	—	Yes	—	Yes	—	Yes	—	Yes
256x32	Yes	Yes	Yes	—	Yes	—	Yes	—	Yes	—
256x40	—	—	—	Yes	—	Yes	—	Yes	—	Yes

表2-8: 真双端口模式的M10K模块混合宽度配置

端口B	端口A							
	8K x 1	4K x 2	2K x 4	2K x 5	1K x 8	1K x 10	512 x 16	512 x 20
8K x 1	Yes	Yes	Yes	—	Yes	—	Yes	—
4K x 2	Yes	Yes	Yes	—	Yes	—	Yes	—
2K x 4	Yes	Yes	Yes	—	Yes	—	Yes	—
2K x 5	—	—	—	Yes	—	Yes	—	Yes
1K x 8	Yes	Yes	Yes	—	Yes	—	Yes	—
1K x 10	—	—	—	Yes	—	Yes	—	Yes
512x16	Yes	Yes	Yes	—	Yes	—	Yes	—
512x20	—	—	—	Yes	—	Yes	—	Yes

## 嵌入式存储器模式

**警告:** 为了避免损坏存储器中的数据，请不要在读写操作期间违反任何存储器模块输入寄存器上的建立或者保持时间。这一注意事项适用于单端口RAM,简单双端口RAM，真双端口RAM或者ROM模式的存储器模块。

表2-9: 嵌入式存储器模块中支持的存储器模式

此表列出并描述了Cyclone V嵌入式存储器模块中所支持的存储器模块。

存储器模式	M10K 支持	MLAB 支持	说明
单端口RAM	Yes	Yes	<p>一次只能执行一个读或一个写操作。</p> <p>使用读使能端口控制写操作期间的RAM输出端口行为:</p> <ul style="list-style-type: none"> <li>保留最近有效读使能期间保持的之前值—创建一个读使能端口并通过置低此端口执行写操作。</li> <li>显示正在写入的新数据, 该地址上的旧数据, 或者"Don't Care"值(当read-during-write出现在同一地址上)—不要创建read-enable信号, 或者在写操作期间启用读使能。</li> </ul>
简单双端口模式	Yes	Yes	你可以对不同位置同时执行读写操作, 端口A进行写操作, 端口B进行读操作。
真双端口RAM	Yes	—	您可以执行两个端口操作的任意组合: 在两个不同时钟频率上的两个读操作、两个写操作, 或者一个读操作和一个写操作。
移位寄存器(shift-register)	Yes	Yes	<p>存储器模块可用作移位寄存器以节省逻辑单元和布线资源。</p> <p>这在要求本地数据存储(例如: 有限脉冲响应(FIR)滤波器、伪随机数生成器、多通道滤波和自相关和互相关函数)的DSP应用中很有用。传统上, 使用触发器实现大型移位寄存器会消耗大量的逻辑单元。</p> <p>移位寄存器的大小(<math>w \times m \times n</math>)是由输入数据位宽(<math>w</math>)、抽头(tap)长度(<math>m</math>)和抽头数量(<math>n</math>)决定。通过级联存储器模块, 能够实现更大的移位寄存器。</p>
ROM	Yes	Yes	<p>存储器模块可用作ROM。</p> <ul style="list-style-type: none"> <li>使用.mif或.hex初始化存储器模块的ROM数据。</li> <li>ROM的地址线在M10K块中是必须被寄存器寄存的;然而, 它们在MLAB中可以是未寄存的。</li> <li>输出可以是寄存的或者是未寄存的。</li> <li>输出寄存器能够被异步清零。</li> <li>ROM的读操作与单端口RAM配置的读操作相同。</li> </ul>
FIFO	Yes	Yes	<p>存储器模块用作FIFO缓存。使用SCFIFO和DCFIFO megafunctions实现您设计中的单时钟和双时钟异步FIFO缓存。</p> <p>对于使用小而浅的FIFO缓存的设计而言, MLAB是FIFO模式的最理想选择。然而, MLAB不支持混合宽度FIFO模式。</p>

相关链接

- [内部存储器\(RAM和ROM\)用户指南](#)  
提供关于存储器模式的详细信息。
- [基于RAM的移位寄存器\(ALTSHIFT\\_TAPS\)宏功能用户手册](#)  
提供关于实现移位寄存器模式的详细信息。
- [SCFIFO和DCFIFO宏功能用户指南](#)  
提供关于实现FIFO缓存的详细信息。

## 嵌入式存储器时钟模式

这一部分描述了Cyclone V存储器模块的时钟模式。

**警告：** 为了避免损坏存储器中的数据， 请不要在读写操作期间违反任何存储器模块输入寄存器上的建立或者保持时间。

### 每个存储器模式的时钟模式

表2-10: 每个存储器模式的支持存储器模块时钟模式

时钟模式	存储器模式				
	单端口	简单双端口	真双端口	ROM	FIFO
单时钟模式	Yes	Yes	Yes	Yes	Yes
读/写时钟模式	—	Yes	—	—	Yes
输入/输出时钟模式	Yes	Yes	Yes	Yes	—
独立时钟模式	—	—	Yes	Yes	—

注意：在MLAB模块的写地址， 字节使能和数据输入寄存器上不支持时钟使能信号。

#### 单一时钟模式

在单一时钟模式中， 单一时钟与时钟使能一起用于控制存储器模块的所有寄存器。

#### 读/写时钟模式

在读/写时钟模式中， 读写端口分别使用单独的时钟。读时钟控制数据输出、读地址和读使能寄存器。写时钟控制数据输入、写地址、写使能和字节使能寄存器。

## 输入/输出时钟模式

在输入/输出时钟模式中，输入和输出端口分别使用单独的时钟。输入时钟控制所有与存储器模块数据输入相关的寄存器，包括数据、地址、字节使能、读使能和写使能。输出时钟控制数据输出寄存器。

## 独立时钟模式

在独立时钟模式中，每一个端口(端口A与端口B)分别使用单独的时钟。clock A控制端口A侧上的所有寄存器，而clock B则控制端口B侧上的所有寄存器。

注意：您可以对不同的输入和输出寄存器创建独立时钟使能，以控制特定寄存器的关闭，从而节省功耗。在参数编辑器中，点击**More Options** (clock enable选项旁)设置所需的独立时钟使能。

## 时钟模式中的异步清零

在所有的时钟模式中,异步清零仅用于输出锁存器和输出寄存器。对于独立时钟模式,两个端口都适用。

## 同步读/写中的输出读数据

如果使用读/写时钟模式对同一地址进行同步读/写,那么输出数据是未知的。如果要求输出读数据是一个可预测值,那么要使用单时钟模式或者输入/输出时钟模式,并且在MegaWizard™ Plug-In Manager中选择相应的read-during-write行为。

## 各时钟模式下的独立时钟使能

以下时钟模式支持独立时钟使能:

- 读/写时钟模式—支持读写时钟。
- 独立时钟模式—支持两个端口的寄存器。

要节省功耗，您可以使用时钟使能来控制指定寄存器的关闭。

相关链接

[指南:控制时钟来降低功耗 \(第2-7页\)](#)

## 存储器模块中的奇偶校验位

表2-11: 嵌入式存储器模块的奇偶校验位支持

此表描述了存储器模块的奇偶校验位支持。

M10K	MLAB
<ul style="list-style-type: none"><li>在5, 10, 20和40位长度的数据中, 奇偶校验位是每4个数据位关联的第5个位(bit 4, 9, 14, 19, 24, 29, 34和39)。</li><li>在非奇偶校验数据位宽中, 奇偶校验位在读或写操作期间被跳过。</li><li>在奇偶校验位上不带有奇偶校验功能。</li></ul>	<ul style="list-style-type: none"><li>奇偶校验位是与每个字节相关联的第9位。</li><li>第9位能够存储奇偶校验位或者用作额外的数据位。</li><li>在奇偶校验位上不带有奇偶校验功能。</li></ul>

## 嵌入式存储器模块中的字节使能

嵌入式存储器模块支持字节使能控制:

- 字节使能通过屏蔽部分输入数据, 实现仅写入数据中的指定字节。未被写入的字节保留之前写入的值。
- 写使能(wren)信号与字节使能(byteena)信号一起控制RAM模块上的写操作。默认情况下, byteena信号是高电平(使能), 仅wren信号控制写操作。
- 字节使能寄存器没有clear端口。
- 如果使用奇偶校验位,在M10K模块上, 字节使能功能控制8个数据位和2个奇偶校验位; 在MLAB上, 字节使能功能控制最宽模式的全部10位。
- byteena信号的MSB和LSB分别对应于数据总线的MSB和LSB。
- 字节使能为高电平有效(active high)。

## 存储器模块中的字节使能控制

表2-12: x20数据位宽的byteena控制

byteena[1..0]	写入的数据位	
11 (默认)	[19:10]	[9:0]
10	[19:10]	—
01	—	[9:0]

表2-13: x40数据位宽的byteena控制

byteena[3:0]	写入的数据位			
1111 (默认)	[39:30]	[29:20]	[19:10]	[9:0]
1000	[39:30]	—	—	—
0100	—	[29:20]	—	—
0010	—	—	[19:10]	—
0001	—	—	—	[9:0]

## 数据字节输出

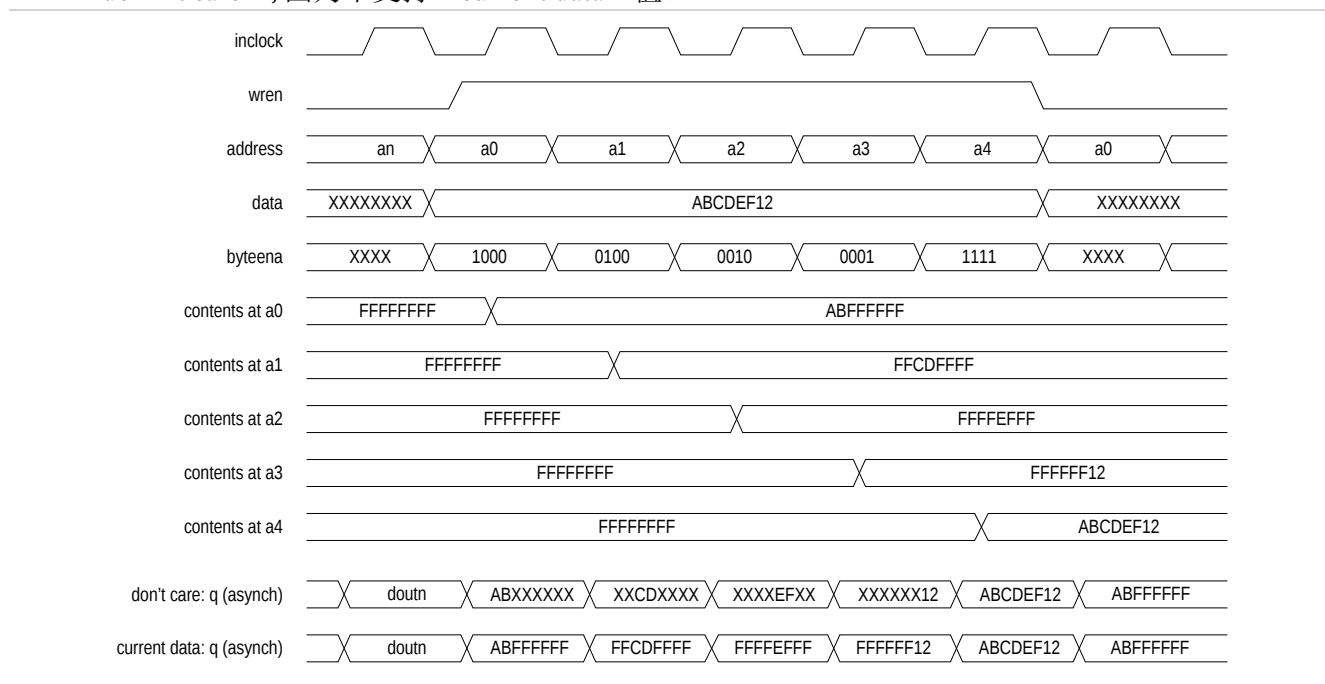
在M10K模块中，相应的被屏蔽数据字节的值为“don't care”。

在MLAB中，当在写周期中置低字节使能位时，相应的数据字节输出值为“don'tcare”或者该位置的当前值。通过使用Quartus II可以控制MLAB中屏蔽字节的输出值。

## RAM模块操作

图2-6: 字节使能功能波形

此图显示wren和byteena信号如何控制RAM模块的操作。对于M10K模块,写屏蔽数据字节值为“don't care”，因为不支持“current data”值。



## 存储器模块Packed模式支持

M10K存储器模块支持packed模式。

packed模式的特性是将两个独立的单端口RAM 封装进一个存储器模块中。适用于packed模式时，QuartusII软件通过将物理RAM模块置于真双端口模式并通过地址的最高有效位来区分两个逻辑RAM的方式自动实现packed模式。每个单端口RAM的容量一定不能超过目标模块容量的一半。

存储器模块地址时钟使能支持

嵌入式模块支持地址时钟使能，当信号使能时(addressstall = 1)，地址时钟使能会保持之前的地址值。当在双端口模式下配置存储器模块时，每个端口都有各自独立的地址时钟使能。地址时钟使能信号的默认值为低电平(禁用的)。

图2-7: 地址时钟使能

此图显示地址时钟使能结构图。端口名addressstall是指地址时钟使能。

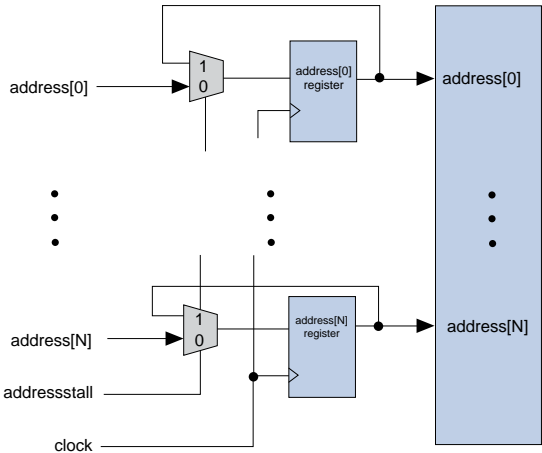


图2-8: 读周期中的地址时钟使能波形

此图显示了读周期中的地址时钟使能波形。

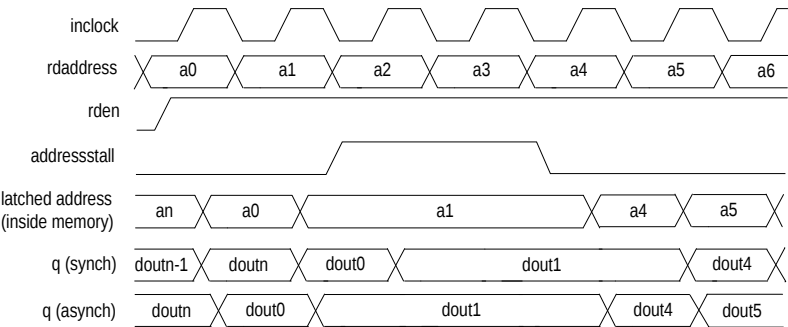
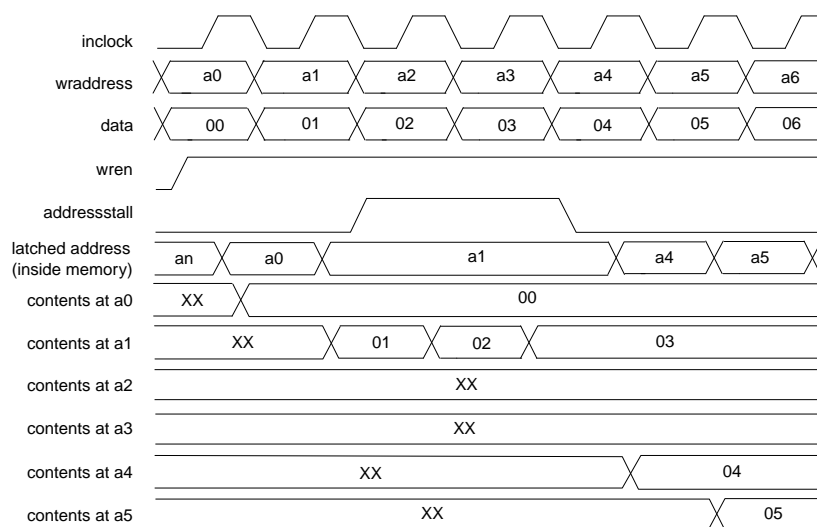


图2-9: 写周期中的地址时钟使能波形

此图显示了写周期中地址时钟使能波形。



## 文档修订历史

日期	版本	修订内容
2013年5月	2013.05.06	<ul style="list-style-type: none"> <li>将全部链接移到各个主题的相关信息章节中，以便于参考。</li> <li>在知识基础中添加了已知文档问题的链接。</li> <li>更新了MLAB的最大操作频率。</li> <li>纠正了混合端口read-during-write的RAM的"don't care"输出模式的相关说明。</li> <li>重组所支持存储器配置主题的结构(单端口和混合宽度双端口)以提高每种配置所支持的最大数据位宽的明晰度。</li> <li>添加了对最大嵌入式存储器配置的表格描述，以阐明相关信息只适用于单端口或者ROM模式。</li> <li>移除了关于MLAB混合宽度配置的主题并添加了一个注释阐明MLAB不支持混合宽度配置。</li> </ul>
2012年12月	2012.12.28	<ul style="list-style-type: none"> <li>重组内容并更新模板。</li> <li>在Cyclone V Device Overview中添加了存储器性能信息，以便于参考。</li> <li>将所支持存储器模块配置的相关信息移到各自的表格中。</li> <li>添加了每种时钟模式的简短说明。</li> <li>添加了关于packed模式支持的主题。</li> <li>添加了关于地址时钟使能支持的主题。</li> </ul>



日期	版本	修订内容
2012年6月	2.0	<ul style="list-style-type: none"><li>• 重构章节。</li><li>• 更新了“存储器模式”，“时钟模式”和“设计考量”部分。</li><li>• 更新了表2 - 1。</li><li>• 添加了“奇偶校验位”和“字节使能”章节。</li><li>• 将存储器性能信息移到<i>Cyclone V Device Overview</i>。</li></ul>
2011年10月	1.0	首次发布。