

cv_54009-1.1

硬核存储器系统 (HPS) 包含以下片上存储器:

- 片上 RAM
- Boot ROM

片上 RAM 具有 64 KB 的通用 RAM。boot ROM 包含 HPS 从冷或热复位启动 HPS 的所需代码。两个存储器都连接到 level 3 (L3) 互联。

片上 RAM

该部分介绍 HPS 片上 RAM。

片上 RAM 的功能

片上 RAM 提供以下功能:

- 64-bit 接口
- 64 KB 容量
- 単端口的 RAM
- 2个读接受、2个写接受和2个总接受。
- 纠错编码 (ECC) 支持
- 在读读 (read after read)、写写 (write after write)、读写 (write after read)和写读 (read after write)期间的保持理想吞吐量 (Sustained ideal throughput)(操作频率乘以数据宽度)。
 - ***** 要了解关于操作频率的更多信息,请参考 *Cyclone V器件手册*第3卷的 *Clock Manager* 章节。

© 2012 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



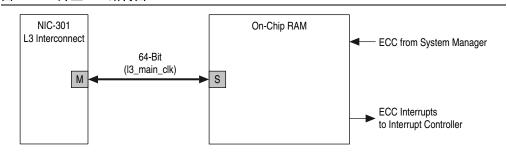




片上 RAM 结构图和系统集成

图 9-1显示了片上 RAM 的结构图。

图 9-1. 片上 RAM 结构图



存储器和 NIC-301 L3 互联之间的传输通过 64-bit 接口进行,由 l3_main_clk 互联时钟选通。ECC 逻辑检测单比特可纠正错误和双比特不可纠正的错误。存储器具有 2 个读接受、2 个写接受和 2 个总接受并采用循环仲裁。

整个 RAM 可选为安全性或非安全性。安全性由 NIC-301 L3 互联执行。

要了解关于安全性的更多信息,请参考 Cyclone V器件手册第3卷的 Interconnect章节。

片上 RAM 的功能说明

片上 RAM 用作一个可从 FPGA 访问的通用存储器。

片上 RAM 使用一个 64-bit 从接口。从接口支持存储器和 NIC-301 L3 互联之间的传输。 所有的读和写都按顺序被执行。

时钟

片上 RAM 由 13 main_clk 互联时钟驱动。

要了解关于操作频率和最高吞吐量的更多信息,请参考 Cyclone V 器件手册第3卷的 Clock Manager 章节。

复位

RAM 的内容在冷或热复位时保持不变。复位仅对与从接口相关联的状态清零。

片上 RAM 复位由 onchip ram rst n 互联复位信号驱动。

■ 要了解更多信息,请参考 Cyclone V 器件手册第3卷的 Reset Manager 章节。

Boot ROM

该部分介绍 HPS boot ROM 的硬件方面。

要了解关于boot ROM软件的更多信息,请参考 Cyclone V器件手册第3卷的 Booting and Configuration 附录。

Boot ROM 的功能

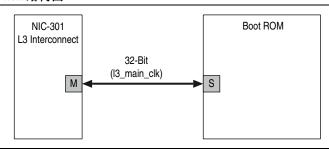
boot ROM 提供以下功能:

- 32-bit 接口
- 64 KB 容量
- 单端口的 ROM
- 2个读接受
- 读读期间的保持理想吞吐量(操作频率乘以数据宽度)
 - 要了解关于操作频率的更多信息,请参考 Cyclone V器件手册第3卷的 Clock Manager 章节。

Boot ROM 结构图和系统集成

图 9-2显示了 boot ROM 的结构图。

图 9-2. Boot ROM 结构图



存储器和 NIC-301 L3 互联之间的传输通过 32-bit 接口进行,由 13_main_clk 互联时钟选通。

整个 RAM 可选为安全性或非安全性。安全性由 NIC-301 L3 互联执行。

要了解关于安全性的更多信息,请参考 Cyclone V器件手册第3卷的 Interconnect 章节。

Boot ROM 的功能说明

boot ROM 仅用于启动系统。微处理器单元 (MPU) 子系统冷或热复位时,MPUO 执行存储在 boot ROM 中的预引导加载器代码。

要了解关于boot ROM软件的更多信息,请参考 Cyclone V器件手册第3卷的 Booting and Configuration 附录。

boot ROM 使用一个 32-bit 从接口。从接口支持存储器和 NIC-301 L3 互联之间的传输。所有写都返回一个错误响应。

时钟

boot ROM 由 13_main_clk 互联时钟驱动。

要了解关于操作频率和最大吞吐量的更多信息,请参考 Cyclone V 器件手册第3卷的 Clock Manager 章节。

复位

ROM 的内容在冷或热复位时保持不变。复位仅对与从接口相关联的状态清零。boot ROM 复位由 boot rom rst n 互联时钟驱动。

要了解更多信息,请参考 Cyclone V 器件手册第3卷的 Reset Manager 章节。

片上存储器地址映射和寄存器定义

片上存储器没有寄存器。

地址映射位于该手册卷附带的 hps. html 文件中。点击链接以打开文件。

要查看模块说明和基地址,找到并且点击链接以查看以下模块实例:

- rom
- ocram
- 所有模块的基地址也在 Cyclone V 器件手册第 3 卷的 Introduction to the Hard Processor System 章节中列出。

文档修订历史

表 9-1显示了该文档的修订历史。

表 9-1. 文档修订历史

日期	版本	修订内容
2012年11月	1.1	添加了地址映射部分。
2012年1月	1.0	首次发布。

9-6 第9章: 片上存储器 文档修订历史