

硬核处理器系统 (HPS) 中的系统管理器包含存储器映射的控制和状态寄存器 (CSR) 和逻辑，用于控制系统级功能以及 HPS 中的其它模块。

系统管理器连接到 HPS 中的下面模块：

- 看门狗定时器
- 以太网介质访问控制器 (EMAC0 和 EMAC1)
- 直接存储器访问 (DMA) 控制器
- USB 2.0 On-The-Go (OTG) 控制器 (USB0 和 USB1)
- 控制器区域网络 (CAN) 控制器
- NAND flash 控制器
- 安全数字 / 多媒体卡 (SD/MMC) 控制器
- Quad 串行外设接口 (SPI) flash 控制器
- 微处理器单元 (MPU) 子系统

### 系统管理器的特性

软件通过访问系统管理器中的 CSR 来控制 and 监控其它 HPS 中需要外部控制信号的各种功能。系统管理器连接到这些模块以执行下面功能：

- 当 MPU 子系统内的处理器处于调试模式中时，发送暂停信号来暂停看门狗定时器。
- HPS 从冷复位释放后和串行配置期间冻结 I/O 管脚。
- 选择 EMAC level 3 (L3) 主信号选项。
- 选择 SD/MMC 控制器时钟选项和 L3 主信号选项。
- 选择 NAND flash 控制器引导程序选项和 L3 主信号选项。
- 选择 USB 控制器 L3 主信号选项。
- 选择 CAN 控制器或者 FPGA 架构发出请求到四个 DMA 控制器外围请求接口。
- 当 HPS 从复位状态退出时提供对 DMA 安全设置的控制。
- 提供在引导过程中可以读取的引导源和时钟源信息。
- 发送纠错码 (ECC) 使能信号到具有 ECC 保护 RAM 的所有 HPS 模块。
- 提供在具有 ECC 保护 RAM 的模块测试期间注入错误的能力。
- 控制 HPS 中的 I/O 管脚复用。
- 提供关于器件特定的 HPS 选项信息，例如：处理器内核数量和是否有 CAN 控制器。

- 在 MPU 子系统内的奇偶校验保护的 RAM 中测试期间触发奇偶校验失败。
- 支持 HPS 通过扫描管理器访问 FPGA JTAG 控制器用于测试的目的。

## 系统管理器结构图和系统集成

系统管理器有一个连接到 level 4 (L4) 总线的从接口。CSR 接口连接到 FPGA 中的信号，也连接到其它 HPS 模块。

图 14-1 显示了系统管理器的结构图。

图 14-1. 系统管理器结构图

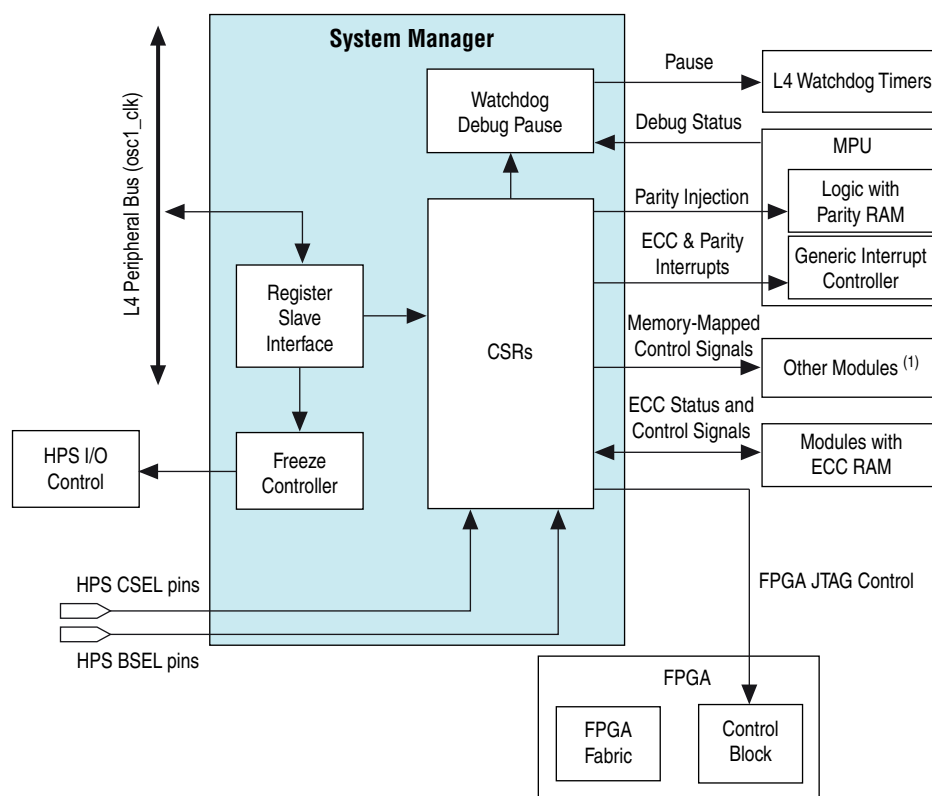


图 14-1 注释:

(1) 请参考下页的模块列表。

系统管理器由下面的模块组成：

- CSRs— 提供以下功能：
  - 提供存储器映射访问来控制下面 HPS 模块的信号：
    - EMACs
    - 调试内核
    - 复位管理器
    - SD/MMC 控制器
    - NAND 控制器
    - SPI 主接口
    - Quad SPI 控制器
    - USB 控制器
    - DMA 控制器
    - 片上 RAM
    - CAN 控制器
  - 将 ECC 和奇偶校验中断布线至 MPU
  - 存储从其它 HPS 模块接收到的状态信息
  - 控制 FPGA JTAG 管脚和扫描管理器之间的复用
- 寄存器从接口 — 对主设备提供对系统管理器 CSR 的访问接口。
- 看门狗调试暂停 — 接受 MPU 子系统的调试模式状态，并暂停 L4 看门狗计时器。
- 冻结控制器 — 负责将 HPS I/O 管脚置于安全状态，以便能被软件配置。

## 系统管理器的功能描述

此部分介绍了系统管理器的功能操作。系统管理器用于：

- 提供对引导配置和系统信息的软件访问
- 提供对其它 HPS 模块中的控制和状态信号的软件访问
- 使能和控制 HPS 模块中的 ECC 和奇偶校验
- 配置期间提供到 HPS 可配置 I/O 管脚的冻结信号
- 使能和禁用 HPS 接口
- 控制 I/O 管脚复用
- 提供八个寄存器，软件能使用这些寄存器在各个引导阶段之间传递信息

## 引导配置和系统信息

系统管理器通过 bootinfo 寄存器提供引导配置信息。软件可使用下面的信息：

- HPS 引导选择 (BSEL) 管脚的采样值
- HPS 时钟选择 (CSEL) 管脚的采样值

引导配置信息来自 HPS BSEL 和 CSEL 管脚。BSEL 信号通知软件从哪一个 flash 器件引导 CPU0。CSEL 信号通知哪个时钟频率用于 flash 控制器 (NAND, SD/MMC, quad SPI)。

关于引导和时钟源的值，请参考 *Cyclone V 器件手册* 卷 3 中的 *Booting and Configuration* 附录。

系统管理器也通过 HPS 信息寄存器 (hpsinfo) 提供关于片上系统 (SoC) FPGA 中的可用 HPS 实例的类型，使软件能够了解处理器内核数量以及是否有 CAN 控制器等信息。

其它的模块控制

HPS 中的每个模块有其各自的 CSR，提供对模块内部状态的访问。其它模块以及 FPGA 架构中的逻辑能够使用这些 CSR 来控制 and 监控 HPS 模块中的功能。系统管理器 CSR 提供对其它模块状态信息的访问，使能其它的控制和监控。因此，要完全控制每个模块，您必须操控模块自己的 SCRs 以及系统管理器中的 CSRs。本部分介绍了每个模块的系统管理器 CSR 的使用。

扫描管理器

FPGA JTAG 管脚或者扫描管理器都能够驱动 JTAG 信号到 FPGA 中。系统管理器中的寄存器控制复用器 (multiplexer)，该复用器决定哪个源驱动 JTAG 信号到 FPGA。设置扫描管理器组 (scanmgrgrp) 中的控制寄存器 (ctrl) 的 FPGA JTAG 使能比特来控制该选择。

在 HPS 上运行的软件必须确保在改变用于驱动 JTAG 信号到 FPGA 的源之前，与 FPGA 控制模块的 FPGA JTAG 管脚和扫描管理器的连接是无效的 (inactive)。

关于扫描管理器的详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *Scan Manager* 章节。

DMA 控制器

有八个 DMA 外设请求接口。FPGA 架构可以始终访问接口 0 到 3。系统管理器中的寄存器控制一组复用器，这组复用器决定 FPGA 架构还是 CAN 控制器可以访问接口 4 到 7 中的每个接口。表 14-1 列出了 DMA 控制器组 (dmagrp) 中的控制寄存器 (ctrl) 的通道选择比特 (chansel[3:0]) 如何控制这些选择。

表 14-1. DMA 外设请求接口 4 到 7 的使用

通道选择比特	寄存器值	使用
0	0	DMA 通道 4 连接到 FPGA 架构
	1	DMA 通道 4 连接到 CAN0 控制器
1	0	DMA 通道 5 连接到 FPGA 架构
	1	DMA 通道 5 连接到 CAN0 控制器
2	0	DMA 通道 6 连接到 FPGA 架构
	1	DMA 通道 6 连接到 CAN1 控制器
3	0	DMA 通道 7 连接到 FPGA 架构
	1	DMA 通道 7 连接到 CAN1 控制器

DMA 控制器的安全状态由 dmagrp 组中的 ctrl 控制器的的管理器线程安全 (mgrnonsecure) 和中断安全 (irqnonsecure) 比特控制。

每个 DMA 外设请求接口的安全状态由 `dmagrp` 组中的外设安全寄存器 (`persecurity`) 的外设非安全比特 (`nonsecure[31:0]`) 控制。DMA 控制器从复位状态释放时采样这些寄存器。



仅在 DMA 主接口保证处于无效状态 (`inactive state`) 时访问寄存器比特。



关于 DMA 控制器的详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *DMA Controller* 章节。

## NAND Flash 控制器

软件使用 NAND flash 控制器组 (`nandgrp`) 中的引导程序控制寄存器 (`bootstrap`) 来修改复位后的 NAND flash 控制器的默认行为。NAND flash 控制器从复位状态释放时采样寄存器比特。

下面的引导程序寄存器比特控制 NAND flash 控制器的配置：

- 引导程序禁止初始化比特 (`noinit`)—禁止 NAND flash 控制器在从复位状态释放后执行初始化，支持软件对所有关于器件参数（例如，页面大小和宽度）的寄存器编程。
- 引导程序 512 字节器件比特 (`page512`)—通知 NAND flash 控制器一个 512 字节的 NAND flash 器件连接到系统。
- 引导程序禁用加载模块 0 页面 0 比特 (`noloadb0p0`)—作为初始化过程的一部分，禁止 NAND flash 控制器加载 NAND flash 器件的模块 0 的页面 0。
- 引导程序两个行地址周期比特 (`tworowaddr`)—通知 NAND flash 控制器只需要两个行地址周期，而不是默认的三个行地址周期。

系统管理器中的寄存器控制 L3 master ARCACHE 和 AWCACHE 信号。设置 `nandgrp` 组中的 NAND L3 master AxCACHE 寄存器 (`l3master`) 的 NAND arcache (`arcache[0]`) 和 NAND awcache (`awcache[0]`) 比特来控制这些选择。这些比特对 NAND 控制器中的 DMA 引擎的主传输定义了高速缓存的属性。



仅在主接口保证处于无效状态 (`inactive state`) 时访问寄存器比特。



关于 NAND flash 控制器的详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *NAND Flash Controller* 章节。

## EMAC

系统管理器支持软件选择 `osc1_clk` 或者 `fpga_ptp_ref_clk` 作为每个 EMAC 的 IEEE 1588 参考时钟源。设置 EMAC 组 (`emacgrp`) 中的 `ctrl` 寄存器的 PTP 时钟选择 (`ptpclkssel[0]`) 和 (`ptpclkssel[1]`) 比特来控制这一选择。




关于参考时钟的详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *Clock Manager* 章节。

系统管理器中的寄存器控制 L3 master ARCACHE 和 AWCACHE 信号。设置 `emacgrp` 组中的 EMAC L3 master AxCACHE 寄存器 (`l3master`) 的 `arcache[0]`，`arcache[1]`，`awcache[0]` 和 `awcache[1]` 比特来控制这些选择。这些比特对 EMAC 控制器中的 DMA 引擎的主传输定义了高速缓存的属性。




仅在主接口保证处于无效状态 (`inactive state`) 时访问寄存器比特。


 关于 EMAC 的详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *Ethernet Media Access Controller* 章节。

## USB 2.0 OTG 控制器

系统管理器中的寄存器控制 USB 2.0 OTG 控制器 L3 主接口用于数据还是操作码访问。设置 USB 控制器组 (usbgrp) 中的 USB L3 master HPROT 寄存器 (l3master) 的 USB HPROT 数据 / 操作码比特 (hprotdata[0] 和 hprotdata[1]) 来指定每个 USB 控制器的访问。

您也可以使用系统管理器通过设置 usbgrp 组中的 l3master 寄存器的 USB HPROT 特许的 (hprotpriv[0] 和 hprotdata[1])，USB HPROT 可缓存的 (hprotbuff[0] 和 hprotbuff[1]) 和 USB HPROT 可高速缓存的 (hprotcache[0] 和 hprotcache[1]) 比特来指定 USB 控制器 L3 主访问对于每个 USB 控制器是特许的，缓存的还是高速缓存的。


 仅在主接口保证处于无效状态 (inactive state) 时访问寄存器比特。

 关于 USB 2.0 OTG 控制器的详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *USB 2.0 OTG Controller* 章节。


## SD/MMC 控制器

系统管理器中的寄存器控制 SD/MMC 控制器 L3 主接口用于数据还是操作码访问。设置 SD/MMC 控制器组 (sdmmcgrp) 中的 SD/MMC l3master 寄存器的 SD/MMC hprotdata[0] 比特来指定访问模式。

您可以使用系统管理器通过设置 sdmmcgrp 组中的 l3master 寄存器的 SD/MMC hprotpriv[0]，hprotbuff[0] 和 hprotcache[0] 比特来指定 SD/MMC 控制器 L3 主访问是特许的，缓存的还是高速缓存的。


 仅在主接口保证处于无效状态 (inactive state) 时能访问寄存器比特。

系统管理器支持软件通过设置 sdmmcgrp 组中的 ctrl 寄存器的驱动时钟相移选择 (drvsel) 和采样时钟相移选择 (smpsel) 比特来对 cclk\_in\_drv 和 cclk\_in\_sample 选择时钟的相移。您也可以选择哪一个反馈时钟 (fb\_clk) 用作 cclk\_in\_sample 时钟。设置 ctrl 寄存器的反馈时钟选择 (fbclkssel) 比特来控制该选择。

 关于 SD/MMC 控制器的详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *SD/MMC Controller* 章节。


## 看门狗计时器 (Watchdog Timer)

当 CPU 处于调试模式时，系统管理器控制看门狗计时器的行为。系统管理器根据 L4 看门狗调试寄存器 (wddbg) 的调试模式 (mode[0] 和 mode[1]) 比特的设置来发送一个暂停信号到看门狗计时器。内置在 MPU 子系统系统中的每个看门狗计时器在与其关联的 CPU 进入调试模式时自动暂停。

 关于看门狗计时器的详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *Watchdog Timer* 章节。

### 引导 ROM 代码

系统管理器中的寄存器控制引导 ROM 代码是否在热复位后对引导管脚配置管脚复用。设置引导 ROM 代码寄存器组 (romcodegrp) 中的 ctrl 寄存器的引导管脚的热复位配置管脚复用比特 (warmrstcfpinmux) 来使能或禁用该控制。

 引导 ROM 代码始终在冷复位后对引导管脚配置管脚复用。

系统管理器中的寄存器也控制引导 ROM 代码是否在热复位后配置引导过程中使用的 I/O 管脚。设置 romcodegrp 组中的 ctrl 寄存器的引导管脚的热复位配置 IO 比特 (warmrstcfgio) 来使能或者禁用此控制。默认情况下，引导 ROM 代码始终在冷复位后配置用于引导的 I/O 管脚。

当 CPU1 从复位状态释放，并且引导 ROM 代码位于 CPU1 复位异常地址时（一个典型情况），引导 ROM 复位处理器代码读取存储在 CPU1 起始地址寄存器 (cpulstartaddr) 中的地址，并跳到该地址将控制传递给软件。

预加载器状态寄存器 (initswstate) 存储预加载器写入的幻数 0x49535756，以表明片上 RAM 中有一个有效的预加载器软件映像。

闪存中最多可存储 4 个预加载器映像。预加载器最后映像加载寄存器 (initswlastld) 包含片上 RAM 中加载的预加载器映像的索引。

引导 ROM 软件状态寄存器 (bootromswstate) 是一个 32-bit 通用寄存器，被保留用于引导 ROM。

引导 ROM 代码使用 romcodegrp 组中的从片上 RAM 热引导组 (warmramgrp) 中的寄存器来支持在热复位从片上 RAM 进行引导。表 14-2 列出了寄存器和其作用。

表 14-2. warmramgrp 寄存器

寄存器	名称	用途
enable	使能	控制引导 ROM 是否试图在热复位上从片上 RAM 中的数据进行引导。
datastart	数据起始	包含片上 RAM 中的热引导 CRC 验证域的字节偏移。偏移必须字对齐于一个四的倍数的整数。
length	长度	包含片上 RAM 中域的长度（字节为单位），用于热引导 CRC 验证。
execution	执行偏移	包含 CRC 验证成功时引导代码跳到的片上 RAM 的字节偏移。
crc	期望的 CRC	包含片上 RAM 中域的期望 CRC。

在热复位出现之前，软件必须写入表 14-2 中所有的寄存器。

应用到 ROM 的读操作的等待状态数量由 romhwgrp 组中 ctrl 寄存器的等待状态比特 (waitstate) 决定。引导过程后，软件可能需要读取引导 ROM 中的代码。如果复位后软件已经改变了 l3\_main\_clk 的时钟频率，那么需要一个额外的等待状态来访问引导 ROM。设置 romhwgrp 组中的 ctrl 寄存器的 waitstate 比特来添加一个额外的等待状态到引导 ROM 的读访问。ctrl 寄存器的使能安全模式热复位更新比特 (ensfmdwru) 控制在热复位期间是否更新 waitstate 比特。

### 冻结控制器 (Freeze Controller)

冻结控制器提供到 HPS 可配置 I/O 单元的冻结信号。这些冻结信号确保了在 FPGA 上电时 I/O 管脚处于安全状态直到它们被配置。



冻结控制器将 HPS 可配置 I/O 管脚分成四组，每组有一组独立的冻结信号，被称为冻结通道，由冻结控制器驱动。独立的冻结通道使得每组 I/O 管脚能够被单独地冻结，配置和解冻。

HPS I/O 管脚被分成六个 bank。根据在芯片上的位置，每个 I/O bank 可以是垂直的 (VIO) 或者水平的 (HIO) I/O。表 14-3 列出了每个冻结通道控制的 I/O bank 和 bank 类型。

表 14-3. 冻结通道和 HPS I/O Bank

冻结通道	Bank 类型	HPS I/O Bank
0	VIO	I/O bank 7D and bank 7E
1	VIO	I/O bank 7B and bank 7C
2	VIO	I/O bank 7A
3	HIO	I/O bank 6

当 I/O 单元被冻结时，I/O 单元中的配置寄存器不被置于复位状态。反而，配置寄存器的输出被冻结信号断开 (gated off)，直到运行在 HPS 上的软件解冻 I/O 单元。在软件解冻每组中的 I/O 单元前，扫描管理器必须对每组的 I/O 单元进行配置。

冻结时，HPS I/O 管脚处于以下状态：

- I/O 缓存处于三态模式
- 弱上拉被使能
- 配置寄存器的输出被选通 (gated)
- 内部寄存器被复位到它们的初始状态
- 总线保持处于三态模式
- 片上匹配 (OCT) 内部计时器被复位

软件通过通过设置冻结控制组 (frzctrl) 中的 VIO 控制 (vioctrl) 和 HIO 控制 (hioctrl) 寄存器来生成 HPS I/O 冻结信号。系统管理器支持在 HPS VIO 和 HIO bank 中设置以下选项：

- 使能或禁用 I/O 管脚配置
- 支持 I/O 管脚配置控制总线保持电路
- 支持 I/O 管脚配置控制 I/O 三态
- 支持 I/O 管脚配置控制弱上拉电阻
- 支持 I/O 管脚配置控制斜率
- 在延迟锁定回路 (DLL) 中复位寄存器
- 在 OCT 中复位寄存器
- 在 I/O 单元和数据选通 (DQS) 中复位寄存器
- 禁用 OCT 校准模块中的 I/O 管脚配置，或者开始 OCT 校准状态机和使能 OCT 校准模块中的 I/O 管脚配置

软件通过系统管理器中的一组存储器映射控制寄存器域来控制每个冻结通道。VIO 通道 1 的冻结信号由冻结控制器中的软件状态机或者硬件状态机控制。软件通过设置 frzctrl 组中的源寄存器 (src) 在两个冻结信号源之间进行选择。



系统管理器通过硬件状态机在 VIO 通道 1 上启动一个冻结或者解冻操作。通过请求硬件状态机生成一个冻结信号序列来启动冻结或解冻操作。通过设置 `frzctrl` 组中的硬件控制寄存器 (`hwctrl`) 的 VIO 通道 1 冻结 / 解冻请求比特 (`violreq`)，此序列在冻结状态和解冻状态之间转换。

系统管理器支持软件决定 VIO 通道 1 的当前状态（冻结或者解冻），或者决定何时通过读取 `frzctrl` 组中的 `hwctrl` 寄存器的 VIO 通道 1 状态比特 (`violstate`) 来提出冻结或者解冻请求。

## FPGA 接口使能

系统管理器能够使能或者禁用 FPGA 与 HPS 之间的接口。接口在未使用的情况下必须禁用以避免未定义的行为。

FPGA 接口组 (`fpgaintfgrp`) 中的全局禁用寄存器 (`gbl`) 的全局接口比特 (`intf`) 禁用 FPGA 与 HPS 之间的全部接口。



确保 FPGA 与 HPS 之间的所有接口在被禁用之前都是无效的。

通过设置 `fpgaintfgrp` 组中的独立禁用寄存器 (`indiv`) 能够禁用 FPGA 与 HPS 之间的下面接口：

- 复位请求接口
- JTAG 使能接口
- I/O 配置接口
- 边界扫描接口
- 跟踪接口
- 系统跟踪宏单元 (STM) 接口
- 交叉触发接口 (CTI)

## ECC 和奇偶校验控制

系统管理器能够对下面每个带有 ECC 保护 RAM 的 HPS 模块使能或禁用 ECC：

- MPU L2 高速缓存数据 RAM
- 片上 RAM
- USB 2.0 OTG 控制器 (USB0 和 USB1) RAM
- EMAC (EMAC0 和 EMAC1) RAM
- DMA 控制器 RAM
- CAN 控制器 RAM
- NAND flash 控制器 RAM
- Quad SPI flash 控制器 RAM
- SD/MMC 控制器 RAM


除了 L2 高速缓存数据 RAM，每个 ECC 存储器都通过系统管理器生成一个单比特和双比特中断到全局中断控制器 (GIC)。设置 ECC 管理寄存器组 (`eccgrp`) 中的寄存器来使能或者禁用 ECC。L2 高速缓存直接生成 L2 高速缓存数据 RAM 中断。

系统管理器能够将单比特或者双比特错误注入到每个 ECC 存储器中，以用于测试。设置相应存储器使能寄存器中的比特来注入错误。例如，要注入一个单比特 EEC 错误到 USB0 模块，需要设置 ECC 管理寄存器组 (eccgrp) 中 USB0 RAM ECC 使能寄存器 (usb0) 的 injs 比特。

系统管理器也能够将奇偶校验失败注入 MPU 中的奇偶校验保护 RAM 中，以测试奇偶校验失败中断处理器。设置奇偶校验失败注入寄存器 (parityinj) 的比特来注入奇偶校验失败。

管脚复用控制

在 HPS 中，很多管脚可供多达四个外设使用。系统管理器支持软件控制管脚复用选择来选择 HPS 中的哪个外设可以访问哪个共享管脚。某些管脚也提供引导源和时钟源信息，这些信息在冷复位事件置低时被采样。设置管脚复用控制组 (pinmuxgrp) 中的寄存器来控制这一选择。


 请不要在 I/O 配置后修改管脚复用选择寄存器。

预加载器切换信息 (Preloader Handoff Information)

系统管理器提供八个 32-bit 寄存器来存储预加载器与操作系统之间的切换信息。预加载器能够在这些寄存器上存储任何信息。这些寄存器内容对 HPS 硬件的状态没有影响。当操作系统内核引导时，它通过读取预加载器存储到预加载器寄存器组 (iswgrp) 中的 OS 切换信息寄存器 (handoff) 阵列来检索信息。这些寄存器仅由冷复位复位。

时钟

系统管理器由时钟管理器生成的 osc1\_clk 时钟驱动。

 关于时钟管理器的详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *Clock Manager* 章节。

复位

系统管理器接收来自复位管理器的两个复位信号。sys\_manager\_rst\_n 信号在冷或热复位上驱动，sys\_manager\_cold\_rst\_n 信号仅在冷复位上驱动。此功能支持系统管理器在冷或热复位上复位某些 CSR 域，并且仅在冷复位上复位其它域。


表 14 - 4 列出了由冷或热复位复位的寄存器和几组寄存器。

表 14 - 4. 寄存器和相应复位信号 (1/2)


寄存器或组	冷复位	热复位
fpgaintfgrp	✓	—
scanmgrgrp	✓	—
frzctrl	✓	—
emacgrp	✓	✓
dmagrps	✓	✓
sdmmcgrp	✓	✓
nandgrp	✓	✓
usbgrp	✓	✓
eccgrp	✓	—

表 14 - 4. 寄存器和相应复位信号 (2/2)

寄存器或组	冷复位	热复位
pinmuxgrp	✓	—
wddbg	✓	—
parityinj	✓	✓
romcodegrp	✓	—
romhwgrp	✓	—

 关于复位管理器的详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *Reset Manager* 章节。


## 系统管理器地址映射和寄存器定义

 地址映射和寄存器定义位于此手册卷中的 [hps.html](#) 文件中。点击链接打开此文件。

要查看模块定义和基地址，滚动并点击下面模块实例的链接：

■ **sysmgr**

然后要查看寄存器和域描述，滚动并点击寄存器名。寄存器地址是相对每个模块实例基地址的偏移。

 所有模块的基地址也列在 *Cyclone V 器件手册* 卷 3 中的 *Introduction to the Hard Processor System* 章节中。

## 文档修订历史

表 14 - 5 显示了本文档的修订历史。

表 14 - 5. 文档修订历史

日期	版本	修订内容
2012 年 11 月	1.2	次要更新。
2012 年 5 月	1.1	添加了功能描述，地址映射和寄存器定义部分。
2012 年 1 月	1.0	首次发布。

