

2013.05.06

CV-52004

✉ 订阅

💬 反馈

本章节介绍了Cyclone® V器件中不同结构的时钟网络与锁相环(PLL)的高级特性。Quartus® II软件不需要外部器件来使能PLL及其功能。

相关链接

[Cyclone V器件手册：已知问题](#)

列出了对Cyclone V器件手册章节的计划更新。

时钟网络

Cyclone V器件包括具有下面层次结构的时钟网络：

- 全局时钟(GCLK)网络
- 局域时钟(RCLK)网络
- 外设时钟(PCLK)网络

Cyclone V器件中的时钟资源

该时钟网络提供高达128个单一时钟域。Cyclone V器件支持每个器件象限高达50个单一GCLK，RCLK和PCLK时钟源(16 GCLKs + 22 RCLKs + 12 PCLKs [象限1和象限4])。

© 2013 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008
Registered



表4-1: Cyclone V器件中的时钟资源—初步

时钟资源	器件	可用的资源数量	时钟资源的来源
时钟输入管脚	<ul style="list-style-type: none"> Cyclone V E A5, A7和A9 Cyclone V GX C4, C5, C7和C9 Cyclone V GT D5, D7和D9 	24个单端或12个差分对	CLK[0..11][p,n]管脚
	<ul style="list-style-type: none"> Cyclone V E A2和A4 Cyclone V GX C3 	18个单端或9个差分对	CLK[0..3][p,n], CLK[6][p,n], CLK[8..11][p,n]管脚
	<ul style="list-style-type: none"> Cyclone V SE A5和A6 Cyclone V SX C5和C6 Cyclone V ST D5和D6 	16个单端或8个差分对	CLK[0..7][p,n]管脚
GCLK和RCLK网络	<ul style="list-style-type: none"> Cyclone V E A5, A7和A9 Cyclone V GX C4, C5, C7和C9 Cyclone V GT D5, D7和D9 	<ul style="list-style-type: none"> GCLK网络: 16 RCLK网络: 88 	CLK[0..11][p,n]管脚, PLL时钟输出和逻辑阵列
	<ul style="list-style-type: none"> Cyclone V E A2和A4 Cyclone V GX C3 		CLK[0..3][p,n], CLK[6][p,n], CLK[8..11][p,n]管脚, PLL时钟输出和逻辑阵列
	<ul style="list-style-type: none"> Cyclone V SE A5和A6 Cyclone V SX C5和C6 Cyclone V ST D5和D6 	<ul style="list-style-type: none"> GCLK网络: 16 RCLK网络: 66 	CLK[0..7][p,n]管脚, PLL时钟输出和逻辑阵列

时钟资源	器件	可用的资源数量	时钟资源的来源
PCLK网络	Cyclone V E A2和A4	—	
	Cyclone V GX C3	6	PLD收发器接口时钟，I/O管脚和逻辑阵列
	<ul style="list-style-type: none">Cyclone V E A5Cyclone V GX C4和C5Cyclone V GT D5	12	
	<ul style="list-style-type: none">Cyclone V E A7Cyclone V GX C7Cyclone V GT D7Cyclone V SE A5和A6Cyclone V SX C5和C6Cyclone V ST D5和D6	18	
	<ul style="list-style-type: none">Cyclone V E A9Cyclone V GX C9Cyclone V GT D9	24	
每个象限的GCLK和RCLK	全部	38	16 GCLKs + 22 RCLKs
每个象限的GCLK和RCLK	全部	104	16 GCLKs + 88 RCLKs

关于时钟输入管脚连接的详细信息，请参考管脚连接指南。

相关链接
[Cyclone V器件系列管脚连接指南](#)

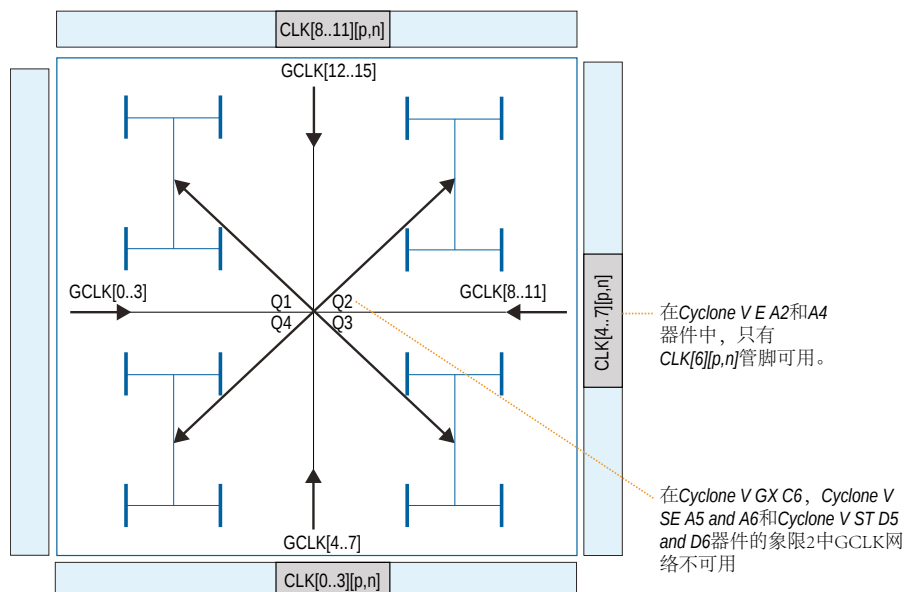
时钟网络类型

全局时钟网络

Cyclone V器件提供GCLK，能够驱动整个器件。GCLK可用作功能模块的低偏斜时钟源，例如：自适应逻辑模块(ALM)、数字信号处理(DSP)、嵌入式存储器以及PLL。Cyclone V I/O单元(IOE)和内部逻辑也能够通过使用GCLK资源,作为全局时钟或者高扇出控制信号，例如：同步或异步清零与时钟使能信号。

图4-1: Cyclone V器件中的GCLK网络

该图是硅晶片的表面示意图，与器件封装的镜像图一致。

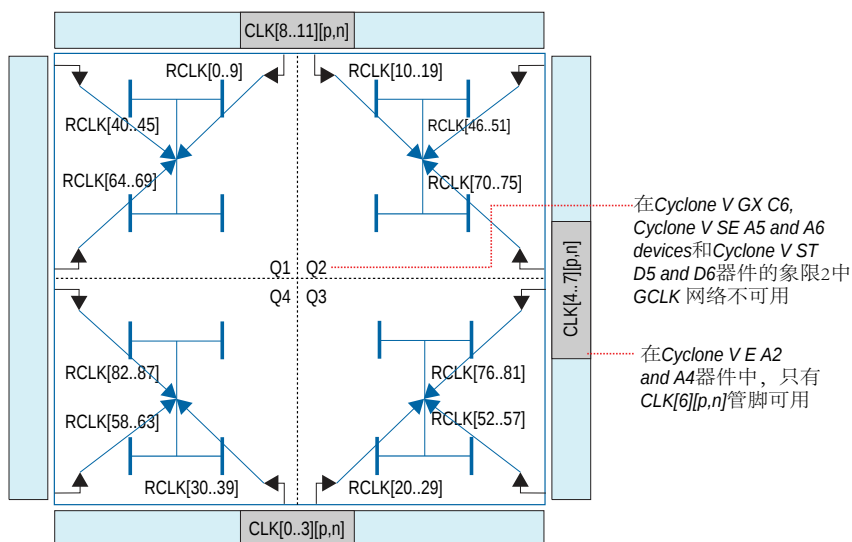


局域时钟网络

RCLK网络只适用于它们驱动的对象。RCLK网络对包含在单一器件象限中的逻辑提供了最低的时钟插入延迟和偏斜。Cyclone V IOE和指定象限中的内部逻辑也能够通过使用RCLK资源，作为来创建内部局域时钟和高扇出控制信号。

图4-2: Cyclone V器件中的RCLK网络

该图是硅晶片的表面示意图，与器件封装的镜像图一致。



外设时钟网络

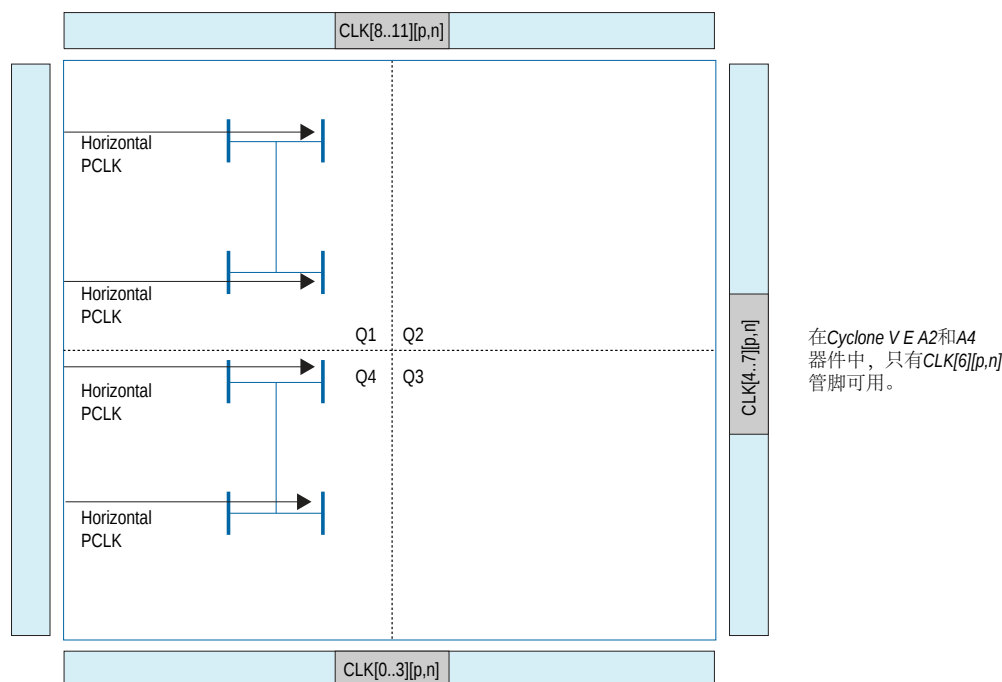
Cyclone V器件只为左侧的外设提供了水平PCLK。

PLD收发器接口时钟、水平I/O管脚以及内部逻辑的时钟输出能够驱动PCLK网络。

相比GCLK和RCLK网络，PCLK具有更高的偏斜。您可以将PCLK用作信号输入和输出Cyclone V器件的通用布线资源。

图4-3: Cyclone V器件中的PCLK网络

该图是硅晶片的表面示意图，与器件封装的镜像图一致。



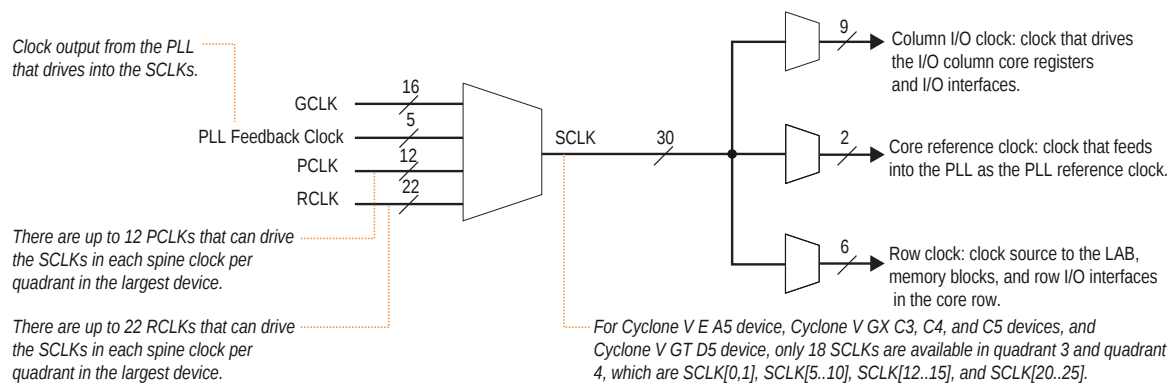
每个象限的时钟源

Cyclone V器件的每个象限每个脊柱时钟中有30个部分时钟(SCLK)网络。SCLK网络能够驱动每个逻辑阵列模块(LAB)行中的6行时钟，9列I/O时钟以及3个内核参考时钟。SCLK是器件的内核功能模块、PLL以及I/O接口的时钟源。

在每个时钟连接到每个LAB行的时钟布线之前，脊柱时钟是GCLK、RCLK和PCLK之间的另一层布线。脊柱时钟的设置是透明的。Quartus II软件根据GCLK、RCLK和PCLK自动对脊柱时钟进行布线。

下图显示了每个象限中的每个脊柱时钟中的GCLK、RCLK、PCLK或者PLL反馈时钟网络驱动的SCLK。GCLK、RCLK、PCLK和PLL反馈时钟共享同一SCLK布线。要确保设计能在Quartus II软件中成功布线，时钟资源的总数一定不能超过每一个区域中的SCLK限制。

图4-4: 每个象限的每个脊柱时钟中的层次时钟网络



时钟域的类型

本部分介绍了Cyclone V器件中的时钟域类型。

全局时钟域(Entire Device Clock Region)

全局时钟域是由一个源驱动GCLK网络中的一个信号并布线到整个器件形成的。源未必是一个时钟信号。与其它时钟域相比，此时钟域具有最大的延迟，但能够使信号到达器件中的每一个目的地。对于全局复位和清零信号，或者需要到达整个器件信号来说，这是一个很好的选择。

局域时钟域(Regional Clock Region)

局域时钟域是由一个源驱动RCLK网络中的一个信号并布线到器件的一个象限形成的。此时钟域提供了在一个象限中最低偏斜。如果所有信号目的地都在同一象限中，那么局域时钟域是一个很好的选择。

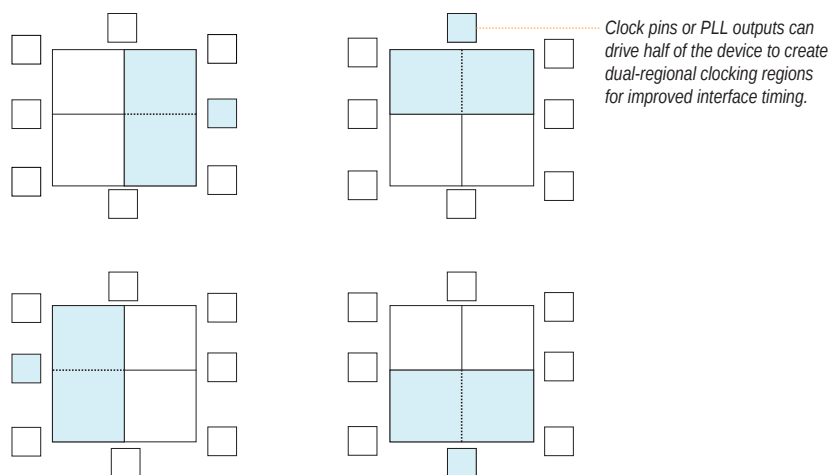
双局域时钟域(Dual-Regional Clock Region)

双局域时钟域是由一个时钟源(一个时钟管脚或者PLL输出)驱动两个RCLK网络(每个象限一个)来生成一个双局域时钟形成的。这一方法使得两个相邻器件象限之间的目的资源能够使用同一个低偏斜时钟。在整侧上的信号布线有着与RCLK域差不多一样的延迟。内部逻辑也能够驱动双局域时钟网络。

双局域时钟域仅支持Cyclone V SE, SX和ST器件中的象限3和象限4。

图4-5: Cyclone V器件的双局域时钟域

该图是硅晶片的表面示意图，与器件封装的镜像图一致。



时钟网络源

在Cyclone V器件中，时钟输入管脚，PLL输出，高速串行接口(HSSI)输出和内部逻辑都能够驱动GCLK，RCLK和PCLK网络。

专用时钟输入管脚

您可以将专用时钟输入管脚 (CLK[0..11][p,n]) 用于高扇出控制信号，例如：异步清零，预置和时钟使能信号，以及一些需要直接使用GCLK或RCLK的协议信号。

CLK管脚可以是差分时钟或者单端时钟。当CLK管脚用作单端时钟输入时，只有CLK<#>p管脚具有到PLL的专用连接。CLK<#>n管脚通过全局或局域时钟网络驱动PLL，并没有到PLL的专用布线路径。

通过全局或局域时钟驱动PLL会导致PLL输入上的更高抖动，并且PLL将无法对全局或局域时钟进行完全补偿。当使用单端时钟输入驱动PLL时，Altera建议使用CLK<#>p管脚来实现最佳性能。

内部逻辑

您可以使用LAB布线和行时钟驱动每个GCLK，RCLK和水平PCLK网络，以使内部逻辑能够作为高扇出、低偏斜信号。

注意：内部生成的GCLK，RCLK或者PCLK不能驱动Cyclone V PLL。PLL的输入时钟必须来自专用时钟输入管脚，PLL-fed GCLK或者PLL-fed RCLK。

HSSI输出

每三个HSSI输出生成到内核的一组四个PCLK。

Related Information**Cyclone V器件中的I/O特性**

提供了关于HSSI输出的详细信息。

PLL时钟输出

Cyclone V PLL时钟输出能够驱动GCLK以及RCLK网络。

GCLK和RCLK网络的时钟输入管脚连接**表4-2: Cyclone V E, GX和GT器件的GCLK网络的专用时钟输入管脚连接—初步**

时钟资源	CLK (p/n管脚)
GCLK[0,1,2,3,4,5,6,7]	CLK[0,1,2,3]
GCLK[8,9,10,11]	CLK[4,5,6,7] ⁽¹⁾
GCLK[0,1,2,3,12,13,14,15]	CLK[8,9,10,11]

表4-3: Cyclone V SE, SX和ST器件的GCLK网络的专用时钟输入管脚连接—初步

时钟资源	CLK (p/n管脚)
GCLK[0,1,2,3,4,5,6,7]	CLK[0,1,2,3]
GCLK[8,9,10,11]	CLK[4,5]
GCLK[0,1,2,3,12,13,14,15]	CLK[6,7]

表4-4: Cyclone V E, GX和GT器件的RCLK网络的专用时钟输入管脚连接—初步

一个给定的时钟输入管脚能够驱动两个相邻的RCLK网络来创建一个双局域时钟网络。

时钟资源	CLK (p/n管脚)
RCLK[20,24,28,30,34,38,58,59,60,61,62,63,64,68,82,86]	CLK[0]
RCLK[21,25,29,31,35,39,58,59,60,61,62,63,65,69,83,87]	CLK[1]
RCLK[22,26,32,36,52,53,54,55,56,57,58,59,60,61,62,63,66,84]	CLK[2]
RCLK[23,27,33,37,52,53,54,55,56,57,58,59,60,61,62,63,67,85]	CLK[3]
RCLK[46,47,48,49,50,51,70,74,76,80]	CLK[4] ⁽²⁾
RCLK[46,47,48,49,50,51,71,75,77,81]	CLK[5] ⁽²⁾
RCLK[52,53,54,55,56,57,72,78]	CLK[6]
RCLK[52,53,54,55,56,57,73,79]	CLK[7] ⁽²⁾
RCLK[0,4,8,10,14,18,40,41,42,43,44,45,64,68,82,86]	CLK[8]

⁽¹⁾ 对于 Cyclone V E A2和A4器件以及Cyclone V GX C3器件，只有CLK[6]可用。

⁽²⁾ 这应用于所有的 Cyclone V E, GX和GT器件，除了 Cyclone V E A2和A4器件以及 Cyclone V GX C3器件。

时钟资源	CLK (p/n管脚)
RCLK[1,5,9,11,15,19,40,41,42,43,44,45,66,69,83,87]	CLK [9]
RCLK[2,6,12,16,40,41,42,43,44,45,46,47,48,49,50,51,66,84]	CLK [10]
RCLK[3,7,13,17,40,41,42,43,44,45,46,47,48,49,50,51,67,85]	CLK [11]

表4-5: Cyclone V SE, SX和ST器件的RCLK网络的专用时钟输入管脚连接一初步

一个给定的时钟输入管脚能够驱动两个相邻的RCLK网络来创建一个双局域时钟网络。

时钟资源	CLK (p/n管脚)
RCLK[20,24,28,30,34,38,58,59,60,61,62,63,64,68,82,86]	CLK [0]
RCLK[21,25,29,31,35,39,58,59,60,61,62,63,65,69,83,87]	CLK [1]
RCLK[22,26,32,36,52,53,54,55,56,57,58,59,60,61,62,63,66,84]	CLK [2]
RCLK[23,27,33,37,52,53,54,55,56,57,58,59,60,61,62,63,67,85]	CLK [3]
RCLK [52 , 53 , 54 , 55 , 56 , 57 , 78]	CLK [4]
RCLK [52 , 53 , 54 , 55 , 56 , 57 , 79]	CLK [5]
RCLK[0,4,8,40,41,42,43,44,45,64,68,82,86]	CLK [6]
RCLK[1,5,9,40,41,42,43,44,45,65,69,83,87]	CLK [7]

时钟输出连接

关于到GCLK和RCLK网络的Cyclone V PLL连接，请参考到GCLK和RCLK网络的PLL连接电子表格。

相关链接
[PLL Connectivity to GCLK and RCLK Networks for Cyclone V Devices](#)

时钟控制模块

每个GCLK，RCLK和PCLK网络都有各自的时钟控制模块。时钟控制模块具有以下特性：

- 时钟源选择(动态选择仅用于GCLK)
- 全局时钟多路复用
- 时钟断电(静态或动态时钟使能或禁用仅用于GCLK和RCLK)

Cyclone V器件中的管脚映射

表4-6: 输入时钟管脚，PLL计数器输出和时钟控制模块输入之间的映射

时钟	由...驱动
inclk[0]和 inclk[1]	Cyclone V器件同一侧上的四个专用时钟管脚中的任何管脚。
inclk[2]	<ul style="list-style-type: none">• 时钟控制模块同一侧上的PLL的PLL计数器C0和C2(Cyclone V器件的顶端，底部和右侧)。• 时钟控制模块同一侧上的PLL的PLL计数器C4(Cyclone V器件的左侧)。



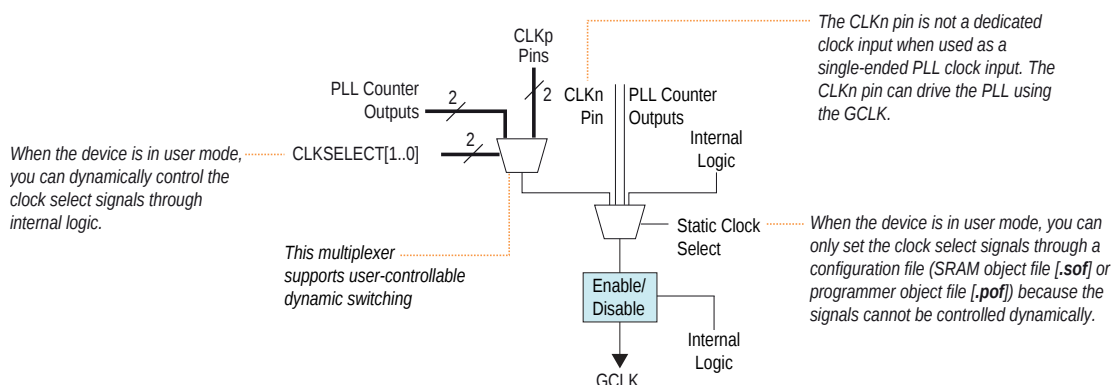
时钟	由...驱动
inclk[3]	时钟控制模块同一侧上的PLL的PLL计数器C1和C3(Cyclone V器件的顶端，底部和右侧)。对于Cyclone V器件左侧上的时钟控制模块，此输入时钟端口没有连接。

GCLK控制模块

通过静态或动态地使用内部逻辑来驱动多路复用器选择输入，可以对GCLK选择模块选择时钟源。

当动态地选择时钟源时，您最多可以选择两个PLL计数器输出和两个时钟管脚输入。

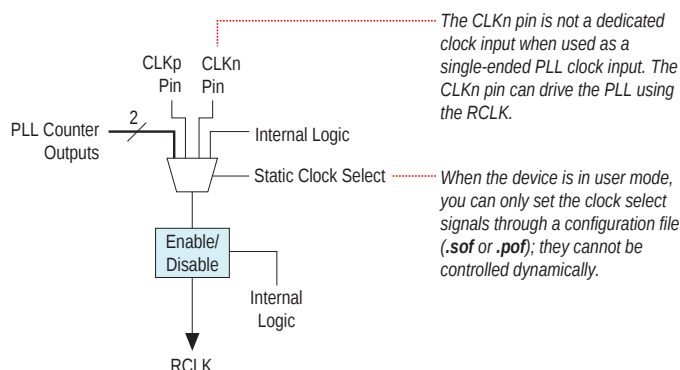
图4-6: Cyclone V器件的GCLK控制模块



RCLK控制模块

您只能通过使用由Quartus II生成的配置文件(.sof或.pof)中的配置位设置来对RCLK选择模块的时钟源选择进行控制。

图4-7: Cyclone V器件的RCLK控制模块



通过Quartus II中的ALTCLKCTRL宏功能，您能够对GCLK和RCLK时钟网络多路复用器设置输入时钟源和clkena信号。

注意：当使用ALTCLKCTRL宏功能动态选择时钟源时，使用CLKSELECT[0..1]信号选择输入。时钟管脚的输入驱动多路复用器的inclk[0..1]端口，而PLL输出驱动inclk[2..3]端口。

相关链接

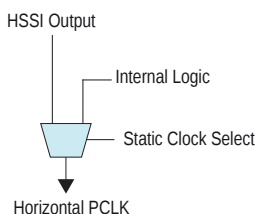
[Clock Control Block \(ALTCLKCTRL\) Megafunction User Guide](#)

提供了关于ALTCLKCTRL megafunction的详细信息。

PCLK控制模块

要驱动HSSI水平PCLK控制模块，需要选择HSSI输出或者内部逻辑。

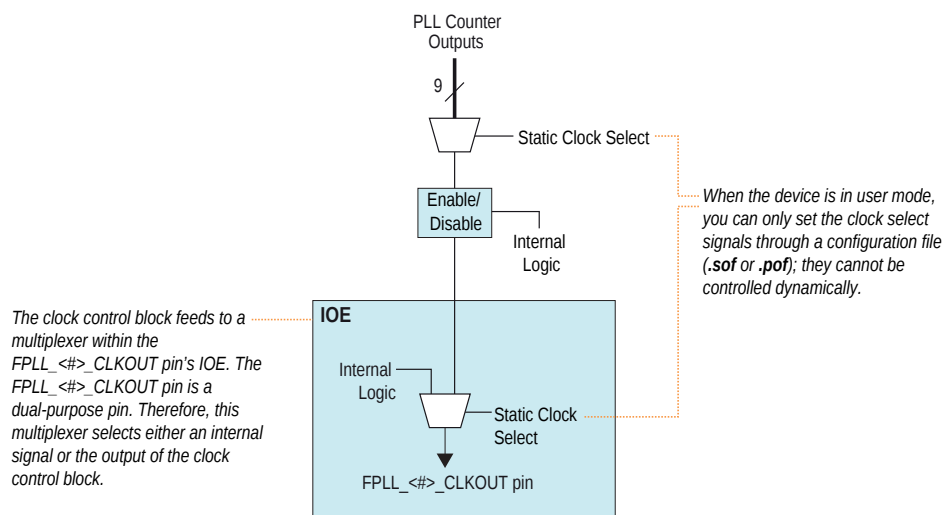
图4-8: Cyclone V器件的水平PCLK控制模块



外部PLL时钟输出控制模块

通过使用ALTCLKCTRL宏功能可以使能或者禁用专用外部时钟输出管脚。

图4-9: Cyclone V器件的外部PLL输出时钟控制模块



相关链接

[Clock Control Block \(ALTCLKCTRL\) Megafunction User Guide](#)

提供了关于ALTCLKCTRL megafunction的详细信息。

时钟断电

您可以使用静态和动态方法对GCLK和RCLK时钟网络进行断电。

当一个时钟网络断电时，由时钟网络提供的所有逻辑均处于关闭状态，从而降低了器件的总功耗。通过Quartus II生成的配置文件(.sof或.pof)中的配置位设置，未使用的GCLK，RCLK和PCLK网络会自动断电。

动态时钟使能或者禁用功能使内部逻辑能够对GCLK和RCLK网络(包括双局域时钟域)进行同步上电或者断电。此功能独立于PLL，并直接应用于时钟网络。

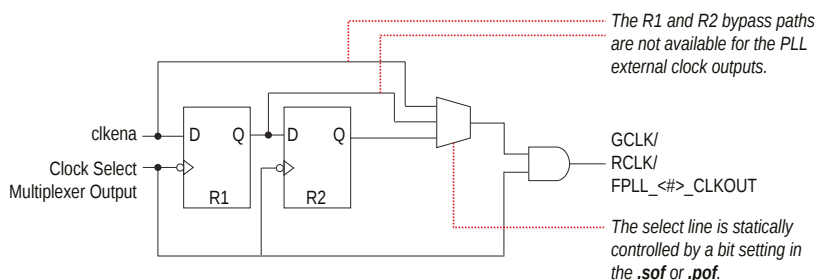
注意：您不能动态使能或禁用驱动PLL的GCLK或RCLK网络。

时钟使能信号

如果GCLK或RCLK输出驱动PLL的输入，那么不能使用时钟控制模块的时钟使能和禁用电路。

图4-10: 使用时钟使能和禁用电路的clkena实现

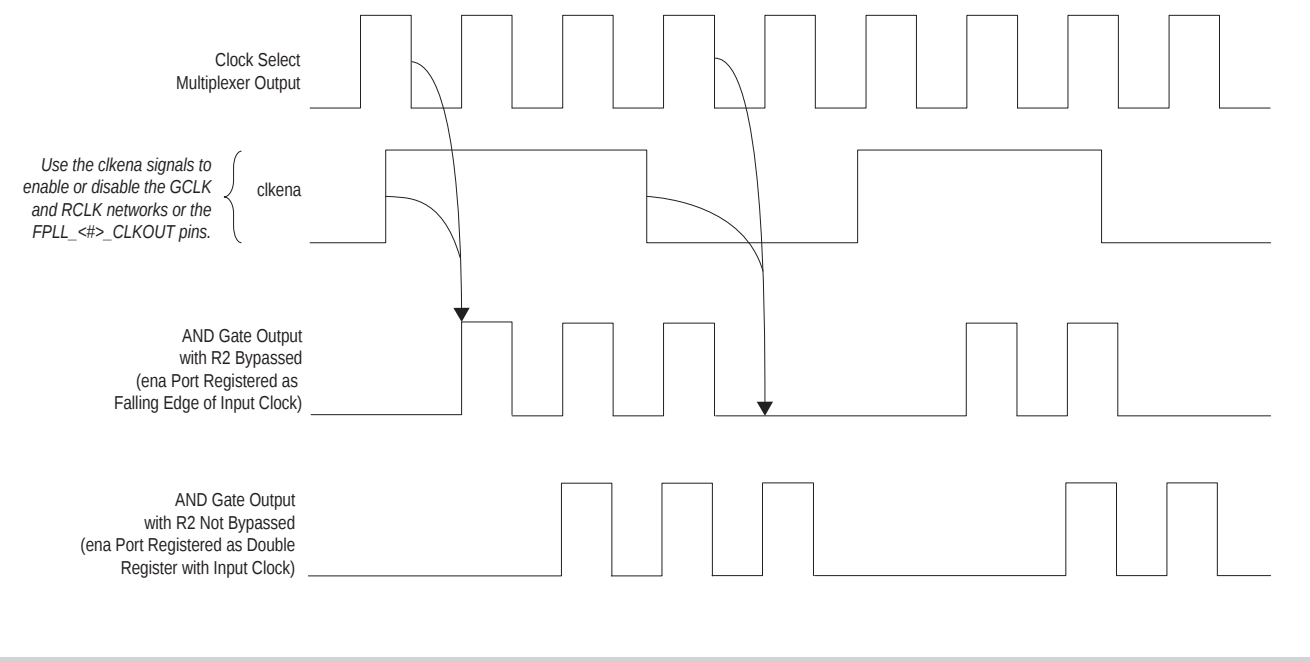
此图显示了时钟控制模块的时钟使能和禁用电路的实现。



在时钟网络级支持clkena信号，而不是在PLL输出计数器级。这样即使在没有使用PLL的时候也能够关断(gate off)时钟。您也可以使用clkena信号控制PLL的专用外部时钟。

图4-11: clkena信号的实例

此图显示了一个时钟输出使能的波形实例。clkena信号同步到时钟输出的下降沿。



Cyclone V器件有一个额外的亚稳态寄存器，用于GCLK和RCLK网络的异步使能或者禁用。您可以在Quartus II中有选择性地旁路这一寄存器。

由于与回路相关的计数器不会受到影响，因此PLL能够独立于clkena信号，并保持在锁定状态。这一特性对于要求低功耗或睡眠模式的应用非常有用。如果系统在重新同步过程中不能承受频率过冲，那么clkena信号也能够禁用时钟输出。

Cyclone V PLL

PLL对器件时钟管理、外部系统时钟管理以及高速I/O接口提供了可靠的时钟管理与综合。

Cyclone V器件系列包含小数分频PLL，它能用作小数分频PLL或者整数PLL。Cyclone V器件中的输出计数器专用于支持整数或小数频率综合的每个小数分频PLL。

Cyclone V器件提供高达 8个较大密度的小数分频PLL。

表4-7: Cyclone V器件中的PLL特性—初步

特性	支持
整数PLL	Yes
小数分频PLL	Yes
C输出计数器	9
M, N, C计数器大小	1到512

特性	支持
专用外部时钟输出	2个单端和1个差分对
专用时钟输入管脚	4个单端或4个差分对
外部反馈输入管脚	单端或差分对
扩频输入时钟跟踪	Yes ⁽³⁾
源同步补偿	Yes
直接补偿	Yes
正常补偿	Yes
零延迟缓存补偿	Yes
外部反馈补偿	Yes
LVDS补偿	Yes
相移分辨率	78.125 ps ⁽⁴⁾
可编程占空比	Yes
断电模式	Yes

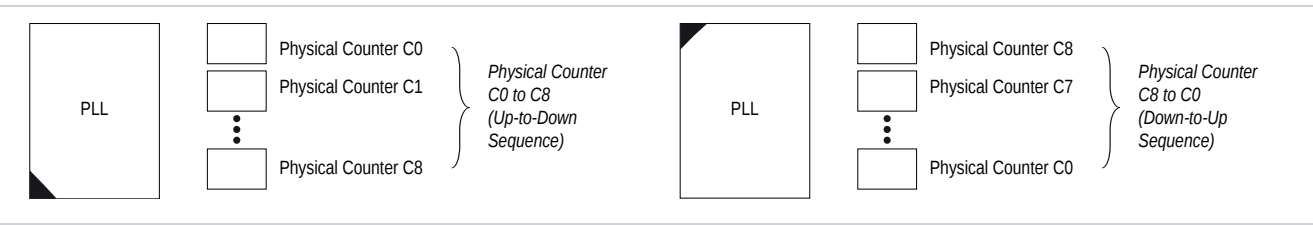
Cyclone V器件中的PLL物理计数器

小数分频PLL的物理计数器按下面顺序排列：

- 从上到下(up-to-down)
- 从下到上(down-to-up)

图4-12: Cyclone V器件的PLL物理计数器定向

该图是硅晶片的表面示意图，与器件封装的镜像图一致。



Cyclone V器件中的PLL位置

Cyclone V器件对三个收发器通道的每组提供一个PLL。这些PLL位于FPGA中的一条带状区域。

⁽³⁾ 所提供的输入时钟抖动在输入抖动容限规范内。输入时钟的调制频率低于Fitter报告中指定的PLL带宽。

⁽⁴⁾ 最小相移等于压控振荡器(VCO)周期除以8。对于度数递增，Cyclone V器件能够以至少45°递增所有输出频率。更小的度数递增有可能受到频率和分频系数的限制。

对于带状区域中的PLL，只有带状小数分频PLL的PLL counter C[4..8]用于时钟网络。PLL counter C[0..3]用于支持HSSI应用的高速要求。

Cyclone V器件中的PLL总数包括PLL带状区域中的PLL。然而，收发器只能使用位于带状区域中的PLL。

下图显示了小数分频PLL(FPLL)的物理位置。每个索引代表器件中的一个小数分频PLL(FPLL)。小数分频PLL的物理位置对应于Quartus II Chip Planner中的坐标。

图4-13: Cyclone V E A2和A4器件的PLL位置

该图是硅晶片的表面示意图，与器件封装的镜像图一致。

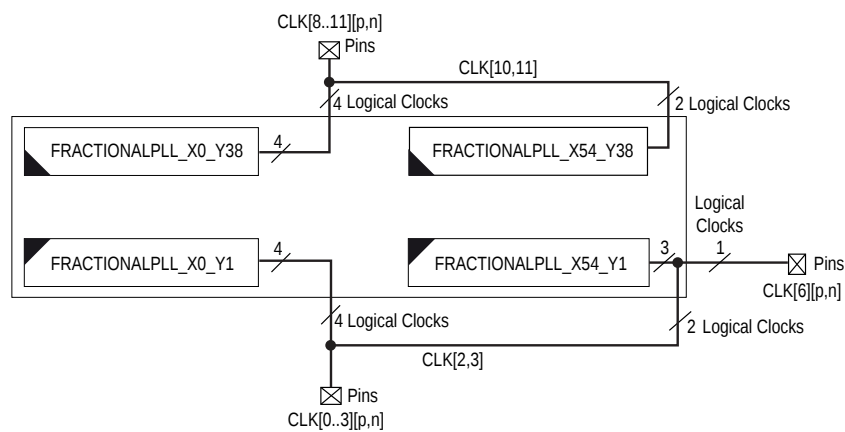


图4-14: Cyclone V GX C3器件的PLL位置

该图是硅晶片的表面示意图，与器件封装的镜像图一致。

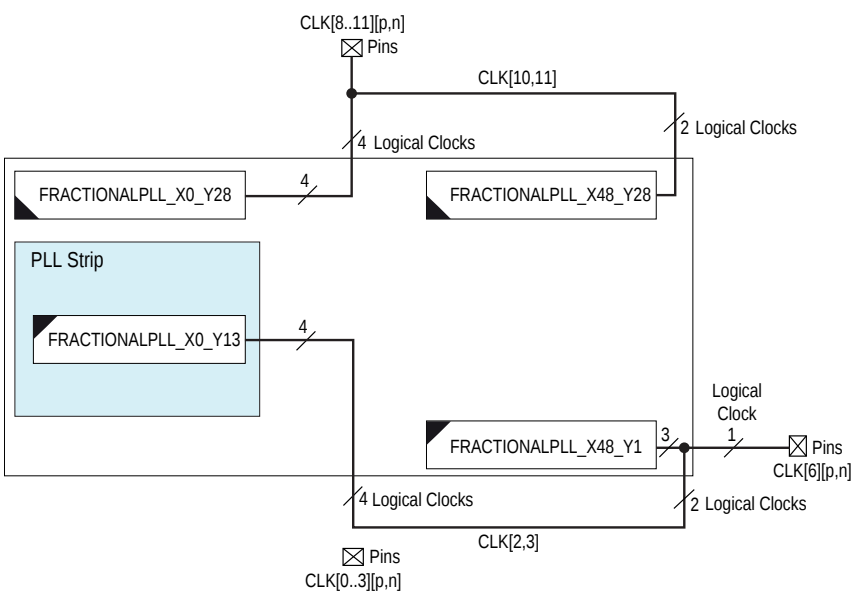


图4-15: Cyclone V E A5器件 Cyclone V GX C4和C5器件和 Cyclone V GT D5器件的PLL位置

该图是硅晶片的表面示意图，与器件封装的镜像图一致。

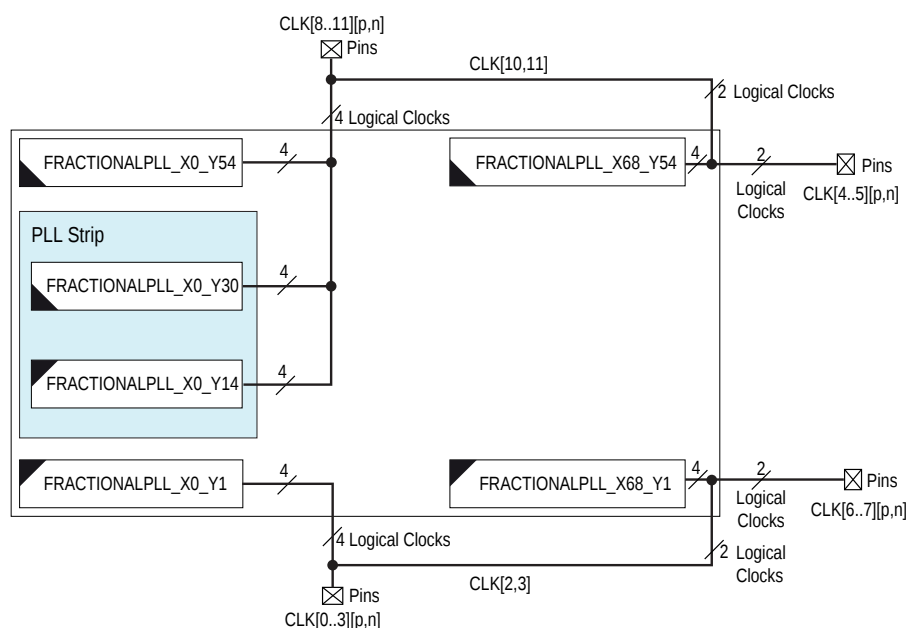


图4-16: Cyclone V E A7器件, Cyclone V GX C7 器件, Cyclone V GT D7 器件, Cyclone V SE A5和A6器件, Cyclone V SX C5和C6器件和 Cyclone V ST D5和D6器件的PLL位置

该图是硅晶片的表面示意图，与器件封装的镜像图一致。

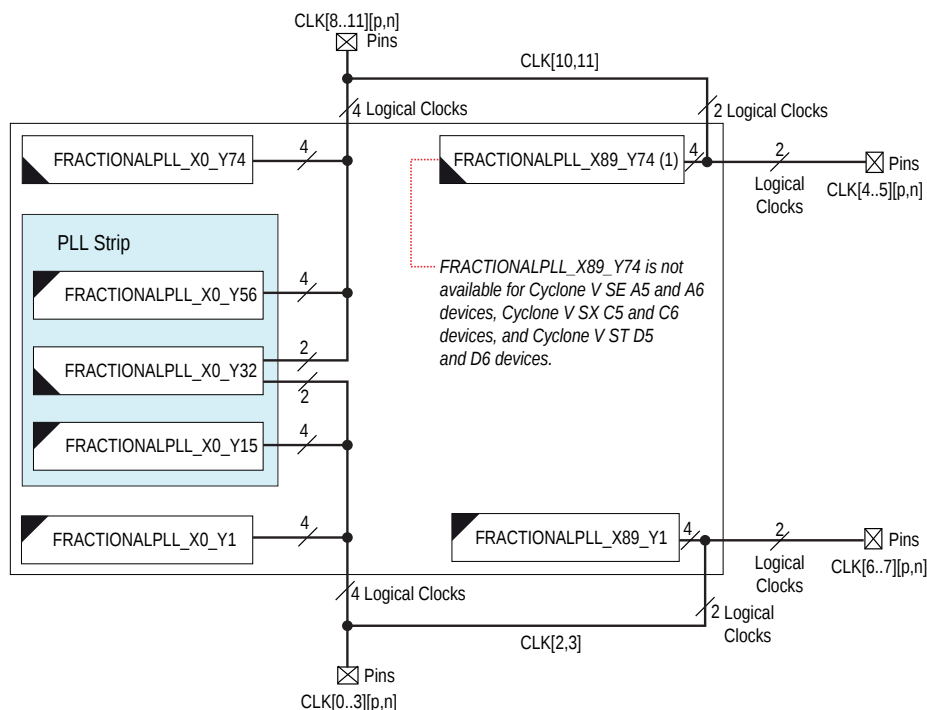
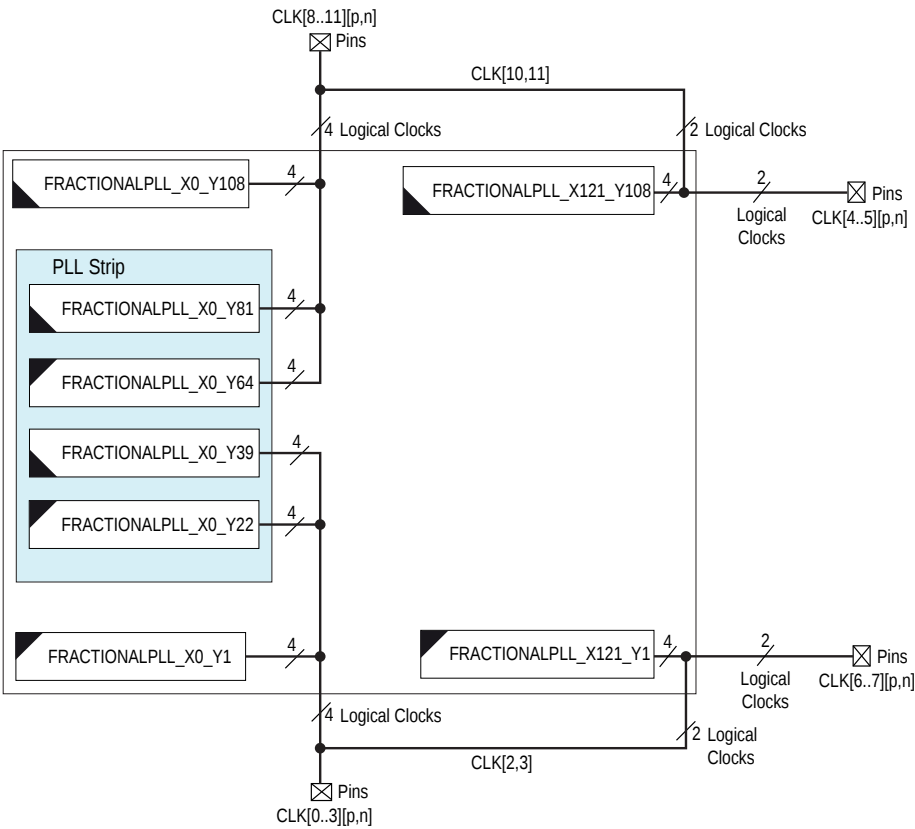


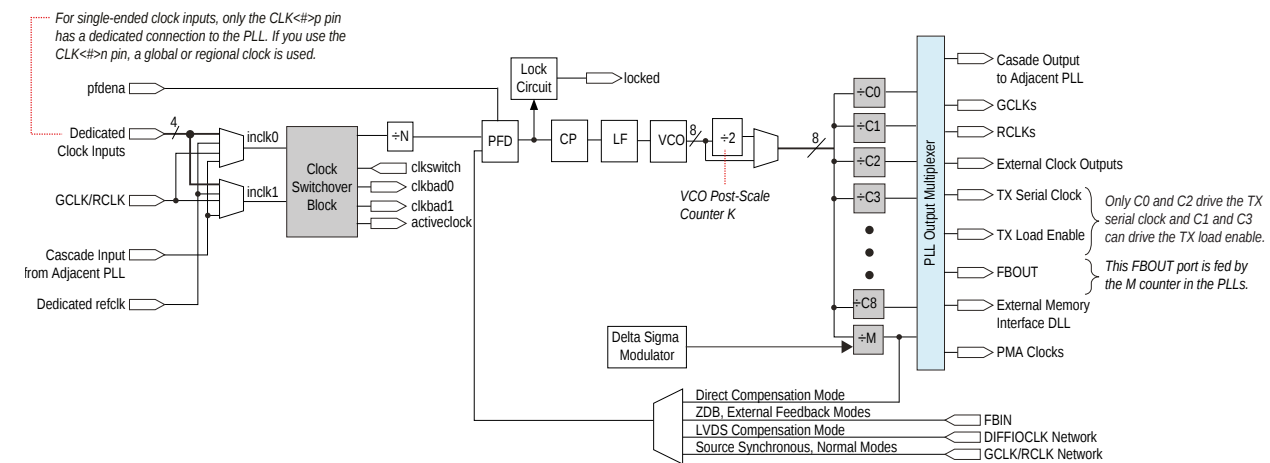
图4-17: Cyclone V E A9器件， Cyclone V GX C9器件和 Cyclone V GT D9器件的PLL位置

该图是硅晶片的表面示意图，与器件封装的镜像图一致。



小数分频PLL体系结构

图4-18: Cyclone V器件的小数分频PLL高级结构图



小数分频PLL使用

通过配置可以使小数分频PLL运行在整数模式或者增强的小数模式。一个小数分频PLL能够使用高达9个输出计数器和全部的外部时钟输出。

小数分频PLL可用于:

- 降低电路板上所需要的振荡器数量
- 可以减少FPGA所使用的时钟管脚，因为一个参考时钟可以产生多种不同频率的时钟输出
- 补偿时钟网络延迟
- 零延迟缓存
- 收发器的传输时钟

PLL外部时钟I/O管脚

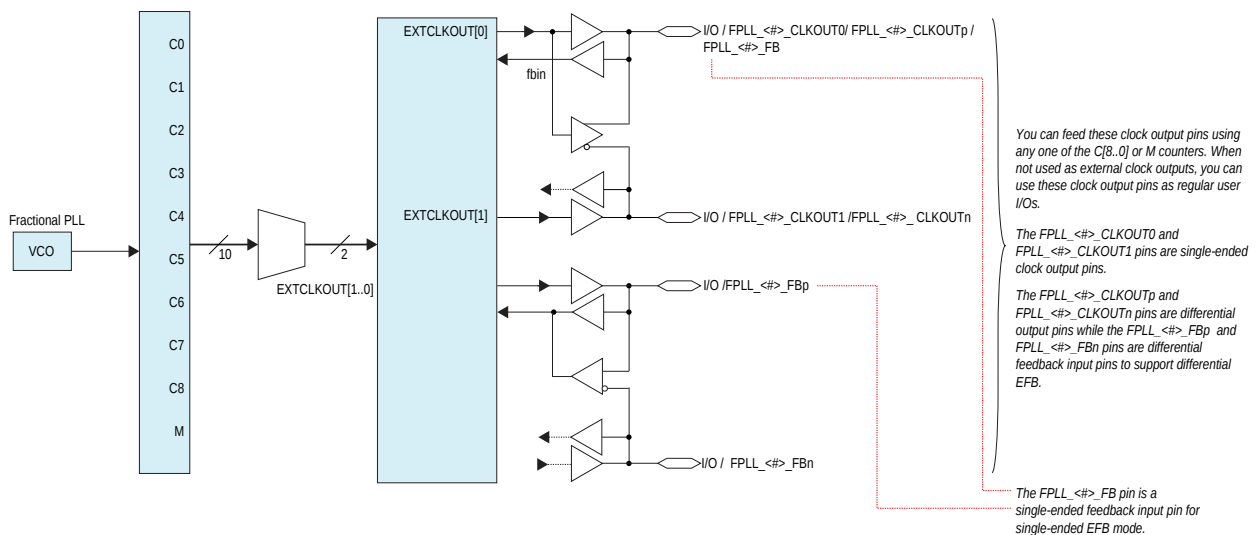
用于角落小数分频PLL(不是来自PLL带状区域)的所有Cyclone V外部时钟输出都是复用时钟I/O管脚。与每个角落小数分频PLL相关联的两个外部时钟输出管脚以下的组合构成:

- 两个单端时钟输出
- 一个差分时钟输出
- I/O驱动器反馈中的两个单端时钟输出和一个单端时钟输入用于支持零延迟(ZDB)模式
- 一个单端时钟输出和一个单端反馈输入用于支持单端外部反馈(EFB)模式
- 一个差分时钟输出和一个差分反馈输入用于支持差分EFB

注意: Cyclone V E A7器件, Cyclone V GX C7 器件和 Cyclone V GT D7器件左侧上的中间小数分频 PLL不支持外部时钟输出。

下图显示PLL上的任意输出counter(C[0..8])或M计数器都能够驱动专用外部时钟输出。因此，一个计数器或频率能够驱动指定PLL上的全部输出管脚。

图4-19: Cyclone V器件中与PLL关联的复用时钟I/O管脚



一个单端输出对的每个管脚可以是同相位(in-phase)或者是180°反相位(out-of-phase)。要在一个管脚对中实现180°反相位管脚，Quartus II要将设计中的一个NOT gate(非门)布置在IOE中。

时钟输出管脚对支持下面的I/O标准：

- 用于管脚对的同一I/O标准
- LVDS
- 差分高速收发器逻辑(HSTL)
- 差分SSTL

Cyclone V PLL能够通过GCLK和RCLK网络驱动到普通的I/O管脚。如果不需要输出PLL的产生时钟，那么也能够将专用的时钟输出管脚用作用户I/O管脚。

相关链接

- [Cyclone V器件的I/O特性](#)
提供了关于PLL时钟输入和输出管脚所支持的I/O标准的详细信息。
- [零延迟缓存模式](#) (第4-22页)
- [外部反馈模式](#) (第4-24页)

PLL控制信号

使用areset信号可以控制PLL操作和重新同步，使用locked信号可以观测PLL的状态。

areset

areset信号是每个PLL的复位或者重同步输入。器件输入管脚或者内部逻辑能够驱动这些输入信号。

当areset被驱动为高电平时，PLL计数器复位，对PLL输出清零，使PLL处于失锁状态。VCO恢复为默认设置。当areset再次被驱动为低电平时，PLL在重新锁定的同时将重新同步到它的输入。

每次PLL失锁后必须置位areset信号以保证PLL输入与输出时钟之间的正确相位关系。可以在Quartus II MegaWizard™ Plug-In Manager中设置PLL失锁(loss-of-lock)后自动复位。

在下面情况下，必须使用areset信号：

- 设计中使能了PLL重配置或者时钟切换功能
- 失锁(loss-of-lock)情况过后,必须维持PLL输入与输出时钟之间的相位关系

注意：如果上电后PLL的输入时钟没有翻转或者不稳定，那么要在输入时钟变得稳定并在规格范围内后置位areset信号。

locked

PLL的locked信号输出可以表明下面情况：

- PLL已经锁定到参考时钟。
- PLL时钟输出运行在(在MegaWizard Plug-In Manager中设置的)所需相位和频率上。

锁定检测电路(lock detection circuit)提供了一个到内核逻辑的信号, 表明反馈时钟在相位以及频率上已经锁定到参考时钟。

时钟反馈模式

这一部分介绍以下时钟反馈模式:

- 源同步模式
- LVDS补偿模式
- 直接补偿模式
- 正常模式
- ZDB模式
- EFB模式

每种模式均支持时钟倍频和分频、相移以及可编程占空比。

只有在使用与给定的PLL相对应的专用时钟输入管脚作为时钟源时, 输入与输出延迟才会由PLL完全补偿。

对于下面情况, 在Quartus II软件中可能不会完全补偿输入和输出延迟:

- 当GCLK或RCLK网络驱动PLL时
- 当PLL由一个与PLL无关联的专用时钟管脚驱动时

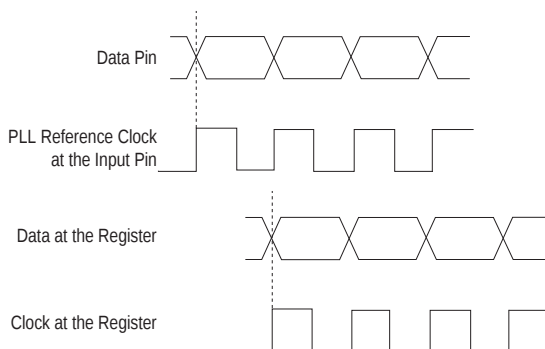
例如, 当PLL配置成ZDB模式时, PLL输入由一个相关联的专用时钟输入管脚驱动。在此配置中, 完全补偿的时钟路径导致了时钟输入与PLL的一个时钟输出之间的零延迟。然而, 如果PLL输入由一个非专用输入(使用GCLK网络)驱动, 那么输出时钟与输入时钟可能不会完美地对齐。

源同步模式

如果数据和时钟同时到达输入管脚, 那么到达IOE输入寄存器的数据和时钟端口上时, 它们的相位关系保持不变。使用同一I/O标准, IOE的数据和时钟端口具有相同的缓存延迟。

Altera建议对源数据传输使用源同步模式。

图4-20: 源同步模式的时钟与数据之间的相位关系实例



源同步模式对使用的时钟网络延迟和下述两个路径之间的延迟差进行补偿:

- 数据管脚到IOE寄存器输入
- 时钟输入管脚到PLL相位频率检测器(PFD)的输入

Cyclone V PLL能够补偿多个pad-to-input-register路径，例如:数据总线(当设为使用源同步补偿模式时)。

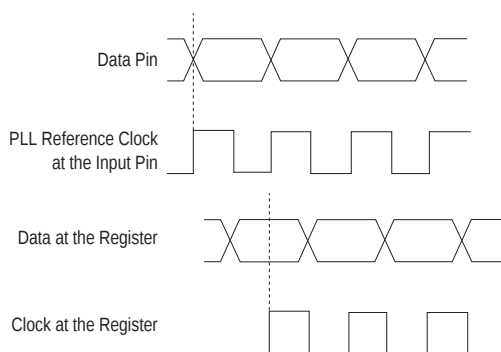
LVDS补偿的源同步模式

源同步模式的目的是保持在内部串行器/解串器(SERDES)采样寄存器上和外部管脚上所观测到的数据时钟时序关系相同，但不包括时钟被反转(180° 相移)。因此，源同步模式能够对LVDS时钟网络的延迟以及下面两个路径之间的延迟差进行很好地补偿：

- 数据pin-to-SERDES采样寄存器
- 时钟输入pin-to-SERDES采样寄存器

输出计数器必须提供 180° 相移。

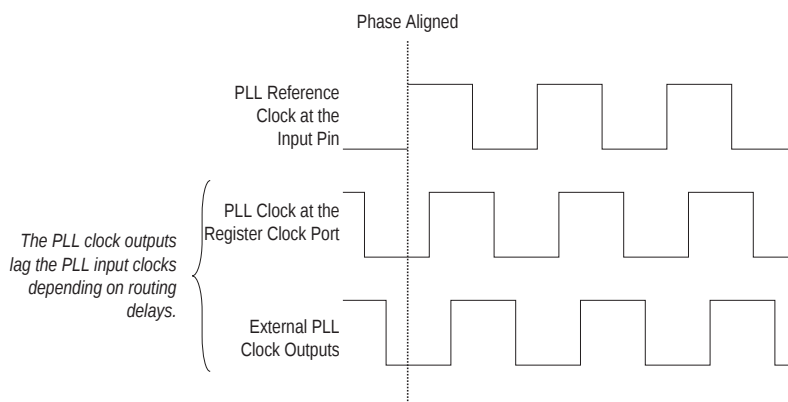
图4-21: LVDS补偿模式的时钟与数据之间的相位关系



直接补偿模式

在直接补偿模式中，PLL不对任何时钟网络进行补偿。由于反馈到PFD的时钟经过更短的路径，因此该模式提供了最佳的抖动性能。不论是用作内部时钟还是输出到外部的时钟，PLL的输出时钟相位都是以PLL输入时钟为基准的。

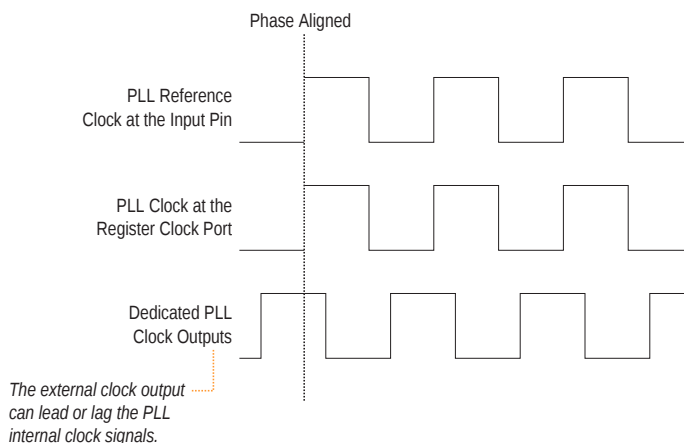
图4-22: 直接补偿模式的PLL时钟之间的相位关系实例



标准模式

在标准模式中，用作内部时钟的PLL输出时钟与通过时钟管脚输入的PLL参考时钟是相位对齐的。如果在该模式中，PLL的输出时钟通过专用的时钟管脚输出，则该输出时钟与PLL的参考时钟直接会有相位延迟。Quartus II TimeQuest Timing Analyzer报告两者之间的相位差异。在正常模式中，由GCLK或RCLK网络产生的延迟会被完全补偿。

图4-23: 正常模式的PLL时钟之间的相位关系实例



零延迟缓存模式

在ZDB模式中，通过专用管脚输出的PLL输出时钟，与PLL的参考时钟是相位对齐的，实现器件中的零延迟。所有的Cyclone V PLL均支持此模式。

使用此模式时，需要在输入时钟与输出时钟上使用同一I/O标准，以保证输入与输出管脚上的时钟对齐。您不能在PLL时钟输入或输出管脚上使用差分I/O标准。

要确保ZDB模式clk管脚与外部时钟输出(CLKOUT)管脚之间的相位对齐，需要在您的设计中例化一个双向I/O管脚。双向I/O管脚用作连接PLL的fbout和fbn端口的反馈路径。必须始终对双向I/O

管脚分配一个单端I/O标准。PLL使用此双向I/O 管脚来对从PLL的时钟输出端口到外部时钟输出管脚的输出延迟进行模拟和补偿。

注意：为避免使用ZDB模式时的信号反射，不要在双向I/O管脚上布线。

图4-24: Cyclone VPLL中的ZDB模式

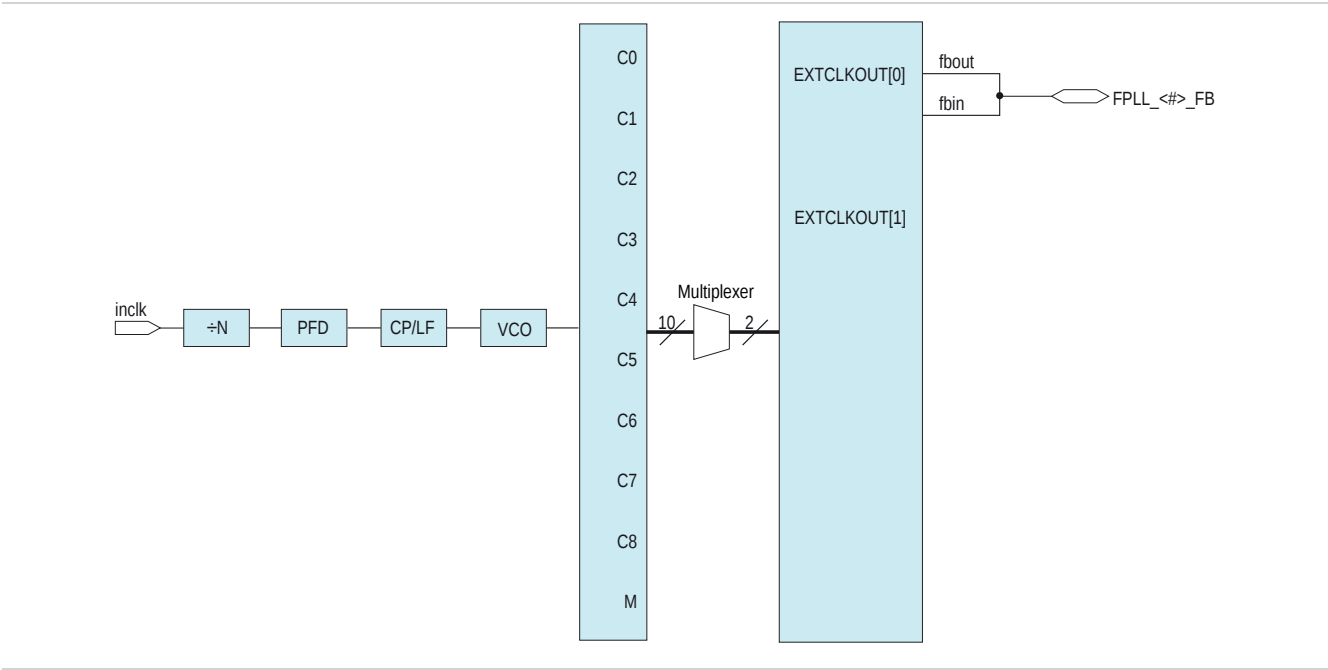
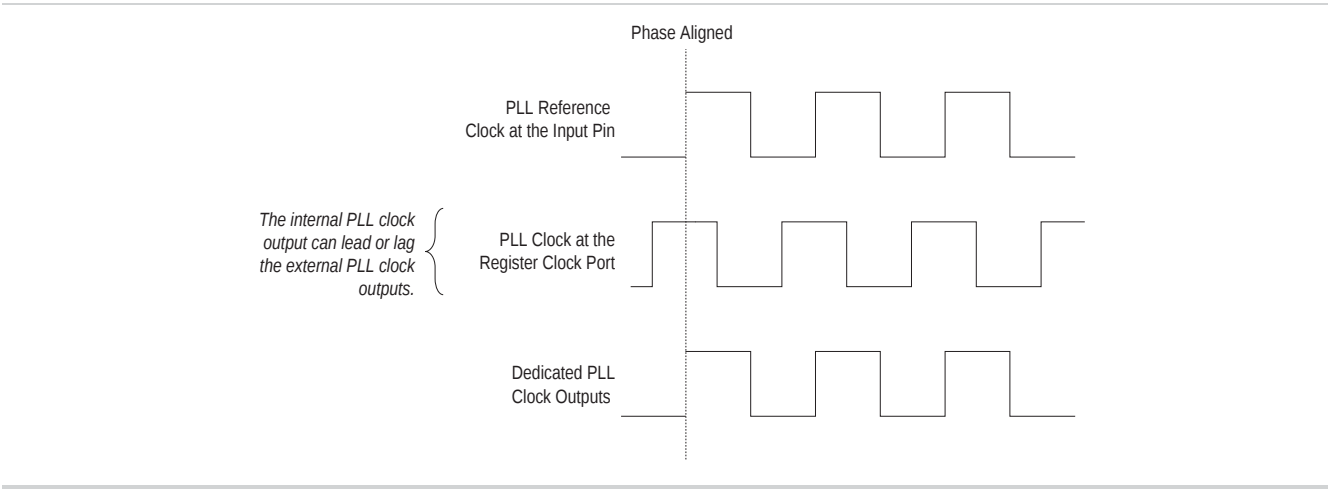


图4-25: ZDB模式的PLL时钟之间的相位关系实例



相关链接

[PLL外部时钟I/O管脚 \(第4-18页\)](#)
提供了关于PLL时钟输出的详细信息。

外部反馈模式

在EFB模式中，M计数器 (fbout) 的输出(FBOUT)反馈到PLL fbin输入(在电路板上使用走线)，成为反馈环路的一部分。

其中的一个复用外部时钟输出成为此模式的fbin输入管脚，外部反馈输入管脚fbin与时钟输入管脚对齐。对齐这些时钟能够消除器件之间的时钟延迟和偏斜。

使用EFB模式时，您必须在输入时钟、反馈输入和输出时钟上使用相同的I/O标准。

仅在角落的小数分频PLL上支持此模式。对于 Cyclone V E A2和A4器件和 Cyclone V GX C3器件，仅在左侧的角落小数分频PLL上支持EFB模式。

图4-26: Cyclone V器件中的EFB模式

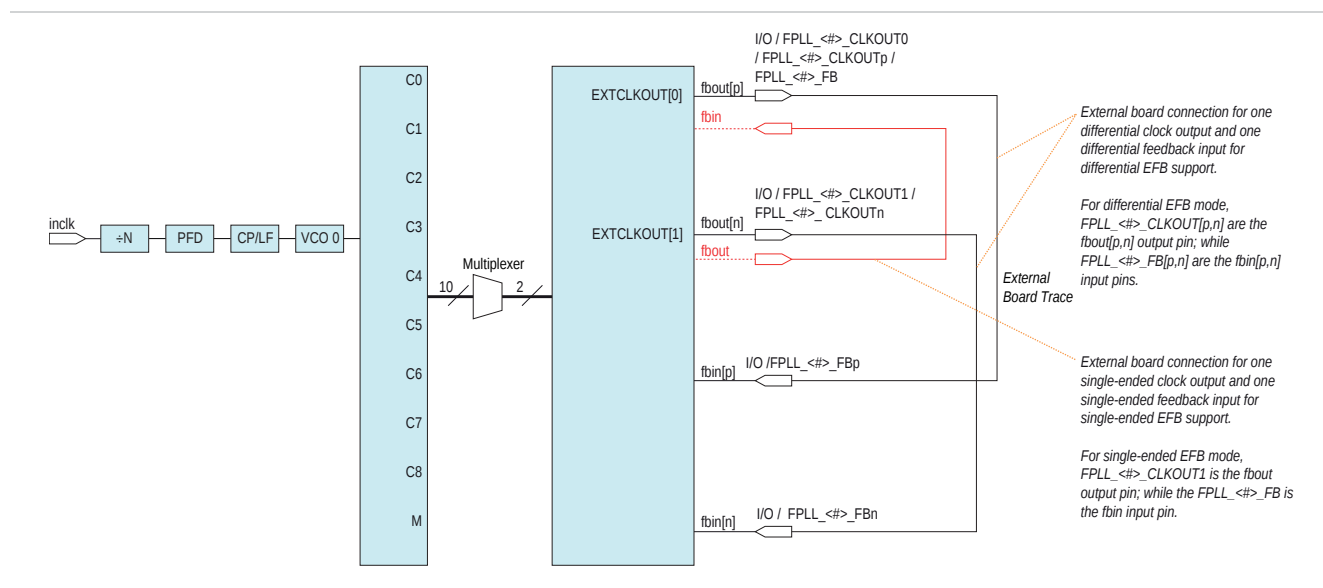
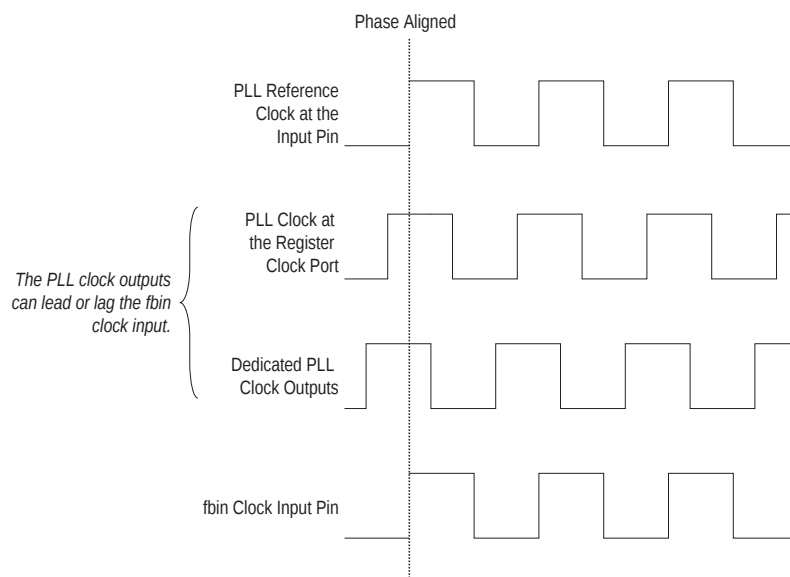


图4-27: EFB模式的PLL时钟之间的相位关系实例



相关链接

[PLL外部时钟I/O管脚](#) (第4-18页)

提供了关于PLL时钟输出的详细信息。

时钟倍频与分频

每个Cyclone V PLL均使用 $M/(N \times C)$ 缩放因子对PLL输出端口提供时钟综合。输入时钟与预缩放因子(N)相除, 然后乘以反馈因子(M)。控制环路驱动VCO以匹配 $f_{in} \times (M/N)$ 。

Quartus II软件根据输入到ALTERA_PLL megafunction的输入频率、倍频和分频值来自动选择相应的缩放因子。

后端缩放计数器, κ

后端缩放计数器 κ 插入在VCO之后, 当使能VCO后端缩放计数器时, 该计数器将VCO频率除以2。当旁路 κ 计数器时, 直接以VCO频率输出而不会分频。

后端缩放计数器, C

每一个输出端口都有一个单独的后端缩放计数器 C , 对 κ 计数器的输出进行分频。对于不同频率的多个PLL输出, VCO的值被设为输出频率的最小公倍数, 以满足其频率规格。例如, 如果一个PLL所要求的输出频率是33和66 MHz, 那么Quartus II会将VCO设置为660 MHz(33和 66 MHz在VCO频率范围内的最小公倍数)。然后, 后端缩放计数器 C 会降低每个输出端口的VCO频率。

预缩放计数器 N 和乘法计数器 M

每个PLL有一个范围从1到512的预缩放计数器 N 以及乘法计数器 M 。由于 N 计数器的唯一用途是计算分频, 因此该计数器不使用占空比控制。后端缩放计数器有一个50%占空比设置。每一个计数器的

高和低电平计数值的范围都是1到256。对设计所选择的高和低电平计数值的和用于选择指定计数器的分频值。

Delta-Sigma Modulator(Delta-Sigma 调制器)

delta-sigma modulator (DSM)与M乘法计数器一起用于使能PLL运行在小数分频模式。DSM从周期到周期动态地修改M计数器分频值。不同的M计数器值允许"average"M计数器值是一个非整数值。

小数分频模式(Fractional Mode)

在小数分频模式中，M计数器分频值等于"clockhigh"，"clocklow"和小数分频值的和。小数分频值等于 $K/2^X$ ，其中K是一个0到 $(2^X - 1)$ 之间的整数，X = 8, 16, 24或者32。

整数模式(Integer Mode)

当PLL运行在整数模式时，M是一个整数值，DSM是禁用的。

相关链接

[Altera Phase-Locked Loop \(ALTERA_PLL\) Megafunction User Guide](#)

提供了关于Quartus II的PLL软件支持的详细信息。

可编程占空比

可编程占空比功能使PLL能够生成具有可变占空比的时钟输出。PLL后端缩放计数器支持此功能。

占空比的设置是通过后端缩放计数器的高/低时间计数设置来实现的。Quartus II软件使用输入频率和所需倍频/分频比率来确定占空比的选择。

后端缩放计数器的值决定了占空比的精度。该精度定义为50%除以后端缩放计数器的值。例如，如果C0计数器是10，则5%的步长可用于5%到90%之间的占空比选择。如果PLL在外部反馈模式下，那么需要对驱动fbin管脚的计数器设置50%的占空比。

可编程占空比与可编程相移的结合可以生成精确的非重叠时钟。

时钟切换

时钟切换功能使PLL能够在两个参考输入时钟之间进行切换。此功能用于时钟备份或双时钟域的应用，在此应用中如果前一个时钟停止运行，那么系统就开启备用时钟。当时钟不再翻转或者不再基于用户控制信号(clkswitch)时，设计能够自动执行时钟切换。

Cyclone V PLL支持下面时钟切换模式:

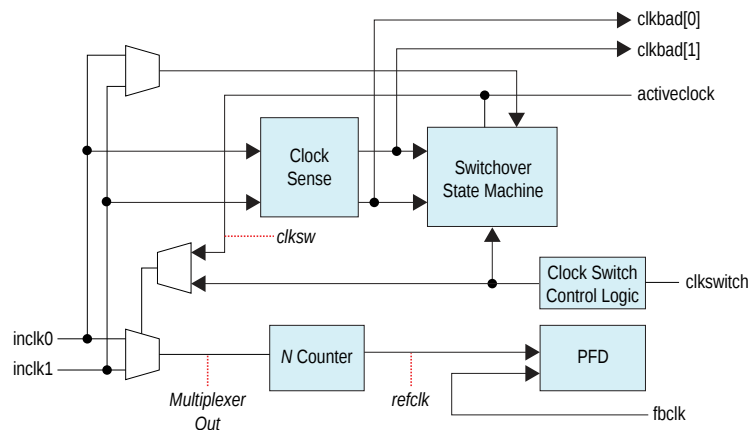
- 自动切换(automatic switchover)—时钟检测电路监控当前的参考时钟。如果当前参考时钟停止翻转，那么该参考时钟会自动在inclk0和inclk1时钟之间切换。
- 手动时钟切换(manual clock switchover)—使用clkswitch信号控制时钟切换。当clkswitch信号从逻辑低电平变成逻辑高电平，并保持在高电平至少三个时钟周期时，PLL的参考时钟会从inclk0切换到inclk1,反之亦然。
- 通过手动覆盖的自动切换(automatic switchover with manual override)—此模式是自动切换和手动时钟切换的综合。当clkswitch信号变高时，它将覆盖自动时钟切换功能。只要clkswitch信号为高，进一步的切换操作就会被阻止。

自动时钟切换

Cyclone V PLL支持一个完全可配置的时钟切换功能。

图4-28: 自动时钟切换电路结构图

此图显示了内置在PLL中的自动切换电路的结构图。



当前参考时钟不存在时，时钟检测模块会自动切换到PLL参考的备用时钟。在您的设计中，通过连接备用时钟到PLL的inclk1端口可以选择一个时钟源作为备用时钟。

时钟切换电路发出三个状态信号—clkbad[0],clkbad[1]和activeclock—来自PLL在逻辑阵列中实现定制切换电路。

在自动切换模式中，clkbad[0]和clkbad[1]信号表明这两个时钟输入的状态。当这两个信号置位时，时钟检测模块检测到相应时钟输入已经停止翻转。如果inclk0和inclk1之间的频差大于20%，那么这两个信号无效。

activeclock信号表明两个时钟输入(inclk0或者inclk1)的哪一个被选作PLL的参考时钟。当这两个时钟输入之间的频差大于20%时,activeclock信号是唯一有效的状态信号。

注意：输入时钟中的毛刺可能会导致输入时钟之间的频差超过20%。

当PLL的当前参考时钟停止翻转时，使用切换电路在inclk0与inclk1之间自动切换。当两个时钟中的一个无效而另一个有效时，您可以在inclk0与inclk1之间来回切换任意次数。

例如，在要求冗余时钟(其频率与参考时钟频率相同)的应用中，切换状态机会生成一个clksw信号，用于控制多路复用器选择。在此情况下，inclk1变成PLL的参考时钟。

当使用自动时钟切换模式时，必须满足下列要求：

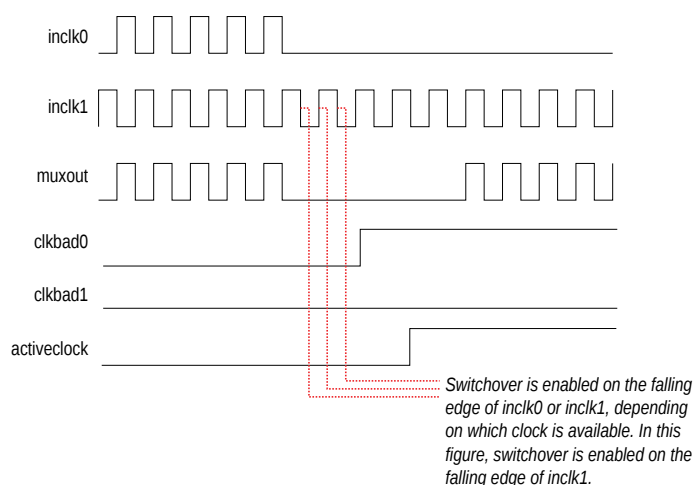
- 两个时钟输入必须运行。
- 两个时钟输入的周期差异不能超过20%。

如果当前时钟输入停止翻转，而另一个时钟也没有翻转，那么将不会启用切换功能，并且clkbad[0..1]信号是无效的。如果两个时钟输入的频率不同，但它们的周期差在20%以内，那么时钟检测模块会检测到时钟何时停止翻转。然而，PLL在切换完成后可能会失锁，从而需要时间重新锁定。

注意: Altera建议当使用时钟切换时需要通过areset信号对PLL进行复位, 以保持PLL输入与输出时钟之间的相位关系。

图4-29: 失锁检测后的自动切换

此图显示了自动切换模式的切换功能实例波形。在此实例中, inclk0信号保持在低电平。在 inclk0信号保持在低电平大概两个时钟周期后, 时钟检测电路驱高 clkbad[0]信号。由于参考时钟信号没有翻转, 因此切换状态机通过 clkswitch信号控制多路复用器, 以切换到备用时钟 inclk1。



手动覆盖的自动切换(Automatic Switchover with Manual Override)

在手动覆盖的自动切换模式中, clkswitch信号可用于用户或系统控制的切换情况。此模式可用于相同频率切换或者不同频率的输入之间的切换。

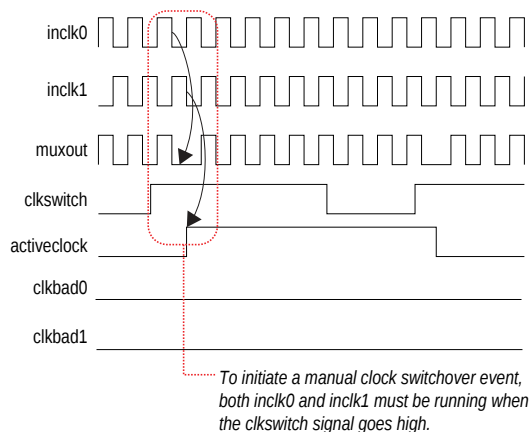
例如, 如果 inclk0 是 66 MHz, inclk1 是 200 MHz, 那么必须使用 clkswitch 信号控制切换。自动时钟检测电路不能监控频差大于 100% (2x) 的时钟输入 (inclk0 和 inclk1) 频率。

当时钟源来自背板上的多个板卡, 并且需要一个在操作频率之间系统控制的切换时, 该功能是非常有用的。

你必须选择备用时钟频率和设置 M, N, C 和 K 计数器, 以便 VCO 运行在建议的操作频率范围内。如果指定组合的 inclk0 和 inclk1 频率不能满足这一要求, 那么 ALTERA_PLL MegaWizard Plug-in Manager 接口将会给予提示。

图4-30: 使用clkswitch (手动)控制的时钟切换

此图显示一个由clkswitch信号控制的时钟切换波形。在此情况中，两个时钟源都是可用的，并且inclk0被选作参考时钟；clkswitch信号变高，开始切换流程。在inclk0的下降沿，接收器的参考时钟muxout关断(gated off)以防止产生时钟毛刺。在inclk1的下降沿，作为PLL参考，参考时钟多路复用器从inclk0切换到inclk1。activeclock信号的变化表明当前驱动PLL的时钟。



在手动切换的自动覆盖模式中，activeclock信号反映了clkswitch信号。由于两个时钟在手动切换期间仍然可用，因此clkbad信号不会变高。由于切换电路是上升沿敏感的，因此clkswitch信号的下降沿不会导致电路从inclk1切换回inclk0。当clkswitch信号再次变高，重复整个过程。

只有当目的时钟可用时，clkswitch信号和自动切换才能工作。如果目的时钟不可用，那么状态机会一直等待，直到该时钟可用。

相关链接

[Altera Phase-Locked Loop \(ALTERA_PLL\) Megafunction User Guide](#)

提供了关于Quartus II的PLL软件支持的详细信息。

手动时钟切换

在手动时钟切换模式中，clkswitch信号控制选择inclk0 还是inclk1作为PLL的输入时钟。

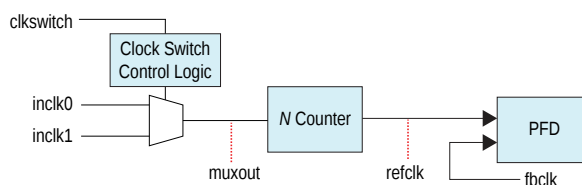
当clkswitch信号从逻辑低电平跳变到逻辑高电平并保持至少三个inclk周期时，启动一个时钟切换事件。

你必须将clkswitch信号再拉回到低电平才能执行另一个时钟切换事件。如果不需要另一个时钟切换事件，那么在初始切换后保持clkswitch处于逻辑高电平的状态。

拉高clkswitch信号至少三个inclk周期以执行另一个切换事件。

如果inclk0和inclk1的频率不同并且一直运行，那么clkswitch信号最短的高电平时间一定要大于或等于inclk0和inclk1中较低频率的三个时钟周期。

图4-31: Cyclone VPLL中的手动时钟切换电路



通过在ALTERA_PLL megafuction中指定切换延迟，您可以延迟时钟切换操作。指定切换延迟时，clkswitch信号必须保持高电平至少三个 inclk周期加上已经指定的延迟周期数以启动时钟切换。

相关链接

[Altera Phase-Locked Loop \(ALTERA_PLL\) Megafuction User Guide](#)

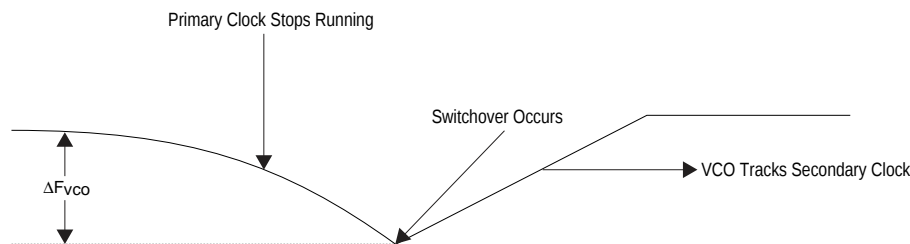
提供了关于Quartus II的PLL软件支持的详细信息。

指南

在Cyclone V PLL中实现时钟切换时，需要遵循下面的指导原则：

- 自动时钟切换要求inclk0和inclk1频率偏差在20%以内，否则将导致clkbad[0]和clkbad[1]信号无法正常运行。
- 使用手动时钟切换时，inclk0与inclk1之间的差异能够大于100%(2x)。然而，两个时钟源的频差和相差都将可能导致PLL失锁。复位PLL确保了在输入和输出时钟之间保持正确的相位关系。
- 当clkswitch信号变高以启动手动时钟切换事件时，inclk0和inclk1都必须运行，否则会导致时钟切换操作无法正常进行。
- 要求时钟切换功能以及低频率漂移的应用必须使用低带宽PLL。当参考输入时钟变化时，低带宽PLL要比高带宽PLL反应慢。发生切换时，与高带宽PLL相比，低带宽PLL更慢地传播时钟停止到输出。然而，要知道低带宽PLL也会增加锁定时间。
- 切换发生后，PLL在一个有限的重同步周期锁定到一个新的时钟。PLL重新锁定所需要的时间取决于PLL配置。
- 在您的设计中，PLL的输入时钟与输出时钟之间的相位关系是非常重要的。时钟切换完成后要置位areset至少10 ns。等待锁定的信号变高并且稳定后，再重新使能PLL的输出时钟。
- 显示了当前时钟丢失时，VCO频率逐渐下降，然后在VCO锁定到备用时钟时又回升的情况。

图4-32: VCO切换操作频率



PLL重配置和动态相移

关于PLL重配置和动态相移的更多信息，请参考AN661。

相关链接
[AN661: Implementing Fractional PLL Reconfiguration with ALTERA_PLL and ALTERA_PLL_RECONFIG Megafunctions](#)

文档修订历史

日期	版本	修订内容
2013年5月	2013.05.06	<ul style="list-style-type: none">在Knowledge Base中添加了已知文档问题的链接。更新了每个象限中每个脊柱时钟的层次时钟网络中的PCLK时钟源。更新了时钟网络部分中的PCLK网络。更新了时钟网络部分中的专用时钟输入管脚。添加了位于strip(条形区域)中的PLL的描述。添加了关于PLL物理计数器的信息。在小数分频PLL体系结构图中添加了专用refclk输入端口和连接。更新了EFB模式的PLL支持。更新了PLL输出端口的缩放因子。更新了小数分频模式PLL的小数分频值。将全部链接移到相关章节的Related Information部分的以便于参考。重组内容。

日期	版本	修订内容
2012年12月	2012.12.28	<ul style="list-style-type: none"> • 添加了注释以表明所示图是硅晶片的顶视图。 • 删除了DPA支持。 • 更新了时钟资源表格。 • 更新了GCLK, RCLK和PCLK网络的图。 • 更新了每个象限中时钟源的图。 • 更新了Cyclone V SoC器件支持的双局域时钟域。 • 重构并更新了到GCLK和RCLK网络的时钟输入管脚连接的表格。 • 添加了Cyclone V SoC器件中到GCLK和RCLK网络的时钟输入管脚连接的表格。 • 更新了PCLK控制结构图。 • 更新了关于时钟断电的信息。 • 添加了PLL物理计数器方位图。 • 更新了PLL位置图。 • 更新了小数分频PLL高级结构图。 • 删除了关于pfdena PLL控制信号的信息。 • 删除了关于Quartus II软件中的PLL补偿约束信息。 • 更新了小数分频模式中PLL的小数分频值。 • 重组内容并更新模板。
2012年6月	2.0	<ul style="list-style-type: none"> • 重构章节。 • 更新了图4-4、图4-6、图4-7、图4-11、图4-13、图4-15、图4-16、图4-17、图4-19和图4-20。 • 更新了表4-2、表4-3和4-5。 • 添加了“时钟域”，“时钟网络源”，“时钟输出连接”，“时钟使能信号”，“PLL控制信号”，“时钟倍频与分频”，“可编程占空比”，“时钟切换”和“PLL重配置和动态相移”章节。
2012年2月	1.1	更新了表4-2。
2011年10月	1.0	首次发布。