

扫描管理器用于配置和管理硬核处理器系统 (HPS) I/O 管脚，并与 FPGA JTAG 测试访问端口 (TAP) 控制器进行通信。外设使用 HPS 中的管脚前，扫描管理器驱动 HPS I/O 扫描链来配置 I/O bank 属性。扫描管理器也能够有选择性地与 FPGA JTAG TAP 控制器进行通信，发送命令用于某些目的，例如：管理由 FPGA 控制模块检测到的循环冗余检查 (CRC) 错误。当扫描管理器与 FPGA JTAG TAP 控制器进行通信时，FPGA JTAG 管脚上的输入被忽略。

扫描管理器包含一个 ARM® JTAG 访问端口 (JTAG-AP)。JTAG-AP 实现多扫描链 JTAG 主接口。一个扫描链连接到 FPGA JTAG，并使用标准 JTAG 信号。其它四个扫描链连接到 HPS I/O bank，使用 JTAG 时钟和数据输出作为并行到串行的转换器。



关于 ARM JTAG-AP 的详细信息，请参考 *ARM Debug Interface v5 Architecture Specification*，从 ARM 网站 (infocenter.arm.com) 可以下载。

扫描管理器的特性

扫描管理器具有以下特性：

- 驱动所有 HPS I/O bank 的 I/O 扫描链
- 支持 HPS 访问 FPGA JTAG TAP 控制器

扫描管理器结构图和系统集成

图 15 - 1 显示了扫描管理器的结构图，以及如何集成在 SoC 器件中。

图 15 - 1. 扫描管理器结构图

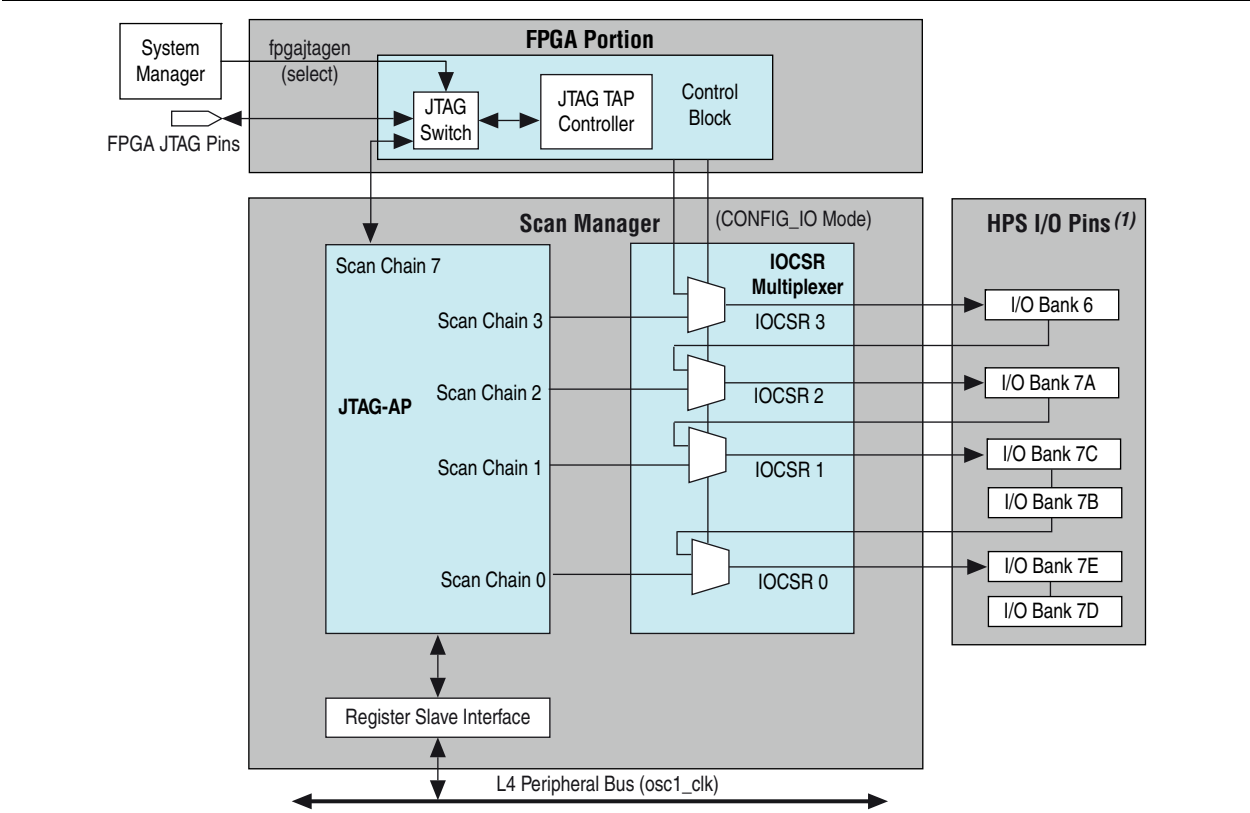


图 15 - 1 注释：

(1) 不是所有的器件都包含所显示的所有 bank。

处理器通过连接到 level 4 (L4) 外设总线的寄存器从接口对扫描管理器进行访问。

表 15 - 1 描述了 ARM JTAG-AP 信号在扫描管理器中是如何连接的。这些信号是扫描管理器内部的（仅供参考），没有显示在图 15 - 1 中。此表中列出的信号名称，寄存器名称和域名与 *ARM Debug Interface v5 Architecture Specification* 中使用的名称相匹配。本章其它部分使用 Altera SoC 文档中列出的寄存器名和和域名。请参考表 15 - 3 相互参照这两组寄存器名。

表 15 - 1. 扫描管理器中使用的信号 (1/2)

信号	方向	实现
SRSTCONNECTED[7:0]	输入	连接到 0。CSW 寄存器中只读 SRSTCONNECTED 域始终作为 0 读取。
PORTCONNECTED[7:0]	输入	连接到 0x8F，仅连接端口 0-3 和 7。当对 PORTSEL 寄存器写入一个使能其中一个连接端口的值时，CSW 寄存器中的只读 PORTCONNECTED 域作为 1 读取，否则作为 0 读取。
PORTENABLED[7:0]	输入	连接到 0x8F，始终认为所有连接的端口都已上电。因为 PSTA 寄存器不包含有用的值，因此软件不必对其进行访问。软件不需要监控端口 0-3 的状态，因为它们始终是开启的。对于端口 7，软件能够在 FPGA 管理器中读取 stat 寄存器的 mode 域来确定 FPGA 电源状态。


表 15 - 1. 扫描管理器中使用的信号 (2/2)

信号	方向	实现
nSRSTOUT[7:0]	输出	没有连接。对 CSW 寄存器的 SRST_OUT 域的写操作没有影响。
nTRST*[7:0]	输出	nTRST*[7] 连接到FPGA JTAG TAP控制器，nTRST*[6:0] 没有连接。对CSW寄存器的TRST_OUT域的写操作（扫描管理器中stat寄存器的trst域）仅在端口7被软件使能时起作用。关于详细信息，请参考第 15 - 4 页 “与 JTAG TAP 控制器进行通信”。

ARM JTAG-AP 支持高达八个扫描链。扫描管理器仅使用扫描链 0, 1, 2, 3 和 7。

JTAG-AP 的扫描链 7 连接到 FPGA JTAG TAP 控制器。当系统管理器处于硬复位时，此连接被禁用，并且 FPGA JTAG 管脚连接到 FPGA JTAG TAP 控制器。您可以配置系统管理器来使能此连接，这使运行在 HPS 上的软件能够与 FPGA JTAG TAP 控制器进行通信。在此情况下，软件能够发送 JTAG 命令（例如：SHIFT_EDERROR_REG JTAG 指令）到 FPGA JTAG，并在 FPGA 架构处于用户模式时接收到响应以确定控制模块所检测到的 CRC 错误的详细信息。通过 FPGA 管理器，软件能够确定检测到了 CRC 错误。关于 TAP 控制器的详细信息，请参考第 15 - 4 页 “与 JTAG TAP 控制器进行通信”。

JTAG-AP 的扫描链 0 到 3 通过 I/O 配置移位寄存器 (IOCSR) 复用器连接到 HPS I/O 扫描链 bank 中的配置信息。关于详细信息，请参考第 15 - 4 页 “配置 HPS I/O 扫描链”。




I/O扫描链不使用JTAG协议。扫描管理器将JTAG-AP用作I/O扫描链的并行到串行的转换器。I/O扫描链仅连接到串行输出数据（TDI JTAG 信号）和串行时钟（TCK JTAG 信号）。

HPS I/O 管脚被分成六个 bank。根据在芯片中的位置，每个 I/O bank 可以是垂直的 (VIO) 或者水平的 (HIO) I/O。表 15 - 2 显示了 IOCSR 扫描链到 I/O bank 的映射。

表 15 - 2. IOCSR 扫描链的 bank 使用情况

IOCSR 扫描链	Bank 类型	HPS I/O Bank	使用
0	VIO	I/O bank 7D and I/O bank 7E	EMAC
1	VIO	I/O bank 7B and I/O bank 7C	SD/MMC, NAND, and quad SPI
2	VIO	I/O bank 7A	Trace, SPI, UART, I ² C, and CAN
3	HIO	I/O bank 6	SDRAM DDR

当 FPGA JTAG TAP 控制器处于 CONFIG_IO 模式，控制器能够覆盖扫描管理器 JTAG-AP 并配置 HPS I/O 管脚。关于详细信息，请参考第 15 - 4 页 “配置 HPS I/O 扫描链”。



CONFIG_IO 模式通常用于在执行边界扫描测试前配置 I/O 管脚属性。

扫描管理器的功能描述

本小节介绍了扫描管理器的功能操作。扫描管理器用于下面两个目的：

- 配置 HPS I/O 扫描链
- 与 JTAG TAP 控制器进行通信

配置 HPS I/O 扫描链

通过一些列扫描链配置 HPS I/O 管脚。



在配置 HPS I/O 管脚前需要将它们冻结。关于详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *System Manager* 章节。

I/O 管脚配置包括对每个 I/O bank 设置 I/O 标准和驱动强度的步骤。硬复位后，在 HPS 中的 I/O 扫描链用于与外部器件进行通信之前必须全部被配置。

软件使用扫描管理器将配置数据写入到扫描链。当片上系统 (SoC) 器件的 FPGA 部分的配置映像聚集时，Quartus® II 软件对 FPGA 和 HPS 分别生成 I/O 配置数据。软件将 HPS 配置数据写入到扫描管理器中。

配置一个指定的 IO bank 前，必须通过写入 en 寄存器的比特来使能相应的扫描链。扫描管理器在此过程中必须是无效的。软件通过读取 stat 寄存器的有效比特来确定扫描管理器的状态。

或者，当 FPGA JTAG TAP 控制器接收到 CONFIG_IO JTAG 指令时，控制模块进入 CONFIG_IO 模式。当控制模块处于 CONFIG_IO 模式，控制器能够覆盖扫描管理器 JTAG-AP 并配置 HPS I/O 管脚。CONFIG_IO 指令配置 SoC 器件中所有的可配置 I/O 管脚，包括 FPGA I/O 管脚和 HPS I/O 管脚。必须上电器件的 FPGA 以及 HPS 部分以执行 CONFIG_IO 指令。与 FPGA JTAG 管脚连接的外部逻辑发送 CONFIG_IO 指令，对所有的 FPGA 和 HPS I/O 管脚提供 I/O 配置数据。当 CONFIG_IO 模式有效时，HPS 保持在硬复位以防止软件妨碍 I/O 配置。

与 JTAG TAP 控制器进行通信

系统管理器执行硬复位后，通过专用的 FPGA JTAG I/O 管脚访问 FPGA 控制模块中的 JTAG TAP 控制器。如果必要，可以配置您的系统来使用扫描管理器来提供对 JTAG TAP 控制器的 HPS 处理器访问。此特性使处理器能够发送 JTAG 指令到器件的 FPGA 部分。

要在扫描管理器与 FPGA JTAG TAP 控制器之间连接扫描链 7，必须使能以下功能：

- FPGA JTAG TAP 控制器的扫描链—要使能扫描链 7，需要设置扫描管理器中 en 寄存器的 fpgajtag 域。关于详细信息，请参考第 15-6 页 “扫描管理器地址映射和寄存器定义”。
- FPGA JTAG 逻辑源选择—这一源选择决定扫描管理器还是专用 FPGA JTAG 管脚连接到器件的 FPGA 部分中的 FPGA JTAG TAP 控制器。在系统管理器冷复位上选择专用 FPGA JTAG 管脚。通过系统管理器的 scanmgrgrp 组中的 ctrl 寄存器的 fpgajtagen 比特配置源选择。FPGA JTAG 管脚和到 TAP 控制器的扫描管理器连接在切换时都必须是无效的，此机制是用户定义的。



关于详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *System Manager* 章节。



在扫描管理器与 FPGA JTAG TAP 控制器之间连接或断开扫描链之前，要确保 FPGA JTAG TCK 以及扫描管理器 TCK 信号被置低。Altera 建议在扫描管理器连接到控制器后使用扫描管理器的 nTRST 信号复位 FPGA JTAG TAP 控制器。

JTAG-AP FIFO 缓存访问和字节命令协议

JTAG-AP 包含用于字节命令和响应的 FIFO 缓存。通过 `fifosinglebyte`, `fifodoublebyte`, `fifotriplebyte` 和 `fifoquadbyte` 寄存器访问缓存。当缓存中没有足够的数据用于读访问，或者没有足够的可用空间来接收用于写访问的数据时，JTAG-AP 会停止对这些寄存器的处理器访问。



软件在执行访问前应该读取 `stat` 寄存器的 `rfifocnt` 和 `wfifocnt` 域来确定缓存的状态以避免被 JTAG-AP 终止。

JTAG-AP 扫描链 0, 1, 2 和 3 是与 HPS IOCSR 相连接的只写端口，JTAG-AP 扫描链 7 是与 FPGA JTAG TAP 控制器相连接的读写端口。处理器能够发送数据到扫描链 0-3，并通过访问 JTAG-AP 中的命令和响应 FIFO 缓存从扫描链 7 接收和发送数据。



试图访问无效或非对齐的偏移上的数据能够产生无法预测的结果，需要复位来进行恢复。

JTAG 命令和 TDI 数据必须使用编码的字节协议发送到 JTAG-AP。类似地，从 JTAG-AP 接收到的 TDO 数据被编码。所有命令在字节命令协议中都是 8 比特宽。



关于字节命令协议的详细信息，请参考 *ARM Debug Interface v5 Architecture Specification* 中的 JTAG-AP 章节，可以从 ARM 网站 (infocenter.arm.com) 下载。

时钟

扫描管理器连接到由时钟管理器生成的 `spi_m_clk` 时钟。



关于详细信息，包括最小和最大时钟频率的详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *Clock Manager* 章节。

扫描管理器生成两个时钟。一个时钟布线到 `spi_m_clk` / 6 频率的 SoC 器件 FPGA 部分的控制模块，并运行在 33 MHz 最大频率上。另一个时钟布线到 `spi_m_clk` / 2 频率的 HPS I/O 扫描链，并运行在 100 MHz 的最大频率上。



`spi_m_clk` 能够运行在高于扫描管理器所支持的速率上，这样 SPI 主接口能够支持 60 Mbps 速率。当 SPI 主接口运行速率高于扫描管理器所支持的速度时，不能使用扫描管理器，扫描管理器必须保持在复位状态。

复位

复位管理器对扫描管理器提供 `scan_manager_rst_n` 复位信号，用于硬复位以及软复位。


由于在软复位期间输出时钟上能够出现毛刺，因此扫描管理器会暂时停止 JTAG-AP 和 I/O 配置时钟的生成。此操作确保了软复位不会导致输出时钟毛刺。

置位软复位前，复位管理器发送一个请求到扫描管理器。扫描管理器停止输出时钟生成并回应复位管理器。复位管理器然后发出软复位。要使能此软复位握手，需要配置复位管理器 `ctrl` 寄存器的 `scanmgrhsen` 比特。



关于复位握手的详细信息，请参考 *Cyclone V 器件手册* 卷 3 中的 *Reset Manager* 章节。


扫描管理器地址映射和寄存器定义

 地址映射和寄存器定义位于此手册卷中的 [hps.html](#) 文件中。点击链接打开此文件。

要查看模块定义和基地址，滚动并点击下面模块实例的链接：

■ **scanmgr**


然后要查看寄存器和域描述，滚动并点击寄存器名。寄存器地址是相对每个模块实例基地址的偏移。

 所有模块的基地址也列在 *Cyclone V 器件手册* 卷 3 中的 [Introduction to the Hard Processor System](#) 章节中。

通过修改 SoC 器件中的 ARM 寄存器名称以提高 Altera 如何使用 JTAG-AP 的清晰度。表 15-3 交互参照了 ARM 和 Altera 名称。

表 15-3. JTAG-AP 寄存器名

Altera 名称	ARM 名称
stat	CSW (control/status word)
en	PSEL
fifosinglebyte	BWFIFO1 for writes, BRFIFO1 for reads
fifodoublebyte	BWFIFO2 for writes, BRFIFO2 for reads
fifotriplebyte	BWFIFO3 for writes, BRFIFO3 for reads
fifoquadbyte	BWFIFO4 for writes, BRFIFO4 for reads

 关于 ARM JTAG-AP 的详细信息，请参考 *ARM Debug Interface v5 Architecture Specification*，可以从 ARM 网站 ([infocenter.arm.com](#)) 下载。

文档修订历史

表 15-4 显示了本文档的修订历史。

表 15-4. 文档修订历史

日期	版本	修订内容
2012 年 11 月	1.2	添加了 JTAG-AP 描述。
2012 年 5 月	1.1	添加了结构图和系统集成，功能描述以及地址映射和寄存器定义部分。
2012 年 1 月	1.0	首次发布。