

2013.05.06

CV-52006

 订阅
  反馈

Cyclone® V器件提供了一种高效的体系结构，能够适配广泛的外部存储器接口以支持小模块化I/O bank结构中的高水平系统带宽。I/O被设计用于对现有的和新兴的外部存储器标准提供高性能的支持。

表6-1: Cyclone V器件中所支持的外部存储器标准

存储器标准	硬核储存控制器	软核储存控制器
DDR3 SDRAM	全速率	半速率
DDR2 SDRAM	全速率	半速率
LPDDR2 SDRAM	全速率	半速率

## 相关链接

- [外部存储器接口指标估算器](#)  
 要估算外部存储器系统性能的指标，请使用外部存储器接口指标估算器。
- [外部存储器接口手册](#)  
 提供了有关所支持的存储器类型、电路板设计指南、时序分析、仿真和调试的详细信息。
- [Cyclone V器件手册：已知问题](#)  
 列出了对 Cyclone V器件手册章节所规划的更新。

## 外部存储器性能

表6-2: Cyclone V器件中的外部存储器接口性能

最大和最小的操作频率取决于存储器接口标准以及器件数据表中所列出的支持的延迟锁相环(DLL)频率。

接口	电压 (V)	最大频率 (MHz)		最小频率 (MHz)
		硬核控制器	软核控制器	
DDR3 SDRAM	1.5	400	300	300
	1.35	400	300	300

© 2013 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at [www.altera.com/common/legal.html](http://www.altera.com/common/legal.html). Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

 ISO  
9001:2008  
Registered


接口	电压 (V)	最大频率 (MHz)		最小频率 (MHz)
		硬核控制器	软核控制器	
DDR2 SDRAM	1.8	400	300	167
LPDDR2 SDRAM	1.2	333	300	167

相关链接

[Cyclone V器件手册](#)

## HPS外部存储器性能

表6-3: HPS外部存储器接口性能

硬核处理器系统(HPS)仅适用于Cyclone V SoC FPGA器件。

接口	电压 (V)	HPS硬核控制器 (MHz)
DDR3 SDRAM	1.5	400
	1.35	400
DDR2 SDRAM	1.8	400
	1.5	400
LPDDR2 SDRAM	1.2	333

## Cyclone V器件中支持存储器接口管脚

在Cyclone V器件中，存储器接口电路在不支持收发器的每个I/O bank中都可用。该器件对差分读数数据选通和时钟操作提供了差分输入缓冲器。

存储器时钟管脚由双倍数据速率输入/输出 (DDRIO) 寄存器生成。

相关链接

[规划管脚和FPGA资源章节](#)，[外部存储器接口手册](#)

提供了有关哪一个管脚用在存储器时钟管脚以及管脚位置要求的详细信息。

## 指南：使用DQ/DQS管脚

下表提供了使用DQ/DQS管脚的指南：

- 器件支持x8或者x16的DQ总线模式的DQ和DQS信号。Cyclone V器件不支持x4总线模式。
- 您也能够将未用于时钟的DQSn管脚用作DQ(数据)管脚。
- 如果没有将DQ/DQS管脚用于存储器接口，那么您可以将这些管脚用作用户I/O。不过，Cyclone V SX和ST器件上未使用的HPS DQ/DQS管脚不能作为用户I/O使用。
- 有些管脚具有多种功能，例如RZQ或者DQ。如果需要额外的RZQ管脚，那么可将DQ管脚用作RZQ管脚。

注意：对于x8或者x16 DQ/DQS组(其管脚用于RZQ管脚)，Altera建议手动分配DQ和DQS管脚。否则，Quartus II软件就可能无法布局DQ和DQS管脚，导致“no-fit”错误。

读取管脚列表

有关最多数量的DQ管脚以及在特定Cyclone V器件中每组确切的数量的信息，请参考相关器件管脚列表。

在管脚列表中，DQS和DQSn管脚代表差分数据选通/时钟管脚对。DQS和DQSn管脚分别列在Cyclone V管脚列表中，作为DQSXY和DQSnXY。X表示DQ/DQS组编号，Y表示组位于器件的顶端(T)、底部(B)、左侧(L)还是右侧(R)。

注意：Cyclone V E A9、GX C9和GT D9器件的F484封装仅支持顶端上的一个24位硬核控制器使用T\_DQ\_0至T\_DQ\_23的管脚分配。即使这些器件的F484封装管脚表在"HMC Pin Assignment"列中列出了T\_DQ\_32至T\_DQ\_39，您也不能将这些管脚分配用于硬核控制器中。

相关链接

- [Cyclone V E的硬核存储控制器宽度](#) (第6-34页)
- [Cyclone V GX的硬核存储控制器宽度](#) (第6-35页)
- [Cyclone V GT的硬核存储控制器宽度](#) (第6-36页)
- [Cyclone V器件管脚输出文件](#)  
请从网页上下载相关的管脚表。

Cyclone V器件的DQ/DQSS总线模式管脚

下表列出了每种DQ/DQS总线模式支持的管脚，包括DQS和DQSn管脚对。列表所列的每组数据管脚的最大数量根据以下条件的不同而不同：

- 单端DQS信号—DQ管脚的最大数量包括数据掩码，连接到DQS总线网络。
- 差分或互补的DQS信号—每组数据的最大数量减一。
- DDR3和DDR2接口—每个x8组管脚需要一个DQS管脚。您可能需要一个DQSn管脚和一个DM管脚。这将会减少可用数据管脚的总数量。

表6-4: Cyclone V器件的DQ/DQS总线模式管脚

模式	DQSn支持	数据掩码 (可选的)	每组的最大数据管脚
x8	Yes	Yes	11
x16	Yes	Yes	23

## Cyclone V E中的DQ/DQS组

**表6-5: Cyclone V E器件每侧上的DQ/DQS组的数量**

该表列出了软核存储控制器的DQ/DQS组。对于硬核存储控制器，您可以从指定器件的管脚列表中获取DQ/DQS组。在器件可用之前，这些都是初步数量。

成员代码	封装	在器件中的位置	x8	x16
A2 A4	256-pin FineLine BGA	顶端	2	0
		左侧	1	0
		右侧	2	0
		底部	3	0
	324-pin Ultra FineLine BGA	顶端	3	0
		左侧	2	0
		右侧	2	0
		底部	4	0
	383-pin Micro FineLine BGA	顶端	4	0
		左侧	2	0
		右侧	1	0
		底部	4	0
	484-pin Ultra FineLine BGA	顶端	5	1
		左侧	1	0
		右侧	2	0
		底部	6	1
	484-pin FineLine BGA	顶端	5	1
		左侧	1	0
		右侧	2	0
		底部	6	1

成员代码	封装	在器件中的位置	x8	x16
A5	383-pin Micro FineLine BGA	顶端	TBD	TBD
		左侧	TBD	TBD
		右侧	TBD	TBD
		底部	TBD	TBD
	484-pin Ultra FineLine BGA	顶端	5	1
		右侧	3	0
		底部	6	1
	484-pin FineLine BGA	顶端	7	2
		右侧	2	0
		底部	6	1
A7	484-pin Micro FineLine BGA	顶端	5	1
		右侧	4	0
		底部	6	1
	484-pin Ultra FineLine BGA	顶端	5	1
		右侧	4	1
		底部	6	1
	484-pin FineLine BGA	顶端	7	2
		右侧	2	0
		底部	6	1
	672-pin FineLine BGA	顶端	7	2
		右侧	6	0
		底部	8	2
	896-pin FineLine BGA	顶端	10	3
		右侧	10	3
		底部	10	3

成员代码	封装	在器件中的位置	x8	x16
A9	484-pin Ultra FineLine BGA	顶端	5	1
		右侧	4	0
		底部	6	1
	484-pin FineLine BGA	顶端	5	1
		右侧	2	0
		底部	6	1
	672-pin FineLine BGA	顶端	7	2
		右侧	6	0
		底部	8	2
	896-pin FineLine BGA	顶端	10	3
		右侧	10	3
		底部	10	3

相关链接

[Cyclone V器件管脚输出文件](#)

请从网页上下载相关的管脚表。

## Cyclone V GX中的DQ/DQS组

表6-6: Cyclone V GX每侧上的DQ/DQS组的数量

该表列出了软核存储控制器的DQ/DQS组。对于硬核存储控制器，您可以从指定器件的管脚列表中获取DQ/DQS组。在器件可用之前，这些都是初步数量。

成员代码	封装	在器件中的位置	x8	x16
C3	324-pin Ultra FineLine BGA	顶端	3	0
		右侧	2	0
		底部	4	0
	484-pin Ultra FineLine BGA	顶端	5	1
		右侧	2	0
		底部	6	1
	484-pin FineLine BGA	顶端	5	1
		右侧	2	0
		底部	6	1

成员代码	封装	在器件中的位置	x8	x16
C4 C5	301-pin Micro FineLine BGA	顶端	TBD	TBD
		左侧	TBD	TBD
		右侧	TBD	TBD
		底部	TBD	TBD
	383-pin Micro FineLine BGA	顶端	TBD	TBD
		左侧	TBD	TBD
		右侧	TBD	TBD
		底部	TBD	TBD
	484-pin Ultra FineLine BGA	顶端	5	1
		右侧	3	0
		底部	6	1
	484-pin FineLine BGA	顶端	7	2
		右侧	2	0
		底部	6	1
	672-pin FineLine BGA	顶端	7	2
		右侧	6	2
		底部	8	2

成员代码	封装	在器件中的位置	x8	x16
C7	484-pin Micro FineLine BGA	顶端	5	1
		右侧	4	0
		底部	6	1
	484-pin Ultra FineLine BGA	顶端	5	1
		右侧	4	1
		底部	6	1
	484-pin FineLine BGA	顶端	7	2
		右侧	2	0
		底部	6	1
	672-pin FineLine BGA	顶端	7	2
		右侧	6	0
		底部	8	2
C9	484-pin Ultra FineLine BGA	顶端	10	3
		右侧	10	3
		底部	10	3
	484-pin FineLine BGA	顶端	5	1
		右侧	4	0
		底部	6	1
	672-pin FineLine BGA	顶端	7	2
		右侧	6	0
		底部	8	2
	896-pin FineLine BGA	顶端	10	3
		右侧	10	3
		底部	10	3
	1152-pin FineLine BGA	顶端	12	4
		右侧	11	4
		底部	12	4



相关链接  
[Cyclone V器件管脚输出文件](#)  
请从网页上下载相关的管脚表。

Cyclone V GT中的DQ/DQS组

表6-7: Cyclone V GT器件每侧上的DQ/DQS组的数量

该表列出了软核存储控制器的DQ/DQS组。对于硬核存储控制器，您可以从指定器件的管脚列表中获得DQ/DQS组。在器件可用之前，这些都是初步数量。

成员代码	封装	在器件中的位置	x8	x16
D5	301-pin Micro FineLine BGA	顶端	TBD	TBD
		左侧	TBD	TBD
		右侧	TBD	TBD
		底部	TBD	TBD
	383-pin Micro FineLine BGA	顶端	TBD	TBD
		左侧	TBD	TBD
		右侧	TBD	TBD
		底部	TBD	TBD
	484-pin Ultra FineLine BGA	顶端	5	1
		右侧	3	0
		底部	6	1
	484-pin FineLine BGA	顶端	7	2
		右侧	2	0
		底部	6	1
	672-pin FineLine BGA	顶端	7	2
		右侧	6	2
		底部	8	2

成员代码	封装	在器件中的位置	x8	x16
D7	484-pin Micro FineLine BGA	顶端	5	1
		右侧	4	0
		底部	6	1
	484-pin Ultra FineLine BGA	顶端	5	1
		右侧	4	1
		底部	6	1
	484-pin FineLine BGA	顶端	7	2
		右侧	2	0
		底部	6	1
	672-pin FineLine BGA	顶端	7	2
		右侧	6	0
		底部	8	2
D9	484-pin Ultra FineLine BGA	顶端	10	3
		右侧	10	3
		底部	10	3
	484-pin FineLine BGA	顶端	5	1
		右侧	4	0
		底部	6	1
	672-pin FineLine BGA	顶端	7	2
		右侧	6	0
		底部	8	2
	896-pin FineLine BGA	顶端	10	3
		右侧	10	3
		底部	10	3
	1152-pin FineLine BGA	顶端	12	4
		右侧	11	4
		底部	12	4

相关链接  
[Cyclone V器件管脚输出文件](#)  
请从网页上下载相关的管脚表。

Cyclone V SX中的DQ/DQS组

表6-8: Cyclone V SX器件每侧上的DQ/DQS组的数量

该表列出了软核存储控制器的DQ/DQS组。对于硬核存储控制器，您可以从指定器件的管脚列表中获取DQ/DQS组。在器件可用之前，这些都是初步数量。

成员代码	封装	在器件中的位置	x8	x16
C2	672-pin Ultra FineLine BGA	右侧	1	0
C4		底部	8	2
C5	672-pin Ultra FineLine BGA	右侧	1	0
		底部	8	2
C6	896-pin FineLine BGA	顶端	5	2
		右侧	3	0
		底部	10	3

相关链接  
[Cyclone V器件管脚输出文件](#)  
请从网页上下载相关的管脚表。

Cyclone V ST中的DQ/DQS组

表6-9: Cyclone V ST器件每侧上的DQ/DQS组的数量

该表列出了软核存储控制器的DQ/DQS组。对于硬核存储控制器，您可以从指定器件的管脚列表中获取DQ/DQS组。在器件可用之前，这些都是初步数量。

成员代码	封装	在器件中的位置	x8	x16
D5	896-pin FineLine BGA	顶端	5	2
D6		右侧	3	0
		底部	10	3

相关链接  
[Cyclone V器件管脚输出文件](#)  
请从网页上下载相关的管脚表。

## Cyclone V器件中的外部存储器接口功能

Cyclone V I/O单元(IOE)提供外部存储器接口的快速可靠应用所需要的内置功能。

以下器件功能可用于外部存储器接口：

- DQS相移电路
- PHY时钟(PHYCLK)网络
- DQS逻辑模块
- 动态片上匹配(OCT)控制
- IOE寄存器
- 延迟链
- 硬核存储控制器

### UniPHY IP

高性能存储器接口解决方案包括自校准UniPHY，UniPHY IP优化利用Cyclone V I/O结构和Quartus II软件TimeQuest时序分析器的优势。UniPHY IP帮助建立最适合您系统的物理接口(PHY)。在工艺、电压和温度(PVT)的变化中，采用UniPHY的物理接口为高度可靠性工作频率，提供全面的解决方案。

UniPHY IP例化PLL生成相关的时钟用于存储器接口。UniPHY IP也可以动态地选择系统所需延迟链的数量。延迟量等于延迟单元的固有延迟加上延迟级(delay step)的数量与值的乘积。

UniPHY IP和Altera存储器控制器MegaCore<sup>®</sup>功能能够运行在存储器件I/O接口的一半频率上，从而实现高速存储器接口中更佳的时序管理。Cyclone V器件在IOE中包含内置的电路，对数据进行全速率(I/O频率)到半速率(控制器频率)的转换，反之亦然。

相关链接

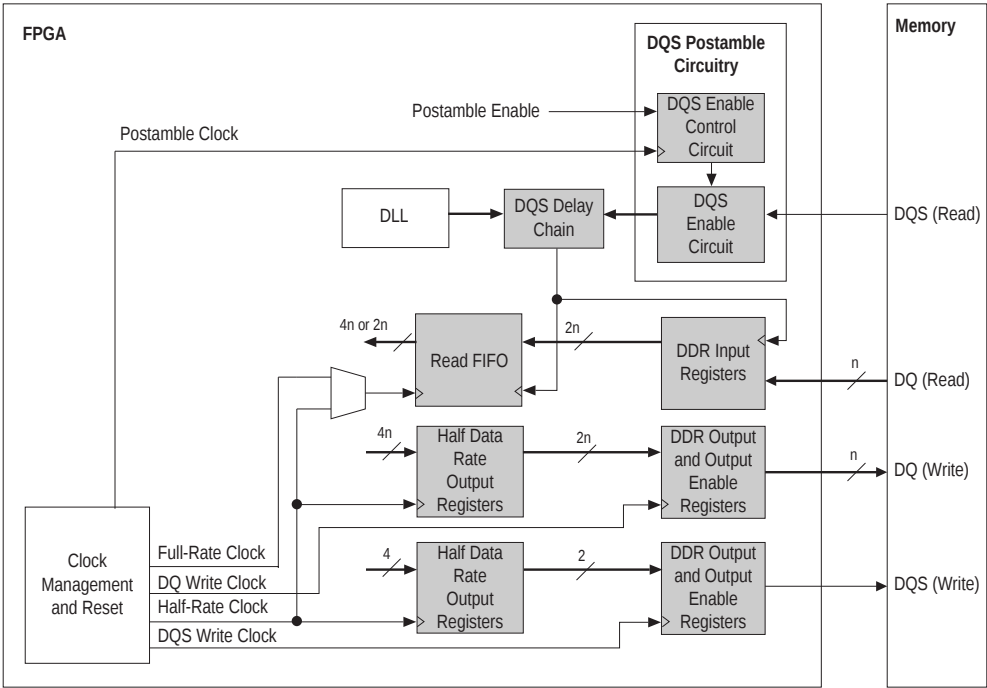
[Reference Material](#)卷， [外部存储器接口手册](#)

提供了关于UniPHY IP的更多信息。

### 外部存储器接口数据通路

下图显示了使用Cyclone VI/O单元的存储器接口数据通路的总体结构。在该图中，DQ/DQS读写信号可能是双向或者单向的，这取决于存储器标准。如果信号是双向的，那么它在读和写操作期间都是有效的。您能够旁路每一个寄存器模块。

图6-1: Cyclone V 器件的外部存储器接口数据通路的结构图



注释: 不同的存储器接口标准中有稍微的模块差异。阴影的模块是I/O单元的的部分。

DQS相移电路

如果DQS管脚用作FPGA的输入时钟或者选通，那么Cyclone V DLL在读传输上对DQS管脚提供相移。

下图显示了DLL如何连接到各种Cyclone V器件中的DQS管脚。每个DLL的参考时钟可以来自相邻的PLL。

注意: 下图显示了器件中所有可能的连接。有关每种器件封装中可用的管脚和连接的信息，请参考器件管脚输出(pin-out)文件。

图6-2: Cyclone V E (A2和A4)器件中的DQS管脚和DLL

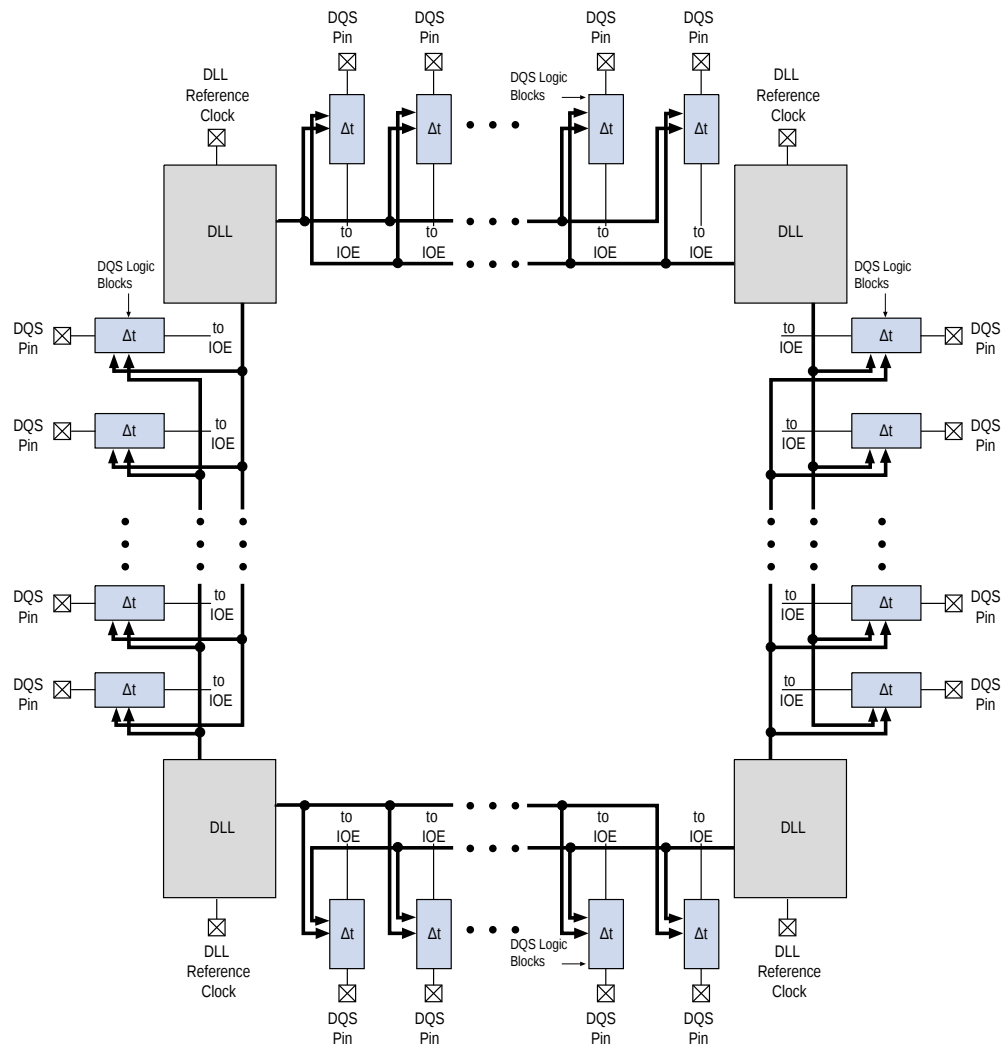


图6-3: Cyclone V GX (C3)器件中的DQS管脚和DLL

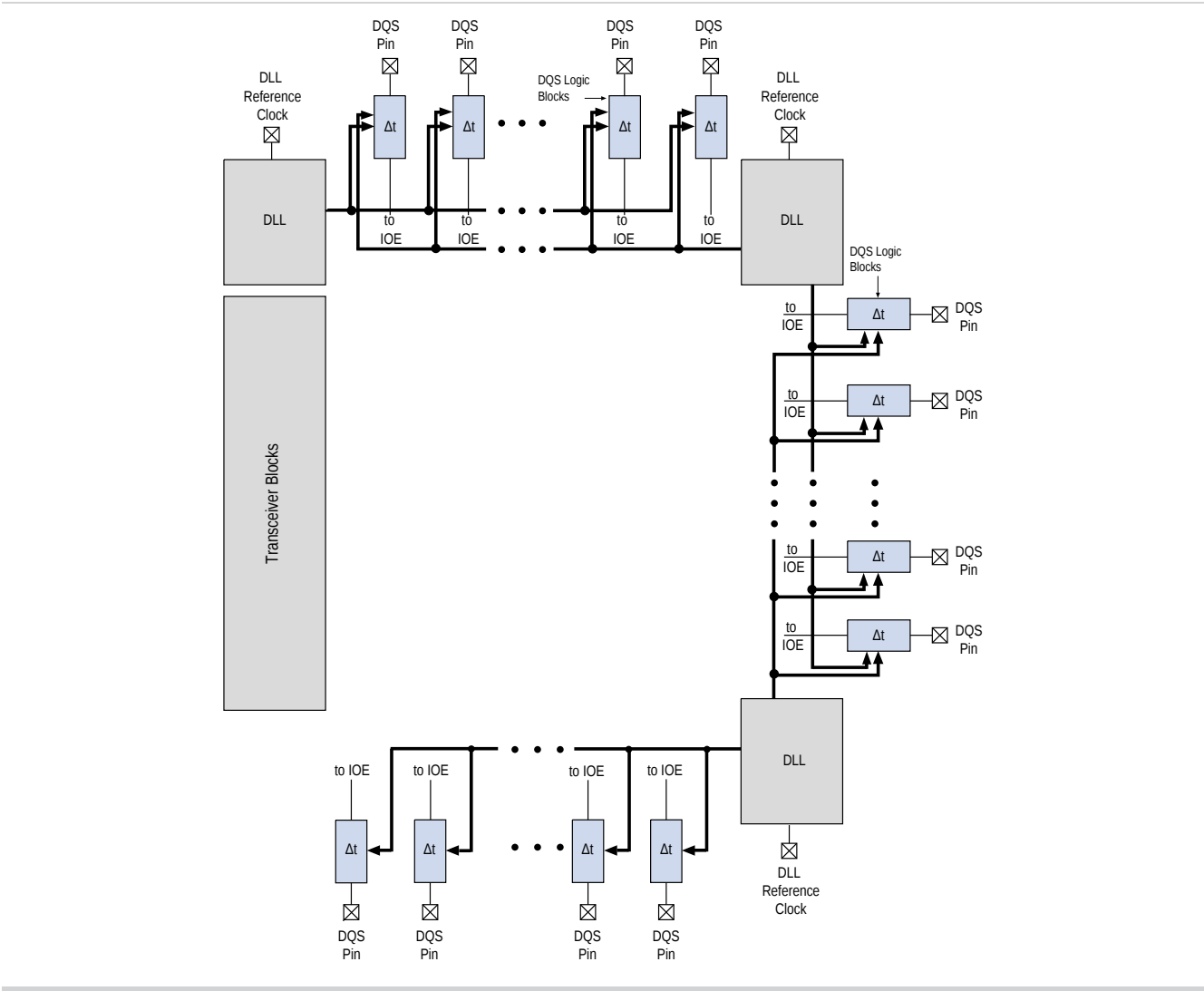


图6-4: Cyclone V E (A5、A7和A9), GX (C4、C5、C7和C9), GT (D5、D7和D9)器件中的DQS管脚和DLL

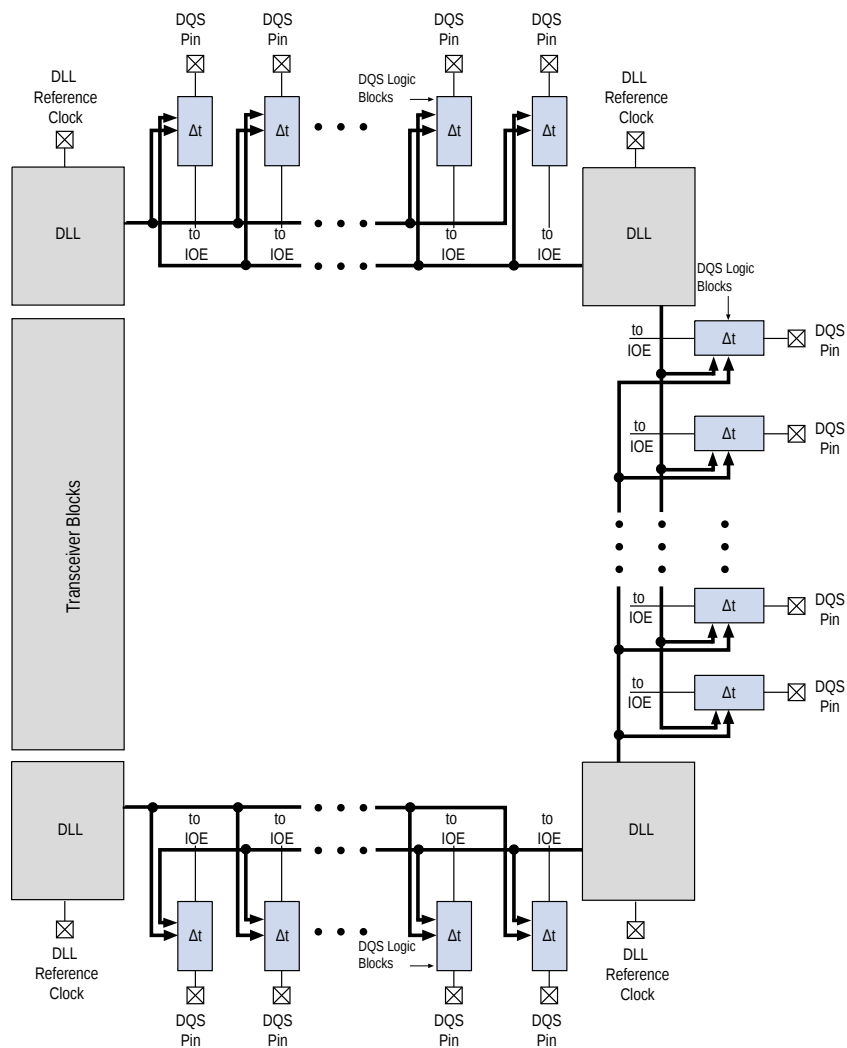
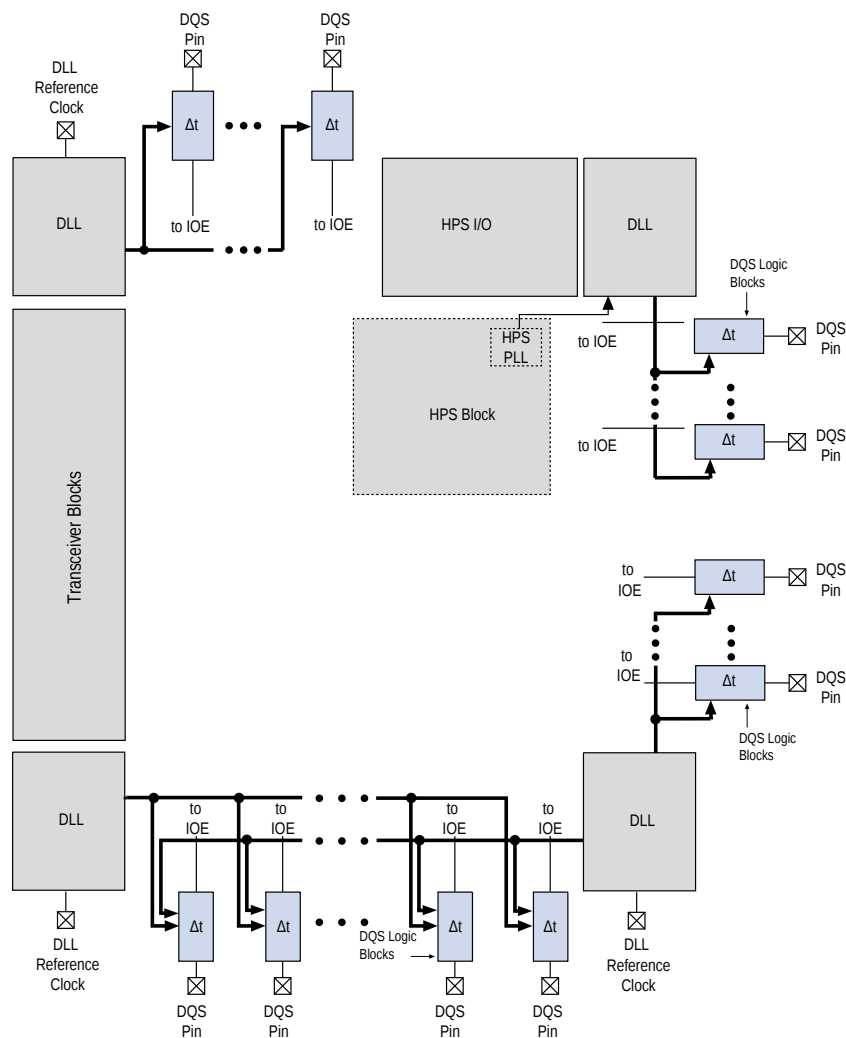




图6-6: Cyclone V SX (C2、C4、C5和C6)以及ST (D5和D6)器件中的DQS管脚和DLL



相关链接

[Cyclone V 器件管脚输出文件](#)

请从网页上下载相关的管脚表。

## 延迟锁相环

延迟锁相环(DLL)使用频率参考动态地生成控制信号，用于每个DQS管脚中的延迟链，使其能够对工艺、电压和温度(PVT)变化进行补偿。如果DLL更新设置，那么DQS延迟设置采用格雷编码(Gray-coded)以降低抖动。

最多有四个DLL，分别位于Cyclone V器件的四个角。您可以使用不同的频率对每个DLL提供时钟。

DLL能够访问与其相邻的两个侧面。在与DLL相邻的两侧上具有相同频率的两个不同接口，其中DLL控制这两个接口的DQS延迟设置。

两个DLL间的I/O bank具有更高的灵活性来创建多频率和多类型的接口。这些bank能够使用一种或两种相邻DLL的设置。例如：DQS1R能够从DLL\_TR中得到它的相移设置，而DQS2R能够从DLL\_BR中得到它的相移设置。

每个DLL的参考时钟可以来自PLL输出时钟或者时钟输入管脚。

注意：如果您有一个专用PLL仅用于生成DLL输入参考时钟时，那么需要将PLL模式设置成**Direct Compensation**以实现更高的性能(或者，Quartus II会自动对其进行更改)。因为PLL不使用任何其它的输出，所以不必对任何时钟路径进行补偿。

## Cyclone V器件的DLL参考时钟输入

表6-10: Cyclone V E (A2、A4、A5、A7和A9)，GX (C4、C5、C7和C9)以及GT (D5、D7和D9)器件的PLL中的DLL参考时钟输入—初始确定的

DLL	PLL			
	左上端	右上端	左下端	右下端
DLL_TL	pllout	—	—	—
DLL_TR	—	pllout	—	—
DLL_BL	—	—	pllout	—
DLL_BR	—	—	—	pllout

表6-11: Cyclone V GX (C3)器件的PLL中的DLL参考时钟输入—初始确定的

DLL	PLL			
	左上端	右上端	左下端	右下端
DLL_TL	pllout	—	—	—
DLL_TR	—	pllout	—	—
DLL_BL	—	—	—	—
DLL_BR	—	—	—	pllout

表6-12: Cyclone V SX C2、C4、C5和C6器件，以及Cyclone V ST D5和D6器件的PLL中的DLL参考时钟输入—初始确定的

DLL	PLL			
	左上端	右上端	左下端	右下端
DLL_TL	pllout	—	—	—

DLL	PLL			
	左上端	右上端	左下端	右下端
DLL_TR	—	—	—	—
DLL_BL	—	—	pllout	—
DLL_BR	—	—	—	pllout

DLL相移

DLL可以对输入的DQS信号移位0°或90°。移位后的DQS信号作为DQ IOE输入寄存器的时钟使用，这取决于所使用的DQS延迟链的数量。

参考到同一DLL的所有DQS管脚都能够使其输入信号相位以不同的度数进行移位，但所有移位操作必须参考在一个特定频率上。不过，并不是支持所有的相移组合。参考同一DLL的DQS管脚上的相移必须是90°的倍数。

DLL中的7位DQS延迟设置随着PVT的变化而有所不同，以实现相移延迟。

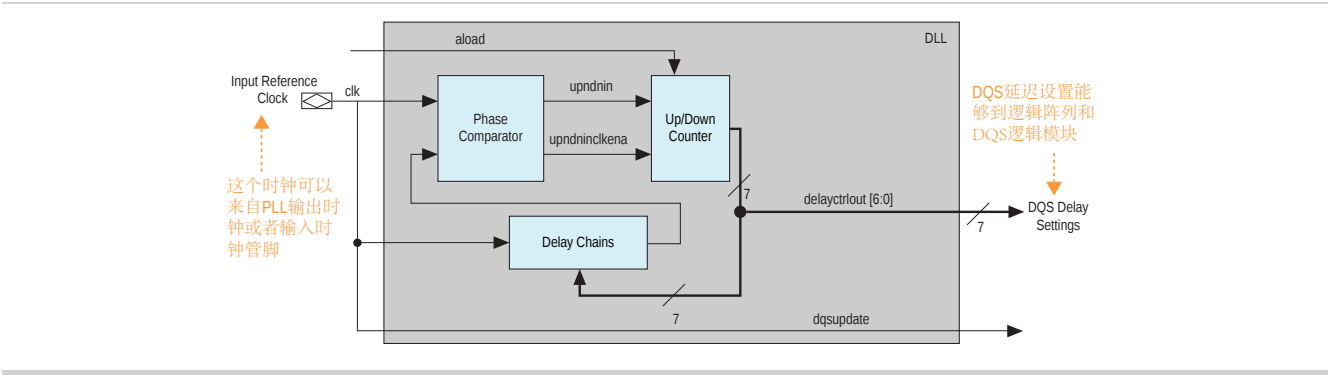
例如，对于0°相移，DQS 信号会旁路DLL以及DQS逻辑模块。Quartus II软件自动设置DQ输入延迟链，这样，如果实现0°相移，就可以忽略DQ IOE寄存器中DQ和DQS管脚之间的延时差。您可以提供DQS延迟设置给DQS逻辑模块和逻辑阵列。

移位后的DQS 信号进入DQS总线，对DQ管脚的IOE输入寄存器提供时钟。如果不将IOE的读FIFO用于重同步，那么此信号也可以通过逻辑阵列资源来实现重同步。

对于Cyclone V SoC FPGA，仅可以将硬核处理器系统(HPS) DQS延迟设置连接到HPS DQS逻辑模块。

下图显示了Cyclone V器件中DLL的简单结构图。从Quartus II软件的UniPHY宏功能中可以访问DQS相移电路的全部特性。

图6-7: Cyclone V器件的DQS相移电路的简化结构图



输入参考时钟进入DLL，到有8个延时单元的延迟链。相位比较器将来自延迟链模块末端的信号和输入参考时钟作比较，然后发出updn信号到格雷码计数器。此信号通过增加或者减少一个7位延迟设置(DQS延迟设置，通过延迟单元链来增加或者减少延迟)将输入参考时钟和来自延迟单元的信号带进相位中。

可以从逻辑阵列或者用户I/O管脚复位DLL。每次复位DLL，在能够正确采集数据之前您都必须等待2,560个时钟周期以使DLL锁定。DLL相位比较器需要2,560个时钟周期来锁定和计算正确的输入时钟周期。

对于每种DLL频率模式的频率范围，请参考器件数据表。

相关链接

[Cyclone V器件手册](#)

## PHY时钟(PHYCLK)网络

PHYCLK网络是一个专用高速、低偏移平衡时钟树，设计用于高性能外部存储器接口。

Cyclone V器件的顶端和底部含有多达四个PHYCLK网络。在左侧和右侧的I/O bank有多达两个PHYCLK网络。每个PHYCLK网络跨越一个I/O bank，并由和I/O bank相邻的一个PLL驱动。

下图显示了Cyclone V器件中可用的PHYCLK网络。

图6-8: Cyclone V E A2和A4器件中的PHYCLK网络

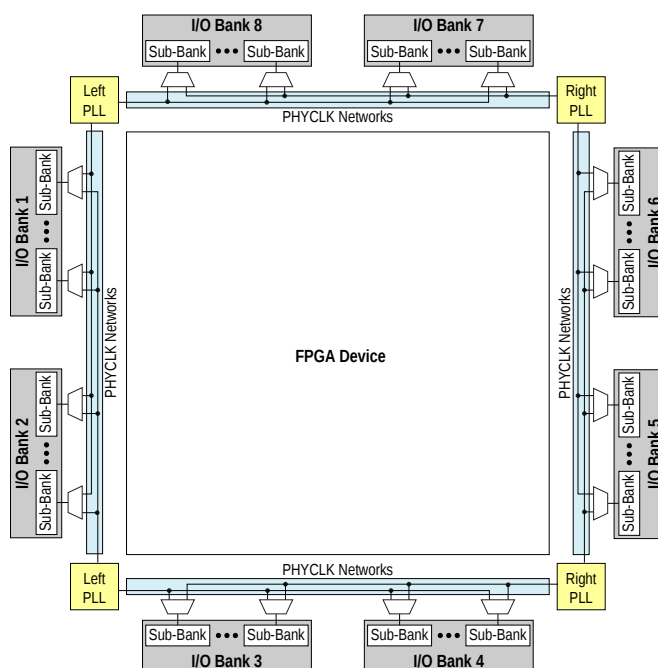


图6-9: Cyclone V GX C3器件中的PHYCLK网络

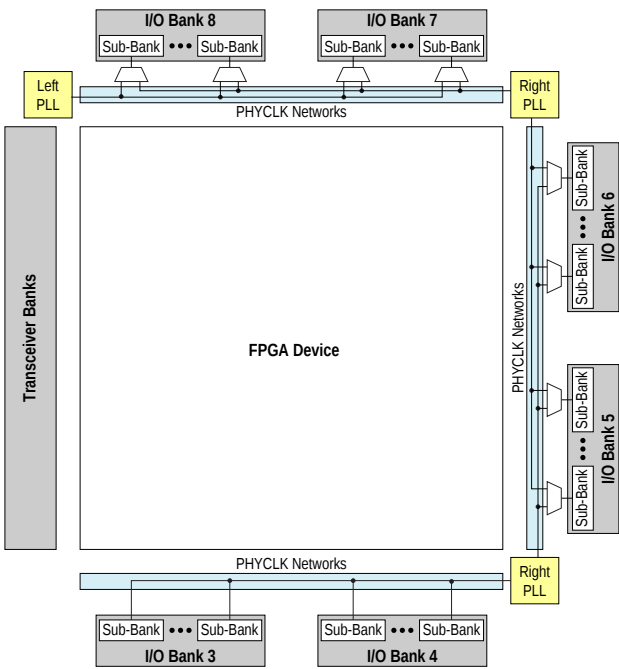


图6-10: Cyclone V E A7、A5和A9器件；Cyclone V GX C4、C5、C7和C9器件以及Cyclone V GT D5、D7和D9器件中的PHYCLK网络

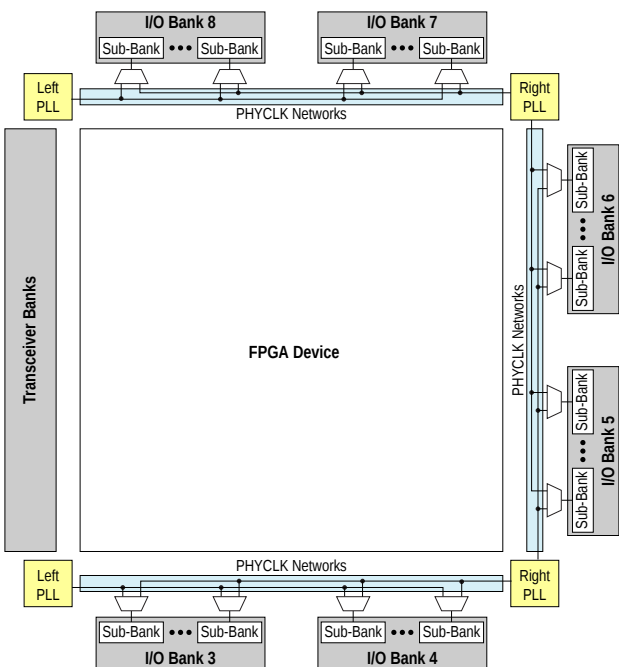
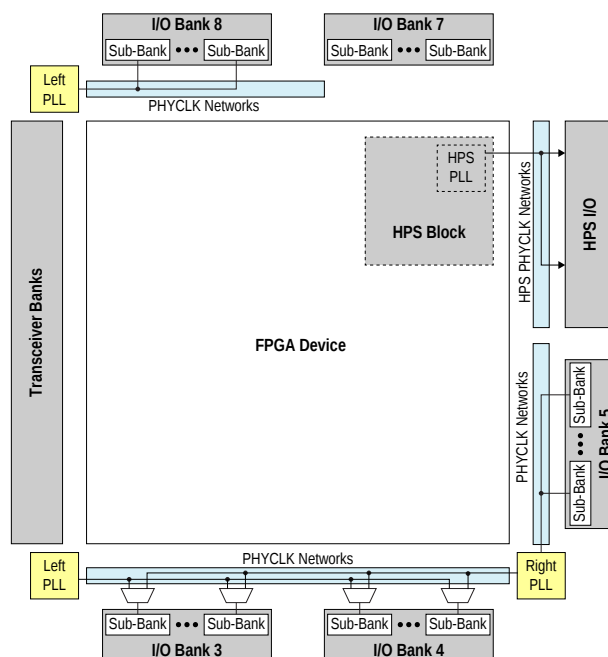


图6-12: Cyclone V SX C2、C4、C5和C6器件以及Cyclone V ST D5和D6器件中的PHYCLK网络

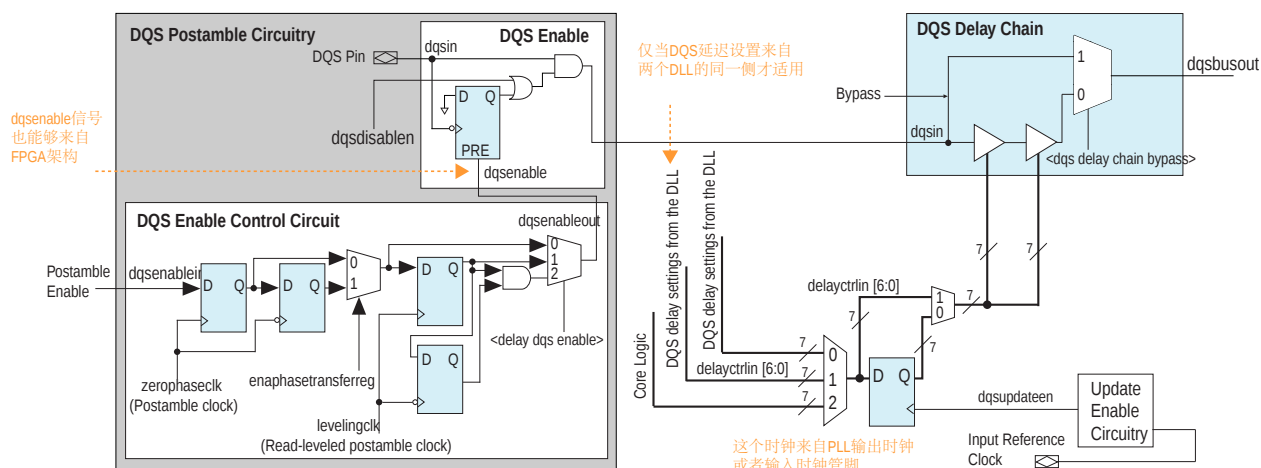


## DQS逻辑模块

每个DQS/CQ/CQn/QK#管脚均连接到不同的DQS逻辑模块，这些DQS逻辑模块包括更新使能电路、DQS延迟链和DQS后同步电路。

下图显示了DQS逻辑模块。

图6-13: Cyclone V器件中的DQS逻辑模块



## 更新使能电路

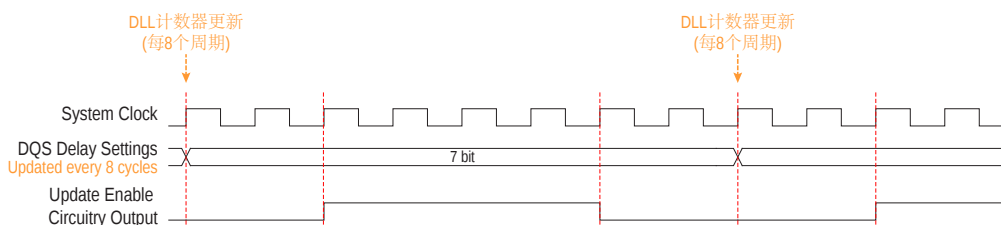
更新使能电路使寄存器能够在下一个变更之前对DQS延迟设置提供足够的时间来完成从DQS相移电路或者内核逻辑到所有DQS逻辑模块的传输。

DQS延迟设置以及相位偏移设置在进入DQS延迟链之前都要经过一个寄存器。这个寄存器由更新使能电路控制，以实现DQS延迟设置位中的任何更改有足够的时间到达所有延迟单元，这使它们能够在同一时间进行调整。

电路使用输入参考时钟或内核中的一个用户时钟来生成更新使能输出。UniPHY (IP)在默认情况下使用该电路。

图6-14: DQS更新使能波形

该图显示了更新使能电路输出的实例波形。



## DQS延迟链

DQS延迟链由一组可变的延迟单元组成，能够根据DQS相移电路或者逻辑阵列指定的数量来对输入DQS信号进行移位。

DQS延迟链中有两个延迟单元含有相同的特征：

- DQS逻辑模块中的延迟单元
- DLL中的延迟单元

DQS管脚由DQS延迟设置进行移位。

所需的延迟链数量是透明的，因为选择操作频率时UniPHY IP会自动对其进行设置。

在Cyclone V E、GX和GT器件中，如果没有使用DLL来控制DQS延迟链，那么能够使用UniPHY IP宏功能中的`delayctrlin[6..0]`信号来输入您自己的格雷码的7位设置。

在Cyclone V SE、SX和ST器件中，DQS延迟链仅由DQS相移电路控制。

## DQS后同步电路

在DDR3和DDR2 SDRAM中的读写操作都具有前同步和后同步指标。当DQS处于后同步状态，在读操作的最后阶段如果DQS线出现噪声，DQS后同步电路将确保数据不会丢失。

Cyclone V器件包含专用后同步寄存器，通过控制此寄存器来使移位的DQS信号接地，此信号在读操作的最后对DQ输入寄存器提供时钟。该功能确保了当DQS处于后同步状态时，在读操作的最后阶段的DQS输入信号上出现的任何毛刺都不会影响DQ IOE寄存器。

- 在前同步状态中, DQS处于低电平, 就在高阻抗状态之后。
- 在后同步状态中, DQS处于低电平, 就在它返回高阻抗状态之前。

对于那些使用双向读选通的外部存储器接口(DDR3和DDR2 SDRAM), DQS信号在进入或离开高阻抗状态之前处于低电平。

## 半数据速率模块

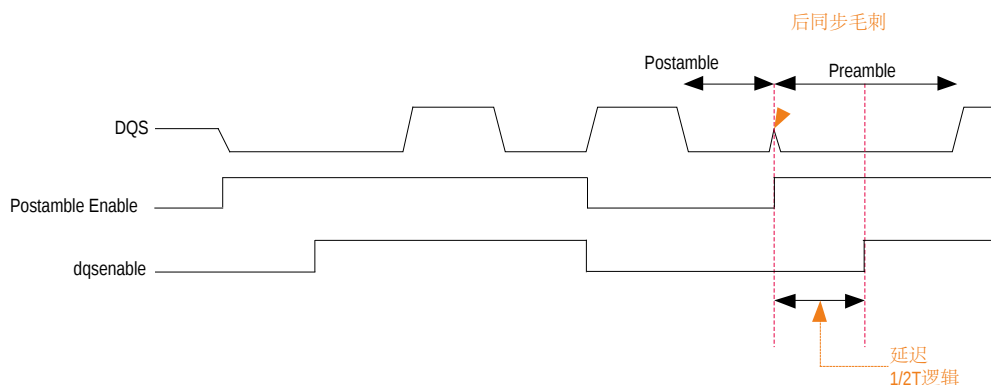
Cyclone V器件在后同步使能电路中还有一个半数据速率(HDR)模块。

HDR模块由半速率重同步时钟来提供时钟, 半速率重同步时钟是I/O时钟分频器电路的输出。在后同步寄存器输出之后有一个与门, 用于避免在非连续读突发时前一个读突发引入的后同步毛刺。此方案支持dqsenable置位的半个时钟周期延迟和dqsenable置低的零延迟。

在后同步使能电路模块中使用HDR模块作为第一级采集寄存器是可选的。Altera建议如果控制器运行在一半的I/O频率上, 就使用这些寄存器。

图6-15: 避免在非连续的读取突发波形上的故障

该图显示了如何通过HDR模块来避免后同步毛刺。

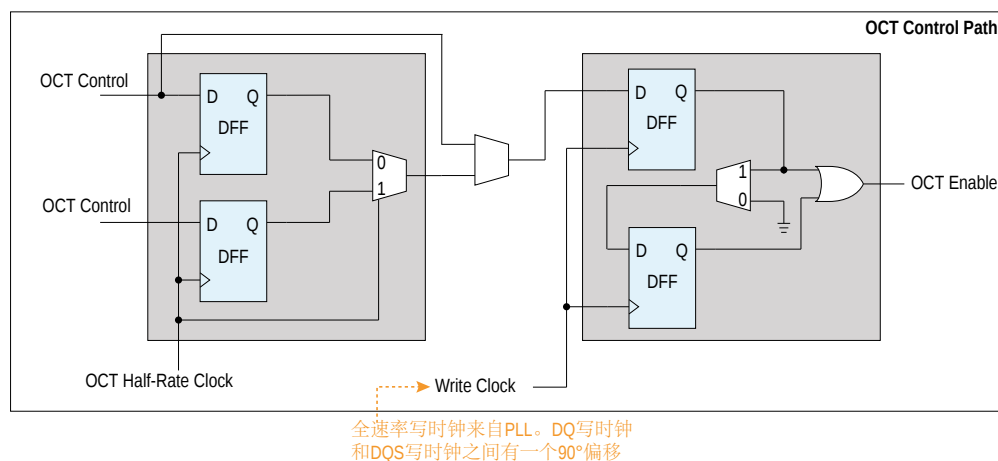


## 动态OCT控制

动态OCT控制模块包括在读取期间动态地打开片上并联匹配( $R_T$ OCT)所需的所有寄存器, 并在写入期间关闭 $R_T$ OCT。



图6-16: Cyclone V器件的动态OCT控制模块



相关链接

[Cyclone V器件中的I/O特性](#)

提供了关于动态OCT控制的更多信息。

## IOE寄存器

通过对IOE寄存器进行扩展，使源同步系统实现了更快的寄存器到FIFO的传输以及重同步。所有的顶端、底部以及右侧的IOE具有相同的功能。

## 输入寄存器

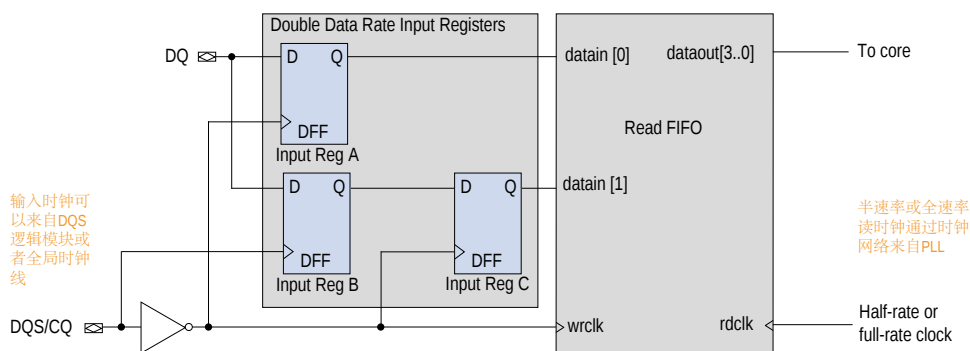
输入路径包括DDR输入寄存器和读FIFO模块。您可以旁路输入路径中的每个模块。

在DDR输入寄存器模块中有三个寄存器。寄存器A和B分别采集时钟正边沿和负边沿上的数据，而寄存器C对齐所采集的数据。寄存器C使用与寄存器A相同的时钟。

读FIFO模块将数据重同步到系统时钟域，并降低数据速率至半速率。

下图显示了Cyclone V输入路径中可用的寄存器。对于DDR3和DDR2 SDRAM接口，DQS和DQSn信号必须被翻转。如果使用Altera的存储器接口IP，那么DQS和DQSn信号被自动翻转。

图6-17: Cyclone V器件的IOE输入寄存器



## 输出寄存器

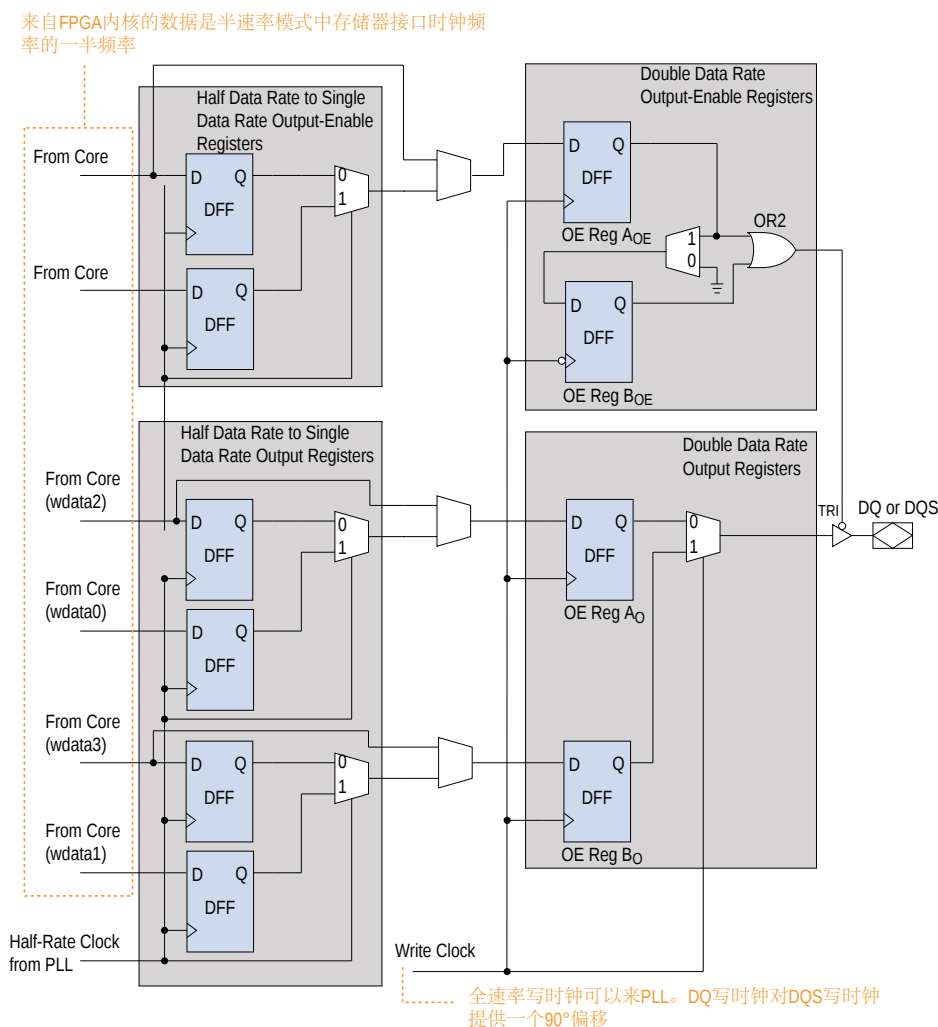
Cyclone V输出和输出使能路径被分成HDR模块、以及输出和输出使能寄存器。该器件可以旁路每个模块的输出和输出使能路径。

输出路径被设计用于对来自FPGA内核的组合或者寄存的单数据速率(SDR)输出以及全速率或者半速率DDR输出进行布线。通过使用HDR模块，半速率数据被转换成全速率数据，由PLL提供半速率时钟。

输出使能路径具有与输出路径相类似的结构—确保输出使能路径通过与输出路径相同的延迟。

图6-18: Cyclone V 器件的IOE输出和输出使能路径寄存器

下图显示了Cyclone V 输出和输出使能路径中的可用寄存器。



## 延迟链

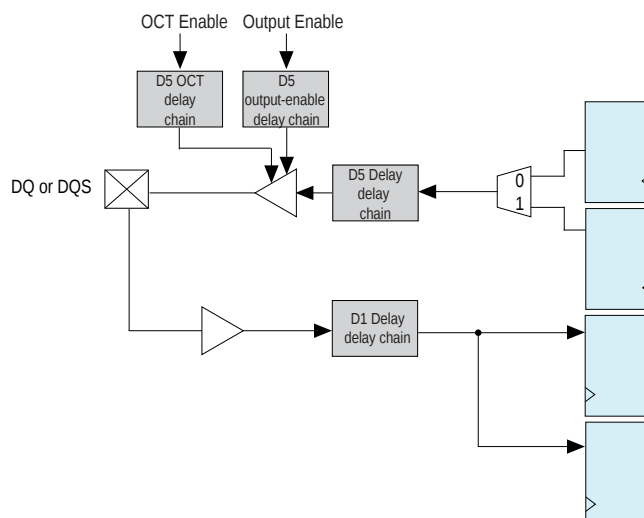
Cyclone V器件的I/O模块和DQS逻辑模块中包含运行时可调整延迟链。您可以通过I/O或者DQS配置模块输出来控制延迟链设置。

每个I/O模块在以下单元中包含一个延迟链：

- 输出寄存器和输出缓冲器
- 输入缓冲器和输入寄存器
- 输出使能和输出缓冲器
- $R_T$  OCT使能控制寄存器和输出缓冲器

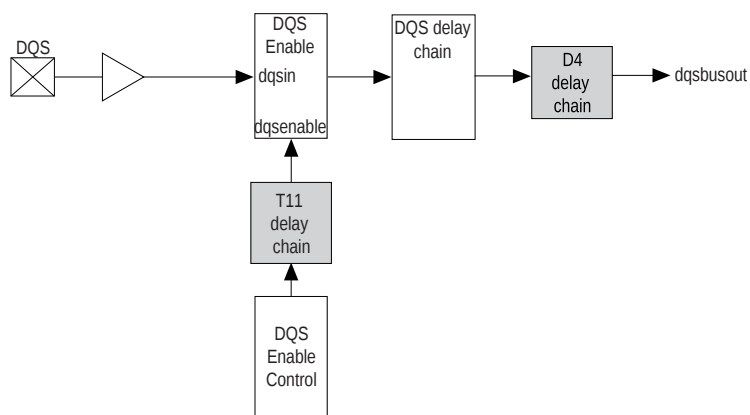
您可以旁路DQS延迟链来实现0°相移。

图6-19: I/O模块中的延迟链



每个DQS逻辑模块包含dqsbuout输出之后的一个延迟链和dqsenable输入之前的另一个延迟链。

图6-20: DQS输入路径中的延迟链。



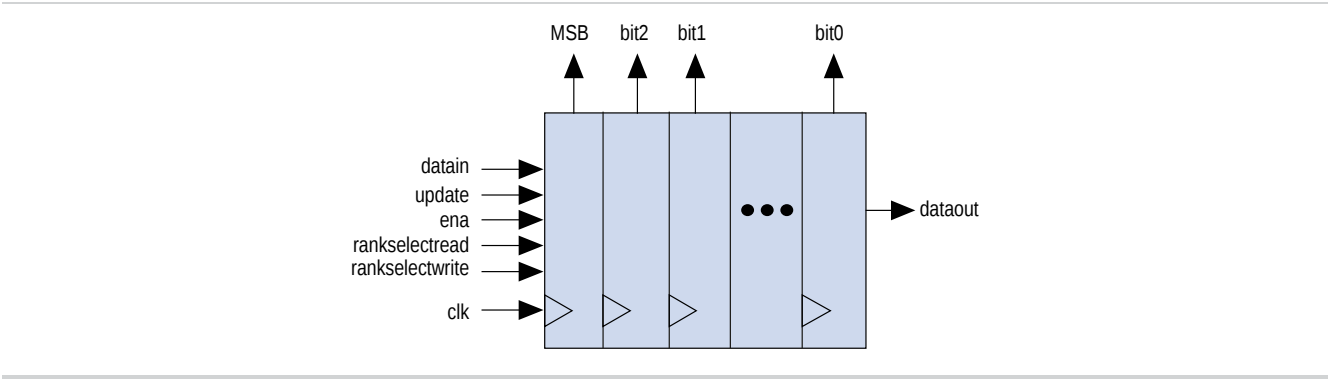
## I/O和DQS配置模块

I/O和DQS配置模块是移位寄存器，用于动态改变各种器件配置位的设置。

- 移位寄存器上电至低电平。
- 每个I/O管脚均包含一个I/O配置寄存器。
- 每个DQS管脚除了包含一个I/O配置寄存器，还包含一个DQS配置模块。

图6-21: 配置模块 (I/O和DQS)

该图显示了I/O配置模块和DQS配置模块电路。



相关链接  
[ALTDQ\\_DQS2宏功能用户指南](#)  
提供有关I/O和DQS配置模块位序列的详细信息。

硬核储存控制器

Cyclone V 器件采用专用的硬核存储控制器。您可以将硬核存储控制器用于LPDDR2、DDR2、和DDR3 SDRAM接口。与使用内核逻辑实现的存储控制器相比，硬核存储控制器允许对要求更短延时周期的较高存储器接口频率的支持。

硬核存储控制器使用专用的I/O管脚作为数据、地址、命令、控制、时钟和接地管脚用于SDRAM接口。如果没有使用硬核存储控制器，那么可以将这些专用的管脚用作普通的I/O管脚。

- 相关链接
- [功能描述—HPC II控制器章节，外部存储器接口手册](#)  
硬核存储控制器与高性能 控制器II (HPC II)的功能相似。
  - [功能描述—硬核存储器接口章节，外部存储器接口手册](#)  
提供有关硬核存储器接口应用的详细信息。

硬核储存控制器的功能

表6-13: Cyclone V硬核储存控制器的功能

功能	说明
存储器接口 数据宽度	<ul style="list-style-type: none"><li>• 8, 16和32位数据</li><li>• 16位数据 + 8位 ECC</li><li>• 32位数据 + 8位 ECC</li></ul>
存储器密度	控制器支持多达4千兆密度以及两个芯片选择。

功能	说明
存储器突发长度	<ul style="list-style-type: none"> <li>• DDR3—突发长度8以及突发突变4</li> <li>• DDR2—突发长度8和4</li> <li>• LPDDR2—突发长度2、4、8和16</li> </ul>
命令和数据重排序	控制器通过对DRAM命令无序执行的支持提高了效率—使用地址冲突检测和结果按序返回。
Starvation控制	一个starvation计数器确保所有的请求都在预定义超时周期后服务。该功能确保在重新排序数据的效率时，低优先级访问的数据不会落在后面。
用户-可配置优先支持	当控制器检测到一个高优先级请求时，它支持该旁路现有的队列请求的请求。该请求立即被处理，因此减少了延迟。
Avalon <sup>®</sup> -MM数据本地从接口	默认情况下，控制器支持Avalon Memory-Mapped协议。
Bank管理	默认情况下，控制器在每个访问中提供关闭页bank管理。控制器基于输入的流量，智能地保持打开一行。该功能提高了控制器的效率，特别是随机传输(random traffic)的效率。
流式读和写	控制器可连续地发出读写操作，当bank打开时，可以在每个时钟周期中顺序地选择地址。该功能对大量数据具有非常高的效率。
Bank交错	控制器可连续地发出读写操作来'随机'选择地址。
预测Bank管脚	控制器可以提早发出bank管脚命令，这样当出现读写操作时，就会打开正确的行。这提高了有效性。
多端口接口	接口支持连接多达六个数据主接口，通过本地接口访问存储控制器。您可以更新多端口排程配置，而无需中断端口上的流量。
内置突发适配器	控制器在其本地接口上可接受任意大小的突发，并映射这些突发到有效的存储器命令中。
控制器的运行时配置	该功能对时序参数的更新提供支持，而无需要求重配置FPGA，除了时序参数的标准编译时序设置。
片上匹配	控制器控制存储器中的片上匹配(ODT)，这改善了信号的完整性，并简化了电路板设计。
用户控制的刷新时序	刷新时，您可以选择性地控制—允许刷新以避免重要的读写数据在刷新的锁定时间内出现冲突。
低功耗模式	您可以选择性地请求控制器将存储器放进自刷新(self-refresh)或者深层断电(power-down)模式。

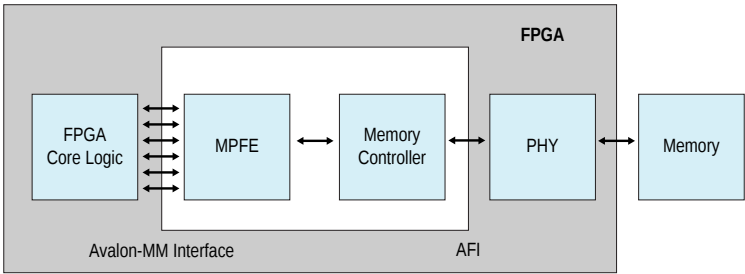
功能	说明
部分阵列Self-Refresh	您可以通过模式寄存器选择在自刷新时的存储器区域来节省功耗。
ECC	标准汉明单一纠错、双错误检测(SECDED)纠错码(ECC)支持： <ul style="list-style-type: none"><li>• 32位数据 + 8位 ECC</li><li>• 16位数据 + 8位 ECC</li></ul>
附加延迟	通过附加延迟，控制器在ACTIVATE命令后可以发出一个READ/WRITE命令到bank (到 $t_{RCD}$ 之前)来提高命令效率。
写应答	控制器支持在本地接口上的写应答。
用户控制的存储控制器初始化	控制器在用户逻辑控制下支持存储控制器的初始化—例如，存在处理器的情况下，通过用户系统中的软件控制。
控制器绑定支持	您可以绑定两个控制器，在更高的带宽应用中实现更宽的数据宽度。

多端口前端

通过用户逻辑可以访问硬核存储控制器，多端口前端(MPFE)和它相关的架构接口提供多达6个命令端口，4个读数据端口以及4个写数据端口。

图6-22: Cyclone V硬核存储器接口的简化结构图

该图显示了Cyclone V硬核存储器接口和MPFE的简化结构图。



## 每种器件的MPFE的端口数

表6-14: 每种Cyclone V器件的MPFE命令、写数据和读数据端口的数量

器件系列	成员代码	MPFE端口		
		命令	写数据	读数据
Cyclone V E	A2	4	2	2
	A4	4	2	2
	A5	6	4	4
	A7	6	4	4
	A9	6	4	4
Cyclone V GX	C3	4	2	2
	C4	6	4	4
	C5	6	4	4
	C7	6	4	4
	C9	6	4	4
Cyclone V GT	D5	6	4	4
	D7	6	4	4
	D9	6	4	4

## 绑定支持

您可以绑定两个硬核存储控制器来支持较宽的数据宽度。绑定两个硬核存储控制器时，从控制器到用户逻辑输出的数据是同步的。不过，从控制器到存储器输出的数据是不同步的。

绑定控制器没有同步，并且保持与两个分开的地址总线以及两个单独的命令总线独立。这些总线被单独校准。

如果需要ECC支持绑定的接口，那么必须在硬核存储控制器的外部实现ECC逻辑。

注意：使用绑定功能的存储器接口具有较高的平均延迟。通过内核架构的绑定也将会导致较高的延迟。



图6-23: Cyclone V E A7、A5和A9器件，Cyclone V GX C4、C5、C7和C9器件，以及Cyclone V GT D5、D7和D9器件中支持的硬核存储控制器绑定。

该图显示了通过内核架构的两个反方向的硬核存储控制器的绑定。底部的硬核存储控制不支持Cyclone V GX C5器件的3.3/3.0 V配置。

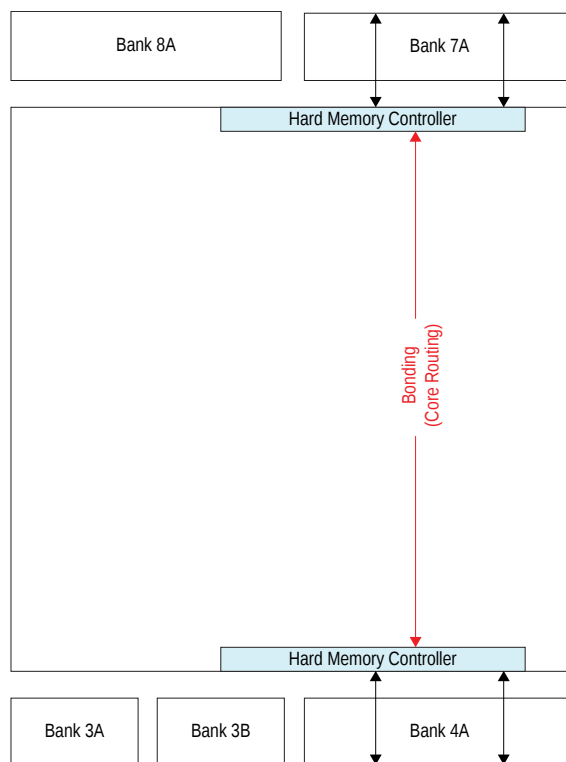
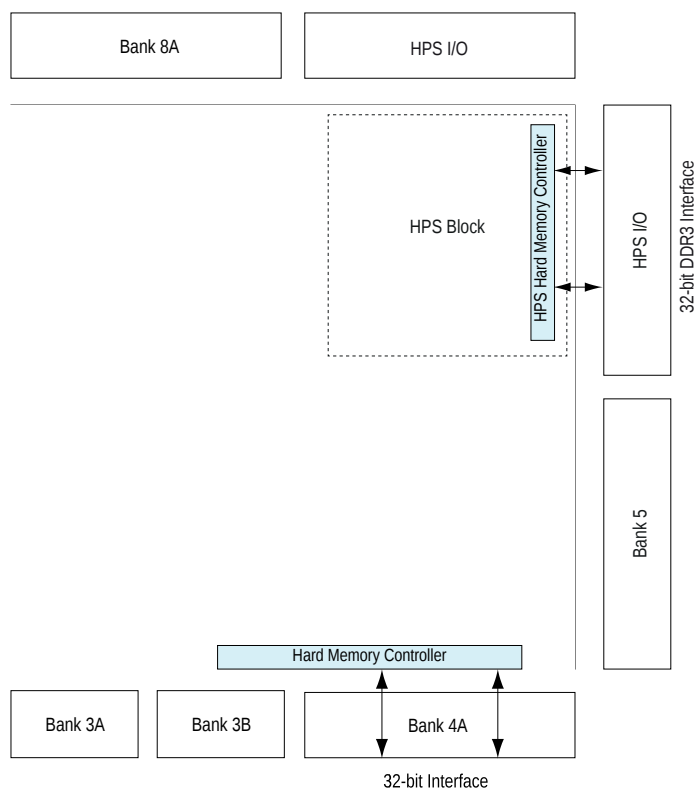


图6-24: Cyclone V SX C2、C4、C5和C6器件，以及Cyclone V ST D5和D6器件中的硬核存储控制器

该图显示了SoC FPGA中的硬核存储控制器。不支持绑定。



相关链接

[Cyclone V器件系列管脚连接指南](#)  
提供了关于专用管脚的更多信息。

## Cyclone V E的硬核存储控制器宽度

表6-15: Cyclone V E器件每一侧中的硬核存储控制器宽度 — 初始确定的

封装	成员代码									
	A2		A4		A5		A7		A9	
	顶端	底部	顶端	底部	顶端	Bottom	顶端	底部	顶端	底部
M383	≤ 24	0	≤ 24	0	≤ 24	0	—	—	—	—
M484	—	—	—	—	—	—	24	24	—	—
F256	0	0	0	0	—	—	—	—	—	—
U324	0	0	0	0	—	—	—	—	—	—
U484	24	0	24	0	24	24	24	24	—	—

封装	成员代码									
	A2		A4		A5		A7		A9	
	顶端	底部	顶端	底部	顶端	Bottom	顶端	底部	顶端	底部
F484	24	0	24	0	40	24	40	24	24	24
F672	—	—	—	—	—	—	40	40	40	40
F896	—	—	—	—	—	—	40	40	40	40

相关链接

指南：使用DQ/DQS管脚 (第6-2页)

有关该器件的F484封装，硬件存储控制器中可用管脚的分配的重要信息。

## Cyclone V GX的硬核存储控制器宽度

表6-16: Cyclone V GX器件每一侧中的硬核存储控制器宽度 — 初始确定的

封装	成员代码									
	C3		C4		C5		C7		C9	
	顶端	底部	顶端	底部	顶端	底部	顶端	底部	顶端	底部
M301	—	—	0	0	0	0	—	—	—	—
M383	—	—	≤ 24	0	≤ 24	0	—	—	—	—
M484	—	—	—	—	—	—	24	24	—	—
U324	0	0	—	—	—	—	—	—	—	—
U484	24	0	24	24	24	24	24	24	24	24
F484	24	0	40	24	40	24	40	24	24	24
F672	—	—	40	40	40	40	40	40	40	40
F896	—	—	—	—	—	—	40	40	40	40
F1152	—	—	—	—	—	—	—	—	40	40

相关链接

指南：使用DQ/DQS管脚 (第6-2页)

有关该器件的F484封装，硬件存储控制器中可用管脚的分配的重要信息。

## Cyclone V GT的硬核存储控制器宽度

表6-17: Cyclone V GT器件每一侧中的硬核存储控制器宽度—初始确定的

封装	成员代码					
	D5		D7		D9	
	顶端	底部	顶端	底部	顶端	底部
M301	0	0	—	—	—	—
M383	$\leq 24$	0	—	—	—	—
M484	—	—	24	24	—	—
U484	24	24	24	24	24	24
F484	40	24	40	24	24	24
F672	40	40	40	40	40	40
F896	—	—	40	40	40	40
F1152	—	—	—	—	40	40

相关链接

指南：使用DQ/DQS管脚 (第6-2页)

有关该器件的F484封装，硬件存储控制器中可用管脚的分配的重要信息。

## Cyclone V SX的硬核存储控制器宽度

表6-18: Cyclone V SX器件每一侧中的硬核存储控制器宽度—初始确定的

封装	成员代码							
	C2		C4		C5		C6	
	顶端	底部	顶端	底部	顶端	底部	顶端	底部
U672	0	40	0	40	0	40	0	40
F896	—	—	—	—	0	40	0	40

## Cyclone V ST的硬核存储控制器宽度

表6-19: Cyclone V ST器件每一侧中的硬核存储控制器宽度—初始确定的

封装	成员代码			
	D5		D6	
	顶端	底部	顶端	底部
F896	0	40	0	40

## 文档修订历史

日期	版本	修订内容
2013年5月	2013.05.06	<ul style="list-style-type: none"> <li>将全部链接移到各个主题的相关信息部分中，以便于参考。</li> <li>在知识基础中添加了已知文档问题的链接。</li> <li>对所支持的存储器接口标准添加所支持的最小操作频率。</li> <li>添加了封装并且更新了Cyclone V E、GX、GT和SX器件的DQ/DQS组。</li> <li>在每种Cyclone V E、GX和GT器件中添加了MPFE命令、写数据和读数据端口的数量。</li> <li>添加有关Cyclone V E A9、GX C9和GT D9器件的F484封装中可用的硬核存储控制器管脚分配的注释。</li> <li>更新M386封装到M383。</li> <li>在下表所列出的Cyclone V E硬核存储控制器宽度中，移除Cyclone V E A5器件中的F672封装。</li> <li>在下表所列出的Cyclone V GX硬核存储控制宽度中，添加Cyclone V GX C9器件中的U484封装。</li> <li>更新了Cyclone V E、GX、SX和ST的硬核存储控制器宽度。</li> <li>如果配置是3.3/3.0 V，那么移除了使用Cyclone V GX C5器件的底部硬核存储控制器的限制。</li> <li>添加注释阐明DQS相移电路图显示了所有可能的连接以及每个封装信息中含有的器件管脚输出的文件。</li> </ul>
2012年12月	2012.11.28	<ul style="list-style-type: none"> <li>重组内容并更新模板。</li> <li>使用硬核存储控制器和软核存储控制器添加所支持的外部存储器接口标准的列表。</li> <li>添加了外部存储器接口和HPS外部存储器接口的性能信息。</li> <li>在每个器件系列中，将DQ/DQS组列表分成单独的主题，以便于参考。</li> <li>更新了Cyclone V E、GX、GT、SX和ST器件系列的DQ/DQS数量和器件封装。</li> <li>将PHYCLK网络管脚布局指南移到外部存储器接口手册中的<a href="#">规划管脚和FPGA资源</a>章节。</li> <li>将"设计考量"部分中的信息移到相关的主题中。</li> <li>移除了"DDR2 SDRAM接口"和"DDR3 SDRAM DIMM"部分。有关信息，请参考<a href="#">外部存储器接口手册</a>的相关部分。</li> <li>添加了I/O和DQS配置模块主题。</li> <li>将术语"多端口逻辑"更新成"多端口前端" (MPFE)。</li> <li>添加了关于Cyclone V E、GX、GT、SX和ST器件系列的硬核存储控制器接口宽度。</li> </ul>

日期	版本	修订内容
2012年6月	2.0	针对Quartus II软件版本12.0的发布进行的更新： <ul style="list-style-type: none"><li>• 重构章节。</li><li>• 更新了“设计考量”，“DQS后同步电路”和“IOE寄存器”部分。</li><li>• 添加了SoC器件信息。</li><li>• 更新了图 6-5、图 6-10和图 6-21。</li></ul>
2012年2月	1.2	<ul style="list-style-type: none"><li>• 更新了图 6-20。</li><li>• 少量文本编辑。</li></ul>
2011年11月	1.1	<ul style="list-style-type: none"><li>• 更新了表6-2。</li><li>• 添加了图 6-2。</li></ul>
2011年10月	1.0	首次发布。