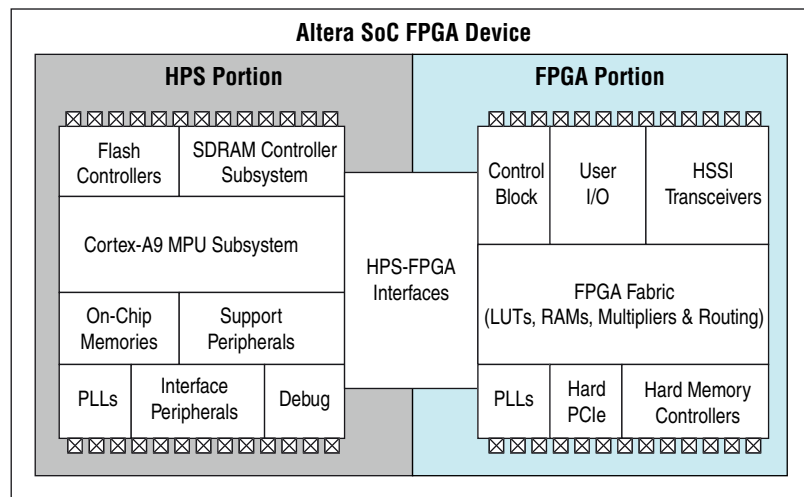


Cyclone® V SoC FPGA 器件是一个单晶片芯片系统 (SoC)，包含两个不同的部分 — 硬核处理器系统 (HPS) 和 FPGA。

图 1-1 显示了 Altera SoC FPGA 器件的高级结构图。图中，与器件管脚相连接的模块与符号（具有 X 的正方形）相邻。

图 1-1. Altera SoC FPGA 器件结构图



HPS 包含单或双 ARM® Cortex™-A9 MPCore 处理器的微处理器单元 (MPU) 子系统、闪存控制器、一个 SDRAM 控制器子系统、片上存储器、支持外设、接口外设、调试功能和 PLL。双处理器 HPS 支持对称 (SMP) 和非对称 (AMP) 多路处理。

器件的 FPGA 部分包含 FPGA 架构、一个控制模块 (CB)、锁相环 (PLL)，并且根据器件类型，可能会包括高速串行接口 (HSSI) 收发器、硬核 PCI Express® (PCIe®) 控制器和硬核存储控制器。

要了解关于器件的 FPGA 部分的更多信息，请参考 *Cyclone V Device Overview*。

器件的 HPS 和 FPGA 部分明显不同。HPS (从多个引导源的任何一个，包括 FPGA 架构和外部闪存器件) 进行启动，而 FPGA (通过 HPS 或任何器件支持的外部源) 进行配置。

要了解更多信息，请参考 *Cyclone V 器件手册* 的第 3 卷中的 *Booting and Configuration* 附录。

器件的 HPS 和 FPGA 部分都有自己的管脚。管脚在 HPS 和 FPGA 架构之间不共享。HPS I/O 管脚由 HPS 中执行的软件进行配置。HPS 上执行的软件访问系统管理器中的控制寄存器，以便将 HPS I/O 管脚分配到可用的 HPS 模块。FPGA I/O 管脚通过 HPS 或器件支持的任何外部源由 FPGA 配置镜像进行配置。

MPU 子系统可以从与 HPS 管脚连接的闪存器件进行启动。或者，当 FPGA 部分由外部源进行配置时，MPU 子系统可以从器件的 FPGA 部分中的存储器启动。

器件的 HPS 和 FPGA 部分都有各自的外部电源和上电方式。在没有上电器件的 FPGA 的情况下，可以上电 HPS。但是要上电 FPGA，HPS 必须已经上电或与 FPGA 同时上电。也可以关闭器件的 FPGA，而保持 HPS 仍处于上电。

## HPS 的功能

以下列表包含 HPS 的主要模块：

- 带有双 ARM Cortex-A9 MPCore 处理器的 MPU 子系统
- SDRAM 控制器子系统
- 一个通用的直接存储器访问 (DMA) 控制器
- 两个 Ethernet 媒体访问控制器 (EMAC)
- 两个 USB 2.0 On-The-Go (OTG) 控制器
- 一个 NAND 闪存控制器
- 一个四路 SPI 闪存控制器
- 一个 Secure Digital (SD) / MultiMediaCard (MMC) 控制器
- 两个串行外设接口 (SPI) 主控制器
- 两个 SPI 从控制器
- 四个 inter-integrated circuit (集成电路间, I<sup>2</sup>C) 控制器
- 64 KB 片上 RAM
- 64 KB 片上启动 ROM
- 两个 UART
- 四个计时器
- 两个看门狗定时器
- 三个通用 I/O (GPIO) 接口
- 两个控制器区域网络 (CAN) 控制器 (只限某些器件类型)
- ARM CoreSight™ 调试组件
  - Debug Access Port (调试访问端口, DAP)
  - Trace Port Interface Unit (跟踪端口接口单元, TPIU)
  - System Trace Macrocell (系统跟踪宏单元, STM)
  - Program Trace Macrocell (编程跟踪宏单元, PTM)
  - Embedded Trace Router (嵌入式跟踪路由器, ETR)
  - Embedded Cross Trigger (嵌入式交叉触发, ECT)

- 一个系统管理器
- 一个时钟管理器
- 一个复位管理器
- 一个扫描管理器
- 一个 FPGA 管理器
- 一个 FPGA-to-HPS 桥接
- 两个 HPS-to-FPGA 桥接



## MPU 子系统

MPU 子系统提供以下功能性：

- ARM Cortex-A9 MPCore
  - 一个或两个 ARM Cortex-A9 处理器位于一个簇中
  - 每个处理器的 NEON™ SIMD 协处理器和 VFPv3
  - 在簇中确保一致性的 Snoop Control Unit（监听控制单元，SCU）
  - 接受一致性存储器访问请求的 Accelerator coherency port（加速器联接端口，ACP）
  - 中断控制器
  - 每个处理器的一个通用计时器和一个看门狗计时器
  - 调试和跟踪功能
  - 每个处理器的 32-KB 指令和 32-KB 数据 1 级（L1）缓冲
  - 每个处理器的 Memory management unit（存储器管理单元，MMU）
- ARM L2-310 2 级（L2）缓冲
  - 共享 512-KB L2 缓冲
- ACP ID 映射器
  - 将 12-bit ID 从 3 级（L3）互联映射到 ACP 支持的 3-bit ID

如图 1-2 所示，L2 缓冲具有一个连接 L3 互联的 64-bit 主端口和一个直接与 SDRAM 控制器子系统相连接的 64-bit 主端口。L2 缓冲中的一个可编程地址过滤器控制 32-bit 物理地址空间中哪一个部分应该使用哪一个主端口。

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Cortex-A9 MPU System* 章节。

## 互联

互联包含 L3 互联和等级 4（L4）总线。L3 互联是一个 ARM NIC-301 模块，包含下列开关：

- L3 主交换机
  - 连接主端口、从端口和它的子交换机
  - 提供 64-bit 切换性能
- L3 主外设交换机
  - 连接集成 DMA 控制器的外设的主端口到 L3 主交换机
- L3 从外设交换机
  - 连接外设的从端口到 L3 主交换机

每个 L4 总线都被连接到 L3 从外设交换机的主端口。每个 L4 总线为 32 位宽并且连接到多个从端口。每个 L4 总线都在一个单独的时钟源上操作。

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Interconnect* 章节。

## 存储控制器

HPS 提供了该部分所介绍的存储控制器。

### SDRAM 控制器子系统

SDRAM 控制器子系统由 HPS 主端口和 FPGA 架构主端口控制。FPGA-to-HPS SDRAM 接口与器件的 FPGA 部分中的硬核存储控制器兼容并且与非 HPS FPGA 器件中的硬核 SDRAM 控制器 (例如 Stratix IV FPGA) 兼容。

SDRAM 控制器子系统实现以下的高级功能：

- 支持双倍数据速率 2 (DDR2)、DDR3 和低功耗双倍数据速率 2 (LPDDR2) 器件
- 单独 SDRAM 突发上的软件可配置优先权规划
- 错误纠正代码 (ECC) 支持, 包括计算、单位错误纠正和回写 (write-back) 以及错误计数器。
- 完全可编程的时序参数支持所有的 JEDEC 指定的时序参数
- 所有的端口支持存储器保护和相互访问
- 支持架构接口的 ARM 高级微控制器总线体系结构 (AMBA®) 高级可扩展接口 (AXI™) 服务质量 (QoS) (Support for ARM Advanced Microcontroller Bus Architecture (AMBA®) Advanced eXtensible Interface (AXI™) quality of service (QoS) for the fabric interfaces)

SDRAM 控制器子系统包括 SDRAM 控制器和 DDR PHY。

### SDRAM 控制器

SDRAM 控制器包含一个多端口前端 (MPFE)，可以接受 HPS 主端口和经由 FPGA-to-HPS SDRAM 接口的来自 FPGA 架构中软核逻辑的请求。

SDRAM 控制器提供以下功能：


- 高达 4 GB 地址范围
- 8-、16- 和 32-bit 数据宽度
- 可选的 ECC 支持
- 低电压 1.35V DDR3L 和 1.2V DDR3U 支持
- 全部存储器件功耗管理支持
- 两个片选

SDRAM 控制器提供以下功能，以便最大化存储器性能：

- 命令重新排序 (look-ahead bank 管理)
- 数据重新排序 (无序传输)
- 进行带宽管理的赤字循环仲裁 (Deficit round-robin arbitration with aging for bandwidth management)
- 延迟敏感流量 (latency sensitive traffic) 的高优先权旁路

## DDR PHY

DDR PHY 将单端存储控制器与 HPS 存储器 I/O 相连接。

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *SDRAM Controller Subsystem* 章节。

## NAND 闪存控制器

NAND 闪存控制器基于 Cadence® Design IP® NAND 闪存控制器并且提供以下的功能：


- 支持单层单元 (SLC) 和多层单元 (MLC) NAND 闪存器件
- 集成基于描述符的 DMA 控制器
- 8-bit ONFI 1.0 NAND 闪存器件
- 512 字节、2 KB、4 KB 和 8 KB 的可编程页面大小
- 每模块支持 32、64、128、256、384 和 512 个页面
- 对于 SLC 和 MLC 器件的可编程硬件 ECC
  - 具有 4-、8- 或 16-bit 纠正的 512 字节 ECC 扇形大小
  - 具有 24-bit 纠正的 1 KB ECC 扇形大小

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *NAND Flash Controller* 章节。

## Quad SPI 闪存控制器

quad SPI 闪存控制器基于 Cadence Quad SPI 闪存控制器 (QSPI\_FLASH\_CTRL) 并且提供以下功能：


- 支持 SPIx1、SPIx2 或 SPIx4 (quad SPI) 串行 NOR 闪存器件
- 支持直接访问和间接访问模式。
- 支持单 I/O、双 I/O 和四路 I/O 指令
- 8、16 或 32 位的可编程数据帧大小
- 支持高达 4 个片选

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Quad SPI Controller* 章节。

## SD/MMC 控制器

SD/MMC 控制器基于 Synopsys® DesignWare® 移动存储主机 (DWC\_mobile\_storage) 控制器并且提供以下功能：

- 集成基于描述符的 DMA
- 支持 CE-ATA 数字协议命令
- 支持单卡
  - 仅限单数据速率 (SDR) 模式
  - 可编程卡宽度：x1、x4 或 x8
  - 可编程卡类型：SD、SDIO 或 MMC 版本 4.3 和 4.4 器件
- 高达 64 KB 可编程模块容量

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *SD/MMC Controller* 章节。

## 支持外设

HPS 提供该部分中介绍的支持外设。

### 时钟管理器

时钟管理器提供以下功能：

- 管理 HPS 的时钟
- 支持动态时钟调整

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Clock Manager* 章节。

### 复位管理器

复位管理器提供以下的功能：


- 管理 HPS 的复位

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Reset Manager* 章节。

### 系统管理器

系统管理器提供以下功能：

- ECC 监控和控制
- 管脚多路复用
- 控制和状态寄存器 (CSR) 不可以访问的外设功能的底层控制
- 使 I/O 单元处于安全状态以进行配置的冻结控制器

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *System Manager* 章节。

### 扫描管理器

扫描管理器提供以下功能：

- 将串行扫描链驱动到 FPGA JTAG 和 HPS I/O bank 配置

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Scan Manager* 章节。

### 计时器

这四个计时器基于 Synopsys DesignWare APB 计时器 (DW\_apb\_timers) 外设并且提供以下功能：

- 32-bit 计时器分辨率
- 支持自由运行的计时器模式
- 可编程的超时周期高达约 86 秒（假设一个 50 MHz 的时钟）
- 中断生成

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Timer* 章节。



## 看门狗计时器

这两个看门狗计时器基于 Synopsys DesignWare APB 看门狗计时器 (DW\_apb\_wdt) 外设并且提供以下功能：


- 32-bit 计时器分辨率
- 中断请求
- 复位请求
- 可编程的超时周期高达约 86 秒（假设一个 50 MHz 的时钟）

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷 *Watchdog Timer* 章节。

## DMA 控制器

DMA 控制器对没有集成 DMA 控制器的模块提供高带宽数据传输。DMA 控制器基于 ARM Corelink™ DMA 控制器 (DMA-330) 并且提供以下功能：

- 进行了微编码以支持灵活的传输类型
- 支持 8 个通道
- 支持基于 31 个外设握手 (shakehand) 接口的流程控制

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *DMA Controller* 章节。

## FPGA 管理器

FPGA 管理器提供以下功能：

- 管理器件的 FPGA 部分的配置
- 模拟被动并行 32-bit 配置
- 部分重配置
- 压缩的 FPGA 配置镜像
- 高级加密标准 (AES) 加密的 FPGA 配置镜像
- 监控 FPGA 中与配置相关的信号
- 对 FPGA 架构提供 32 个通用输入和 32 个通用输出

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *FPGA Manager* 章节。

## 接口外设

HPS 提供该部分中介绍的接口外设。

### EMAC

这两个 EMAC 基于 Synopsys DesignWare 3504-0 Universal 10/100/1000 Ethernet MAC (DWC\_gmac) 并且提供以下功能：

- 支持 10-、100- 和 1000-Mbps 标准
- 支持 RGMII 外部 PHY 接口
- 集成 DMA 控制器



要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Ethernet Media Access Controller* 章节。

### USB 控制器

这两个 USB 2.0 On-The-Go (OTG) 控制器基于 Synopsys DesignWare Core USB 2.0 Hi-Speed On-The-Go (DWC\_otg) 控制器并且提供以下的功能：

- 支持 USB 2.0 主机和器件操作
- 双角色器件（器件和主机功能）
  - 高速 (480 Mbps)
  - 全速 (12 Mbps)
  - 低速 (1.5 Mbps)
  - 支持 USB 1.1（全速 & 低速）
- 集成基于描述符的 scatter-gather DMA (SGDMA)
- 支持外部 ULPI PHY
- 高达 16 个双向端点，包括控制端点
- 高达 16 个主机通道
- 支持通用根集线器 (generic root hub)
- 自动 ping 性能
- 可配置到 OTG 1.3 和 OTG 2.0 模式




要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *USB 2.0 OTG Controller* 章节。

### I<sup>2</sup>C 控制器

这四个 I<sup>2</sup>C 控制器基于 Synopsys DesignWare APB I<sup>2</sup>C (DW\_apb\_i2c) 控制器并且提供以下功能：

- 两个控制器支持 I<sup>2</sup>C 管理接口
- 支持 100 KBps 和 400 KBps 模式
- 支持 7-bit 和 10-bit 寻址模式
  - 不支持混合地址模式


- 支持主端口和从端口操作模式
- 直接访问主机处理器
  - DMA 控制器可能用于大型传输

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *I<sup>2</sup>C Controller* 章节。

## UART

这两个 UART 模块基于 Synopsys DesignWare APB 通用异步接收器 / 发送器 (DW\_apb\_uart) 外设并且提供以下功能：


- 16550 兼容的 UART
  - 支持 16750 规范中指定的自动流程控制
- 支持 IrDA 1.0 SIR 模式
- 高达 115.2 Kbps 的可编程波特率 (baud rate)
- 对主机处理器直接访问
  - DMA 控制器可能用于大型传输

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *UART Controller* 章节。

## CAN 控制器

这两个 CAN 控制器基于 Bosch® D\_CAN 控制器并且提供以下功能：


- 与 CAN 协议规范 2.0 的 A & B 部分兼容
- 可编程通信速率高达 1 Mbps
- 支持高达 128 个消息
- 支持 11-bit 标准和 29-bit 扩展标识符
- 可编程的中断方案
- 直接访问主机处理器
  - DMA 控制器可能用于大型传输
- 仅在某些器件类型中可用

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 4 卷的 *Controller Area Network Controller* 章节。

## SPI 主控制器

这两个 SPI 主控制器基于 Synopsys DesignWare 同步串行接口 (SSI) 控制器 (DW\_apb\_ssi) 并且提供以下的功能：


- 从 4 到 16 bit 的可编程的数据帧容量
- 支持全半双工
- 支持两个片选
- 直接访问主机处理器
  - DMA 控制器可能用于大型传输

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *SPI Controller* 章节。

### SPI 从控制器

这两个 SPI 从控制器基于 Synopsys DesignWare 同步串行接口 (SSI) 控制器 (DW\_apb\_ssi) 并且提供以下功能：


- 从 4 到 16 bit 的可编程数据帧容量
- 支持全半双工
- 直接访问主机处理器
  - DMA 控制器可能用于大型传输

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *SPI Controller* 章节。

### GPIO 接口

这三个 GPIO 接口基于 Synopsys DesignWare APB 通用编程 I/O (DW\_apb\_gpio) 外设并且提供以下功能：

- 支持数字 de-bounce
- 可配置的中断模式
- 根据器件类型，支持高达 71 个 I/O 管脚和 14 个只输入 (input-only) 管脚

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *General-Purpose I/O Interface* 章节。


## 片上存储器

片上存储器包含该部分中介绍的两个模块。

### 片上 RAM

片上 RAM 提供以下功能：


- 64 KB 容量
- 64-bit 从接口
- 对所有突发长度提供高性能

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *On-Chip Memory* 章节。

### Boot ROM

boot ROM 提供以下功能：

- 64 KB 容量
- 包含所需代码以支持从冷或暖复位的 HPS 启动
- 专门用于启动 HPS

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *On-Chip Memory* 章节。

## Endian 支持

HPS 原本是一个 little-endian 系统。所有的 HPS 从器件都是 little-endian。

处理器主器件是软件可配置的，将数据解释为 little-endian 或 big-endian、byte-invariant (BE8)。所有其它主器件，包括 USB 接口，是 little-endian。

FPGA-to-HPS、HPS-to-FPGA 和轻型 (lightweight)HPS-to-FPGA 接口是 little-endian。

如果处理器被设置为 BE8 模式，那么软件必须转换 endianness 以便访问外设和存储器中的 DMA 链表。

ARM Cortex-A9 MPU 支持一个单指令以更改处理器的 endianness 并且提供 REV 和 REV16 指令以分别交换字节或半字的 endianness。MMU 页表是软件可配置的，被组成为 little-endian 或 BE8。

ARM DMA 控制器是软件可配置的，在传输期间执行字节通道交换。

## HPS-FPGA 接口

HPS-FPGA 接口在 HPS 和 FPGA 架构之间提供各种通信通道。HPS 与 FPGA 架构紧密集成，导致上千个连接信号。HPS-FPGA 接口包含：

- FPGA-to-HPS 桥接 — 一个高性能 AXI 总线，具有 32-、64- 和 128-bit 的可配置数据宽度，使得 FPGA 架构可以控制到 HPS 从器件的传输。这个接口使得 FPGA 架构可以全面了解 HPS 地址空间。该接口也提供对相干存储器接口 (coherent memory interface) 的访问。



要了解关于相干存储器接口的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Cortex-A9 MPU System* 章节。

- HPS-to-FPGA 桥接 — 一个高性能 AXI 总线，具有 32-、64- 和 128-bit 的可配置数据宽度，使得 HPS 可以控制到 FPGA 架构从器件的传输。
- 轻型 HPS-to-FPGA 桥接 — 32-bit 固定数据宽度的 AXI 总线，使得 HPS 可以控制到 FPGA 架构从器件的传输。
- FPGA-to-HPS SDRAM 接口 — SDRAM 控制器的 MPFE 的可配置接口。您可以配置以下参数：
  - AXI-3 或 Avalon® 存储器映射 (Avalon-MM) 协议
  - 高达 6 个端口
  - 每个端口具有 32-、64-、128- 或 256-bit 的数据宽度
- FPGA 时钟和复位 — 提供到和来自 HPS 的灵活时钟。
- HPS-to-FPGA JTAG — 使得 HPS 可以控制 FPGA JTAG 链。
- TPIU 跟踪 — 发送 HPS 中创建的跟踪数据到 FPGA 架构。
- FPGA System Trace Macrocell (系统走线宏单元, STM) 事件 — 通过使用 STM 支持 FPGA 架构发送存储在 HPS 走线中的硬件事件的接口。
- FPGA cross-trigger — 支持到和来自 CoreSight 触发系统的触发的接口。
- DMA 外设接口 — 多个外设请求通道。
- FPGA 管理器接口 — 与 FPGA 架构通信以便进行启动和配置的信号。

- 中断 — 使软核 IP 可以直接提供中断到 MPU 中断控制器。
- MPU 备用和事件(standby and events)—提示FPGA架构MPU处于备用模式以及从等待事件（WFE）状态唤醒 Cortex-A9 处理器的信号。

地址映射

地址映射指定从器件的地址，例如存储器和外设，如 MPU 和其它主器件所示。HPS 具有多个地址空间，在以下部分中有所定义。

地址空间

表 1 - 1 显示了 HPS 地址空间和它们的容量。

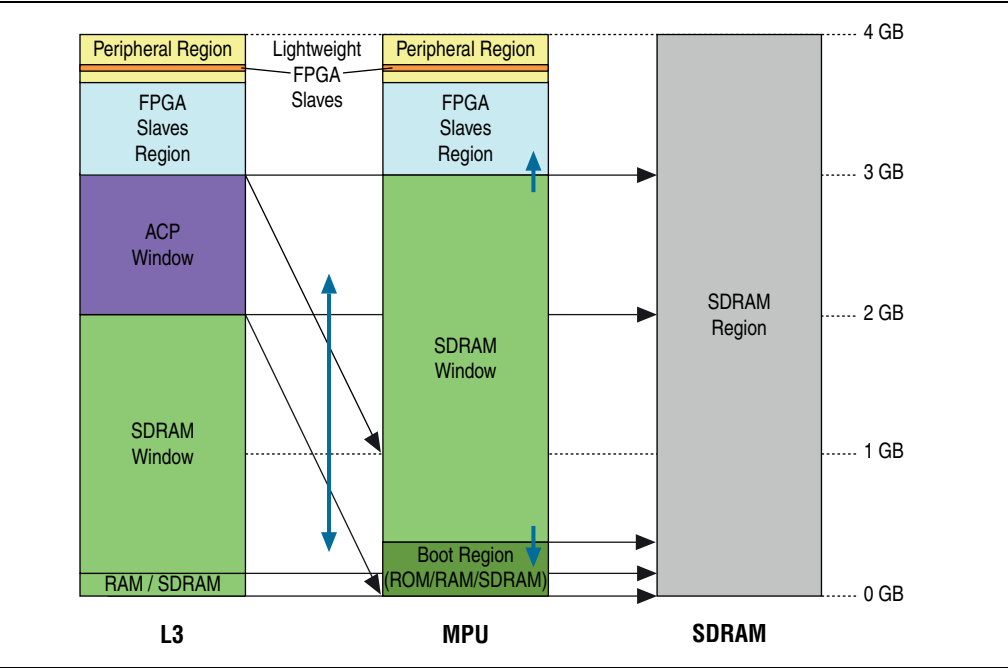
表 1 - 1. HPS 地址空间

名称	说明	容量
MPU	MPU 子系统	4 GB
L3	L3 互联	4 GB
SDRAM	SDRAM 控制器子系统	4 GB

地址空间被划分为一个或多个非重叠的连续区域。例如，MPU 地址空间具有外设、FPGA 从器件、SDRAM 窗口和启动区域。

图 1 - 3 显示了 HPS 地址空间之间的关系。此图是不按比例画的。

图 1 - 3. HPS 地址空间关系



窗口区域提供对其它地址空间的访问。细线黑箭头指示窗口区域访问哪个地址空间（箭头指向被访问的地址空间）。例如，L3 地址空间的 ACP 窗口的访问映射到 MPU 地址空间的 1 GB 区域。

MPU 地址空间中的 SDRAM 窗口可以在顶部和底部（短的蓝色垂直箭头）扩大和缩小，这会影响 FPGA 从器件和引导区域。要了解详细信息，请参考“MPU 地址空间”。

ACP 窗口可以被映射到 MPU 地址空间（蓝色垂直双向箭头）中的任何 1 GB 区域，以 gigabyte 对齐为界限。

表 1-2 显示了 L3 和 MPU 地址空间通用的每个区域的基地址和容量。

表 1-2. 通用地址空间区域

标识符	区域名称	基地址	容量
FPGASLAVES	FPGA 从器件	0xC0000000	960 MB
LWFPGASLAVES	轻型 FPGA 从器件	0xFF200000	2 MB
PERIPH	外设	0xFC000000	64 MB

SDRAM 地址空间

SDRAM 地址空间高达 4 GB。整个地址空间可以通过 FPGA 架构的 FPGA-to-HPS SDRAM 接口进行访问。其它地址空间的 SDRAM 可寻址总空间量各不相同。要了解详细信息，请参考“MPU 地址空间”和“L3 地址空间”。


MPU 地址空间

MPU 地址空间为 4 GB 并且应用于 MPU 中生成的地址。


MPU 地址空间包含下列区域：

- SDRAM 窗口区域提供对大型，4 GB SDRAM 地址空间的可配置部分进行访问。MPU L2 缓冲控制器包含一个与 L3 互联相连接的主端口和一个与 SDRAM 相连接的主端口。L2 缓冲控制器中的地址过滤开始和结束寄存器定义 SDRAM 窗口界限。界限为 megabyte 对齐。界限内的地址透传到 SDRAM 主端口。界限外的地址透传到 L3 互联主端口。


图 1-3 显示了 SDRAM 窗口界限的复位值。默认情况下，对 0x100000（1 MB）到 0xC0000000（3 GB）之间位置的处理器访问被映射到 SDRAM 控制器，对其它地址的访问被映射到 L3 互联。SDRAM 窗口中的地址匹配 SDRAM 地址空间的地址。因此，最低的 1 MB SDRAM 对 MPU 不可见，除非 L2 地址过滤开始寄存器被设置为 0。

 要了解关于 L2 地址过滤的更多信息，请参考 *Cyclone V 器件手册* 第三卷的 *Cortex-A9 MPU System* 章节。

- 引导区域是 1 MB，从地址 0x0 开始并且只有当 L2 地址过滤开始寄存器被设置为 0x100000 时才对 MPU 可见。L3 互联 Global Programmers View (GPV) 重新映射控制寄存器决定引导区域是否被映射到片上 RAM 或引导 ROM。

 要了解关于 L3 GPV 重新映射控制寄存器位的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Interconnect* 章节。

复位时，引导区域被映射到引导 ROM。只有最低 64 KB 的引导区域是有效地址，因为片上 RAM 和引导 ROM 只有 64 KB。

 当 L2 地址过滤开始寄存器设置为 0 时，SDRAM 隐藏对引导区域的访问。该技术可以用于引导完成后对最低 SDRAM 地址获得访问。

- FPGA 从器件区域通过 HPS-to-FPGA 桥接提供对 FPGA 架构中 960 MB 的从器件的访问。如果 SDRAM 窗口的顶部在 MPU 地址空间中增加（通过写入 L2 地址过滤结束寄存器），那么 FPGA 从器件区域的下面部分在 MPU 子系统中隐藏。
- 外设区域在地址空间顶部包含 64 MB。外设区域包括与 L3 互联、L4 总线和内部解码 (internally-decoded) MPU 寄存器 (SCU和L2) 连接的所有从器件。引导ROM和片上RAM总是映射到外设区域（与引导区域内容无关）。轻型 FPGA 从器件也是映射到外设区域并且通过轻型 HPS-to-FPGA 桥接提供对 FPGA 架构中 2 MB 从器件的访问。

表 1-3 显示了不包括在表 1-2 中的每个 MPU 地址空间区域的基地址和容量。

表 1-3. MPU 默认地址空间区域


标识符	区域名称	基地址	容量
MPUBOOT	引导区域	0x00000000	1 MB
MPUSDRAM	SDRAM 窗口	0x00100000	3071 MB

L3 地址空间

L3 地址空间是 4 GB 并且应用于所有的 L3 主器件 (除了 MPU 子系统以外)。

L3 地址空间配置包含以下的区域：

- 除了引导 ROM 和内部 MPU 寄存器 (SCU 和 L2) 不可访问以外，外设区域与 MPU 地址空间中的外设区域相同。
- FPGA 从器件区域通过 HPS-to-FPGA 桥接提供对 FPGA 架构中 960 MB 从器件的访问。
- SDRAM 窗口区域是 2 GB 并且提供对底部 2 GB SDRAM 地址空间的访问。L3 互联 GPV 重新映射寄存器决定从地址 0x0 开始的 64 KB 是否映射到片上 RAM 或 SDRAM。复位时，SDRAM 被映射到地址 0x0。

 要了解关于 L3 GPV 重新映射控制寄存器位的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Interconnect* 章节。

- ACP 窗口区域是 1 GB 并且提供对 MPU 地址空间的可配置 gigabyte 对齐区域的访问。ACP ID 映射器中的寄存器控制 ACP 窗口区域访问哪一个 MPU 地址空间的 gigabyte 对齐区域。ACP 窗口区域由 L3 主器件使用以执行对 MPU 地址空间的一致访问。


 要了解关于 ACP ID 映射器的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Cortex-A9 MPU System* 章节。

表 1-4 显示了不包括在表 1-2 中的每个 L3 地址空间区域的基地址和容量。

表 1-4. L3 地址空间区域

标识符	区域名称	基地址	容量
L3SDRAM	SDRAM 窗口	0x00000000	2 GB
L3LOWOCRAM	片上 RAM (出现时)	0x00000000	64 KB
L3ACP	ACP 窗口	0x80000000	1 GB



## 外设区域地址映射

表 1-5 列出了外设区域中每个从器件的从标识符、从名称、基地址和容量。从标识符 (Slave Identifier) 列列出了 HPS 寄存器映射中使用的名称。从名称 (Slave Title) 列包含只具有一个从器件的模块名称和具有多个从器件的带有后缀的模块名称。

表 1-5. 外设区域地址映射 (1/2)

从标识符	从名称	基地址	容量
STM	STM	0xFC000000	48 MB
DAP	DAP	0xFF000000	2 MB
LWFGASLAVES	通过轻型 FPGA-to-HPS AXI 桥接访问的 FPGA 从器件	0xFF200000	2 MB
LWHPS2FPGAREGS	轻型 FPGA-to-HPS AXI 桥接 GPV	0xFF400000	1 MB
HPS2FPGAREGS	HPS-to-FPGA AXI 桥接 GPV	0xFF500000	1 MB
FPGA2HPSREGS	FPGA-to-HPS AXI 桥接 GPV	0xFF600000	1 MB
EMAC0	EMAC0	0xFF700000	8 KB
EMAC1	EMAC1	0xFF702000	8 KB
SDMMC	SD/MMC	0xFF704000	4 KB
QSPIREGS	Quad SPI 闪存控制器寄存器	0xFF705000	4 KB
FPGAMGRREGS	FPGA 管理器寄存器	0xFF706000	4 KB
ACPIDMAP	ACP ID 映射器寄存器	0xFF207000	4 KB
GPI00	GPI00	0xFF208000	4 KB
GPI01	GPI01	0xFF209000	4 KB
GPI02	GPI02	0xFF20A000	4 KB
L3REGS	L3 互联 GPV	0xFF800000	1 MB
NANDDATA	NAND 控制器数据	0xFF900000	1 MB
QSPIDATA	Quad SPI 闪存数据	0xFFA00000	1 MB
USB0	USB0 OTG 控制器寄存器	0xFFB00000	256 KB
USB1	USB1 OTG 控制器寄存器	0xFFB40000	256 KB
NANDREGS	NAND 控制器寄存器	0xFFB80000	64 KB
FPGAMGRDATA	FPGA 管理器配置数据	0xFFB90000	4 KB
CAN0	CAN0 控制器寄存器	0xFFC00000	4 KB
CAN1	CAN1 控制器寄存器	0xFFC01000	4 KB
UART0	UART0	0xFFC02000	4 KB
UART1	UART1	0xFFC03000	4 KB
I2C0	I2C0	0xFFC04000	4 KB
I2C1	I2C1	0xFFC05000	4 KB
I2C2	I2C2	0xFFC06000	4 KB
I2C3	I2C3	0xFFC07000	4 KB
SPTIMER0	SP 计时器 0	0xFFC08000	4 KB
SPTIMER1	SP 计时器 1	0xFFC09000	4 KB
SDRREGS	SDRAM 控制器子系统寄存器	0xFFC20000	128 KB
OSC1TIMER0	OSC1 计时器 0	0xFFD00000	4 KB

表 1 - 5. 外设区域地址映射 (2/2)

从标识符	从名称	基地址	容量
OSC1TIMER1	OSC1 计时器 1	0xFFD01000	4 KB
L4WD0	看门狗 0	0xFFD02000	4 KB
L4WD1	看门狗 1	0xFFD03000	4 KB
CLKMGR	时钟管理器	0xFFD04000	4 KB
RSTMGR	复位管理器	0xFFD05000	4 KB
SYSMGR	系统管理器	0xFFD08000	16 KB
DMANONSECURE	DMA 非安全寄存器	0xFFE00000	4 KB
DMASECURE	DMA 安全寄存器	0xFFE01000	4 KB
SPIS0	SPI 从器件 0	0xFFE02000	4 KB
SPIS1	SPI 从器件 1	0xFFE03000	4 KB
SPIM0	SPI 主器件 0	0xFFFF0000	4 KB
SPIM1	SPI 主器件 1	0xFFFF01000	4 KB
SCANMGR	扫描管理器寄存器	0xFFFF02000	4 KB
ROM	引导 ROM	0xFFFFD0000	64 KB
MPUSCU	MPU SCU 寄存器	0xFFFFEC000	8 KB
MPUL2	MPU L2 闪存控制器寄存器	0xFFFFEF000	4 KB
OCRAM	片上 RAM	0xFFFFF0000	64 KB

# 文档修订历史

表 1-6 显示了该文档的修订历史。

表 1-6. 文档修订历史

日期	版本	修订内容
2012 年 11 月	1.3	少量文本编辑。
2012 年 6 月	1.2	更新了地址空间部分。
2012 年 5 月	1.1	添加了外设区域地址映射。
2012 年 1 月	1.0	首次发布。

